

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 2 区分
 【発行日】平成 18 年 10 月 5 日 (2006.10.5)

【公開番号】特開 2004-341526 (P2004-341526A)
 【公開日】平成 16 年 12 月 2 日 (2004.12.2)
 【年通号数】公開・登録公報 2004-047
 【出願番号】特願 2004-141931 (P2004-141931)
 【国際特許分類】

G 0 2 F 1/1343 (2006.01)
G 0 2 F 1/1337 (2006.01)
G 0 2 F 1/1368 (2006.01)
G 0 9 F 9/30 (2006.01)
G 0 9 F 9/35 (2006.01)
H 0 1 L 29/786 (2006.01)

【F I】

G 0 2 F 1/1343
 G 0 2 F 1/1337 5 0 5
 G 0 2 F 1/1368
 G 0 9 F 9/30 3 3 0 Z
 G 0 9 F 9/30 3 3 8
 G 0 9 F 9/35
 H 0 1 L 29/78 6 1 2 C

【手続補正書】
 【提出日】平成 18 年 8 月 23 日 (2006.8.23)
 【手続補正 1】

【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項 1】

絶縁基板と、

前記絶縁基板上に形成されている第 1 信号線と、

前記絶縁基板上に形成され、前記第 1 信号線と交差する第 2 信号線と、

前記第 1 及び第 2 信号線と連結されている第 1 薄膜トランジスタと、

前記第 1 薄膜トランジスタに接続されている画素電極と、

を含み、

前記画素電極は第 1 及び第 2 画素電極を含んでおり、前記第 1 画素電極は前記第 1 信号線と第 1 角度 1 (1 0) をなす第 1 端部と、前記第 1 信号線と第 2 角度 2 (2 0、 2 1) をなす第 2 端部とを有し、前記第 2 画素電極は、前記第 1 画素電極の前記第 1 端部と物理的に分離され、かつ近接している第 1 端部を有する、薄膜トランジスタ表示板。

【請求項 2】

前記第 2 信号線は、互いに接続された 1 対の直線部を含み、前記直線部は前記第 1 信号線に対して実質的に - 4 5 度及び 4 5 度をなす、請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 3】

前記画素電極の第 2 画素電極に接続される第 2 薄膜トランジスタをさらに含み、

前記第 1 薄膜トランジスタは、前記画素電極の第 1 画素電極に接続される、請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 4】

前記画素電極の第 1 及び第 2 画素電極は、前記第 2 信号線に対して互いに反対に配置され、前記第 1 及び第 2 薄膜トランジスタは、前記第 2 信号線に対して互いに反対に配置される、請求項 3 に記載の薄膜トランジスタ表示板。

【請求項 5】

前記画素電極の第 1 及び第 2 画素電極を接続する連結部をさらに含む、請求項 4 に記載の薄膜トランジスタ表示板。

【請求項 6】

前記第 2 信号線は、前記第 1 信号線と第 1 角度 $1 (\quad 1 \quad 0)$ をなす第 1 部分と、前記第 1 信号線と第 2 角度 $2 (\quad 2 \quad 0、 \quad 2 \quad 1)$ をなす第 2 部分とを有し、前記連結部は、前記第 1 部分及び第 2 部分が交差する、前記第 2 信号線の交差領域を横切る、請求項 5 に記載の薄膜トランジスタ表示板。

【請求項 7】

前記連結部は、前記画素電極と同一層からなる、請求項 6 に記載の薄膜トランジスタ表示板。

【請求項 8】

前記連結部は、前記ゲート線と同一層からなる、請求項 6 に記載の薄膜トランジスタ表示板。

【請求項 9】

前記第 2 信号線は、前記第 1 信号線と交差する部分に位置する交差部分をさらに含み、前記連結部は、前記第 2 信号線の前記交差部分の近くに配置され、前記画素電極と同一層からなる、請求項 5 に記載の薄膜トランジスタ表示板。

【請求項 10】

前記画素電極の少なくとも端部は前記第 2 信号線に重畳している、請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 11】

前記画素電極の第 1 画素電極の第 1 端部と、前記画素電極の第 2 画素電極の第 1 端部とは、物理的に所定のギャップを有して分離されており、前記ギャップは前記第 2 信号線の対応部分と平行に延在する、請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 12】

前記ギャップは、前記第 2 信号線の対応部分と重畳する、請求項 11 に記載の薄膜トランジスタ表示板。

【請求項 13】

前記第 1 及び第 2 信号線と分離された第 3 信号線をさらに含み、前記第 3 信号線は、前記画素電極の少なくとも一部及び前記画素電極に接続される第 1 薄膜トランジスタの一部に重畳する部分を有する、請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 14】

前記第 3 信号線は、前記画素電極の前記第 1 又は第 2 画素電極の少なくとも 1 の端部の近くに配置される分枝をさらに含む、請求項 13 に記載の薄膜トランジスタ表示板。

【請求項 15】

前記画素電極の前記第 1 又は第 2 画素電極の少なくとも 1 の端部は、前記第 3 信号線の分枝と重畳している、請求項 14 に記載の薄膜トランジスタ表示板。

【請求項 16】

前記第 1 画素電極の前記第 1 端部と、前記第 2 画素電極の前記第 1 端部とは、ギャップによって物理的に分離されており、前記ギャップは前記第 2 信号線の対応部分と平行に延在している、請求項 14 に記載の薄膜トランジスタ表示板。

【請求項 17】

前記ギャップは、前記第 3 信号線の分枝と重畳する、請求項 16 に記載の薄膜トランジ

スタ表示板。

【請求項 18】

前記画素電極の第1画素電極及び第2画素電極を接続する連結部をさらに含み、前記分枝は前記連結部とは分離されている、請求項17に記載の薄膜トランジスタ表示板。

【請求項 19】

前記画素電極及び前記第2信号線はギャップによって分離されており、前記ギャップは前記第2信号線と平行に延在する、請求項14に記載の薄膜トランジスタ表示板。

【請求項 20】

前記第3信号線の分枝は、前記画素電極と前記第2信号線との間に配置され、前記画素電極の端部と重畳する、請求項19に記載の薄膜トランジスタ表示板。

【請求項 21】

絶縁基板と、
前記絶縁基板上に形成され、ゲート電極を含むゲート線と、
前記ゲート線上に形成されるゲート絶縁膜と、
前記ゲート絶縁膜上に形成される半導体層と、
前記ゲート線と交差する交差部分と、少なくとも一部分が前記半導体層上に形成されるソース電極と、を含むデータ線と、
少なくとも一部分が前記半導体層上に形成され、前記ソース電極と反対に配置される第1ドレイン電極と、
前記半導体層上に形成される保護層と、
前記第1ドレイン電極に接続される画素電極と、
を含み、
前記画素電極は第1及び第2画素電極を含んでおり、前記第1画素電極は前記ゲート線と第1角度 $1(10^\circ)$ をなす第1端部と、前記ゲート線と第2角度 $2(20^\circ、21^\circ)$ をなす第2端部とを有し、前記第2画素電極は、前記第1画素電極の前記第1端部と物理的に分離され、かつ近接している第1端部を有する、薄膜トランジスタ表示板。

【請求項 22】

前記データ線は、互いに接続された1対の直線部を含み、前記直線部は前記ゲート線に対して実質的に -45° 及び 45° をなす、請求項21に記載の薄膜トランジスタ表示板。

【請求項 23】

前記ゲート線及び前記データ線と分離された維持電極線をさらに含み、前記維持電極線は、前記ゲート線に実質的に平行であり、前記第1ドレイン電極に重畳される拡張領域を有している維持電極を含む、請求項21に記載の薄膜トランジスタ表示板。

【請求項 24】

前記画素電極の前記第2画素電極に接続された第2ドレイン電極をさらに含み、前記第1ドレイン電極は、前記画素電極の前記第1画素電極に接続される、請求項21に記載の薄膜トランジスタ表示板。

【請求項 25】

前記第1及び第2画素電極は、前記データ線に対して互いに反対に配置され、前記第1及び第2ドレイン電極は、前記データ線に対して互いに反対に配置される、請求項24に記載の薄膜トランジスタ表示板。

【請求項 26】

前記ゲート線及び前記データ線と分離された維持電極線をさらに含み、前記維持電極線は、前記ゲート線に実質的に平行であり、前記画素電極の少なくとも1の前記第1及び第2画素電極の端部に重畳される維持電極を含む、請求項25に記載の薄膜トランジスタ表示板。

【請求項 27】

前記画素電極の第1及び第2画素電極を接続する連結部をさらに含む、請求項25に記

載の薄膜トランジスタ表示板。

【請求項 28】

前記連結部は、前記画素電極と同一層からなる、請求項 27 に記載の薄膜トランジスタ表示板。

【請求項 29】

前記連結部は、前記ゲート線及び前記データ線と同一層からなる、請求項 27 に記載の薄膜トランジスタ表示板。

【請求項 30】

前記データ線は前記画素電極の外側端部の近くに配置される、請求項 21 に記載の薄膜トランジスタ表示板。

【請求項 31】

前記データ線は、前記ゲート線と第 1 角度 $1 (1 \quad 0)$ をなす第 1 部分と、前記ゲート線と第 2 角度 $2 (2 \quad 0, \quad 2 \quad 1)$ をなす第 2 部分とを有し、
前記保護層の下部に配置されたカラーフィルター層をさらに含み、前記カラーフィルター層は、第 1 角度 $1 (1 \quad 0)$ をなす第 1 部分と第 2 角度 $2 (2 \quad 0)$ をなす第 2 部分とを有する、請求項 21 に記載の薄膜トランジスタ表示板。

【請求項 32】

第 1 絶縁基板と、
前記第 1 絶縁基板上に形成されている第 1 信号線と、
前記絶縁基板上に形成され、前記第 1 信号線と交差する第 2 信号線と、
前記第 1 及び第 2 信号線と連結されている薄膜トランジスタと、
前記薄膜トランジスタに接続されている画素電極と、
前記第 1 絶縁基板に対向する第 2 絶縁基板と、
前記第 2 絶縁基板上に形成される共通電極と、
前記第 1 及び第 2 絶縁基板の間の液晶層と、
各ドメインが前記第 2 信号線の対応部分に平行な 2 つの主端部を有するように、液晶層を複数のドメインに分割するドメイン定義部材と、
を含み、
前記画素電極は第 1 及び第 2 画素電極を含んでおり、前記第 1 画素電極は前記第 1 信号線と第 1 角度 $1 (1 \quad 0)$ をなす第 1 端部と、前記第 1 信号線と第 2 角度 $2 (2 \quad 0, \quad 2 \quad 1)$ をなす第 2 端部とを有し、前記第 2 画素電極は、前記第 1 画素電極の前記第 1 端部と物理的に分離され、かつ近接している第 1 端部を有する、薄膜トランジスタ表示板。

【請求項 33】

前記第 1 及び第 2 信号線と分離された第 3 信号線をさらに含み、前記第 3 信号線は画素電極と維持キャパシタを形成するように重畳し、前記第 2 信号線に平行に延在する分枝を含む、請求項 32 に記載の薄膜トランジスタ表示板。

【請求項 34】

前記液晶層の液晶分子は負の誘電率異方性を有しており、前記液晶分子の長軸は、実質的に前記第 1 及び第 2 絶縁基板の表面と垂直をなしている、請求項 32 に記載の薄膜トランジスタ表示板。

【請求項 35】

前記液晶層の液晶分子は正の誘電率異方性を有しており、前記液晶分子の長軸は、実質的に前記第 1 及び第 2 絶縁基板の表面と平行であり、前記第 1 絶縁基板から第 2 絶縁基板にかけてツイストしている、請求項 32 に記載の薄膜トランジスタ表示板。

【請求項 36】

前記ドメイン定義部材は、前記共通電極の突出部である、請求項 32 に記載の薄膜トランジスタ表示板。

【請求項 37】

前記ドメイン定義部材は、前記共通電極又は画素電極の切欠部である、請求項 32 に記

載の薄膜トランジスタ表示板。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本願第1発明は、絶縁基板と、前記絶縁基板上に形成されている第1信号線と、前記絶縁基板上に形成され、前記第1信号線と交差する第2信号線と、前記第1及び第2信号線と連結されている第1薄膜トランジスタと、前記第1薄膜トランジスタに接続されている画素電極と、を含み、前記画素電極は第1及び第2画素電極を含んでおり、前記第1画素電極は前記第1信号線と第1角度 $1(10)$ をなす第1端部と、前記第1信号線と第2角度 $2(20、21)$ をなす第2端部とを有し、前記第2画素電極は、前記第1画素電極の前記第1端部と物理的に分離され、かつ近接している第1端部を有する、薄膜トランジスタ表示板を提供する。

本願第2発明は、第1発明において、前記第2信号線は、互いに接続された1対の直線部を含み、前記直線部は前記第1信号線に対して実質的に -45 度及び 45 度をなす、薄膜トランジスタ表示板を提供する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本願第3発明は、第1発明において、前記画素電極の第2画素電極に接続される第2薄膜トランジスタをさらに含み、前記第1薄膜トランジスタは、前記画素電極の第1画素電極に接続される、薄膜トランジスタ表示板を提供する。

本願第4発明は、第3発明において、前記画素電極の第1及び第2画素電極は、前記第2信号線に対して互いに反対に配置され、前記第1及び第2薄膜トランジスタは、前記第2信号線に対して互いに反対に配置される、薄膜トランジスタ表示板を提供する。

本願第5発明は、第4発明において、前記画素電極の第1及び第2画素電極を接続する連結部をさらに含む、薄膜トランジスタ表示板を提供する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

本願第6発明は、第5発明において、前記第2信号線は、前記第1信号線と第1角度 $1(10)$ をなす第1部分と、前記第1信号線と第2角度 $2(20、21)$ をなす第2部分とを有し、前記連結部は、前記第1部分及び第2部分が交差する、前記第2信号線の交差領域を横切る、薄膜トランジスタ表示板を提供する。

本願第7発明は、第6発明において、前記連結部は、前記画素電極と同一層からなる、薄膜トランジスタ表示板を提供する。

本願第8発明は、第6発明において、前記連結部は、前記ゲート線と同一層からなる、薄膜トランジスタ表示板を提供する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本願第9発明は、第5発明において、前記第2信号線は、前記第1信号線と交差する部分に位置する交差部分をさらに含み、前記連結部は、前記第2信号線の前記交差部分の近くに配置され、前記画素電極と同一層からなる、薄膜トランジスタ表示板を提供する。

本願第10発明は、第1発明において、前記画素電極の少なくとも端部は前記第2信号線に重畳している、薄膜トランジスタ表示板を提供する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本願第11発明は、第1発明において、前記画素電極の第1画素電極の第1端部と、前記画素電極の第2画素電極の第1端部とは、物理的に所定のギャップを有して分離されており、前記ギャップは前記第2信号線の対応部分と平行に延在する、薄膜トランジスタ表示板を提供する。

本願第12発明は、第11発明において、前記ギャップは、前記第2信号線の対応部分と重畳する、薄膜トランジスタ表示板を提供する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本願第13発明は、第1発明において、前記第1及び第2信号線と分離された第3信号線をさらに含み、前記第3信号線は、前記画素電極の少なくとも一部及び前記画素電極に接続される第1薄膜トランジスタの一部に重畳する部分を有する、薄膜トランジスタ表示板を提供する。

本願第14発明は、第13発明において、前記第3信号線は、前記画素電極の前記第1又は第2画素電極の少なくとも1の端部の近くに配置される分枝をさらに含む、薄膜トランジスタ表示板を提供する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本願第15発明は、第14発明において、前記画素電極の前記第1又は第2画素電極の少なくとも1の端部は、前記第3信号線の分枝と重畳している、薄膜トランジスタ表示板を提供する。

本願第16発明は、第14発明において、前記第1画素電極の前記第1端部と、前記第2画素電極の前記第1端部とは、ギャップによって物理的に分離されており、前記ギャップは前記第2信号線の対応部分と平行に延在している、薄膜トランジスタ表示板を提供する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【 0 0 1 6 】

本願第 1 7 発明は、第 1 6 発明において、前記ギャップは、前記第 3 信号線の分枝と重畳する、薄膜トランジスタ表示板を提供する。

本願第 1 8 発明は、第 1 7 発明において、前記画素電極の第 1 画素電極及び第 2 画素電極を接続する連結部をさらに含み、前記分枝は前記連結部とは分離されている、薄膜トランジスタ表示板を提供する。

【 手 続 補 正 1 0 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 7

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 1 7 】

本願第 1 9 発明は、第 1 4 発明において、前記画素電極及び前記第 2 信号線はギャップによって分離されており、前記ギャップは前記第 2 信号線と平行に延在する、薄膜トランジスタ表示板を提供する。

本願第 2 0 発明は、第 1 9 発明において、前記第 3 信号線の分枝は、前記画素電極と前記第 2 信号線との間に配置され、前記画素電極の端部と重畳する、薄膜トランジスタ表示板を提供する。

【 手 続 補 正 1 1 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 8

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 1 8 】

本願第 2 1 発明は、絶縁基板と、前記絶縁基板上に形成され、ゲート電極を含むゲート線と、前記ゲート線上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成される半導体層と、前記ゲート線と交差する交差部分と、少なくとも一部分が前記半導体層上に形成されるソース電極と、を含むデータ線と、少なくとも一部分が前記半導体層上に形成され、前記ソース電極と反対に配置される第 1 ドレイン電極と、前記半導体層上に形成される保護層と、前記第 1 ドレイン電極に接続される画素電極と、を含み、前記画素電極は第 1 及び第 2 画素電極を含んでおり、前記第 1 画素電極は前記ゲート線と第 1 角度 $1 (1 \quad 0)$ をなす第 1 端部と、前記ゲート線と第 2 角度 $2 (2 \quad 0, 2 \quad 1)$ をなす第 2 端部とを有し、前記第 2 画素電極は、前記第 1 画素電極の前記第 1 端部と物理的に分離され、かつ近接している第 1 端部を有する、薄膜トランジスタ表示板を提供する。

本願第 2 2 発明は、第 2 1 発明において、前記データ線は、互いに接続された 1 対の直線部を含み、前記直線部は前記ゲート線に対して実質的に -4 5 度及び 4 5 度をなす、薄膜トランジスタ表示板を提供する。

【 手 続 補 正 1 2 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 1 9 】

本願第 2 3 発明は、第 2 1 発明において、前記ゲート線及び前記データ線と分離された維持電極線をさらに含み、前記維持電極線は、前記ゲート線に実質的に平行であり、前記第 1 ドレイン電極に重畳される拡張領域を有している維持電極を含む、薄膜トランジスタ表示板を提供する。

本願第 2 4 発明は、第 2 1 発明において、前記画素電極の前記第 2 画素電極に接続された第 2 ドレイン電極をさらに含み、前記第 1 ドレイン電極は、前記画素電極の前記第 1 画素電極に接続される、薄膜トランジスタ表示板を提供する。

本願第 2 5 発明は、第 2 4 発明において、前記第 1 及び第 2 画素電極は、前記データ線に対して互いに反対に配置され、前記第 1 及び第 2 ドレイン電極は、前記データ線に対して互いに反対に配置される、薄膜トランジスタ表示板を提供する。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 0

【補正方法】変更

【補正の内容】

【0 0 2 0】

本願第 2 6 発明は、第 2 5 発明において、前記ゲート線及び前記データ線と分離された維持電極線をさらに含み、前記維持電極線は、前記ゲート線に実質的に平行であり、前記画素電極の少なくとも 1 の前記第 1 及び第 2 画素電極の端部に重畳される維持電極を含む、薄膜トランジスタ表示板を提供する。

本願第 2 7 発明は、第 2 5 発明において、前記画素電極の第 1 及び第 2 画素電極を接続する連結部をさらに含む、薄膜トランジスタ表示板を提供する。

本願第 2 8 発明は、第 2 7 発明において、前記連結部は、前記画素電極と同一層からなる、薄膜トランジスタ表示板を提供する。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 1

【補正方法】変更

【補正の内容】

【0 0 2 1】

本願第 2 9 発明は、第 2 7 発明において、前記連結部は、前記ゲート線及び前記データ線と同一層からなる、薄膜トランジスタ表示板を提供する。

本願第 3 0 発明は、第 2 1 発明において、前記データ線は前記画素電極の外側端部の近くに配置される、薄膜トランジスタ表示板を提供する。

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】変更

【補正の内容】

【0 0 2 2】

本願第 3 1 発明は、第 2 1 発明において、前記データ線は、前記ゲート線と第 1 角度 $1 (\quad 1 \quad 0)$ をなす第 1 部分と、前記ゲート線と第 2 角度 $2 (\quad 2 \quad 0、 \quad 2 \quad 1)$ をなす第 2 部分とを有し、前記保護層の下部に配置されたカラーフィルター層をさらに含み、前記カラーフィルター層は、第 1 角度 $1 (\quad 1 \quad 0)$ をなす第 1 部分と第 2 角度 $2 (\quad 2 \quad 0)$ をなす第 2 部分とを有する、薄膜トランジスタ表示板を提供する。

【手続補正 1 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 3

【補正方法】変更

【補正の内容】

【0 0 2 3】

本願第 3 2 発明は、第 1 絶縁基板と、前記第 1 絶縁基板上に形成されている第 1 信号線と、前記絶縁基板上に形成され、前記第 1 信号線と交差する第 2 信号線と、前記第 1 及び第 2 信号線と連結されている薄膜トランジスタと、前記薄膜トランジスタに接続されている画素電極と、前記第 1 絶縁基板に対向する第 2 絶縁基板と、前記第 2 絶縁基板上に形成される共通電極と、前記第 1 及び第 2 絶縁基板の間の液晶層と、各ドメインが前記第 2 信号線の対応部分に平行な 2 つの主端部を有するように、液晶層を複数のドメインに分割す

るドメイン定義部材と、を含み、前記画素電極は第1及び第2画素電極を含んでおり、前記第1画素電極は前記第1信号線と第1角度 $1 (10)$ をなす第1端部と、前記第1信号線と第2角度 $2 (20, 21)$ をなす第2端部とを有し、前記第2画素電極は、前記第1画素電極の前記第1端部と物理的に分離され、かつ近接している第1端部を有する、薄膜トランジスタ表示板を提供する。

本願第33発明は、第32発明において、前記第1及び第2信号線と分離された第3信号線をさらに含み、前記第3信号線は画素電極と維持キャパシタを形成するように重畳し、前記第2信号線に平行に延在する分枝を含む、薄膜トランジスタ表示板を提供する。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本願第34発明は、第32発明において、前記液晶層の液晶分子は負の誘電率異方性を有しており、前記液晶分子の長軸は、実質的に前記第1及び第2絶縁基板の表面と垂直をなしている、薄膜トランジスタ表示板を提供する。

本願第35発明は、第32発明において、前記液晶層の液晶分子は正の誘電率異方性を有しており、前記液晶分子の長軸は、実質的に前記第1及び第2絶縁基板の表面と平行であり、前記第1絶縁基板から第2絶縁基板にかけてツイストしている、薄膜トランジスタ表示板を提供する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本願第36発明は、第32発明において、前記ドメイン定義部材は、前記共通電極の突出部である、薄膜トランジスタ表示板を提供する。

本願第37発明は、第32発明において、前記ドメイン定義部材は、前記共通電極又は画素電極の切欠部である、薄膜トランジスタ表示板を提供する。