(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 29 日(29.09.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/153005 A1

(51) 国際特許分類:
G06F 11/00 (2006.01) *H04L 25/49* (2006.01)
H03M 5/14 (2006.01)

(21) 国際出願番号: PCT/JP2016/059472

(22) 国際出願日: 2016 年 3 月 24 日(24.03.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-063178 2015 年 3 月 25 日(25.03.2015) JP

(71) 出願人: アイシン・エィ・ダブリュ株式会社 (AISIN AW CO., LTD.) [JP/JP]; 〒4441192 愛知県安城市藤井町高根１０番地 Aichi (JP).

(72) 発明者: 成瀬峰信 (NARUSE Takanobu); 〒4441192 愛知県安城市藤井町高根１０番地 アイシン・エィ・ダブリュ株式会社内 Aichi (JP).

(74) 代理人: 特許業務法人Ｒ＆Ｃ (R&C IP LAW FIRM); 〒5300005 大阪府大阪市北区中之島三丁目３番３号 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

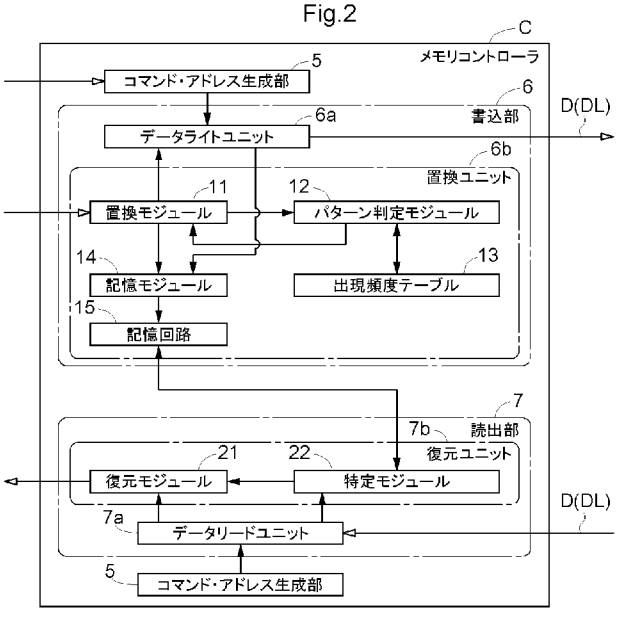
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: MEMORY CONTROLLER

(54) 発明の名称 : メモリコントローラ

Fig.2



5 Command/address generation unit
6 Write unit
6a Data write unit
6b Substitution unit
7 Read unit
7a Data read unit
7b Restoration unit
11 Substitution module
12 Pattern determination module
13 Appearance frequency table
14 Memory module
15 Memory circuit
21 Restoration module
22 Identification module
C Memory controller

(57) **Abstract**: The present invention suppresses noise generated when data are transferred to a memory. The memory controller (C) is provided with: a write unit (6) for writing transmission data into a memory; and a read unit (7) for reading the data from the memory. The write unit (6) is provided with a substitution unit (6b) which, if the pattern of "1s" and "0s" arranged in a bit string constituting the data to be transmitted to a signal line (DL) is a preset target pattern to be substituted, substitutes this bit string with a substitute bit string, with which noise can be suppressed, before writing the data to the memory. The read unit (7) is provided with a restoration unit (7b) for restoring the initial bit string from the substitute bit string read from the memory.

(57) 要約: メモリにデータを転送する際に発生するノイズを抑制する。 メモリコントローラ（Ｃ）が、メモリに伝送データを書き込む書込部（６）と、メモリからデータを読み出す読出部（７）とを備えている。書込部（６）が、信号ライン（ＤＬ）に伝送されるデータを構成するビット列の「１」と「０」との並びパターンが、置換対象として設定された対象パターンである場合に、メモリに書き込む以前に、そのビット列をノイズが抑制される置換ビット列に置き換える置換ユニット（６ｂ）を備えている。読出部（７）が、メモリから読み出した置換ビット列を初期ビット列に復元する復元ユニット（７ｂ）を備えている。

WO 2016/153005 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： メモリコントローラ

技術分野

[0001] 本発明は、メモリに対して信号ラインを介してデータ伝送を行うメモリコントローラに関する。

背景技術

[0002] 上記の技術として、例えば、下記の特許文献１には、信号ライン（引例ではデータバス）の各ビットを、符号化回路により２ビット以上の転送データに変換してデータバスに送り出し、データバスを送られた転送データを、復号回路により元のデータに復元することでバスノイズを低減するものが開示されている。

[0003] この特許文献１の技術では、転送データの複数のビットが同時に「１」又は「０」の状態から「０」又は「１」の状態へ変化するというような極端な変化が回避されることにより、電源や接地電位に対するノイズの発生を防止している。

[0004] しかし、メモリコントローラとメモリとの間のデータバスを考えると、データバスに送られるデータは「１」と「０」との組み合わせで成るため、例えば、「１」と「０」とが交互に伝送される場合等のように信号変化が一定周期で繰り返し発生することに起因する、特定周波数のノイズの発生を抑制することは困難であった。

[0005] また、特許文献１の技術では、メモリコントローラからメモリに対しての書込みと読出しの双方に対応するためには、転送データを生成するための符号化回路と、転送データを元のデータに復元するための復号回路とが、メモリコントローラとメモリの双方に必要となる。更に、特許文献１の技術では、信号変化の２倍以上の周波数のクロック信号が必要であるため、メモリコントローラとメモリの双方に専用のクロック生成回路を備える必要がある。また符号化回路と復号回路とをメモリコントローラとメモリの双方に備える

ため、符号化と復号の双方についてのソフトウエア設定も、メモリコントローラとメモリの双方に必要となり、これらのソフトウエア設定の手順が多くならざるを得ない。以上のことから、特許文献１の技術では、メモリコントローラとメモリの双方のコストが上昇するだけでなく、これらの双方に符号化回路と復号回路とを配置するための回路基板のスペースの確保を必要とする課題がある。

[0006] また、ノイズの影響を抑制するために、金属性のシールドを回路基板に設けたり、回路設計を変更したりすることなども行われているが、このような対策はコストの上昇の要因になると共に、変更が容易ではないために、様々な使用環境やノイズ要因に応じて柔軟に対策をとることが困難であるという問題があった。

先行技術文献

特許文献

[0007] 特許文献1：特開平１１－６８８６０号公報

発明の概要

発明が解決しようとする課題

[0008] そこで、メモリに対して信号ラインを介してデータ伝送を行う構成において、信号ラインで発生するノイズを効果的に抑制することができる技術が求められる。

課題を解決するための手段

[0009] 上記に鑑みたメモリコントローラの技術的特徴は、メモリのアドレスを指定し信号ラインを介してメモリにデータを書き込む書込部と、前記メモリのアドレスを指定し前記信号ラインを介して前記メモリからデータを読み出す読出部とを備え、

前記書込部が、前記信号ラインを介して前記メモリに書き込まれる伝送データのビット列の「１」と「０」との並びが置換対象として設定された対象パターンである場合に、前記メモリに書き込む以前に、前記対象パターンの

初期ビット列を、「１」と「０」との並びが前記対象パターンとは異なる置換後パターンとなる置換ビット列に置き換える置換ユニットを備え、

前記読出部が、前記メモリから読み出したデータの前記置換ビット列を前記初期ビット列に復元する復元ユニットを備えている点にある。

[0010] この構成によれば、対象パターン及び置換後パターンを適切に設定することにより、問題となるノイズを発生させるビット列のパターンを別のパターンに置き換えることができるため、メモリに対してデータを書き込む場合とメモリからデータを読み出す場合の双方において、信号ラインで発生するノイズを低減することが可能となる。

またこの際、ソフトウエア的に対象パターン及び置換後パターンの設定を変更するだけで様々な周波数のノイズを低減することができる。従って、例えば信号ラインを覆うシールドを設け、或いは、回路設計によりノイズ対策を行う場合に比べ、容易に低減対象のノイズ周波数を変更することができる。従って、メモリ及びメモリコントローラの使用環境に応じて柔軟にノイズ対策を実施できる。

更に、この構成によれば、置換ユニットの機能と復元ユニットの機能とをメモリコントローラに装備させるだけでよく、メモリについては一般的なものを使用することが可能である。ソフトウエア設定についても、メモリコントローラのみの設定で済むため、ソフトウエア設定手順を簡略化することが可能である。

図面の簡単な説明

[0011] [図1]メモリコントローラとメモリとの関係を示すブロック回路図である。

[図2]メモリコントローラの構成を示すブロック回路図である。

[図3]初期ビット列と置換ビット列とを模式的に示す図である。

[図4]複数のビット列を示す図である。

[図5]書き込み処理のフローチャートである。

[図6]読み出し処理のフローチャートである。

[図7]出現頻度テーブルのデータ構造を模式的に示す図である。

[図8]周波数毎のビット列パターンの出現頻度の一例を表したグラフである。

[図9]パターン特定情報のデータ構造を模式的に示す図である。

[図10]ノイズ分析装置の構成を示すブロック回路図である。

[図11]分析処理のフローチャートである。

発明を実施するための形態

[0012] 以下、本発明の実施形態を図面に基づいて説明する。

１．実施形態

〔基本構成〕

メモリコントローラＣの実施形態について図面に基づいて説明する。図１にはメモリＭに対してデータの読み書きを行うメモリコントローラＣを示している。このメモリＭとメモリコントローラＣとは、パーソナルコンピュータに限らず、オーディオ機器や、車載のカーナビゲーション機器、携帯通信機器等に備えられるものを対象としている。

[0013] メモリＭは、１６ビットのデータバスＤ（データ伝送レーンの一例）を介し、バーストモードでのデータの読み書きが可能なＤＲＡＭを想定している。すなわち、メモリＭについては特別な機能を有しない一般的なメモリを用いることができる。メモリＭとメモリコントローラＣとの間には、コマンド・アドレスライン１を備えている。データバスＤは複数（１６本）の信号ラインＤＬを並列に配置したものである。尚、データバスＤは１６ビットに限らず、１６ビット以上や、これ未満のビット数でも良い。

[0014] また、データバスＤは、８ビットのバスとなる第１伝送レーンＤＧ１と第２伝送レーンＤＧ２とを並列した構造を有し、メモリコントローラＣが各々を独立して管理できるように構成されている。

[0015] データバスＤ（データ伝送レーン）を構成する複数の信号ラインＤＬでは、データ伝送の基準クロックに同期してデータを伝送するため、例えば、図３に「初期ビット列」として示すように、データが「１」と「０」とが交互に連続するビット列となる場合には、基準クロックに同期した周波数のノイズが発生する。また、例えば図４（ａ）に示すように、「１」と「０」とが２

個ずつ交互に連続するビット列となる場合には、基準クロックの半分の周波数のノイズが発生する。尚、伝送されるビット列の具体例は、これらの他にも、例えば図４において（ｂ）、（ｃ）として例を挙げたもののように、様々なパターンのビット列が出現し得る。ノイズは電磁波であるため、周辺の回路に意図しない信号を発生させるなどの問題を生じさせる可能性もある。前記のようなビット列のパターンに応じて生じる各周波数のノイズのうちで、出現頻度が高いビット列のパターンが、より多くのノイズを発生させる可能性がある。また、出現頻度が高くない場合であっても、周辺の回路の構成等によって特定の周波数のノイズが特に問題を生じさせ易い場合もあり得る。

[0016] このような理由から、メモリコントローラＣは、例えば図３に示すように、「初期ビット列」が特定の周波数のノイズを発生させるビット列である場合には、同図に「置換ビット列」として示すように他の周波数となるビット列に変換する機能を有している。尚、図３に示す例では、基準クロックと同じ周波数のノイズを発生させる「１」と「０」とが交互に連続する「初期ビット列」を、基準クロックの１／３の周波数のノイズを発生させる「１」と「０」とが３個ずつ交互に連続する「置換ビット列」に置換している。これにより、信号ラインＤＬで発生する基準クロックと同じ周波数のノイズを低減している。更に、このメモリコントローラＣでは、メモリＭに書き込まれた置換ビット列を読み出した場合には、復元処理により元のビット列に復元される。

[0017] この実施形態では、メモリＭに書き込むためメモリコントローラＣが受け取った伝送データの「１」と「０」との並びのビット列を初期ビット列と称している。また、初期ビット列のうち、置換対象に設定された「１」と「０」との並びを対象パターンと称している。更に、置換により対象パターンと異なるように設定されたパターンを置換後パターンと称し、この置換後パターンの「１」と「０」との並びを置換ビット列と称している。図３に示す例では、「１」と「０」とが交互に連続するビット列を対象パターンに設定し

、「１」と「０」とが３個ずつ交互に連続するビット列を置換後パターンに設定している。

[0018] これにより、メモリＭにデータが伝送される場合（書き込まれる場合）と、メモリＭからデータが伝送される場合（読み出される場合）との何れの場合にも、信号ラインＤＬに伝送されるデータにおける特定の周波数のノイズ、すなわち対象パターンに設定されたビット列により生じる周波数のノイズの低減を行うことができる。なお、対象パターンをどのように設定するかについては、後述する。

[0019] 〔メモリコントローラ〕

図１に示すように、メモリコントローラＣは、データの読み書きのコマンドとアドレスを指定するコマンド・アドレス生成部５と、メモリＭへの伝送データの書き込みを実行する書込部６と、メモリＭからデータの読み出しを実行する読出部７とを備えている。

[0020] このメモリコントローラＣは、マイクロプロセッサやＤＳＰ等と同様にプログラムにより所定の処理を実行する機能を有するものである。この機能を利用することにより、メモリコントローラＣは、後述する置換処理と復元処理とを実現する。すなわち、本実施形態では、置換処理を行う置換ユニットを含む書込部６の機能と、復元処理を行う復元ユニットを含む読出部７の機能とは、いずれもメモリコントローラＣにおけるプログラムにより実現される。従って、本実施形態の構成によれば、メモリＭとしては一般的なものを用い、メモリコントローラＣのプログラムに、以下で説明する書込部６と読出部７の機能を追加するだけで、ノイズを効果的に抑制することができる構成が実現される。

[0021] 図２に示すように、書込部６は、データライトユニット６ａと、置換ユニット６ｂとを備えている。置換ユニット６ｂは、信号ラインＤＬを介してメモリＭに書き込まれる伝送データのビット列の「１」と「０」との並びが置換対象として設定された対象パターンである場合に、メモリＭに書き込む以前に、対象パターンの初期ビット列を、「１」と「０」との並びが対象パタ

ーンとは異なる置換後パターンとなる置換ビット列に置き換える処理を行う。そのために、置換ユニット６ｂは、置換モジュール１１と、パターン判定モジュール１２と、出現頻度テーブル１３と、記憶モジュール１４と、記憶回路１５とを備えている。パターン判定モジュール１２は、伝送データのビット列の「１」と「０」との並びが設定された対象パターンであるかを判定する。置換モジュール１１は、パターン判定モジュール１２で対象パターンであることを判定した場合に、当該対象パターンの初期ビット列を置換ビット列に置き換える。記憶モジュール１４は、置換モジュール１１での置き換えを行った場合に、対象パターンと、置換ビット列が書き込まれるメモリＭのアドレスを特定するためのアドレスデータと、を関連付けて記憶回路１５に記憶させる。本実施形態のメモリコントローラＣでは、内部に記憶回路１５を備えているが、記憶モジュール１４によりデータを記憶する対象がメモリＭの一部の領域であっても良い。

[0022] 読出部７は、データリードユニット７ａと、復元ユニット７ｂとを備えている。復元ユニット７ｂは、メモリＭから読み出したデータの置換ビット列を初期ビット列に復元する処理を行う。そのために、復元ユニット７ｂは、復元モジュール２１と特定モジュール２２とで構成されている。特定モジュール２２は、記憶回路１５に記憶されたアドレスデータに基づいて、メモリＭから読み出したデータの中に含まれる置換ビット列を特定する。

復元モジュール２１は、記憶回路１５に記憶されたアドレスデータに関連付けられている対象パターンに基づいて、置換ビット列を置き換え前の初期ビット列に復元する。

[0023] データライトユニット６ａは、コマンド・アドレス生成部５からの情報に基づいて伝送データのメモリＭへの書き込みを実行する。尚、同図では、理解を容易にするため２つのコマンド・アドレス生成部５を示しているが、通常、このコマンド・アドレス生成部５は、メモリコントローラＣに１つ備えられていればよい。

[0024] 出現頻度テーブル１３のデータ構造の一例を図７に示している。同図では

、出現頻度が高いものからパターン（０１）、パターン（０２）‥‥パターン（２０）となる順序で複数の対象パターンを記憶したデータ構造であることを示している。また、この出現頻度テーブル１３では、各々のパターンを識別するため、各々のパターンにビット列情報が関連付けられており、複数の対象パターンを出現頻度に基づいて区別するための基準値Ｅが設定されている。この出現頻度テーブル１３は、後述するノイズ分析装置ＡＮによる分析により得られたものとすることができる。

[0025] 図８は、周波数を横軸とし、出現頻度を縦軸として、周波数毎のノイズを生じさせるビット列パターンの出現頻度の一例を表したグラフである。この例では、基準クロックと同じ周波数（周波数＝ｎ）のノイズを生じさせるビット列パターンの出現頻度が最も高く、基準値Ｅを超えている。そこで、本実施形態においては、基準クロックと同じ周波数（周波数＝ｎ）のノイズを生じさせる単数又は複数のビット列パターンの少なくとも一つを対象パターンに設定している。また、図８の例では、基準クロックの１／４の周波数（周波数＝ｎ／４）のノイズを生じさせるビット列パターンの一つを置換後パターンに設定している。これにより、基準クロックの１／４の周波数（周波数＝ｎ／４）のノイズを増加させる代わりに、出現頻度が基準値Ｅを超えている基準クロック周波数（周波数＝ｎ）のノイズを低減することができており、結果的に、全ての周波数において出現頻度が基準値Ｅ以下に抑えられている。ここで、基準値Ｅは、例えば、予め定められた周波数域毎の出現頻度の平均値に設定することができる。なお、平均値に代えて、最多値、中央値等、他の基準に基づいて基準値Ｅを設定してもよい。また、各周波数のノイズを生じさせるビット列パターンの出現頻度は、実質的に各周波数のノイズの大きさに対応しているため、図８のグラフにおいて、縦軸をノイズレベルと置き換えることもできる。

[0026] 〔処理形態〕

図５のフローチャートには、書込部６での書き込み処理の概要を示しており、図６のフローチャートには、読出部７での読み出し処理の概要を示して

いる。

[0027] 書き込みを実行する場合には、メモリＭにバーストモードで書き込むためにメモリコントローラＣに与えられた全てのデータについて、対象パターンのビット列であるかの判定が行われる。この判定は、データバスＤを構成する複数のデータ伝送レーン（ＤＧ１、ＤＧ２）の各々について行われ、判定の結果、対象パターンの初期ビット列（対象ビット列）を、置換後パターンのビット列である置換ビット列に置き換える処理が行われる。

[0028] なお、バーストモードで書き込みが行われる場合には、対象パターンのビット列のビット長は、バーストモードで転送されるビット長と同じに設定すると好適であるが、バーストモードで転送されるビット長より短いビット列に設定してもよい。

[0029] 〔処理形態：書き込み処理〕

メモリコントローラＣに伝送データを伝送してメモリＭへの書き込み要求があった場合には、図５のフローチャートに示す書き込み処理が実行される。この書き込み処理では、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）での伝送データのビット列（初期ビット列）が取得され、各々のパターンの判定が行われる。この判定の結果、予め設定されている対象パターンである場合には置き換え対象に設定する（＃１０１、＃１０２ステップ）。

[0030] この処理では、置換モジュール１１が、メモリコントローラＣがメモリＭに書き込むべき初期の伝送データを取得し、パターン判定モジュール１２に与える。パターン判定モジュール１２は出現頻度テーブル１３を参照することにより、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）に転送されるデータの伝送データの「１」と「０」との並びが対象パターンであるか否かの判定を行う。

[0031] つまり、この判定では、伝送データの初期ビット列が、図７に示す複数のパターンのうち基準値Ｅより出現頻度が高いものの中から設定された対象パターンと合致した場合に、その初期ビット列を対象パターンのビット列であると判定する。そして、基準値Ｅより出現頻度が低いパターンの中から設定

された置換後パターンのビット列に置き換える。すなわち、本実施形態では、出現頻度が基準値Ｅより高いパターンの中の少なくとも１つを対象パターンに設定し、出現頻度が基準値Ｅより低いパターンの中の少なくとも１つを置換後パターンに設定している。以下では、説明の簡略化のため、データ伝送レーン（ＤＧ１、ＤＧ２）毎に１つの対象パターンと１つの置換後パターンを設定する場合を例として説明する。この処理では、基準値Ｅより出現頻度が低いパターンを置換後パターンに設定するものであるが、これに代えて、出現頻度テーブル１３には記憶されていないビット列を置換ビット列とするように処理形態を設定しても良い。また、例えば、図７に示す出現頻度テーブル１３において基準値Ｅより出現頻度が高いパターンの全てを対象パターンに設定してもよい。その場合には、この判定では出現頻度テーブル１３において基準値Ｅより出現頻度が高い各パターンに関連付けられたビット列情報と、伝送データの初期ビット列との比較により対象パターンに合致するものか否かの判定が行われる。

[0032] 置換モジュール１１は、上記のように設定された置換後パターンに基づいて、対象パターンの初期ビット列を、置換後パターンに対応する置換ビット列に置き換える置換処理を実行する。そして、置き換えに連係して、記憶モジュール１４が、対象パターンと、当該対象パターンに合致するとして置き換えられた置換ビット列が書き込まれるメモリＭのアドレスを特定するためのアドレスデータとを関連付けた状態で記憶回路１５に記憶する。

そして、置換された後の置換ビット列がメモリＭに書き込まれる。なお、対象パターンとは異なるパターンの初期ビット列のデータは、そのままメモリＭに書き込まれる（＃１０３～＃１０５ステップ）。

[0033] 本例では、この処理において、記憶モジュール１４が、置換モジュール１１により置換した初期ビット列に係る対象パターンを置換モジュール１１又はパターン判定モジュール１２から取得し、置換ビット列が書き込まれるメモリＭのアドレスを特定するためのアドレスデータをデータライトユニット６ａから取得する。この取得の後に、これらを互いに関連付けた状態で記憶

回路１５に書き込む。

[0034] アドレスデータは、置換ビット列が書き込まれるメモリＭ内の領域の先頭アドレスと、ビット長のデータとの組み合わせとするのが一般的である。一方、別の例として、置換モジュール１１による置換処理を行っていない初期ビット列の状態で置換後パターンと同じパターンであるビット列を、アドレスを記憶する対象のビット列とし、当該対象のビット列が書き込まれるメモリＭのアドレスを特定するデータをアドレスデータとしても好適である。上記のとおり、対象パターンは、出現頻度が高いパターンに設定され、置換後パターンは出現頻度が低いパターンに設定されることが多い。そのような場合、対象パターンに合致するビット列の出現数と、初期ビット列の状態で置換後パターンと同じパターンであるビット列の出現数とでは、後者の方が少なくなる可能性が高い。従って、初期ビット列の状態で置換後パターンと同じパターンであるビット列のアドレスをアドレス情報とする方が、対象パターンに合致するビット列のアドレスをアドレス情報とする場合よりも、記憶回路１５に記憶する必要があるアドレス情報の数、すなわちデータ量を低減することができる。

[0035] 本実施形態のように、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）を備える場合には、当該の複数のデータ伝送レーン（ＤＧ１、ＤＧ２）のそれぞれについて、互いに異なる置換後パターンを設定すると好適である。この場合において、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）のそれぞれを伝送される置換後ビット列によるオンオフ周波数が、互いに異なるオンオフ周波数となるように、置換後パターンを設定すると好適である。これにより、置換ユニット６ｂによる置換処理によって、特定の周波数のノイズが増加することを抑制できる。そこで、本実施形態では、置換ユニット６ｂは、第１伝送レーンＤＧ１を介して伝送される置換ビット列の「１」と「０」との並びにより生じるオンオフ周波数と、第２伝送レーンＤＧ２を介して伝送される置換ビット列の「１」と「０」との並びにより生じるオンオフ周波数とが異なるように、第１伝送レーンＤＧ１と第２伝送レーンＤＧ２とで異なる置換後

パターンを設定している。例えば、第１伝送レーンＤＧ１の置換後パターンを図４（ｂ）に示すビット列のパターンとし、第２伝送レーンＤＧ２の置換後パターンを図４（ｃ）に示すビット列のパターンとすると、第１伝送レーンＤＧ１の置換後ビット列によるオンオフ周波数が基準クロックの１／４の周波数となり、第２伝送レーンＤＧ２の置換後ビット列によるオンオフ周波数が基準クロックの１／８の周波数となる。この場合において、第１伝送レーンＤＧ１についての対象パターンと、第２伝送レーンＤＧ２についての対象パターンとが、同じであっても良いし、異なっていても良い。なお、データ伝送レーンが３つ以上ある場合、それぞれにおいて伝送される置換ビット列のオンオフ周波数が、互いに異なる周波数となるように設定されると好適であるが、一部のデータ伝送レーンについての置換ビット列のオンオフ周波数が同じになることを妨げるものではない。

[0036] また、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）のそれぞれを伝送される置換後ビット列の「１」と「０」との境界のタイミングが互いに異なるように、置換後パターンを設定すると好適である。これにより、置換ユニット６ｂによる置換処理の後、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）での置換後ビット列の「１」と「０」との境界のタイミングが同じになることに起因して当該タイミングでノイズが増加することを抑制できる。そこで、本実施形態では、置換ユニット６ｂは、第１伝送レーンＤＧ１を介して伝送される置換ビット列の「１」と「０」との境界のタイミングと、第２伝送レーンＤＧ２を介して伝送される置換ビット列の「１」と「０」との境界のタイミングとが異なるように、第１伝送レーンＤＧ１と第２伝送レーンＤＧ２とで異なる置換後パターンを設定している。例えば、第１伝送レーンＤＧ１の置換後パターンを図４（ｄ）に示すビット列のパターンとし、第２伝送レーンＤＧ２の置換後パターンを図４（ｅ）に示すビット列のパターンとすると、第１伝送レーンＤＧ１の置換後ビット列と第２伝送レーンＤＧ２の置換後ビット列とは、「１」と「０」との境界のタイミングが互いに異なると共に、オンオフ周波数も互いに異なるものとなる。また、例えば、第１伝送レー

ンＤＧ１の置換後パターンを図４（ｃ）に示すビット列のパターンとし、第２伝送レーンＤＧ２の置換後パターンを図４（ｅ）に示すビット列のパターンとすると、第１伝送レーンＤＧ１の置換後ビット列と第２伝送レーンＤＧ２の置換後ビット列とは、オンオフ周波数が同じであるが、「１」と「０」との境界のタイミングが互いに異なるものとなる。この場合において、第１伝送レーンＤＧ１についての対象パターンと、第２伝送レーンＤＧ２についての対象パターンとが、同じであっても良いし、異なっていても良い。なお、データ伝送レーンが３つ以上ある場合、それぞれにおいて伝送される置換ビット列の「１」と「０」との境界のタイミングが、互いに異なるように設定されると好適であるが、一部のデータ伝送レーンについての置換ビット列の「１」と「０」との境界のタイミングが同じになることを妨げるものではない。

[0037] いずれにしても、置換ユニット６ｂは、対応するデータ伝送レーン（ＤＧ１、ＤＧ２）毎に、対象パターンの初期ビット列を、置換後パターンの置換ビット列に置き換える置換処理を実行する。

[0038] 〔処理形態：読み出し処理〕

図６に示すように、読み出し処理では、指定されたアドレス領域（指定アドレス領域）からデータが読み出された場合には、指定アドレス領域が記憶回路１５に記憶されているアドレスデータにより特定されるアドレスに該当するかの判定が行われる（＃２０１、＃２０２ステップ）。

[0039] この処理では、メモリコントローラＣに読み出しの要求があり、データリードユニット７ａがメモリＭからデータを読み出した場合には、データリードユニット７ａで読み出したデータが復元モジュール２１に与えられる。これと連係して、データリードユニット７ａは、特定モジュール２２に指定アドレスの情報を与え、特定モジュール２２は、記憶回路１５に記憶されているアドレスデータにより特定されるアドレスと比較する。この比較では、指定アドレスが、記憶回路１５に記憶されているアドレスデータにより特定されるアドレスに該当するかの判定が行われる。

[0040] 指定アドレスが記憶回路１５に記憶されているアドレスデータにより特定されるアドレスに該当すると判定した場合には、特定モジュール２２は、メモリＭから読み出したデータのうち、対応するアドレスデータにより特定されるアドレスの情報と、当該アドレスデータに関連付けられている対象パターンの情報とを復元モジュール２１に与える。これにより、復元モジュール２１は、メモリＭから読み出したデータを復元処理し、要求元に対して復元されたデータを転送する。また、復元が不要である場合には、取得したデータを、そのまま伝送する（＃２０３～＃２０６ステップ）。

[0041] ここでは、１つのデータ伝送レーンについての読み出し処理の形態を説明したが、当然のことながら、本実施形態のように、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）を備える場合には、当該の複数のデータ伝送レーン（ＤＧ１、ＤＧ２）それぞれについて、この読み出し処理が行われる。

[0042] 〔出現頻度テーブルの設定〕

出現頻度テーブル１３は、信号ラインＤＬを介してメモリＭに転送される転送データの「１」と「０」のビット列が予め設定された複数の対象パターンの何れかに含まれるかの判定と、含まれる場合には何れの対象パターンであるかの判定とに用いられる。この出現頻度テーブル１３は、出現頻度の高いパターンと、出現頻度が低いパターンとを記憶したデータ構造を有している。

[0043] この出現頻度は、図１０に示すノイズ分析装置ＡＮによって予め取得された出現頻度情報に基づいて設定される。前述したように、メモリコントローラＣは、マイクロプロセッサやＤＳＰ等と同様にプログラムに従う処理を実現するものである。この構成を利用して、メモリコントローラＣのプログラムを設定することで、図１０に示すノイズ分析装置ＡＮが構成される。このノイズ分析装置ＡＮでは、専用のコンピュータ等が接続され、出力された出現頻度情報は、専用のコンピュータ等で取得され、出現頻度テーブル１３に記憶されることになる。或いは、ノイズ分析装置ＡＮ自体が、出現頻度情報に基づいて、出現頻度テーブル１３を生成したり、随時更新したりする構成

とされても好適である。

[0044] 本実施形態では、ノイズ分析装置ＡＮは、データリード部３１と、データライト部３２と、パターン判定部３３と、判定パターンテーブル３４と、積算処理部３５と、頻度出力部３７と、デバイス識別部３８と、出力タイミング設定部３９とを備えている。ここで、パターン判定部３３は、信号ラインＤＬを介してメモリＭに読み書きされる伝送データのビット列の「１」と「０」の並びのパターンが、設定された少なくとも１つの判定パターンに合致するか否かを判定する。判定パターンテーブル３４には、設定された少なくとも１つの判定パターンの情報、具体的には判定パターンのビット列が記憶されている。積算処理部３５は、パターン判定部３３で判定された判定パターンの出現回数を積算値として取得する。頻度出力部３７は、積算処理部３５により取得された積算値と、当該積算値が表す判定パターンを特定するパターン特定情報と、を関連付けた出現頻度情報を出力する。

[0045] このノイズ分析装置ＡＮでは、各種のデバイスが、メモリＭに記憶されたデータに対して現実にアクセスする場合に、信号ラインＤＬを伝送される「１」と「０」のビット列のパターンを取得し、各パターンの出現頻度を取得する。図１１のフローチャートには、その処理の概要を示している。また、出現頻度情報を取得する対象は、分析対象として設定された少なくとも一つの判定パターンに合致する伝送データのビット列である。

[0046] つまり、データリード部３１又はデータライト部３２を介して、メモリＭに読み書きされる伝送データのビット列が信号ラインＤＬを介して伝送された場合には、パターン判定部３３が当該伝送データを取得し、判定パターンテーブル３４のデータに基づき、設定された少なくとも一つの判定パターンに合致するか否かの判定を行う（＃３０１～＃３０３ステップ）。

[0047] 次に、積算処理部３５が、パターン判定部３３で判定された判定パターンの出現回数を積算値として取得する。この際、積算処理部３５は、パターン判定部３３で判定パターンに合致すると判定された伝送データについて、その判定パターンを特定するパターン特定情報を取得し、判定パターン毎の出

現回数を積算する。また、本実施形態では、積算処理部３５は、メモリＭにデータを書き込む場合と、メモリＭからデータを読み出す場合とを区別して積算値を取得する。また、積算処理部３５は、伝送データが書き込まれるメモリＭ内のアドレスが、メモリＭの記憶領域の中にある複数の区分領域のいずれに属するかに応じて、当該区分領域毎に積算値を取得する。更に、積算処理部３５は、伝送データの送信元のデバイスが、メモリＭにアクセス可能な複数のデバイスの中の何れであるかに応じて、当該デバイス毎に積算値を取得する。そのために、積算処理部３５は、パターン判定部３３で判定パターンと判定された伝送データについて、アクセス情報と、区分領域情報と、デバイス情報と、を含む属性情報を取得する。そして、取得したパターン特定情報に、当該属性情報を関連付けて、各判定パターンの出現回数を積算し、積算値として取得する（＃３０４～＃３０６ステップ）。

[0048] 図９は、積算処理部３５が取得する、パターン特定情報と属性情報とに関連付けられた積算値データの一例を示している。同図に示すように複数種の判定パターンを識別するため、積算値データのそれぞれは、パターン特定情報をインデックスとしており、属性情報として、（Ｒ）と（Ｗ）とで示すアクセス情報、（Ａ１～Ａ３）で示す区分領域情報、（Ｄ１～Ｄ３）で示すデバイス情報、の各々を備えている。また、このパターン特定情報には、当該パターン特定情報により特定される判定パターンのビット列情報が関連付けられている。

[0049] 具体的には、アクセス情報の（Ｒ）と（Ｗ）は、メモリＭにデータ（ビット列情報）を書き込む場合（Ｒ）と、メモリＭからデータ（ビット列情報）を読み出す場合（Ｗ）との区別を示している。区分領域情報の（Ａ１～Ａ３）は、判定パターンの伝送データ（ビット列情報）が書き込まれるメモリＭ内のアドレスが、メモリＭの記憶領域の中にある複数の区分領域（Ａ１～Ａ３）のいずれに属するかを示している。デバイス情報の（Ｄ１～Ｄ３）は、判定パターンの伝送データ（ビット列情報）の送信元のデバイスが、メモリＭにアクセス可能な複数のデバイス（Ｄ１～Ｄ３）の中の何れであるかを示

している。ここで、送信元のデバイスが何れであるかは、デバイス識別部３８により識別され、その識別情報が積算処理部３６に与えられる。尚、区分領域情報は上記した３つの領域に限らず、デバイスの数も３つに限らない。

[0050] そして、積算処理部３５は、パターン特定情報により特定された判定パターン毎、及び各属性情報毎に、出現回数を積算し、その積算値をインクリメントする（＃３０６ステップ）。具体的には、メモリＭに読み書きされる伝送データのビット列が判定パターンに合致する毎に、積算処理部３５は、当該の伝送データ（ビット列情報）についてのパターン特定情報と、属性情報としての（Ｒ）と（Ｗ）とで示すアクセス情報、（Ａ１～Ａ３）で示す区分領域情報、及び（Ｄ１～Ｄ３）で示すデバイス情報を取得する。そして、積算処理部３５は、当該取得した情報に応じて、図９に示すような、積算値データであって、当該判定パターンを特定するパターン特定情報を有するデータについて、アクセス情報の（Ｒ）と（Ｗ）の何れかの値をインクリメントし、区分領域情報の（Ａ１～Ａ３）の何れかの値をインクリメントし、デバイス情報の（Ｄ１～Ｄ３）の何れかの値をインクリメントする。

[0051] そして、頻度出力部３７が、予め設定された出力タイミングで、出現頻度情報を出力する（＃３０７、＃３０８ステップ）。ここで、出現頻度情報は、積算処理部３５により取得された積算値と、当該積算値が表す判定パターンを特定するパターン特定情報と、を関連付けた情報である。本実施形態では、出現頻度情報は、更に、アクセス情報と、区分領域情報と、デバイス情報と、を含む属性情報も、積算値及びパターン特定情報に関連付けた情報となっている。具体的には、頻度出力部３７は、出力タイミングとなった時点での上記積算値データ（図９参照）を積算処理部３５から取得し、その時点での積算値データを出現頻度情報として出力する。また、これらの＃３０１～＃３０８ステップの処理は、リセットされるまで反復して実行される（＃３０９ステップ）。

[0052] 出力タイミング設定部３９は、設定された出力タイミングに従って、頻度出力部３７に対して出力のトリガー情報を与える。頻度出力部３７は、この

トリガー情報に応じて出現頻度情報を出力する。本実施形態では、出力タイミング設定部３９は、積算処理部３５による積算値が予め設定した出力閾値を超える毎、又は当該積算値の積算期間が予め設定した出力期間を超える毎に、頻度出力部３７に出力のトリガー情報を与える。具体的には、出力タイミング設定部３９は、図９に示す積算値データの各項目の積算値の中でも最も値が大きいものが、予め設定した出力閾値を超える毎、又は、積算値データの積算値の積算期間が予め設定した出力期間を超える毎に、トリガー情報を頻度出力部３７に対して出力する。尚、出力タイミング設定部３９は、予め設定した出力閾値を超えるという値条件と、積算値データの積算値の積算期間が予め設定した出力期間を超えるという期間条件と、の双方を満たす毎にトリガー情報を出力する構成とされてもよい。

[0053] この分析処理により得られる出現頻度情報に基づいて、各属性情報の積算値をソートすることにより、アクセス情報と区分領域情報デバイス情報との何れか１つ又はこれらの組み合わせを基準にした出現頻度を得ることができる。

[0054] 例えば、車載のカーナビゲーション機器等、メモリＭが使用される機器によっては、メモリＭの記憶領域が予め複数の区分領域に区分され、区分領域毎に異なる種類のデータが記憶される構成となっている場合がある。例えば、第１の区分領域には地図情報を記憶し、第２の区分領域には静止画像情報を記憶し、第

３の区分領域には音声情報を記憶し、第４の区分領域にはプログラムの情報を記憶する等、データ種別毎に記憶される区分領域が予め定まっている場合がある。同様に、メモリＭに対してアクセス可能なデバイスが複数存在する場合であって、デバイス毎に異なる種類のデータが伝送される場合がある。例えば、メモリコントローラＣを介してメモリＭにアクセス可能に構成された複数のデバイスのうち、地図描画デバイスが地図データを伝送し、画像表示デバイスが静止画データを伝送し、オーディオ再生デバイスが音声情報を伝送し、演算処理デバイスがプログラムデータを伝送する等、メモリＭにア

クセスするデバイス毎に異なる種別のデータ伝送が行われる場合がある。そして、このようなデータ種別に応じて、メモリコントローラＣとメモリＭとの間で伝送されるデータのビット列の「１」と「０」との組み合せパターンの出現頻度にも偏りが生じ、その偏りに一定の傾向が現れる場合がある。従って、伝送データのビット列の中で出現頻度が高いパターンも、メモリＭの中の区分領域毎、或いは、メモリＭにアクセスするデバイス毎に異なる場合がある。

[0055] そこで、伝送データが書き込まれるアドレスが、メモリＭの記憶領域の中にある複数の区分領域のいずれに属するかに応じて、或いは、伝送データの送信元のデバイスが、メモリＭにアクセス可能な複数のデバイスの中のいずれであるかに応じて、対象パターン及び置換後パターンの少なくとも一方を異ならせると好適である。例えば、上述した出現頻度情報に基づいて、メモリＭの区分領域毎の出現頻度を取得し、伝送データが書き込まれるアドレスが属する区分領域毎に、出現頻度が基準値Ｅより高いパターンの中の少なくとも一つを対象パターンに設定し、出現頻度が基準値Ｅより低いパターンの中の少なくとも一つを置換後パターンに設定するとよい。或いは、出現頻度情報に基づいて、伝送データの送信元のデバイス毎の出現頻度を取得し、伝送データの送信元のデバイス毎に、出現頻度が基準値Ｅより高いパターンの中の少なくとも一つを対象パターンに設定し、出現頻度が基準値Ｅより低いパターンの中の少なくとも一つを置換後パターンに設定してもよい。

[0056] ２．その他の実施形態

（１）上記の実施形態では、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）を備える場合に、データ伝送レーン（ＤＧ１、ＤＧ２）毎に１つの対象パターンと１つの置換後パターンを設定する場合を例として説明した。しかし、当然ながら、データ伝送レーン（ＤＧ１、ＤＧ２）毎に複数の対象パターンを設定すると共に、複数の対象パターンのそれぞれに対応して置換後パターンを設定しても好適である。当然ながら、データ伝送レーンが１つの場合に、複数の対象パターンと複数の置換後パターンを設定しても好適である。また

、全てのデータ伝送レーン（ＤＧ１、ＤＧ２）について共通の１つ又は複数の対象パターンを設定してもよい。

[0057] （２）上記の実施形態では、データ伝送レーン（ＤＧ１、ＤＧ２）のそれぞれが、複数の信号ラインＤＬを備えている場合を例として説明した。しかし、当然ながら、データ伝送レーン（ＤＧ１、ＤＧ２）のそれぞれが、１本の信号ラインＤＬにより構成されていてもよい。すなわち、信号ラインＤＬ毎に、対象パターンと置換後パターンを設定してもよい。

[0058] （３）上記の実施形態では、置換後パターンを、出現頻度が基準値Ｅより低いパターンの中から設定する場合を例として説明した。しかし、これ以外の構成とすることもできる。

例えば、置換後パターンを、「０」だけが連続するビット列、又は、「１」だけが連続するビット列としても好適である。このような置換後パターンを設定することにより、置換ビット列が、信号ラインＤＬにおいて全て同じ電位となるため、ノイズを有効に低減させることができる。また、このような置換後パターンを用いる場合、ノイズを発生させやすい複数のパターンの初期ビット列の全てを「０」又は「１」だけが連続する置換ビット列に置換することも可能となる。従って、置換ユニット６ｂでの処理を単純にして処理速度の向上を図ることも可能となる。

[0059] （４）上記の実施形態では、対象パターンを、出現頻度が基準値Ｅより高いパターンの中の少なくとも１つに設定し、置換後パターンを、出現頻度が基準値Ｅより低いパターンの中の少なくとも１つに設定する場合について説明した。しかし、これに限定されず、対象パターン及び置換後パターンを、出現頻度以外の他の基準に基づいて設定してもよい。例えば、置換ユニット６ｂによる置き換え前のデータに含まれるビット列の「１」と「０」の並びのパターンが、予め定められたノイズ周波数域のノイズを発生させるパターンの中の少なくとも一つを、対象パターンに設定し、当該ノイズ周波数域のノイズを発生させるパターン以外のパターンの中の少なくとも一つを、置換後パターンに設定しても好適である。ノイズを低減したい周波数域が既に決ま

っている場合には、このような設定とすることで、有効にノイズを低減することができる。なお、低減したい周波数域のノイズを発生させるビット列のパターンが複数存在する場合には、それらの一部または全部のパターンを対象パターンに設定するとよい。

[0060] （５）上記実施形態では、頻度出力部３７により出力される出現頻度情報が、積算値と、パターン特定情報と、属性情報とを関連付けた情報である場合を例として説明した。しかし、出現頻度情報が、積算値と、パターン特定情報と、を関連付けただけの情報であってもよい。また、上記の実施形態では、属性情報として、アクセス情報と、区分領域情報と、デバイス情報と、が含まれる場合を例として説明した。しかし、属性情報として、これらの一部のみが含まれる構成としてもよいし、これら以外の情報が含まれる構成としてもよい。

[0061] （６）なお、上述した各実施形態で開示された構成は、矛盾が生じない限り、他の実施形態で開示された構成と組み合わせて適用することも可能である。その他の構成に関しても、本明細書において開示された実施形態は全ての点で単なる例示に過ぎない。従って、本開示の趣旨を逸脱しない範囲内で、適宜、種々の改変を行うことが可能である。

[0062] ３．上記実施形態の概要

以下、上記において説明したメモリコントローラの概要について説明する。

[0063] メモリコントローラ（Ｃ）は、メモリ（Ｍ）のアドレスを指定し信号ライン（ＤＬ）を介してメモリ（Ｍ）にデータを書き込む書込部（６）と、前記メモリ（Ｍ）のアドレスを指定し前記信号ライン（ＤＬ）を介して前記メモリ（Ｍ）からデータを読み出す読出部（７）とを備え、

前記書込部（Ｍ）が、前記信号ライン（ＤＬ）を介して前記メモリ（Ｍ）に書き込まれる伝送データのビット列の「１」と「０」との並びが置換対象として設定された対象パターンである場合に、前記メモリ（Ｍ）に書き込む以前に、前記対象パターンの初期ビット列を、「１」と「０」との並びが前

記対象パターンとは異なる置換後パターンとなる置換ビット列に置き換える置換ユニット（６ｂ）を備え、

前記読出部（７）が、前記メモリ（Ｍ）から読み出したデータの前記置換ビット列を前記初期ビット列に復元する復元ユニット（７ｂ）を備えている。

[0064] この構成によれば、対象パターン及び置換後パターンを適切に設定することにより、問題となるノイズを発生させるビット列のパターンを別のパターンに置き換えることができるため、メモリ（Ｍ）に対してデータを書き込む場合とメモリ（Ｍ）からデータを読み出す場合の双方において、信号ライン（ＤＬ）で発生するノイズを低減することが可能となる。

またこの際、ソフトウエア的に対象パターン及び置換後パターンの設定を変更するだけで様々な周波数のノイズを低減することができる。従って、例えば信号ライン（ＤＬ）を覆うシールドを設け、或いは、回路設計によりノイズ対策を行う場合に比べ、容易に低減対象のノイズ周波数を変更することができる。従って、メモリ（Ｍ）及びメモリコントローラ（Ｃ）の使用環境に応じて柔軟にノイズ対策を実施できる。

更に、この構成によれば、置換ユニット（６ｂ）の機能と復元ユニット（７ｂ）の機能とをメモリコントローラ（Ｃ）に装備させるだけでよく、メモリ（Ｍ）については一般的なものを使用することが可能である。ソフトウエア設定についても、メモリコントローラ（Ｃ）のみの設定で済むため、ソフトウエア設定手順を簡略化することが可能である。

[0065] また、前記置換ユニット（６ｂ）が、

前記伝送データのビット列の「１」と「０」との並びが前記対象パターンであるかを判定するパターン判定モジュール（１２）と、

前記パターン判定モジュール（１２）で前記対象パターンであることを判定した場合に、前記初期ビット列を前記置換ビット列に置き換える置換モジュール（１１）と、

前記置換モジュール（１１）での置き換えを行った場合に、前記対象パ

ターンと、前記置換ビット列が書き込まれる前記メモリ（Ｍ）のアドレスを特定するためのアドレスデータと、を関連付けて記憶させる記憶モジュール（１４）と、を備え、

前記復元ユニット（７ｂ）が、

前記アドレスデータに基づいて、前記メモリ（Ｍ）から読み出したデータの中に含まれる前記置換ビット列を特定する特定モジュール（２２）と、

前記アドレスデータに関連付けられている前記対象パターンに基づいて、前記置換ビット列を置き換え前の前記初期ビット列に復元する復元モジュール（２１）と、を備えると好適である。

[0066] この構成によれば、メモリ（Ｍ）に書き込まれる伝送データが対象パターンであることをパターン判定モジュール（１２）が判定した場合には、置換モジュール（１１）が、対象パターンの初期ビット列を置換ビット列に置き換え、このように書き換えられた置換ビット列がメモリ（Ｍ）に書き込まれる。また、置き換え時には、対象パターンとアドレスデータとが関連付けられて記憶モジュール（１４）により所定の記憶部等に記憶される。

この後にメモリ（Ｍ）から読み出されたデータに置換ビット列が含まれることを、特定モジュール（２２）が判定した場合には、その置換ビット列が復元モジュール（２１）で初期ビット列に復元される。

[0067] また、前記置換ユニット（６ｂ）による置き換え前のデータに含まれるビット列の「１」と「０」の並びのパターンの出現頻度が、予め定められた基準値（Ｅ）よりも高いパターンの中の少なくとも一つを、前記対象パターンに設定し、

前記出現頻度が、前記基準値（Ｅ）よりも低いパターンの中の少なくとも一つを、前記置換後パターンに設定すると好適である。

[0068] この構成によれば、出現頻度が基準値（Ｅ）より高いビット列のパターンを、出現頻度が基準値（Ｅ）より低いパターンのビット列に置き換えて信号ライン（ＤＬ）を伝送させることができる。従って、出現頻度が高いためにノイズを発生させる可能性が高いビット列のパターンを少なくすることがで

き、信号ライン（ＤＬ）で発生するノイズを低減することが可能となる。

[0069] 或いは、前記置換ユニット（６ｂ）による置き換え前のデータに含まれるビット列の「１」と「０」の並びのパターンが、予め定められたノイズ周波数域のノイズを発生させるパターンの中の少なくとも一つを、前記対象パターンに設定し、

前記ノイズ周波数域のノイズを発生させるパターン以外のパターンの中の少なくとも一つを、前記置換後パターンに設定すると好適である。

[0070] この構成によれば、予め定められたノイズ周波数域のノイズを発生させるビット列のパターンを、当該周波数域のノイズを発生させないパターンのビット列に置き換えて信号ライン（ＤＬ）を伝送させることができる。従って、低減させたい特定周波数域のノイズを発生させるビット列のパターンを少なくすることができ、信号ライン（ＤＬ）で発生する当該特定周波数域のノイズを低減することが可能となる。ノイズを低減したい周波数域が既に決まっている場合には、このような設定とすることで、有効にノイズを低減することができる。

[0071] また、前記信号ライン（ＤＬ）を複数備えると共に、複数の前記信号ライン（ＤＬ）により第１伝送レーン（ＤＧ１）と第２伝送レーン（ＤＧ２）とを少なくとも含む複数のデータ伝送レーンが構成され、

前記置換ユニット（６ｂ）は、前記第１伝送レーン（ＤＧ１）を介して伝送される前記置換ビット列の「１」と「０」との並びにより生じるオンオフ周波数と、前記第２伝送レーンを介して伝送される前記置換ビット列の「１」と「０」との並びにより生じるオンオフ周波数とが異なるように、前記第１伝送レーン（ＤＧ１）と前記第２伝送レーン（ＤＧ２）とで異なる前記置換後パターンを設定すると好適である。

[0072] この構成によれば、複数のデータ伝送レーンにおける置換ビット列のオンオフ周波数を分散させることができるので、置換ユニット（６ｂ）による置換処理によって特定の周波数のノイズが増加することを抑制できる。

[0073] また、前記信号ライン（ＤＬ）を複数備えると共に、複数の前記信号ライ

ン（ＤＬ）により第１伝送レーン（ＤＧ１）と第２伝送レーン（ＤＧ２）とを少なくとも含む複数のデータ伝送レーンが構成され、

前記置換ユニット（６ｂ）は、前記第１伝送レーン（ＤＧ１）を介して伝送される前記置換ビット列の「１」と「０」との境界のタイミングと、前記第２伝送レーン（ＤＧ２）を介して伝送される前記置換ビット列の「１」と「０」との境界のタイミングとが異なるように、前記第１伝送レーン（ＤＧ１）と前記第２伝送レーン（ＤＧ２）とで異なる前記置換後パターンを設定すると好適である。

[0074] この構成によれば、置換ユニット（６ｂ）による置換処理の後、複数のデータ伝送レーン（ＤＧ１、ＤＧ２）での置換後ビット列の「１」と「０」との境界のタイミングが同じになることに起因して、当該タイミングでノイズが増加することを抑制できる。

[0075] 前記書込部（６）は、前記伝送データが書き込まれる前記アドレスが、前記メモリ（Ｍ）の記憶領域の中にある複数の区分領域のいずれに属するかに応じて、或いは、前記伝送データの送信元のデバイスが、前記メモリ（Ｍ）にアクセス可能な複数のデバイスの中のいずれであるかに応じて、前記対象パターン及び前記置換後パターンの少なくとも一方を異ならせると好適である。

[0076] メモリ（Ｍ）が使用される機器によっては、メモリ（Ｍ）の記憶領域が予め複数の区分領域に区分され、区分領域毎に異なる種類のデータが記憶される構成となっている場合がある。また、メモリ（Ｍ）に対してアクセス可能なデバイスが複数存在する場合であって、デバイス毎に異なる種類のデータが伝送される場合がある。そして、このようなデータ種別に応じて、メモリコントローラ（Ｃ）とメモリ（Ｍ）との間で伝送されるデータのビット列の「１」と「０」との組み合せパターンの出現頻度にも偏りが生じ、その偏りに一定の傾向が現れる場合がある。従って、伝送データのビット列の中で出現頻度が高いパターンも、メモリ（Ｍ）の中の区分領域毎、或いは、メモリ（Ｍ）にアクセスするデバイス毎に異なる場合がある。上記の構成によれば

、このようなデータ種別毎の偏りに応じて、対象パターン及び置換後パターンの少なくとも一方を適切に設定することができる。従って、信号ライン（ＤＬ）で発生するノイズを効果的に低減することができる。

[0077] また、前記置換後パターンが、「０」だけが連続するビット列、又は、「１」だけが連続するビット列であっても好適である。

[0078] この構成によれば、置換ビット列が、信号ライン（ＤＬ）において全て同じ電位となるため、ノイズを有効に低減させることができる。また、このような置換後パターンを用いる場合、ノイズを発生させやすい複数のパターンの初期ビット列の全てを「０」又は「１」だけが連続する置換ビット列に置換することも可能となる。従って、置換ユニット（６ｂ）での処理を単純にして処理速度の向上を図ることも可能となる。

産業上の利用可能性

[0079] 本開示に係る技術は、メモリに対して信号ラインを介してデータ伝送を行うメモリコントローラに利用することができる。

符号の説明

[0080]

６	書込部
６ｂ	置換ユニット
７	読出部
７ｂ	復元ユニット
１１	置換モジュール
１２	パターン判定モジュール
１４	記憶処理モジュール
２１	復元モジュール
Ｄ	データバス
ＤＬ	信号ライン
ＤＧ１	第１伝送レーン
ＤＧ２	第２伝送レーン
Ｅ	基準値

M メモリ

請求の範囲

[請求項1] メモリのアドレスを指定し信号ラインを介してメモリにデータを書き込む書込部と、前記メモリのアドレスを指定し前記信号ラインを介して前記メモリからデータを読み出す読出部とを備え、

前記書込部が、前記信号ラインを介して前記メモリに書き込まれる伝送データのビット列の「１」と「０」との並びが置換対象として設定された対象パターンである場合に、前記メモリに書き込む以前に、前記対象パターンの初期ビット列を、「１」と「０」との並びが前記対象パターンとは異なる置換後パターンとなる置換ビット列に置き換える置換ユニットを備え、

前記読出部が、前記メモリから読み出したデータの前記置換ビット列を前記初期ビット列に復元する復元ユニットを備えているメモリコントローラ。

[請求項2] 前記置換ユニットが、

前記伝送データのビット列の「１」と「０」との並びが前記対象パターンであるかを判定するパターン判定モジュールと、

前記パターン判定モジュールで前記対象パターンであることを判定した場合に、前記初期ビット列を前記置換ビット列に置き換える置換モジュールと、

前記置換モジュールでの置き換えを行った場合に、前記対象パターンと、前記置換ビット列が書き込まれる前記メモリのアドレスを特定するためのアドレスデータと、を関連付けて記憶させる記憶モジュールと、を備え、

前記復元ユニットが、

前記アドレスデータに基づいて、前記メモリから読み出したデータの中に含まれる前記置換ビット列を特定する特定モジュールと、

前記アドレスデータに関連付けられている前記対象パターンに基づいて、前記置換ビット列を置き換え前の前記初期ビット列に復元す

る復元モジュールと、を備えている請求項１に記載のメモリコントローラ。

[請求項3] 前記置換ユニットによる置き換え前のデータに含まれるビット列の「１」と「０」の並びのパターンの出現頻度が、予め定められた基準値よりも高いパターンの中の少なくとも一つを、前記対象パターンに設定し、

前記出現頻度が、前記基準値よりも低いパターンの中の少なくとも一つを、前記置換後パターンに設定している請求項１又は２に記載のメモリコントローラ。

[請求項4] 前記置換ユニットによる置き換え前のデータに含まれるビット列の「１」と「０」の並びのパターンが、予め定められたノイズ周波数域のノイズを発生させるパターンの中の少なくとも一つを、前記対象パターンに設定し、

前記ノイズ周波数域のノイズを発生させるパターン以外のパターンの中の少なくとも一つを、前記置換後パターンに設定している請求項１又は２に記載のメモリコントローラ。

[請求項5] 前記信号ラインを複数備えると共に、複数の前記信号ラインにより第１伝送レーンと第２伝送レーンとを少なくとも含む複数のデータ伝送レーンが構成され、

前記置換ユニットは、前記第１伝送レーンを介して伝送される前記置換ビット列の「１」と「０」との並びにより生じるオンオフ周波数と、前記第２伝送レーンを介して伝送される前記置換ビット列の「１」と「０」との並びにより生じるオンオフ周波数とが異なるように、前記第１伝送レーンと前記第２伝送レーンとで異なる前記置換後パターンを設定している請求項１から４のいずれか一項に記載のメモリコントローラ。

[請求項6] 前記信号ラインを複数備えると共に、複数の前記信号ラインにより第１伝送レーンと第２伝送レーンとを少なくとも含む複数のデータ伝

送レーンが構成され、

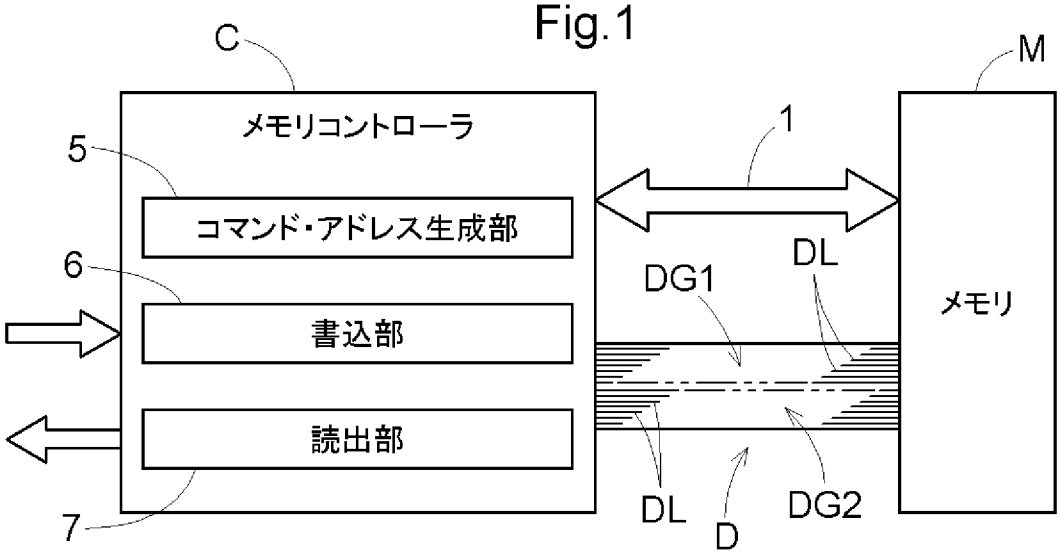
前記置換ユニットは、前記第１伝送レーンを介して伝送される前記置換ビット列の「１」と「０」との境界のタイミングと、前記第２伝送レーンを介して伝送される前記置換ビット列の「１」と「０」との境界のタイミングとが異なるように、前記第１伝送レーンと前記第２伝送レーンとで異なる前記置換後パターンを設定している請求項１から４のいずれか一項に記載のメモリコントローラ。

[請求項7] 前記書込部は、前記伝送データが書き込まれる前記アドレスが、前記メモリの記憶領域の中にある複数の区分領域のいずれに属するかに応じて、或いは、前記伝送データの送信元のデバイスが、前記メモリにアクセス可能な複数のデバイスの中のいずれであるかに応じて、前記対象パターン及び前記置換後パターンの少なくとも一方を異ならせている請求項１から６のいずれか一項に記載のメモリコントローラ。

[請求項8] 前記置換後パターンが、「０」だけが連続するビット列、又は、「１」だけが連続するビット列である請求項１から７のいずれか一項に記載のメモリコントローラ。

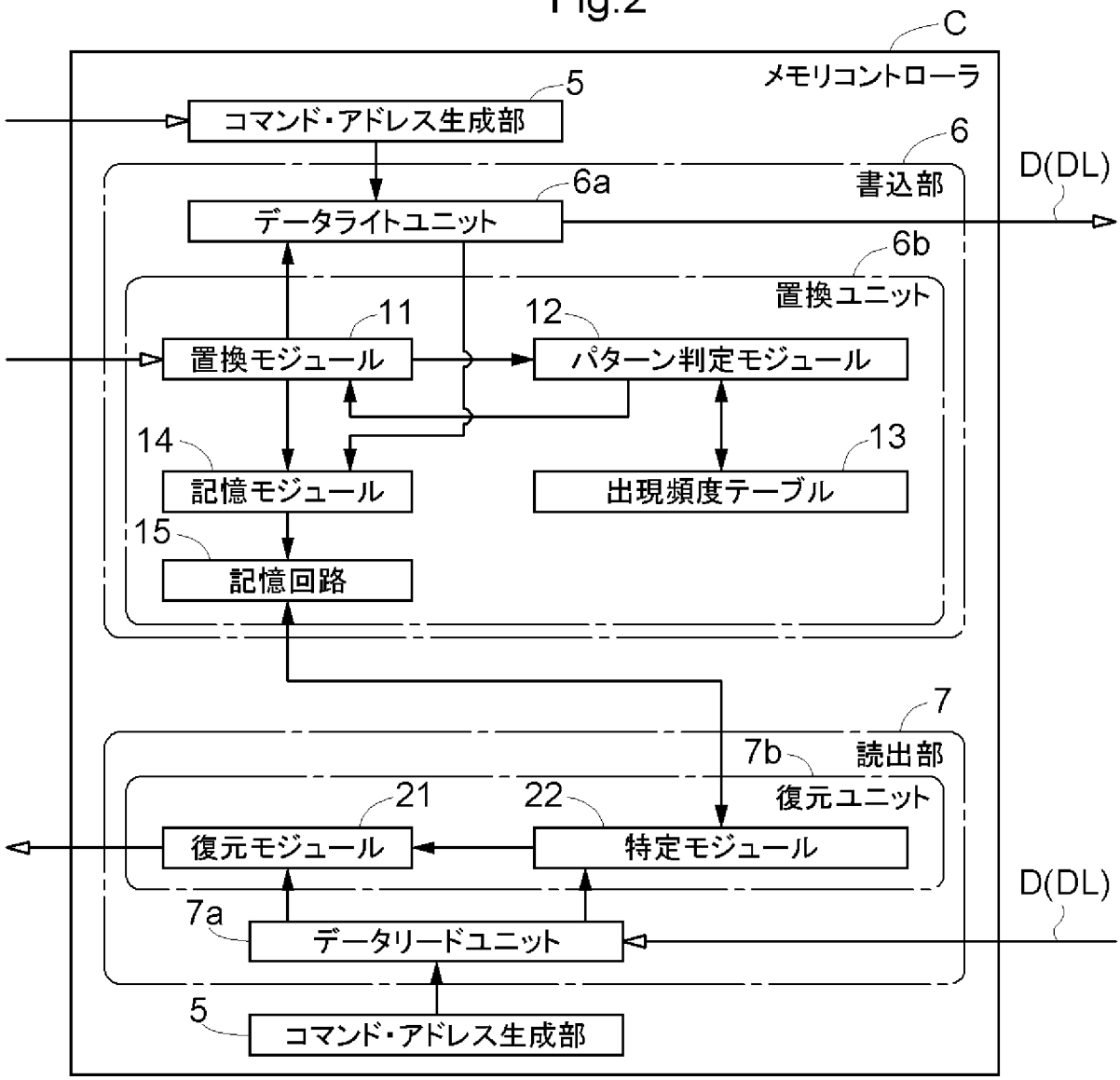
[図1]

Fig.1



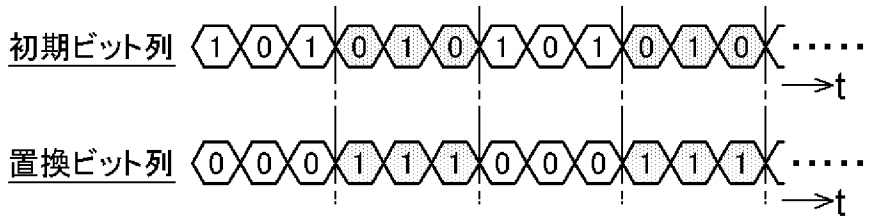
[図2]

Fig.2



[図3]

Fig.3



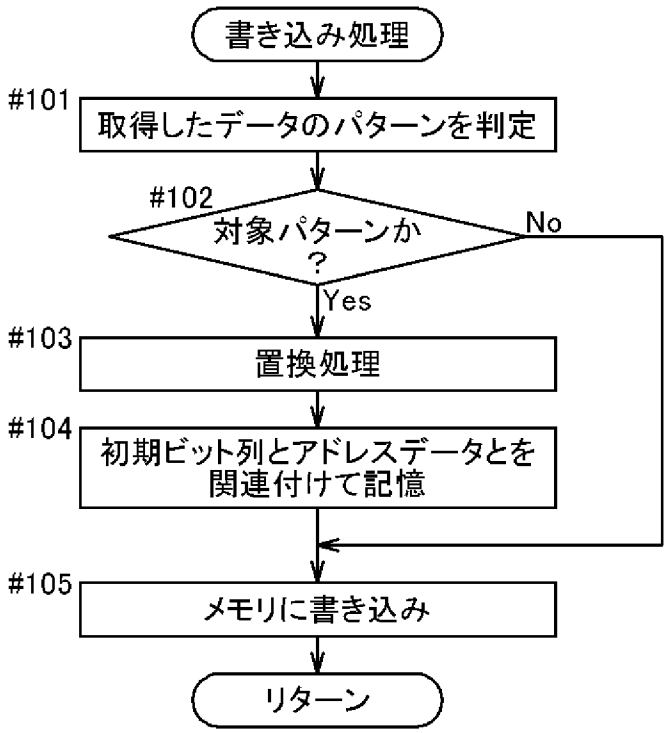
[図4]

Fig.4

(a)	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
(b)	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
(c)	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
(d)	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
(e)	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0

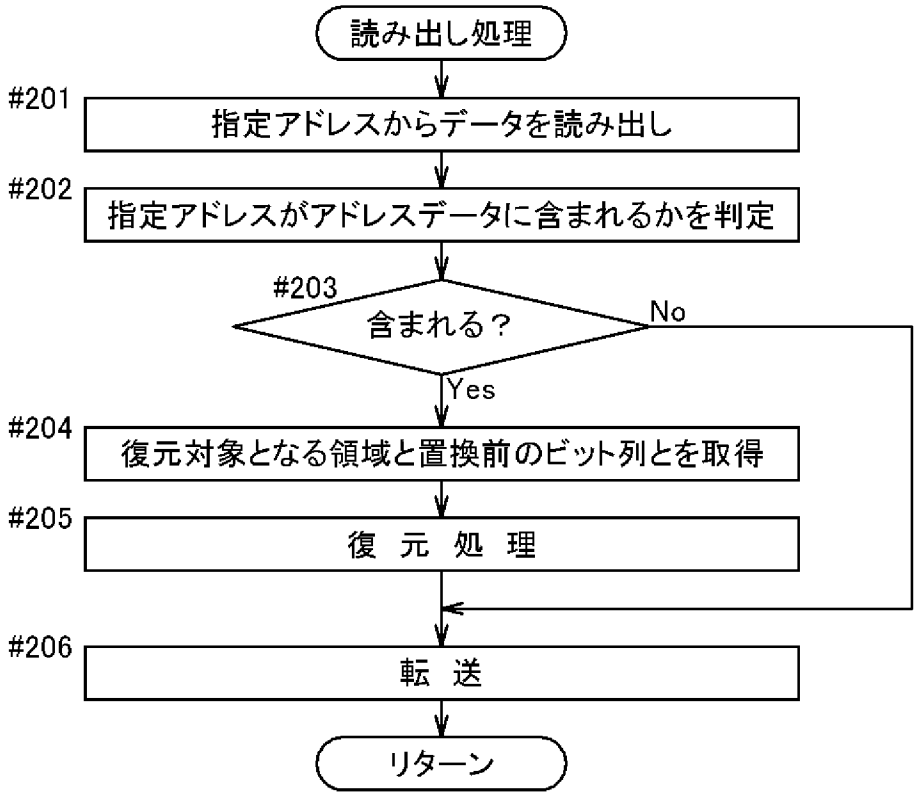
[図5]

Fig.5



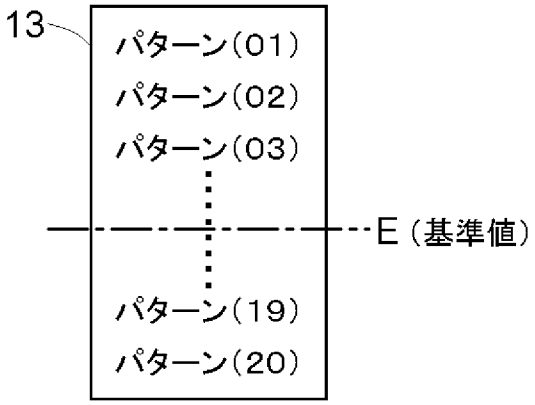
[図6]

Fig.6



[図7]

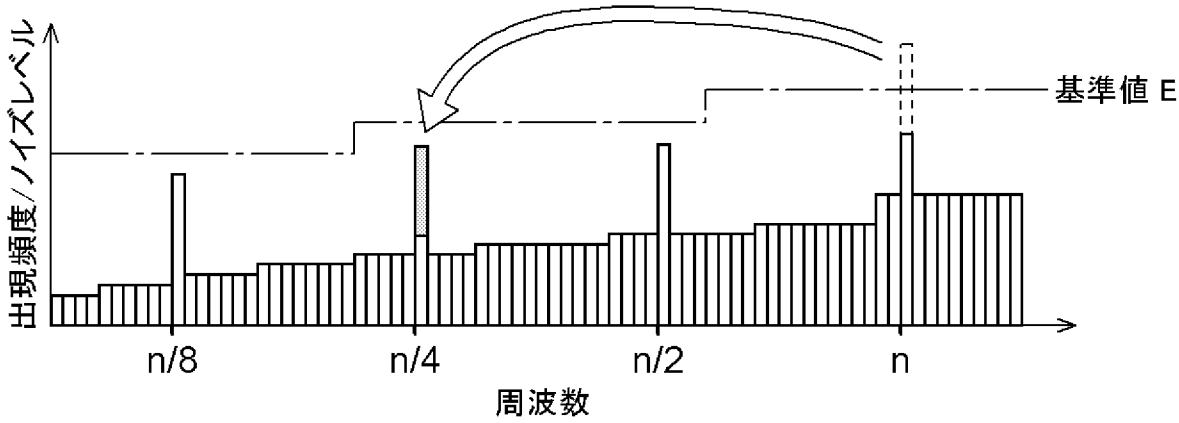
Fig.7



（出現頻度テーブル）

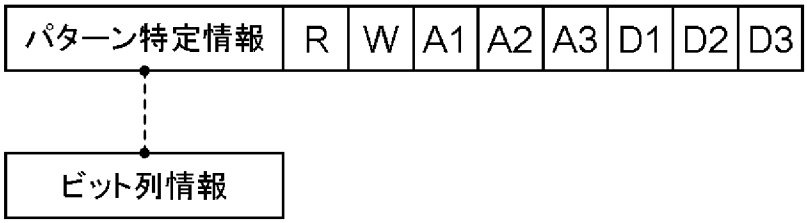
[図8]

Fig.8



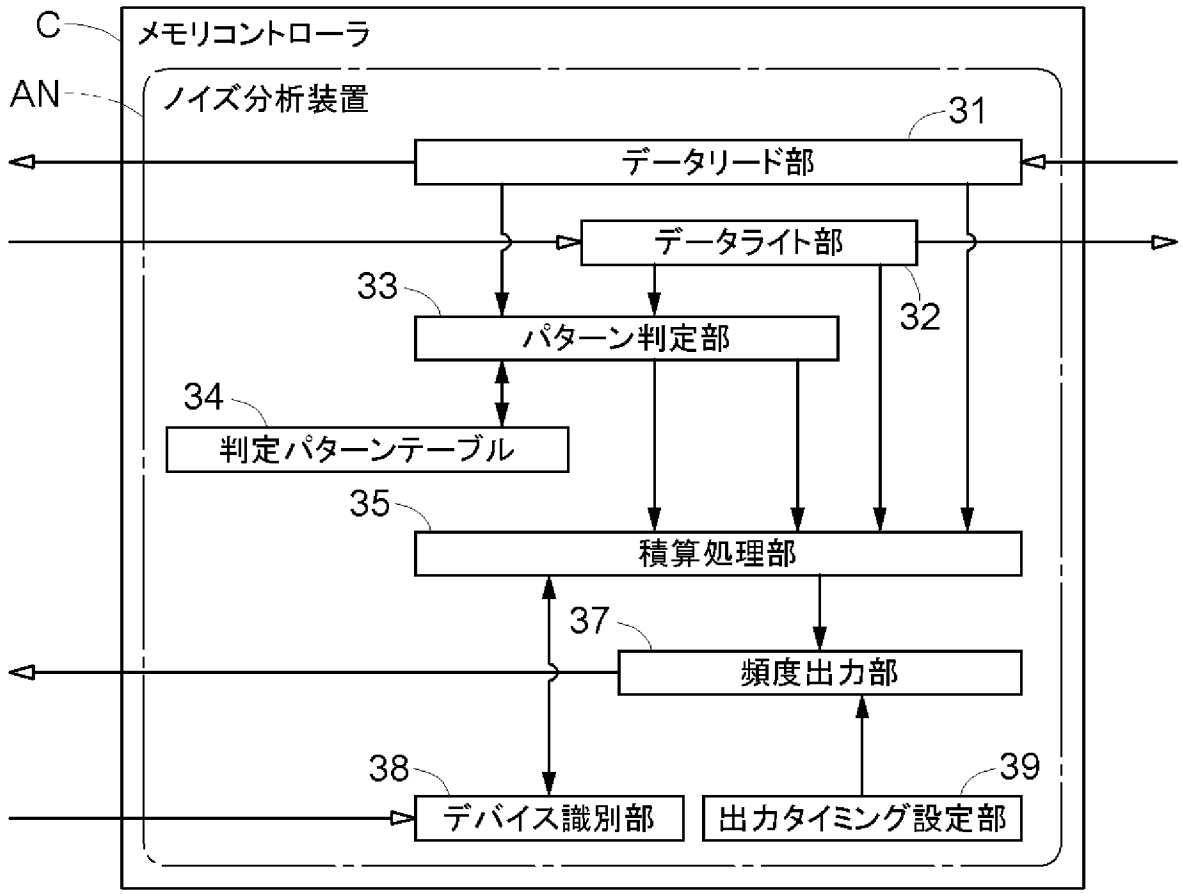
[図9]

Fig.9



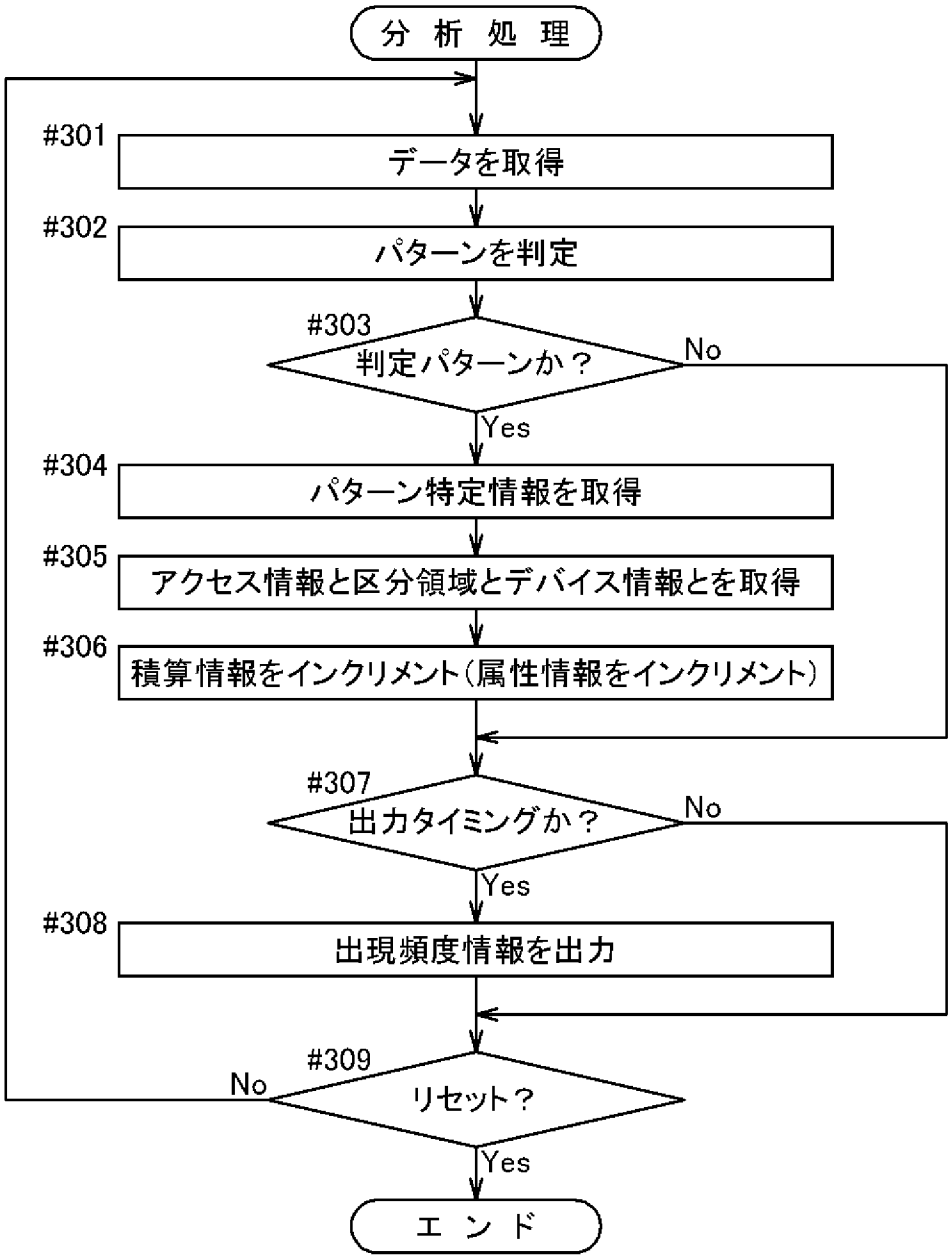
[図10]

Fig.10



[図11]

Fig.11


分 析 処 理
#301
データを取得
#302
パターンを判定
#303
判定パターンか？
No
Yes
#304
パターン特定情報を取得
#305
アクセス情報と区分領域とデバイス情報とを取得
#306
積算情報をインクリメント（属性情報をインクリメント）
#307
出力タイミングか？
No
Yes
#308
出現頻度情報を出力
#309
リセット？
No
Yes
エ ン ド

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/059472

A. CLASSIFICATION OF SUBJECT MATTER
G06F11/00(2006.01)i, *H03M5/14*(2006.01)i, *H04L25/49*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F11/00, H03M5/14, H04L25/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2008-102705 A (Canon Inc.), 01 May 2008 (01.05.2008), paragraphs [0015] to [0039]; fig. 1 to 4 & US 2008/0056017 A1 paragraphs [0086] to [0102]; fig. 11 to 12B	1 3,8 2,4-7
Y	WO 2012/120813 A1 (Renesas Electronics Corp.), 13 September 2012 (13.09.2012), paragraphs [0025] to [0042]; fig. 1 to 8B (Family: none)	3,8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 June 2016 (15.06.16)	28 June 2016 (28.06.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５９４７２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06F11/00(2006.01)i, H03M5/14(2006.01)i, H04L25/49(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F11/00, H03M5/14, H04L25/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2008-102705 A（キヤノン株式会社）2008.05.01, 段落［００１５］－［００３９］，図１－４ & US 2008/0056017 A1 段落［００８６］－［０１０２］， 図１１－１２Ｂ	1 3,8 2,4-7
Y	WO 2012/120813 A1（ルネサスエレクトロニクス株式会社） 2012.09.13，段落［００２５］－［００４２］、図１－８Ｂ（ファミリーなし）	3,8

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１５．０６．２０１６	２８．０６．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｂ　５８８０
田中　幸雄
電話番号　０３－３５８１－１１０１　内線　３５４５