

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成24年4月12日 (2012.4.12)

【公開番号】特開2009-278078(P2009-278078A)

【公開日】平成21年11月26日 (2009.11.26)

【年通号数】公開・登録公報2009-047

【出願番号】特願2009-100063(P2009-100063)

【国際特許分類】

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 27/146 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 27/04 H

H 0 1 L 27/04 D

H 0 1 L 27/04 A

H 0 1 L 29/50 M

H 0 1 L 29/58 G

H 0 1 L 27/06 3 1 1 A

H 0 1 L 27/08 3 3 1 E

H 0 1 L 27/14 C

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 2 3 A

【手続補正書】

【提出日】平成24年2月29日 (2012.2.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の誘電体と、

第 2 の誘電体と、

第 1 電源電位が印加される第 1 配線と、

前記第 1 の誘電体を介して前記第 1 配線に隣接して形成され、第 2 電源電位が印加される第 2 配線と、

複数の半導体素子を含み、前記第 1 配線および前記第 2 配線に電氣的に接続され、前記第 1 配線および前記第 2 配線に取り囲まれている集積回路と、

前記第 2 の誘電体を介して前記第 1 配線および前記第 2 配線と重なり、電氣的に浮遊状態とされている少なくとも 1 つの半導体膜または導電膜と、を有することを特徴とする半導体装置。

【請求項 2】

第 1 電源電位が印加される第 1 配線と、
第 2 電源電位が印加される第 2 配線と、
第 1 絶縁膜と、
前記第 1 絶縁膜上に形成されている第 2 絶縁膜と、
前記第 1 配線に含まれ、前記第 1 絶縁膜上に形成されている第 1 導電膜と、
前記第 2 配線に含まれ、前記第 2 絶縁膜を介して前記第 1 導電膜と隣接して前記第 1 絶縁膜上に形成されている第 2 導電膜と、
複数の半導体素子を含み、前記第 1 導電膜および前記第 2 導電膜に取り囲まれ、前記第 1 導電膜を経て前記第 1 電源電位が印加され、前記第 2 導電膜を経て前記第 2 電源電位が印加される集積回路と、
前記第 1 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜に重なり、電氣的に浮遊状態とされている少なくとも 1 つの半導体膜または第 3 導電膜と、を有することを特徴とする半導体装置。

【請求項 3】

第 1 電源電位が印加される第 1 配線と、
第 2 電源電位が印加される第 2 配線と、
第 1 絶縁膜と、
前記第 1 絶縁膜上に形成されている第 2 絶縁膜と、
前記第 2 絶縁膜上に形成されている第 3 絶縁膜と、
前記第 1 配線に含まれ、前記第 1 絶縁膜上に形成されている第 1 導電膜と、
前記第 2 配線に含まれ、前記第 2 絶縁膜を介して前記第 1 導電膜に隣接して前記第 1 絶縁膜上に形成されている第 2 導電膜と、
前記第 1 配線に含まれ、前記第 2 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜上に形成されている第 3 導電膜と、
前記第 2 配線に含まれ、記第 3 絶縁膜を介して前記第 3 導電膜に隣接し、前記第 2 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜上に形成されている第 4 導電膜と、
複数の半導体素子を含み、前記第 1 導電膜乃至前記第 4 導電膜に取り囲まれ、前記第 1 導電膜および前記第 3 導電膜を経て前記第 1 電源電位が印加され、前記第 2 導電膜および前記第 4 導電膜を経て前記第 2 電源電位が印加される集積回路と、
前記第 1 導電膜乃至前記第 4 導電膜に重なり、前記第 1 絶縁膜に覆われ、電氣的に浮遊状態とされている少なくとも 1 つの半導体膜または第 5 導電膜と、を有することを特徴とする半導体装置。

【請求項 4】

第 1 電源電位が印加される第 1 配線と、
第 2 電源電位が印加される第 2 配線と、
第 1 絶縁膜と、
前記第 1 絶縁膜上に形成されている第 2 絶縁膜と、
前記第 1 配線に含まれ、前記第 1 絶縁膜上に形成されている第 1 導電膜と、
前記第 2 配線に含まれ、前記第 2 絶縁膜を介して前記第 1 導電膜と隣接して前記第 1 絶縁膜上に形成されている第 2 導電膜と、
複数の半導体素子を含み、前記第 1 導電膜および前記第 2 導電膜に取り囲まれ、前記第 1 導電膜を経て前記第 1 電源電位が印加され、前記第 2 導電膜を経て前記第 2 電源電位が印加される集積回路と、を有することを特徴とする半導体装置。

【請求項 5】

第 1 電源電位が印加される第 1 配線と、
第 2 電源電位が印加される第 2 配線と、
第 1 絶縁膜と、
前記第 1 絶縁膜上に形成されている第 2 絶縁膜と、
前記第 2 絶縁膜上に形成されている第 3 絶縁膜と、
前記第 1 配線に含まれ、前記第 1 絶縁膜上に形成されている第 1 導電膜と、

前記第 2 配線に含まれ、前記第 2 絶縁膜を介して前記第 1 導電膜に隣接して前記第 1 絶縁膜上に形成されている第 2 導電膜と、

前記第 1 配線に含まれ、前記第 2 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜上に形成されている第 3 導電膜と、

前記第 2 配線に含まれ、記第 3 絶縁膜を介して前記第 3 導電膜に隣接し、前記第 2 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜上に形成されている第 4 導電膜と、

複数の半導体素子を含み、前記第 1 導電膜乃至前記第 4 導電膜に取り囲まれ、前記第 1 導電膜および前記第 3 導電膜を経て前記第 1 電源電位が印加され、前記第 2 導電膜および前記第 4 導電膜を経て前記第 2 電源電位が印加される集積回路と、を有することを特徴とする半導体装置。

【請求項 6】

請求項 3 又は請求項 5 において、

前記第 1 導電膜と前記第 4 導電膜は、前記第 2 絶縁膜を介して隣接し、

前記第 2 導電膜と前記第 3 導電膜は、前記第 2 絶縁膜を介して隣接していることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項において、

前記集積回路は、

光電変換素子と、

前記光電変換素子を流れる電流を増幅する増幅回路と、

を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項において、

前記集積回路は、ガラス基板上に形成されていることを特徴とする半導体装置。