

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年4月12日(2012.4.12)

【公開番号】特開2009-278078(P2009-278078A)

【公開日】平成21年11月26日(2009.11.26)

【年通号数】公開・登録公報2009-047

【出願番号】特願2009-100063(P2009-100063)

【国際特許分類】

H 01 L	27/04	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	27/146	(2006.01)
H 01 L	29/786	(2006.01)

【F I】

H 01 L	27/04	H
H 01 L	27/04	D
H 01 L	27/04	A
H 01 L	29/50	M
H 01 L	29/58	G
H 01 L	27/06	3 1 1 A
H 01 L	27/08	3 3 1 E
H 01 L	27/14	C
H 01 L	29/78	6 1 3 Z
H 01 L	29/78	6 2 3 A

【手続補正書】

【提出日】平成24年2月29日(2012.2.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の誘電体と、

第2の誘電体と、

第1電源電位が印加される第1配線と、

前記第1の誘電体を介して前記第1配線に隣接して形成され、第2電源電位が印加される第2配線と、

複数の半導体素子を含み、前記第1配線および前記第2配線に電気的に接続され、前記第1配線および前記第2配線に取り囲まれている集積回路と、

前記第2の誘電体を介して前記第1配線および前記第2配線と重なり、電気的に浮遊状態とされている少なくとも1つの半導体膜または導電膜と、を有することを特徴とする半導体装置。

【請求項2】

第1電源電位が印加される第1配線と、

第2電源電位が印加される第2配線と、

第1絶縁膜と、

前記第1絶縁膜上に形成されている第2絶縁膜と、

前記第1配線に含まれ、前記第1絶縁膜上に形成されている第1導電膜と、

前記第2配線に含まれ、前記第2絶縁膜を介して前記第1導電膜と隣接して前記第1絶縁膜上に形成されている第2導電膜と、

複数の半導体素子を含み、前記第1導電膜および前記第2導電膜に取り囲まれ、前記第1導電膜を経て前記第1電源電位が印加され、前記第2導電膜を経て前記第2電源電位が印加される集積回路と、

前記第1絶縁膜を介して前記第1導電膜および前記第2導電膜に重なり、電気的に浮遊状態とされている少なくとも1つの半導体膜または第3導電膜と、を有することを特徴とする半導体装置。

【請求項3】

第1電源電位が印加される第1配線と、

第2電源電位が印加される第2配線と、

第1絶縁膜と、

前記第1絶縁膜上に形成されている第2絶縁膜と、

前記第2絶縁膜上に形成されている第3絶縁膜と、

前記第1配線に含まれ、前記第1絶縁膜上に形成されている第1導電膜と、

前記第2配線に含まれ、前記第2絶縁膜を介して前記第1導電膜に隣接して前記第1絶縁膜上に形成されている第2導電膜と、

前記第1配線に含まれ、前記第2絶縁膜を介して前記第1導電膜および前記第2導電膜上に形成されている第3導電膜と、

前記第2配線に含まれ、記第3絶縁膜を介して前記第3導電膜に隣接し、前記第2絶縁膜を介して前記第1導電膜および前記第2導電膜上に形成されている第4導電膜と、

複数の半導体素子を含み、前記第1導電膜乃至前記第4導電膜に取り囲まれ、前記第1導電膜および前記第3導電膜を経て前記第1電源電位が印加され、前記第2導電膜および前記第4導電膜を経て前記第2電源電位が印加される集積回路と、

前記第1導電膜乃至前記第4導電膜に重なり、前記第1絶縁膜に覆われ、電気的に浮遊状態とされている少なくとも1つの半導体膜または第5導電膜と、を有することを特徴とする半導体装置。

【請求項4】

第1電源電位が印加される第1配線と、

第2電源電位が印加される第2配線と、

第1絶縁膜と、

前記第1絶縁膜上に形成されている第2絶縁膜と、

前記第1配線に含まれ、前記第1絶縁膜上に形成されている第1導電膜と、

前記第2配線に含まれ、前記第2絶縁膜を介して前記第1導電膜と隣接して前記第1絶縁膜上に形成されている第2導電膜と、

複数の半導体素子を含み、前記第1導電膜および前記第2導電膜に取り囲まれ、前記第1導電膜を経て前記第1電源電位が印加され、前記第2導電膜を経て前記第2電源電位が印加される集積回路と、を有することを特徴とする半導体装置。

【請求項5】

第1電源電位が印加される第1配線と、

第2電源電位が印加される第2配線と、

第1絶縁膜と、

前記第1絶縁膜上に形成されている第2絶縁膜と、

前記第2絶縁膜上に形成されている第3絶縁膜と、

前記第1配線に含まれ、前記第1絶縁膜上に形成されている第1導電膜と、

前記第2配線に含まれ、前記第2絶縁膜を介して前記第1導電膜に隣接して前記第1絶縁膜上に形成されている第2導電膜と、

前記第1配線に含まれ、前記第2絶縁膜を介して前記第1導電膜および前記第2導電膜上に形成されている第3導電膜と、

前記第2配線に含まれ、記第3絶縁膜を介して前記第3導電膜に隣接し、前記第2絶縁膜を介して前記第1導電膜および前記第2導電膜上に形成されている第4導電膜と、

複数の半導体素子を含み、前記第1導電膜乃至前記第4導電膜に取り囲まれ、前記第1導電膜および前記第3導電膜を経て前記第1電源電位が印加され、前記第2導電膜および前記第4導電膜を経て前記第2電源電位が印加される集積回路と、を有することを特徴とする半導体装置。

#### 【請求項6】

請求項3又は請求項5において、

前記第1導電膜と前記第4導電膜は、前記第2絶縁膜を介して隣接し、

前記第2導電膜と前記第3導電膜は、前記第2絶縁膜を介して隣接していることを特徴とする半導体装置。

#### 【請求項7】

請求項1乃至6のいずれか1項において、

前記集積回路は、

光電変換素子と、

前記光電変換素子を流れる電流を增幅する增幅回路と、

を有することを特徴とする半導体装置。

#### 【請求項8】

請求項1乃至7のいずれか1項において、

前記集積回路は、ガラス基板上に形成されていることを特徴とする半導体装置。