

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



(10) 国際公開番号

WO 2020/184213 A1

(51) 国際特許分類:
H01L 31/107 (2006.01) H01L 27/146 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2020/008228

(22) 国際出願日: 2020年2月28日(28.02.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-043344 2019年3月11日(11.03.2019) JP

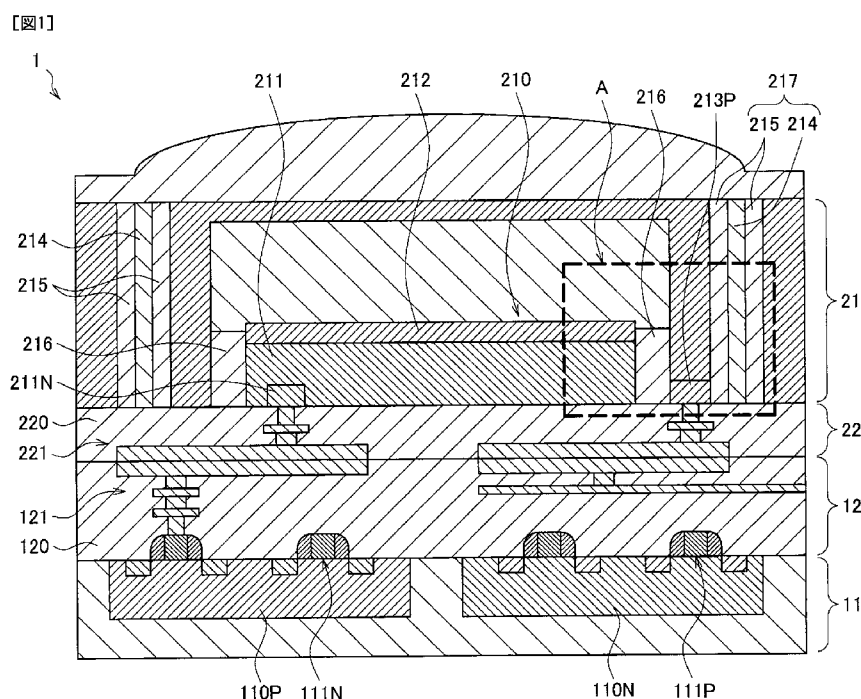
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 倉田 憲治(KURATA, Kenji); 〒2430014
神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大竹 悠介(OTAKE, Yusuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 磯谷 優治(ISOGAI, Yuji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT

(54) Title: PHOTODETECTOR

(54) 発明の名称: 光検出器



(57) Abstract: A photodetector comprises: an isolation region provided on the semiconductor substrate and defining a pixel region; a hole accumulation region provided on the semiconductor substrate of the pixel region along a side surface of the isolation region; a multiplication region that is on the semiconductor substrate of the pixel region and is formed by joining a first conductivity type region and a second conductivity type region in the thickness direction of the semiconductor substrate in order from the front surface side of the semiconductor substrate; and an isolation region

OFFICE); 〒1000013 東京都千代田区霞が
関 3 丁目 8 番 1 号 虎の門三井ビル
ディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

provided on the semiconductor substrate in a region between the multiplication region and the hole accumulation region, wherein the formation depth of the insulation region is larger than the formation depth of the first conductivity type region.

(57) 要約：半導体基板に設けられ、画素領域を画定する分離領域と、前記分離領域の側面に沿って前記画素領域の前記半導体基板に設けられたホール蓄積領域と、前記画素領域の前記半導体基板に設けられ、前記半導体基板の表面側から第1導電型領域、及び第2導電型領域を前記半導体基板の厚み方向に接合することで構成された増倍領域と、前記増倍領域と、前記ホール蓄積領域との間の領域の前記半導体基板に設けられた絶縁領域と、を備え、前記絶縁領域の形成深さは、前記第1導電型領域の形成深さよりも深い、光検出器。

明 細 書

発明の名称：光検出器

技術分野

[0001] 本開示は、光検出器に関する。

背景技術

[0002] 光を電子に変換するフォトダイオードの1つとして、アバランシェフォトダイオード（APD）が知られている。APDは、アバランシェ現象を利用することで、100%を超える光電変換効率を実現することが可能なフォトダイオードである。

[0003] 特に、ブレイクダウン電圧よりも高い印加電圧で動作させたAPDは、光電変換にて生じたキャリアによって電子雪崩を発生させることができるため、キャリアの増倍を行うことができる。このようなAPDは、1個のフォトンを検出することもできるため、シングルフォトンアバランシェフォトダイオード（SPAD）とも称される。

[0004] 例えば、下記の特許文献1には、SPADが配列されたフォトダイオードアレイにおいて、画素間に分離領域を形成することで隣接画素へのクロストークを低減する技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第2018/074530号

発明の概要

発明が解決しようとする課題

[0006] しかし、特許文献1に記載されたSPADでは、エッジブレイクダウンの抑制について十分な検討がなされていなかった。エッジブレイクダウンは、構造等に依存して局所的に電界が高くなり、意図せずにブレイクダウンしてしまう現象である。SPADは、pn接合に高電界が印加されるため、このようなエッジブレイクダウンを抑制することが重要となる。

[0007] 例えば、エッジブレイクダウンを抑制するためには、SPADのカソード及びアノードの間の距離を大きくすることが考えられる。しかしながら、このような場合、SPADの面積が大きくなってしまうため、SPADを行列状に複数配列させた画素アレイを形成する場合に画素アレイの微細化及び高密度化が困難となる。

[0008] そこで、本開示では、微細化及び高密度化に適した構造にてエッジブレイクダウンを抑制することが可能な、新規かつ可利用された光検出器を提案する。

課題を解決するための手段

[0009] 本開示によれば、半導体基板に設けられ、画素領域を画定する分離領域と、前記分離領域の側面に沿って前記画素領域の前記半導体基板に設けられたホール蓄積領域と、前記画素領域の前記半導体基板に設けられ、前記半導体基板の表面側から第1導電型領域、及び第2導電型領域を前記半導体基板の厚み方向に接合することで構成された増倍領域と、前記増倍領域と、前記ホール蓄積領域との間の領域の前記半導体基板に設けられた絶縁領域と、を備え、前記絶縁領域の形成深さは、前記第1導電型領域の形成深さよりも深い、光検出器が提供される。

図面の簡単な説明

[0010] [図1]本開示の一実施形態に係る光検出器の構成を説明する縦断面図である。

[図2A]図1の領域Aを180°回転させて拡大した縦断面図である。

[図2B]図2Aで示した構造の変形例を示す縦断面図である。

[図3]絶縁領域の第1の平面配置例を示す平面図である。

[図4]絶縁領域の第2の平面配置例を示す平面図である。

[図5A]絶縁領域の第2の平面配置例の変形例を示す平面図である。

[図5B]絶縁領域の第2の平面配置例の変形例を示す平面図である。

[図5C]絶縁領域の第2の平面配置例の変形例を示す平面図である。

[図5D]絶縁領域の第2の平面配置例の変形例を示す平面図である。

[図5E]絶縁領域の第2の平面配置例の変形例を示す平面図である。

[図5F]絶縁領域の第2の平面配置例の変形例を示す平面図である。

[図6]第1の変形例に係る絶縁領域の断面形状を示す図2Aに対応する縦断面図である。

[図7A]第2の変形例に係る絶縁領域の断面形状を示す図2Aに対応する縦断面図である。

[図7B]第2の変形例に係る絶縁領域の平面形状を示す図3に対応する平面図である。

[図8]第3の変形例に係る第2半導体基板の断面を示す図2Aに対応する縦断面図である。

[図9A]図8に示す第2半導体基板の断面のバリエーションを示す縦断面図である。

[図9B]図8に示す第2半導体基板の断面のバリエーションを示す縦断面図である。

[図9C]図8に示す第2半導体基板の断面のバリエーションを示す縦断面図である。

発明を実施するための形態

[0011] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0012] 以下の説明にて参照する各図面では、説明の便宜上、一部の構成部材の大きさを誇張して表現している場合がある。したがって、各図面において図示される構成部材同士の相対的な大きさは、必ずしも実際の構成部材同士の大小関係を正確に表現するものではない。

[0013] なお、説明は以下の順序で行うものとする。

1. 光検出器

1. 1. 光検出器の構成

1. 2. 絶縁領域の平面配置

2. 変形例

2. 1. 第1の変形例

2. 2. 第2の変形例

2. 3. 第3の変形例

[0014] <1. 光検出器>

(1. 1. 光検出器の構成)

まず、図1～図2Bを参照して、本開示の一実施形態に係る光検出器の構成について説明する。図1は、本実施形態に係る光検出器の構成を説明する縦断面図である。

[0015] 本実施形態に係る光検出器は、光電変換により発生したキャリアを高電界のp n接合領域でアバランシェ増倍するデバイスである。本実施形態に係る光検出器は、いわゆるシングルフォトンアバランシェフォトダイオード（SPAD）であってもよい。

[0016] 本実施形態に係る光検出器は、例えば、行列状に複数配列されることで画素アレイを形成することができる。本実施形態に係る光検出器を用いた画素アレイによれば、対象物からの光をより高感度及び高精度で検出することができる。

[0017] 図1に示すように、本実施形態に係る光検出器1は、例えば、第1半導体基板11及び第1配線層12を積層した第1基板と、第2半導体基板21及び第2配線層22を積層した第2基板とを貼り合わせた積層型の半導体装置として構成することができる。

[0018] 光検出器1では、第2基板の第2配線層22が積層された面と反対側の面にマイクロレンズ33が設けられる。マイクロレンズ33にて集光された入射光は、第2半導体基板21の内部に設けられた高電界のp n接合によって光電変換されることで、信号電荷に変換される。変換された信号電荷は、第2配線層22及び第1配線層12を介して第1半導体基板11に伝達され、第1半導体基板11に設けられた論理回路によって入射光に対する検出信号に変換される。このような動作によって、光検出器1は、入射光を検出し、

検出した入射光に対応する検出信号を出力することができる。本実施形態に係る光検出器 1 は、いわゆる裏面照射型の積層撮像センサに用いられてもよい。

[0019] 第 1 半導体基板 11 は、例えば、シリコン (Si) 基板である。ただし、第 1 半導体基板 11 は、シリコン以外の元素半導体、又は化合物半導体で形成された基板であってもよい。第 1 半導体基板 11 は、さらに、ホウ素 (B) 若しくはアルミニウム (Al) などの p 型不純物、又はリン (P) 若しくはヒ素 (As) などの n 型不純物によって低濃度でドーピングされていてもよい。

[0020] 第 1 半導体基板 11 には、p 型不純物によって高濃度にドーピングされた p 型領域 (p-ウェル) 110P、及び n 型不純物によって高濃度にドーピングされた n 型領域 (n-ウェル) 110N がそれぞれ設けられる。ただし、第 1 半導体基板 11 がドーピングされている場合、p 型領域 110P、及び n 型領域 110N のドーピング濃度は、第 1 半導体基板 11 のドーピング濃度よりも高濃度とする。

[0021] p 型領域 110P には、例えば、n 型電界効果トランジスタ (FET) 111N が設けられ、n 型領域 110N には、p 型電界効果トランジスタ (FET) 111P が設けられる。すなわち、第 1 半導体基板 11 には、n 型 FET 111N 及び p 型 FET 111P を用いた CMOS (相補型 MOS) が形成される。これにより、第 1 半導体基板 11 には、第 2 半導体基板 21 にて光電変換された信号電荷を信号処理するための論理回路が形成され得る。

[0022] 第 1 配線層 12 は、複数の回路又は素子の間で電流又は電圧を伝達する配線 121 と、配線 121 の間を互いに絶縁する層間絶縁膜 120 とを積層することで設けられる。配線 121 は、層間絶縁膜 120 を第 1 配線層 12 の厚さ方向に貫通するコンタクトによって電氣的に接続されることで、第 1 半導体基板 11 に設けられた n 型 FET 111N 及び p 型 FET 111P の各端子を電氣的に接続することができる。

[0023] 配線 121 及びコンタクトは、例えば、チタン (Ti)、モリブデン (M

o)、タンタル (Ta)、タングステン (W)、ニオブ (Nb)、ニッケル (Ni)、ジルコニウム (Zr)、金 (Au)、銀 (Ag)、アルミニウム (Al) 若しくは銅 (Cu) 等の金属、又はこれらの合金若しくは金属化合物等の導電型材料にて形成することができる。層間絶縁膜 120 は、例えば、二酸化シリコン (SiO_2)、窒化シリコン (SiN)、又は酸窒化シリコン (SiON) などの絶縁性の無機酸窒化物で形成することができる。

[0024] 第2配線層 22 は、第1配線層 12 と同様に、複数の回路又は素子の間で電流又は電圧を伝達する配線 221 と、配線 221 の間を互いに絶縁する層間絶縁膜 220 とを積層することで設けられる。配線 221 は、層間絶縁膜 220 を第2配線層 22 の厚さ方向に貫通するコンタクトによって電氣的に接続されることで、第2半導体基板 21 の内部の p n 接合にて光電変換された信号電荷を第1配線層 12 に伝達することができる。

[0025] 配線 221 及びコンタクトは、例えば、チタン (Ti)、モリブデン (Mo)、タンタル (Ta)、タングステン (W)、ニオブ (Nb)、ニッケル (Ni)、ジルコニウム (Zr)、金 (Au)、銀 (Ag)、アルミニウム (Al) 若しくは銅 (Cu) 等の金属、又はこれらの合金若しくは金属化合物等の導電型材料にて形成することができる。層間絶縁膜 220 は、例えば、二酸化シリコン (SiO_2)、窒化シリコン (SiN)、又は酸窒化シリコン (SiON) などの絶縁性の無機酸窒化物で形成することができる。

[0026] ここで、第1基板と、第2基板とは、第1配線層 12 と、第2配線層 22 とが対向するように貼り合わせられる。第1配線層 12 に含まれる配線 121 と、第2配線層 22 に含まれる配線 221 とは、第1配線層 12、及び第2配線層 22 のそれぞれの表面に露出された電極同士を接合することで電氣的に接続され得る。

[0027] 具体的には、第1配線層 12 及び第2配線層 22 の最上層には、それぞれ電極が形成される。したがって、第1配線層 12 と、第2配線層 22 とを互いに対向するように貼り合わせ、互いの電極を直接接触させて熱処理を行うことで、互いの電極を接合させることができる。このような電極接合構造に

よれば、光検出器 1 では、第 1 配線層 1 2 及び第 2 配線層 2 2 の界面を貫通するコンタクトを形成することなく、第 1 配線層 1 2 の配線 1 2 1 と、第 2 配線層 2 2 の配線 2 2 1 とを電氣的に接続することができる。この電極接合構造によれば、光検出器 1 は、製造工程を簡略化することができる。

[0028] 第 2 半導体基板 2 1 は、例えば、シリコン (S i) 基板である。ただし、第 2 半導体基板 2 1 は、シリコン以外の元素半導体、又は化合物半導体で形成された基板であってもよい。第 2 半導体基板 2 1 は、さらに、ホウ素 (B) 若しくはアルミニウム (A l) などの p 型不純物、又はリン (P) 若しくはヒ素 (A s) などの n 型不純物によって低濃度でドーピングされていてもよい。

[0029] 第 2 半導体基板 2 1 には、第 1 導電型 (例えば、n 型) 不純物で高濃度にドーピングされた第 1 導電型領域 2 1 1 と、第 2 導電型 (例えば、p 型) 不純物で高濃度にドーピングされた第 2 導電型領域 2 1 2 とがそれぞれ設けられる。具体的には、第 1 導電型領域 2 1 1 は、第 2 半導体基板 2 1 の第 2 配線層 2 2 が積層された面側に設けられ、第 2 導電型領域 2 1 2 は、第 1 導電型領域 2 1 1 よりも第 2 半導体基板 2 1 の内部に、第 1 導電型領域 2 1 1 と接するように設けられる。

[0030] 第 2 導電型領域 2 1 2 は、第 1 導電型領域 2 1 1 との界面にて p n 接合を形成しており、入射光によって生じたキャリアをアバランシェ増倍する。例えば、第 2 導電型領域 2 1 2 は、光検出器 1 の検出効率 (P h o t o n D e t e c t i o n E f f i c i e n c y : P D E) を高めるために、空乏化されていてもよい。なお、本明細書では、第 1 導電型領域 2 1 1、及び第 2 導電型領域 2 1 2 を併せて増倍領域 2 1 0 とも称する。

[0031] なお、第 2 半導体基板 2 1 がドーピングされている場合、第 2 半導体基板 2 1 の第 2 導電型領域 2 1 2 からさらに内部を空乏化させることができるため、光検出器 1 の検出効率 (P D E) をさらに高めることができる。このときの第 2 半導体基板 2 1 のドーピング濃度は、第 2 導電型領域 2 1 2 のドーピング濃度より低くともよい。

- [0032] 第1導電型領域211は、第2導電型領域212にてアバランシェ増倍されたキャリア（例えば、正孔）を取り出すためのカソードとして機能する。第1導電型領域211は、例えば、より高濃度の第1導電型（例えば、n型）不純物でドーピングされたコンタクト領域211Nにて、コンタクトを介して第2配線層22の配線221と電氣的に接続していてもよい。
- [0033] 一方、第2導電型領域212にてアバランシェ増倍されたキャリア（例えば、電子）を取り出すためのアノード213Pは、第1導電型領域211と同層、かつ後述する分離領域217と第1導電型領域211との間の第2半導体基板21に設けられる。アノード213Pは、例えば、後述するホール蓄積領域213よりも高濃度の第2導電型（例えば、p型）不純物でドーピングされ、コンタクトを介して第2配線層22の配線221と電氣的に接続していてもよい。
- [0034] なお、第2導電型領域212は、第2半導体基板21の表面を平面視した際に第1導電型領域211の射影領域内に設けられてもよい。すなわち、第2導電型領域212は、第1導電型領域211よりも一回り小さな平面形状にて設けられてもよい。画素領域を画定する分離領域217の近傍では、光電変換に依らないキャリアが発生しやすい。したがって、第2導電型領域212の平面形状を第1導電型領域211の平面形状よりも一回り小さくすることで、光電変換に依らないキャリアが第2導電型領域212にてアバランシェ増倍される可能性を低減することができる。これによれば、光検出器1は、ノイズ信号の発生を抑制することができる。
- [0035] 第2半導体基板21には、さらに、光検出器1の画素領域を確定する分離領域217が設けられる。具体的には、分離領域217は、増倍領域210である第1導電型領域211及び第2導電型領域212の周囲を平面的に囲むように設けられる。分離領域217は、増倍領域210を画素ごとに電氣的に絶縁することで、画素間での電氣的なクロストークを防止することができる。これによれば、光検出器1は、行列状に複数配列されることで、画素アレイを形成することができる。

- [0036] 分離領域 217 は、例えば、第 2 半導体基板 21 を厚さ方向に貫通する金属膜 214 と、金属膜 214 の側面を覆う絶縁膜 215 と、にて構成することができる。金属膜 214 は、例えば、光を反射する金属（例えば、タングステンなど）で形成することができる。絶縁膜 215 は、例えば、絶縁性を有する無機酸窒化物（例えば、 SiO_2 など）で形成することができる。これによれば、分離領域 217 は、金属膜 214 によって画素間を光学的に分離し、かつ絶縁膜 215 によって画素間を電氣的に分離することができる。
- [0037] 第 2 半導体基板 21 には、さらに、第 2 導電型（例えば、p 型）不純物でドーピングされることで正孔（ホール）を蓄積したホール蓄積領域 213 が設けられる。具体的には、ホール蓄積領域 213 は、分離領域 217 の側面に沿って画素領域の第 2 半導体基板 21 に設けられる。また、ホール蓄積領域 213 は、第 2 基板の第 2 配線層 22 が積層された面と反対側の面にも延伸して設けられてもよい。ホール蓄積領域 213 は、異なる材質が接する領域に設けられることで、異なる材質の界面で発生する暗電流を抑制する。
- [0038] また、ホール蓄積領域 213 は、アノード 213P と接していてもよい。具体的には、アノード 213P は、分離領域 217 の側面に沿って設けられたホール蓄積領域 213 のうち第 2 半導体基板 21 の表面の一部領域に設けられることで、ホール蓄積領域 213 と接していてもよい。これによれば、光検出器 1 は、アノード 213P 及びホール蓄積領域 213 を介して、増倍領域 210 に印加されるバイアス電圧を調整することが可能となる。また、ホール蓄積領域 213 は、第 2 半導体基板 21 の内部からアノード 213P へキャリア（例えば、電子）を取り出すためのパスとして機能することで、光検出器 1 のオン抵抗を低減させることができる。
- [0039] 本実施形態に係る光検出器 1 では、カソードである第 1 導電型領域 211 と、アノード 213P との間の第 2 半導体基板 21 に絶縁領域 216 がさらに設けられる。
- [0040] ここで、図 2A 及び図 2B を参照して、絶縁領域 216 の構成について具体的に説明する。図 2A は、図 1 の領域 A を 180° 回転させて拡大した縦

断面図であり、図 2 B は、図 2 A で示した構造の変形例を示す縦断面図である。

[0041] 図 2 A に示すように、絶縁領域 2 1 6 は、絶縁性材料で構成され、カソードである第 1 導電型領域 2 1 1 と、アノード 2 1 3 P との間の第 2 半導体基板 2 1 に設けられる。これによれば、絶縁領域 2 1 6 は、第 1 導電型領域 2 1 1 と、アノード 2 1 3 P との間の電界を緩和することで、エッジブレークダウンの可能性を低減することができる。

[0042] 絶縁領域 2 1 6 は、第 1 導電型領域 2 1 1 の形成深さよりも深い形成深さにて設けられる。これによれば、絶縁領域 2 1 6 は、第 1 導電型領域 2 1 1 と、アノード 2 1 3 P との間の電界緩和効果をより強くすることができる。

[0043] 一方、絶縁領域 2 1 6 は、第 2 導電型領域 2 1 2 の形成深さよりも浅い形成深さにて設けられてもよい。これによれば、絶縁領域 2 1 6 は、互いに異なる材質で構成される第 2 半導体基板 2 1 と絶縁領域 2 1 6 との界面で生じた、光電変換に依らないキャリア（正孔）を第 2 導電型領域 2 1 2 に進入させずに第 1 導電型領域 2 1 1 にて回収することができる。したがって、光検出器 1 は、光電変換に依らないキャリアが第 2 導電型領域 2 1 2 でアバランシェ増倍される確率を低下させることができるため、ノイズ信号をより低減することができる。なお、第 2 半導体基板 2 1 と絶縁領域 2 1 6 との界面で生じた、光電変換に依らないキャリア（電子）は、例えば、絶縁領域 2 1 6 と隣接するホール蓄積領域 2 1 3 に回収される。

[0044] 絶縁領域 2 1 6 は、例えば、二酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、又は酸窒化シリコン（ SiON ）などの絶縁性の無機酸窒化物で形成することができる。具体的には、絶縁領域 2 1 6 は、STI（Shallow Trench Isolation）法を用いて、第 2 半導体基板 2 1 の所定領域の一部をエッチング等で除去した後、形成された開口を酸化シリコン（ SiO_2 ）で埋め込むことで形成されてもよい。

[0045] なお、絶縁領域 2 1 6 は、カソードである第 1 導電型領域 2 1 1 と、アノード 2 1 3 P との間に存在すればよい。具体的には、絶縁領域 2 1 6 は、第

1 導電型領域 2 1 1 と接していなくともよく、アノード 2 1 3 P と接していなくともよい。例えば、図 2 B に示すように、絶縁領域 2 1 6 は、第 1 導電型領域 2 1 1 と離隔して設けられてもよい。絶縁領域 2 1 6 と第 1 導電型領域 2 1 1 とが離隔される場合、絶縁領域 2 1 6 と第 1 導電型領域 2 1 1 との間で電界集中を防止することができるため、光検出器 1 は、エッジブレークダウンの可能性をより低減することができる。

[0046] 一方で、図 2 A で示したように、絶縁領域 2 1 6 が第 1 導電型領域 2 1 1 と接して設けられる場合、光検出器 1 は、画素領域の大きさをより小さくすることができるため、光検出器 1 を用いた画素アレイをより微細化及び高密度化することが可能になる。

[0047] (1. 2. 絶縁領域の平面配置)

次に、図 3 及び図 4 を参照して、絶縁領域 2 1 6 の平面配置について具体的に説明する。図 3 は、絶縁領域 2 1 6 の第 1 の平面配置例を示す平面図であり、図 4 は、絶縁領域 2 1 6 の第 2 の平面配置例を示す平面図である。図 3 及び図 4 で示す平面図では、理解を容易にするために、絶縁領域 2 1 6 と、第 1 導電型領域 2 1 1 とが互いに離隔して設けられた場合（図 2 B で示す例）について例示する。

[0048] 以下では、分離領域 2 1 7 にて画定された画素領域が四角形状である場合を例示して説明を行うが、分離領域 2 1 7 にて画定された画素領域の形状は、かかる例示に限定されない。画素領域の形状は、多角形状であればよく、四角形状以外の三角形、五角形、六角形、又はそれ以上の多角形状であってもよい。

[0049] 第 1 の平面配置例では、分離領域 2 1 7 にて画定された画素領域は、多角形状であり、絶縁領域 2 1 6 の複数の領域は、画素領域の多角形状の各辺に対応する位置に設けられる。具体的には、図 3 に示すように、ホール蓄積領域 2 1 3 を外周とする画素領域は、四角形状であり、絶縁領域 2 1 6 は、互いに離隔された複数の領域 2 1 6 - 1、2 1 6 - 2、2 1 6 - 3、2 1 6 - 4 にて構成されてもよい。領域 2 1 6 - 1、2 1 6 - 2、2 1 6 - 3

、216-4は、画素領域の四角形状の各辺に対応する位置に設けられてもよい。

[0050] 図3で示す平面配置例では、絶縁領域216が複数の領域216-1、216-2、216-3、216-4に分かれているため、光電変換に依らないキャリアをホール蓄積領域213に逃がす経路が平面的に確保されている。したがって、第1の平面配置例によれば、アバランシェ増倍を行う第2導電型領域212に光電変換に依らないキャリアが進入する可能性をより低減することができるため、光検出器1は、ノイズ信号を抑制することができる。

[0051] 図3で示す平面配置例では、絶縁領域216を構成する複数の領域216-1、216-2、216-3、216-4が互い離隔される位置は、四角形状の各頂点に対応する位置となっている。これは、四角形状の各頂点に対応する位置は、四角形状の各辺に対応する位置よりも第1導電型領域211と、ホール蓄積領域213との距離が長いため、絶縁領域216を設けなくともエッジブレイクダウンの可能性が十分に低いためである。

[0052] したがって、第1の平面配置例によれば、絶縁領域216は、エッジブレイクダウンを効果的に抑制しつつ、ノイズ信号の発生を抑制することが可能である。

[0053] 第2の平面配置例では、分離領域217にて画定された画素領域は、多角形状であり、絶縁領域216は、画素領域の多角形状の全周に亘って設けられる。具体的には、図4に示すように、ホール蓄積領域213を外周とする画素領域は、四角形状であり、絶縁領域216は、ホール蓄積領域213に沿って画素領域の全周に亘って設けられてもよい。

[0054] 図4で示す平面配置例では、絶縁領域216が等方的かつ連続的に設けられているため、方位ごとに絶縁領域216の特性がばらつくことを抑制することができる。また、絶縁領域216は、形成された領域が等方的かつ連続的であるため、より容易な製造プロセスにて形成することができる。

[0055] 続いて、図5A～図5Fを参照して、第2の平面配置例の変形例について

説明する。図5 A～図5 Fは、絶縁領域216の第2の平面配置例の変形例を示す平面図である。図5 A～図5 Fで示す平面図でも、理解を容易にするために、絶縁領域216と、第1導電型領域211とが互いに離隔して設けられた場合（図2 Bで示す例）について例示する。

[0056] 図5 Aで示すように、絶縁領域216 Aは、画素領域の四角形状の各頂点に対応する位置の幅が該四角形状の各辺に対応する位置の幅よりも大きくなるように設けられ得る。具体的には、絶縁領域216 Aは、画素領域の四角形状の全周に亘って設けられた平面形状から、該四角形状の各頂点をそれぞれ構成する二辺の間に斜めに架け渡した線分まで張り出した平面形状となってもよい。換言すると、絶縁領域216 Aは、画素領域の四角形状の全周に亘って設けられた平面形状から、該四角形状の各頂点に対応する位置にて三角形に張り出した平面形状となってもよい。

[0057] また、図5 Bに示すように、絶縁領域216 Bは、画素領域の四角形状の各辺に対応する位置の幅が該四角形状の各頂点に対応する位置の幅よりも大きくなるように設けられ得る。具体的には、絶縁領域216 Bは、画素領域の四角形状の全周に亘って設けられた平面形状から、該四角形状の各辺に対応する位置にて四角形に張り出した平面形状となってもよい。

[0058] このような平面配置によれば、絶縁領域216 Bは、アバランシェ増倍を行う第2導電型領域212へ第2半導体基板21の内部で光電変換されたキャリアを誘導することができる。具体的には、絶縁領域216 Bは、第2半導体基板21の表面を塞ぐことで、第2半導体基板21の内部で光電変換されたキャリアが第2導電型領域212に進入せずに第2半導体基板21の表面に到達することを抑制することができる。

[0059] また、図5 C～図5 Eに示すように、絶縁領域216 C～216 Eは、平面形状の各頂点の角度が90度よりも大きくなるように設けられてもよい。具体的には、図5 Cに示す絶縁領域216 Cは、図5に示す絶縁領域216の多角形状から各頂点を斜めに切断した多角形状となっている。また、図5 Dに示す絶縁領域216 Dは、図5 Aに示す絶縁領域216 Aの多角形

形状から各頂点を斜めに切断した多角形状となっている。さらに、図5 Eに示す絶縁領域216 Eは、図5 Bに示す絶縁領域216 Bの多角形状から各頂点を斜めに切断した多角形状となっている。

[0060] このような平面配置によれば、絶縁領域216 C～216 Eは、平面形状の各頂点の角度を90度超の鈍角とすることで、各頂点にて応力が集中することを抑制することができる。したがって、絶縁領域216 C～216 Eは、第2半導体基板21の内部に欠陥が生じることを防止することができる。これによれば、光検出器1は、欠陥に起因してキャリアが発生し、暗電流が増加することを抑制することができる。

[0061] さらに、図5 Fに示すように、第1導電型領域211 F、及び第2導電型領域212 Fの平面形状も四角形状に限定されず、三角形形状又は五以上の多角形状、又は凹凸を有する多角形状であってもよい。このような場合、絶縁領域216 Fは、第1導電型領域211 F、及び第2導電型領域212 Fの平面形状に応じて、平面形状を変化させることも可能である。例えば、絶縁領域216 Fは、第1導電型領域211 F、及び第2導電型領域212 Fの平面形状の凸形状に応じて凸となる平面形状であってもよく、第1導電型領域211 F、及び第2導電型領域212 Fの平面形状の凸形状に応じて凹となる平面形状であってもよい。逆に、絶縁領域216 Fは、第1導電型領域211 F、及び第2導電型領域212 Fの平面形状の凹形状に応じて凸となる平面形状であってもよく、第1導電型領域211 F、及び第2導電型領域212 Fの平面形状の凹形状に応じて凹となる平面形状であってもよい。

[0062] 以上にて、本実施形態に係る光検出器1について具体的に説明した。本実施形態に係る光検出器1は、絶縁領域216によって、カソードである第1導電型領域211と、アノード213 Pとの間の電界を緩和し、エッジブレイクダウンの可能性を低減することができる。絶縁領域216は、電界緩和の効果が高く、より短い距離で効果的にエッジブレイクダウンの可能性を低減することができるため、光検出器1は、画素領域の大きさをより小さくす

ることが可能である。これによれば、光検出器 1 は、光検出器 1 を用いた画素アレイをより微細化及び高密度化することが可能になる。

[0063] なお、本実施形態に係る光検出器 1 は、半導体装置の製造方法として公知の技術、工程、及び装置を用いることで製造することが可能である。よって、本実施形態に係る光検出器 1 の製造方法の詳細についての記載は省略する。

[0064] < 2. 変形例 >

次に、図 6 ～図 9 C を参照して、本実施形態に係る光検出器 1 の第 1 ～第 3 の変形例について説明する。

[0065] (2. 1. 第 1 の変形例)

まず、図 6 を参照して、本実施形態に係る光検出器 1 の第 1 の変形例について説明する。図 6 は、第 1 の変形例に係る絶縁領域 2 1 6 G の断面形状を示す図 2 A に対応する縦断面図である。

[0066] 図 2 A に示すように、絶縁領域 2 1 6 G の立体形状は、第 2 半導体基板 2 1 の厚み方向に逆テーパとなる形状であってもよい。具体的には、絶縁領域 2 1 6 G の立体形状は、第 2 半導体基板 2 1 の表面から内部に向かって平面形状の径が徐々に小さくなっていくような逆テーパ形状であってもよい。このような立体形状の絶縁領域 2 1 6 G は、第 2 半導体基板 2 1 の厚み方向に応力が集中することを抑制することができるため、第 2 半導体基板 2 1 の内部に欠陥が生じることを防止することができる。これによれば、光検出器 1 は、第 2 半導体基板 2 1 の欠陥に起因してキャリアが発生し、暗電流が増加することを抑制することができる。

[0067] なお、立体形状が逆テーパ形状である絶縁領域 2 1 6 G は、上述した図 3 ～図 5 F の平面形状の絶縁領域 2 1 6、2 1 6 A ～2 1 6 F に対しても同様に適用可能である。

[0068] (2. 2. 第 2 の変形例)

次に、図 7 A 及び図 7 B を参照して、本実施形態に係る光検出器 1 の第 2 の変形例について説明する。図 7 A は、第 2 の変形例に係る絶縁領域 2 1 6

G-1、216G-2の断面形状を示す図2Aに対応する縦断面図である。
図7Bは、第2の変形例に係る絶縁領域216G-1、216G-2の平面形状を示す図3に対応する平面図である。

[0069] 図7Aに示すように、絶縁領域216G-1、216G-2は、カソードである第1導電型領域211と、アノード213P及びホール蓄積領域213との間に、複数並んで設けられてもよい。具体的には、図7Bに示すように、絶縁領域216G-2は、画素領域の多角形状の全周に亘って設けられ、絶縁領域216G-1は、絶縁領域216G-2の内部に全周に亘って設けられてもよい。すなわち、絶縁領域216G-1、216G-2は、多重リング形状にて設けられてもよい。

[0070] 絶縁領域216G-1、216G-2は、画素領域の中心から外側に向かう方向において複数設けられることで、カソードである第1導電型領域211と、アノード213Pとの間の電界をより緩和することができる。これによれば、光検出器1は、エッジブレイクダウンの可能性をより低減することができる。また、絶縁領域216G-1、216G-2は、散乱効果によって第2配線層22側からの光（例えば、配線221からの反射光など）の光路長を伸ばし、第2配線層22側からの光がノイズとなる可能性を低減することができるため、光検出器1の検出効率をより高めることができる。

[0071] なお、図7Aでは、絶縁領域216G-1、216G-2の立体形状が逆テーパ形状である例を示したが、本変形例はかかる例示に限定されない。絶縁領域216G-1、216G-2の立体形状は、図2Aで示したような非テーパ形状であってもよい。また、図7Bでは、絶縁領域216G-1、216G-2が画素領域の多角形状の全周に亘って設けられる例を示したが、本変形例はかかる例示に限定されない。絶縁領域216G-1、216G-2は、画素領域の多角形状の周方向に離隔されることで、複数の領域に分かれていてもよい。

[0072] (2. 3. 第3の変形例)

さらに、図8～図9Cを参照して、本実施形態に係る光検出器1の第3の

変形例について説明する。図8は、第3の変形例に係る第2半導体基板21の断面を示す図2Aに対応する縦断面図である。図9A～図9Cは、図8に示す第2半導体基板21の断面のバリエーションを示す縦断面図である。

[0073] 図8に示すように、絶縁領域216よりも内部の第2半導体基板21には、ホール蓄積領域213と同じ導電型（例えば、p型）のサブ蓄積領域218が設けられてもよい。具体的には、サブ蓄積領域218は、ホール蓄積領域213と同様に、第2導電型（例えば、p型）不純物でドーピングされることで正孔（ホール）を蓄積した領域であり、ホール蓄積領域213の側面に接して設けられる。サブ蓄積領域218は、第2半導体基板21の内部からアノード213Pへキャリア（例えば、電子）を取り出すためのパスとして、ホール蓄積領域213の機能をサポートする。これによれば、光検出器1は、オン抵抗をさらに低減させることができる。

[0074] また、サブ蓄積領域218は、ホール蓄積領域213と同様に、絶縁領域216と、第2半導体基板21との界面で生じるキャリア（例えば、電子）を回収することができる。これによれば、光検出器1は、光電変換に依らないキャリアに起因するノイズ信号の発生をより低減することができる。

[0075] ただし、サブ蓄積領域218は、第2半導体基板21の表面を平面視した際に絶縁領域216の射影領域内に設けられ得る。サブ蓄積領域218が第1導電型領域211に過度に接近した場合、サブ蓄積領域218と、第1導電型領域211との間で意図しない導通が生じる可能性がある。そのため、サブ蓄積領域218は、絶縁領域216が設けられた領域から突出しないように設けられる。

[0076] 例えば、図5Aにて示した絶縁領域216Aのように、絶縁領域216Aの平面領域を増加させることで、サブ蓄積領域218が形成可能な領域を増加させることも可能である。図5Aにて示す平面配置例では、画素領域の多角形状の各頂点に対応し、第1導電型領域211と、ホール蓄積領域213との距離が比較的大きい位置にて、絶縁領域216Aの平面領域が増加している。これによれば、サブ蓄積領域218が形成可能な領域をより広くす

ることができるため、光検出器 1 は、オン抵抗をより低減させることができる。

[0077] なお、サブ蓄積領域 218 は、絶縁領域 216 が設けられたすべての領域に設けられてもよく、絶縁領域 216 が設けられた領域の一部に設けられてもよい。

[0078] ここで、図 9 A～図 9 C に示すように、第 3 の変形例では、第 1 導電型領域 211、絶縁領域 216、及びサブ蓄積領域 218 は、それぞれ接していなくともよい。例えば、図 9 A に示すように、第 1 導電型領域 211、及び絶縁領域 216 は、互いに接していなくともよい。

[0079] また、図 9 B に示すように、絶縁領域 216、及びサブ蓄積領域 218 は、互いに接していなくともよい。このような場合、絶縁領域 216 の形成深さと、サブ蓄積領域 218 の形成深さとを厳密に制御する製造プロセス条件を検討する必要が無くなるため、光検出器 1 をより容易に製造することが可能となる。

[0080] さらに、図 9 C に示すように、互いに離隔された絶縁領域 216 及びサブ蓄積領域 218 の間には、サブ蓄積領域 218 及びホール蓄積領域 213 と同様に、第 2 導電型（例えば、p 型）不純物でドーピングされた低濃度領域 218 A がさらに設けられてもよい。低濃度領域 218 A は、サブ蓄積領域 218 と同様の機能を有するものの、サブ蓄積領域 218 のドーピング濃度よりも第 2 導電型（例えば、p 型）不純物のドーピング濃度が低い領域である。光検出器 1 は、低濃度領域 218 A を設けておくことで、絶縁領域 216 の形成深さと、サブ蓄積領域 218 の形成深さとを厳密に制御せずとも、図 8 で示した構造と同様の効果を得ることができる。すなわち、光検出器 1 は、オン抵抗を低減させることができる。

[0081] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明ら

かであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0082] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0083] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

半導体基板に設けられ、画素領域を画定する分離領域と、
前記分離領域の側面に沿って前記画素領域の前記半導体基板に設けられたホール蓄積領域と、

前記画素領域の前記半導体基板に設けられ、前記半導体基板の表面側から第1導電型領域、及び第2導電型領域を前記半導体基板の厚み方向に接合することで構成された増倍領域と、

前記増倍領域と、前記ホール蓄積領域との間の領域の前記半導体基板に設けられた絶縁領域と、
を備え、

前記絶縁領域の形成深さは、前記第1導電型領域の形成深さよりも深い、光検出器。

(2)

前記絶縁領域の形成深さは、前記第2導電型領域の形成深さよりも浅い、前記(1)に記載の光検出器。

(3)

前記ホール蓄積領域は、第2導電型である、前記(1)又は(2)に記載の光検出器。

(4)

前記絶縁領域よりも内部の前記半導体基板には、前記ホール蓄積領域と同じ導電型のサブ蓄積領域がさらに設けられる、前記(3)に記載の光検出器

。

(5)

前記絶縁領域は、互いに離隔された複数の領域にて構成される、前記(1)～(4)のいずれか一項に記載の光検出器。

(6)

前記画素領域の平面形状は、多角形状であり、
前記絶縁領域の前記複数の領域は、前記画素領域の各辺に沿って設けられる、前記(5)に記載の光検出器。

(7)

前記絶縁領域は、前記増倍領域、及び前記ホール蓄積領域の間の領域全周に亘って設けられる、前記(1)～(4)のいずれか一項に記載の光検出器

。

(8)

前記画素領域の平面形状は、多角形状であり、
前記画素領域の各頂点に対応する前記絶縁領域の幅は、前記画素領域の各辺に対応する前記絶縁領域の幅よりも大きい、前記(7)に記載の光検出器

。

(9)

前記画素領域の平面形状は、多角形状であり、
前記画素領域の各頂点に対応する前記絶縁領域の幅は、前記画素領域の各辺に対応する前記絶縁領域の幅よりも小さい、前記(7)に記載の光検出器

。

(10)

前記絶縁領域の平面形状は、多角形状であり、
前記多角形状の各頂点の角度は、いずれも90度よりも大きい、前記(7)～(9)のいずれか一項に記載の光検出器。

(11)

前記絶縁領域は、前記増倍領域、及び前記ホール蓄積領域の間に複数並ん

で設けられる、前記（１）～（１０）のいずれか一項に記載の光検出器。

（１２）

前記絶縁領域の前記半導体基板の厚み方向における形状は、前記半導体基板の表面側から逆テーパとなる形状である、前記（１）～（１１）のいずれか一項に記載の光検出器。

（１３）

前記ホール蓄積領域は、前記半導体基板の前記増倍領域が設けられた表面と対向する裏面側にさらに延伸して設けられる、前記（１）～（１２）のいずれか一項に記載の光検出器。

（１４）

前記半導体基板の前記裏面側には、光を集光するマイクロレンズがさらに設けられる、前記（１３）に記載の光検出器。

（１５）

前記ホール蓄積領域は、アノードと電氣的に接続し、前記第１導電型領域は、カソードと電氣的に接続する、前記（１）～（１４）のいずれか一項に記載の光検出器。

（１６）

前記分離領域は、前記半導体基板の厚み方向に延伸する金属膜と、前記金属膜の側面を覆う絶縁膜との二重構造にて構成される、前記（１）～（１５）のいずれか一項に記載の光検出器。

（１７）

前記第２導電型領域は、前記半導体基板の表面を平面視した際の前記第１導電型領域の射影領域内に設けられる、前記（１）～（１６）のいずれか一項に記載の光検出器。

符号の説明

[0084]	１	光検出器
	１１	第１半導体基板
	１２	第１配線層

2 1	第 2 半導体基板
2 2	第 2 配線層
3 3	マイクロレンズ
1 1 0 N	n 型領域
1 1 0 P	p 型領域
1 1 1 N	n 型電界効果トランジスタ
1 1 1 P	p 型電界効果トランジスタ
1 2 0、2 2 0	層間絶縁膜
1 2 1、2 2 1	配線
2 1 0	増倍領域
2 1 1	第 1 導電型領域
2 1 2	第 2 導電型領域
2 1 3	ホール蓄積領域
2 1 3 P	アノード
2 1 4	金属膜
2 1 5	絶縁膜
2 1 6	絶縁領域
2 1 7	分離領域
2 1 8	サブ蓄積領域

請求の範囲

- [請求項1] 半導体基板に設けられ、画素領域を画定する分離領域と、
前記分離領域の側面に沿って前記画素領域の前記半導体基板に設けられたホール蓄積領域と、
前記画素領域の前記半導体基板に設けられ、前記半導体基板の表面側から第1導電型領域、及び第2導電型領域を前記半導体基板の厚み方向に接合することで構成された増倍領域と、
前記増倍領域と、前記ホール蓄積領域との間の領域の前記半導体基板に設けられた絶縁領域と、
を備え、
前記絶縁領域の形成深さは、前記第1導電型領域の形成深さよりも深い、光検出器。
- [請求項2] 前記絶縁領域の形成深さは、前記第2導電型領域の形成深さよりも浅い、請求項1に記載の光検出器。
- [請求項3] 前記ホール蓄積領域は、第2導電型である、請求項1に記載の光検出器。
- [請求項4] 前記絶縁領域よりも内部の前記半導体基板には、前記ホール蓄積領域と同じ導電型のサブ蓄積領域がさらに設けられる、請求項3に記載の光検出器。
- [請求項5] 前記絶縁領域は、互いに離隔された複数の領域にて構成される、請求項1に記載の光検出器。
- [請求項6] 前記画素領域の平面形状は、多角形状であり、
前記絶縁領域の前記複数の領域は、前記画素領域の各辺に沿って設けられる、請求項5に記載の光検出器。
- [請求項7] 前記絶縁領域は、前記増倍領域、及び前記ホール蓄積領域の間の領域全周に亘って設けられる、請求項1に記載の光検出器。
- [請求項8] 前記画素領域の平面形状は、多角形状であり、
前記画素領域の各頂点に対応する前記絶縁領域の幅は、前記画素領

域の各辺に対応する前記絶縁領域の幅よりも大きい、請求項 7 に記載の光検出器。

[請求項9] 前記画素領域の平面形状は、多角形状であり、
前記画素領域の各頂点に対応する前記絶縁領域の幅は、前記画素領域の各辺に対応する前記絶縁領域の幅よりも小さい、請求項 7 に記載の光検出器。

[請求項10] 前記絶縁領域の平面形状は、多角形状であり、
前記多角形状の各頂点の角度は、いずれも 90 度よりも大きい、請求項 7 に記載の光検出器。

[請求項11] 前記絶縁領域は、前記増倍領域、及び前記ホール蓄積領域の間に複数並んで設けられる、請求項 1 に記載の光検出器。

[請求項12] 前記絶縁領域の前記半導体基板の厚み方向における形状は、前記半導体基板の表面側から逆テーパとなる形状である、請求項 1 に記載の光検出器。

[請求項13] 前記ホール蓄積領域は、前記半導体基板の前記増倍領域が設けられた表面と対向する裏面側にさらに延伸して設けられる、請求項 1 に記載の光検出器。

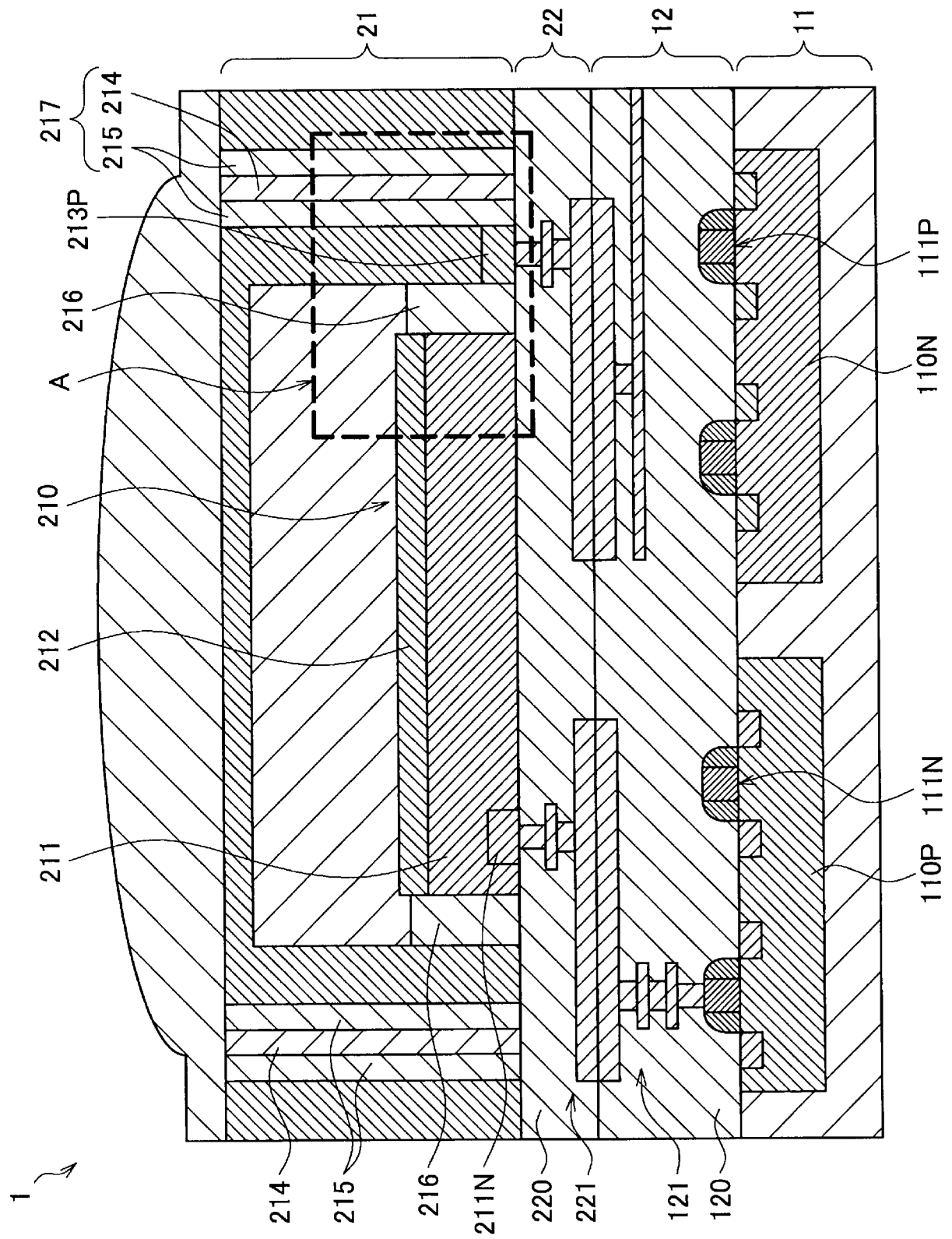
[請求項14] 前記半導体基板の前記裏面側には、光を集光するマイクロレンズがさらに設けられる、請求項 13 に記載の光検出器。

[請求項15] 前記ホール蓄積領域は、アノードと電氣的に接続し、前記第 1 導電型領域は、カソードと電氣的に接続する、請求項 1 に記載の光検出器。

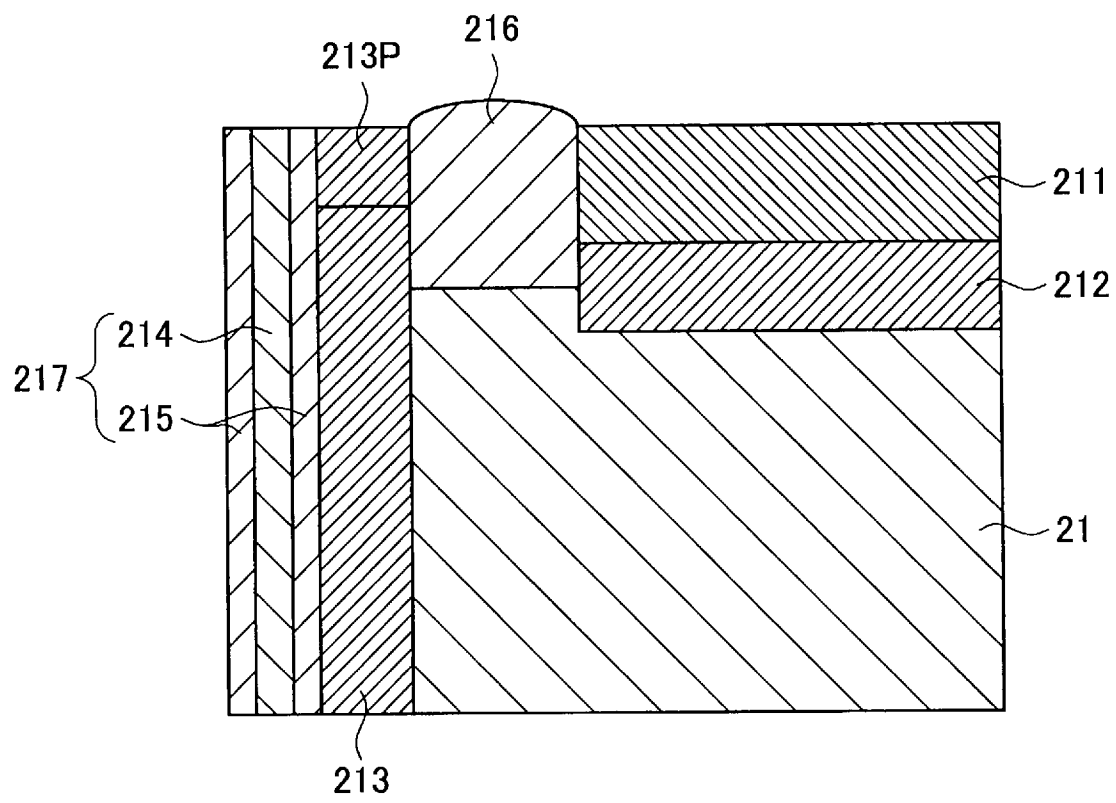
[請求項16] 前記分離領域は、前記半導体基板の厚み方向に延伸する金属膜と、前記金属膜の側面を覆う絶縁膜との二重構造にて構成される、請求項 1 に記載の光検出器。

[請求項17] 前記第 2 導電型領域は、前記半導体基板の表面を平面視した際の前記第 1 導電型領域の射影領域内に設けられる、請求項 1 に記載の光検出器。

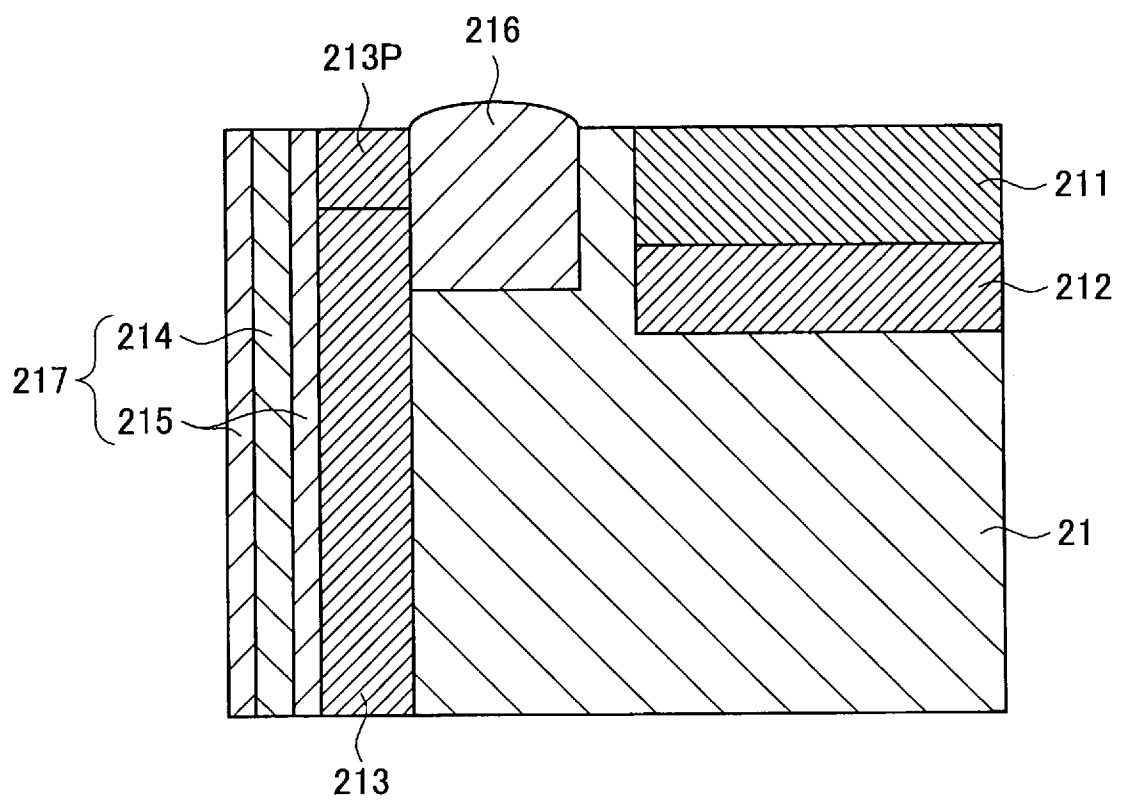
[図1]



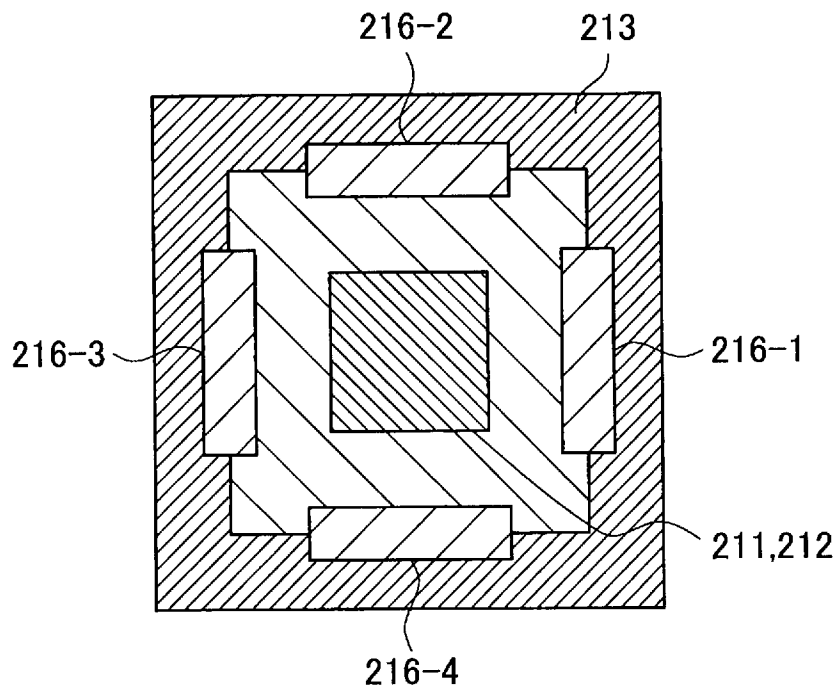
[図2A]



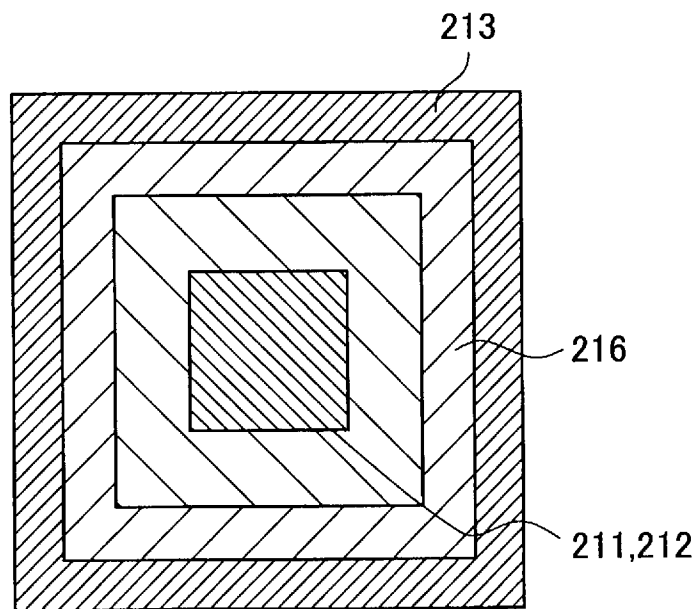
[図2B]



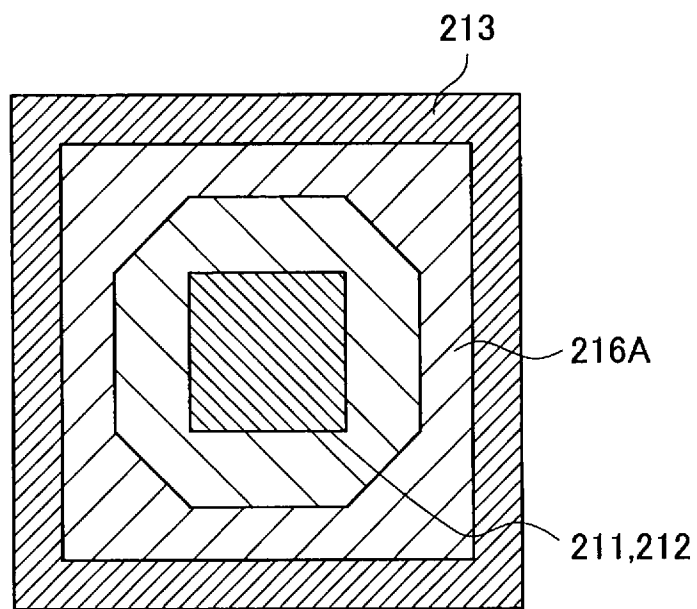
[図3]



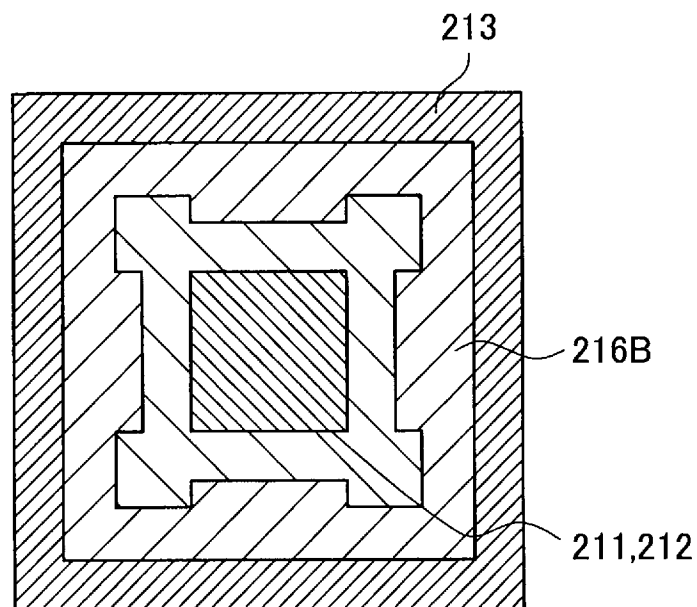
[図4]



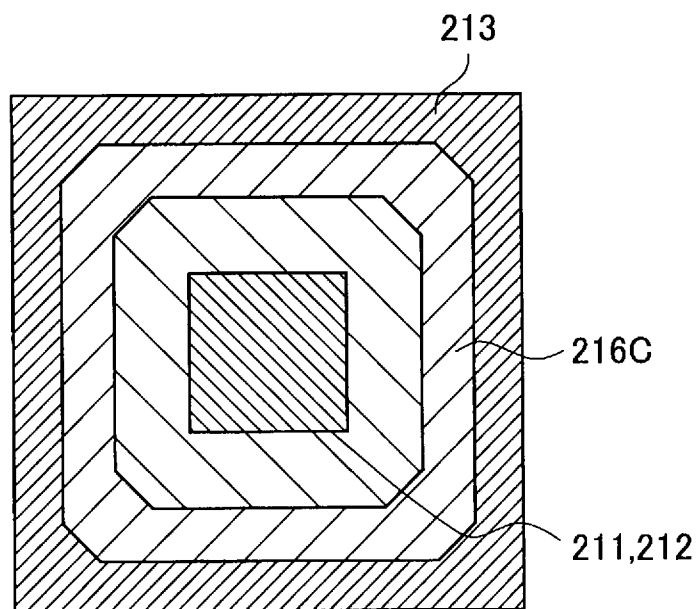
[図5A]



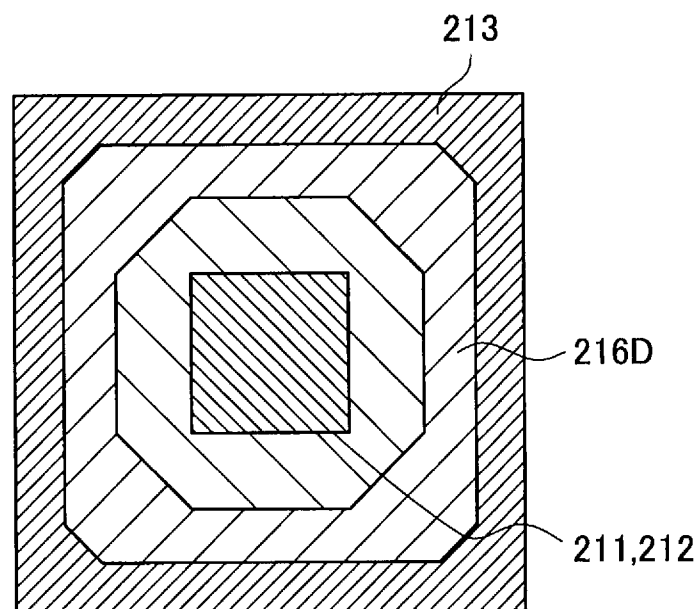
[図5B]



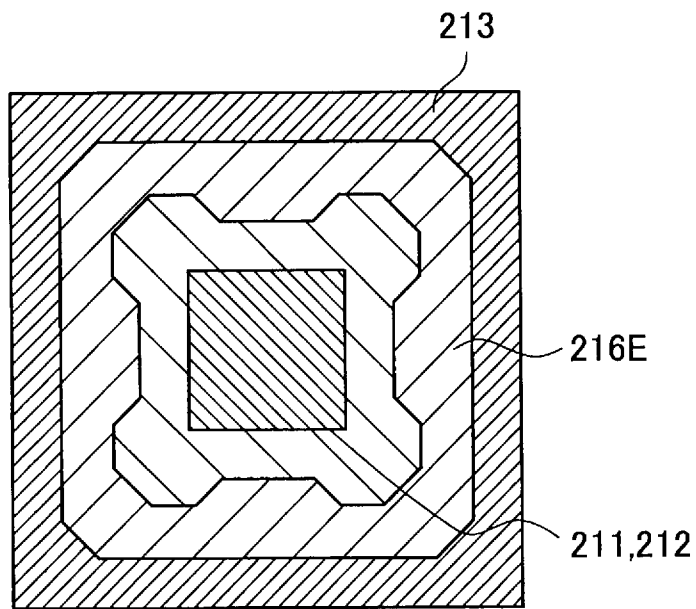
[図5C]



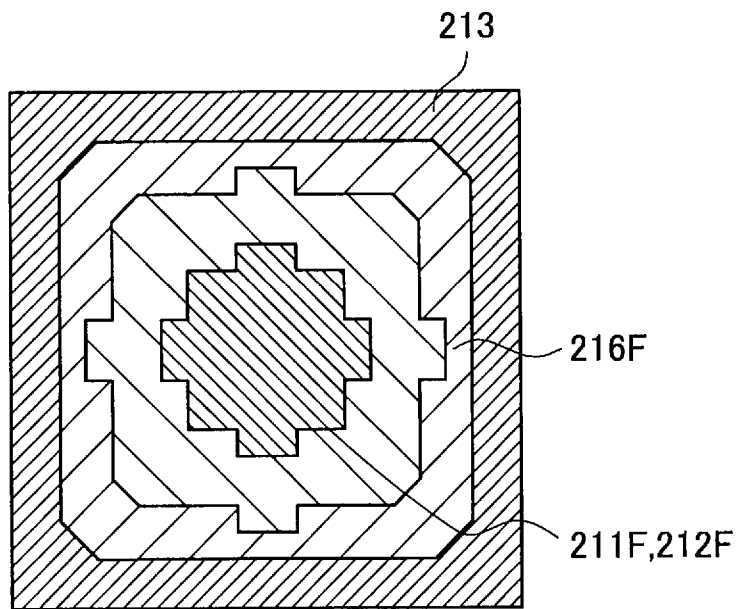
[図5D]



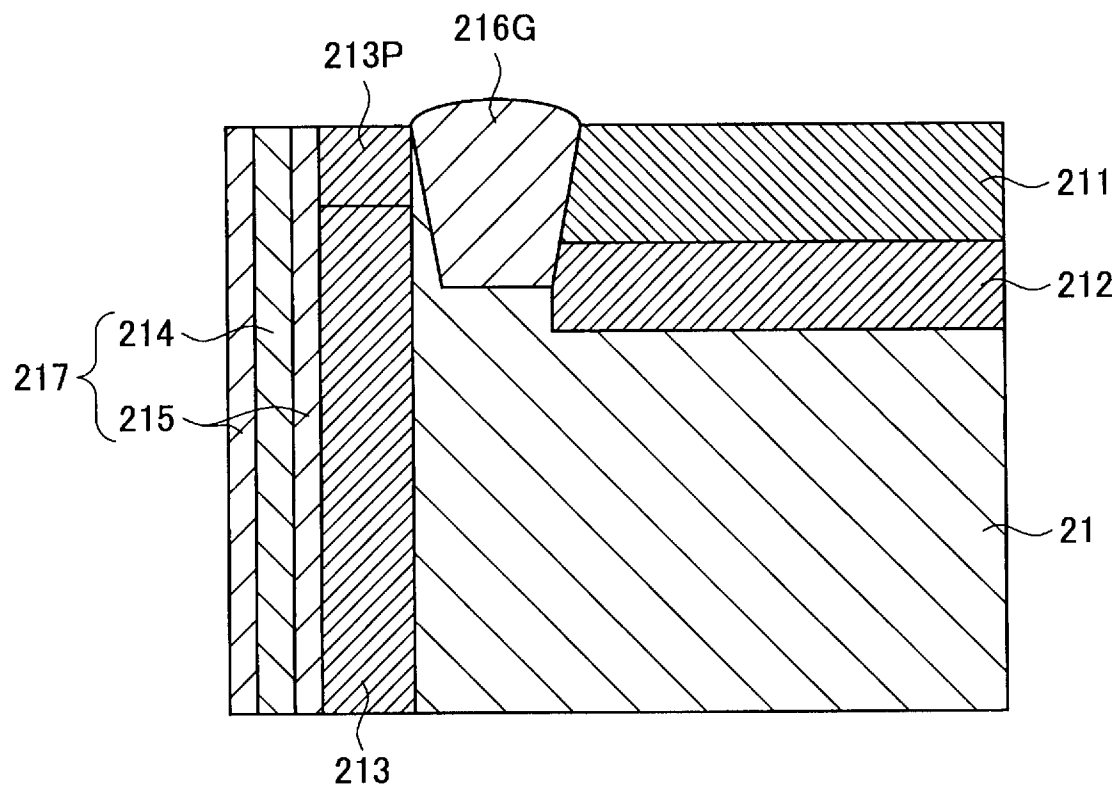
[図5E]



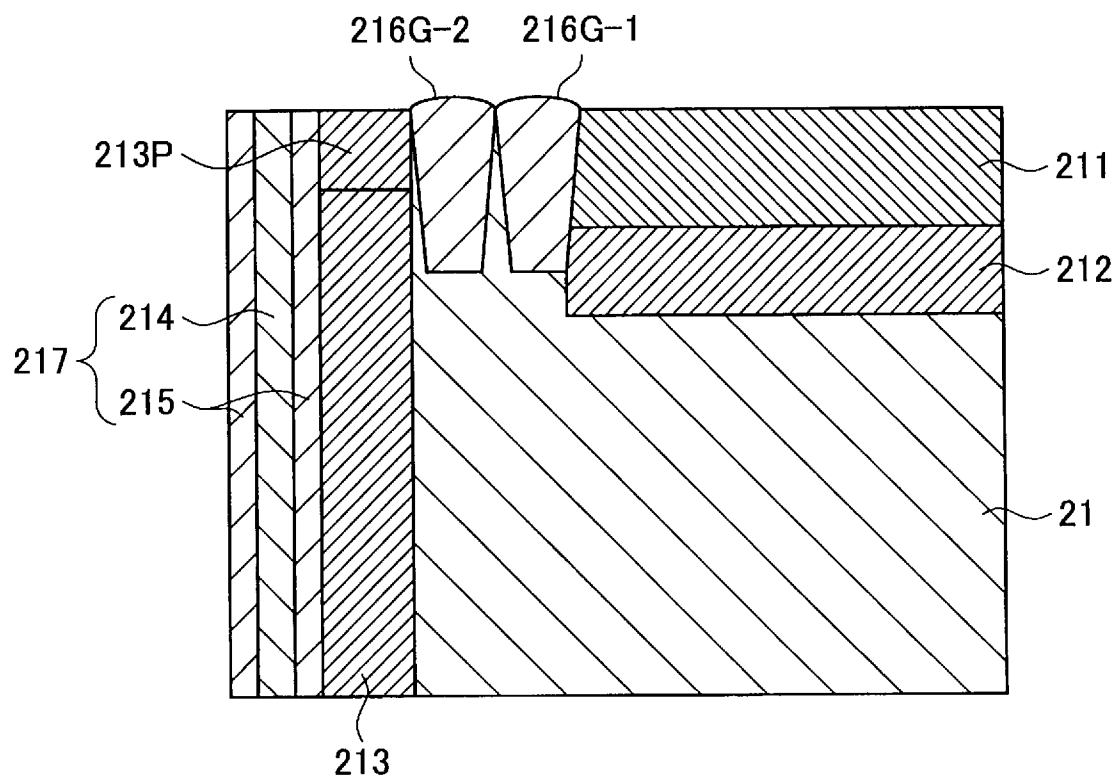
[図5F]



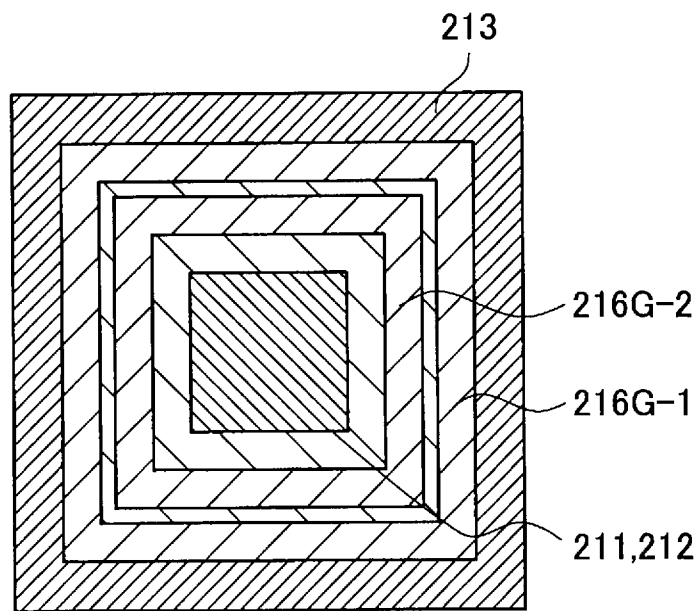
[図6]



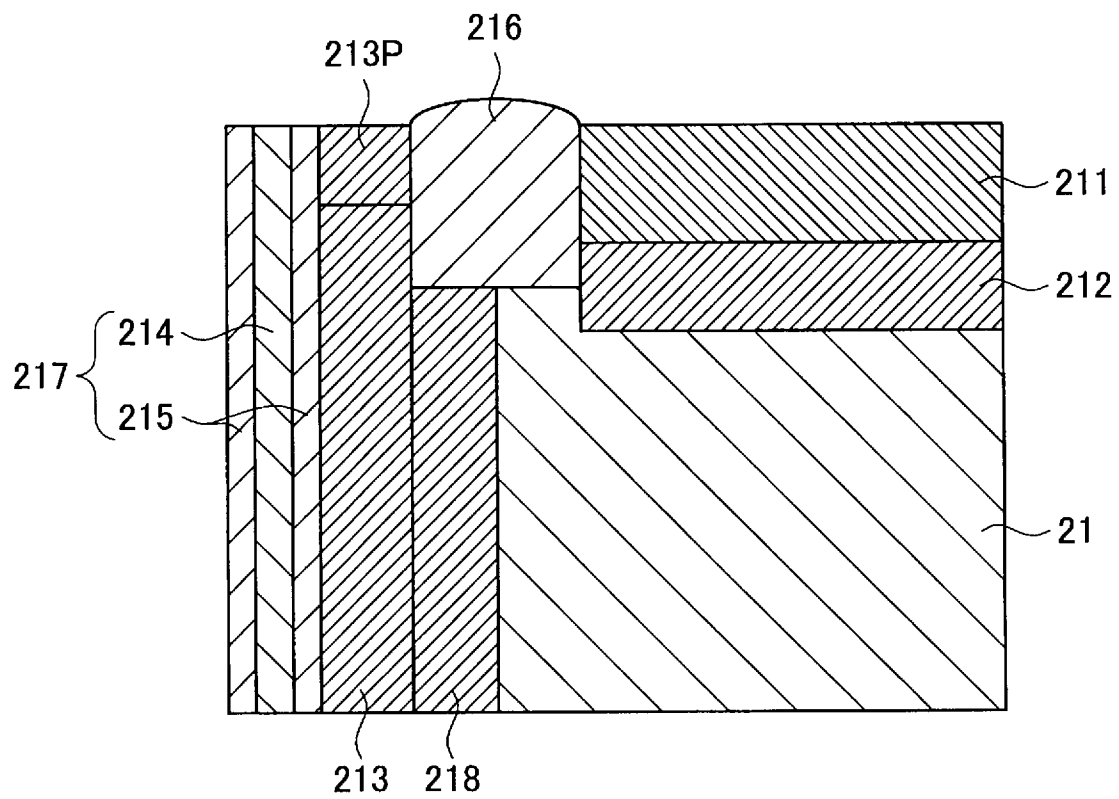
[図7A]



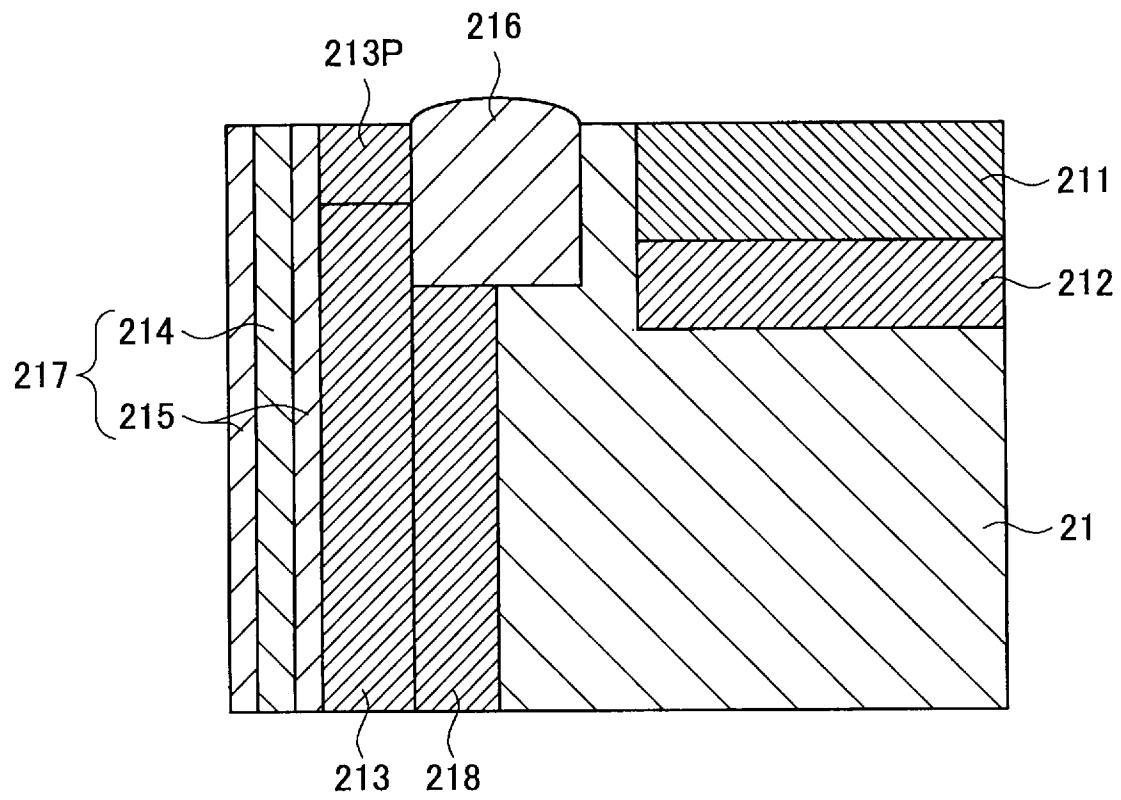
[図7B]



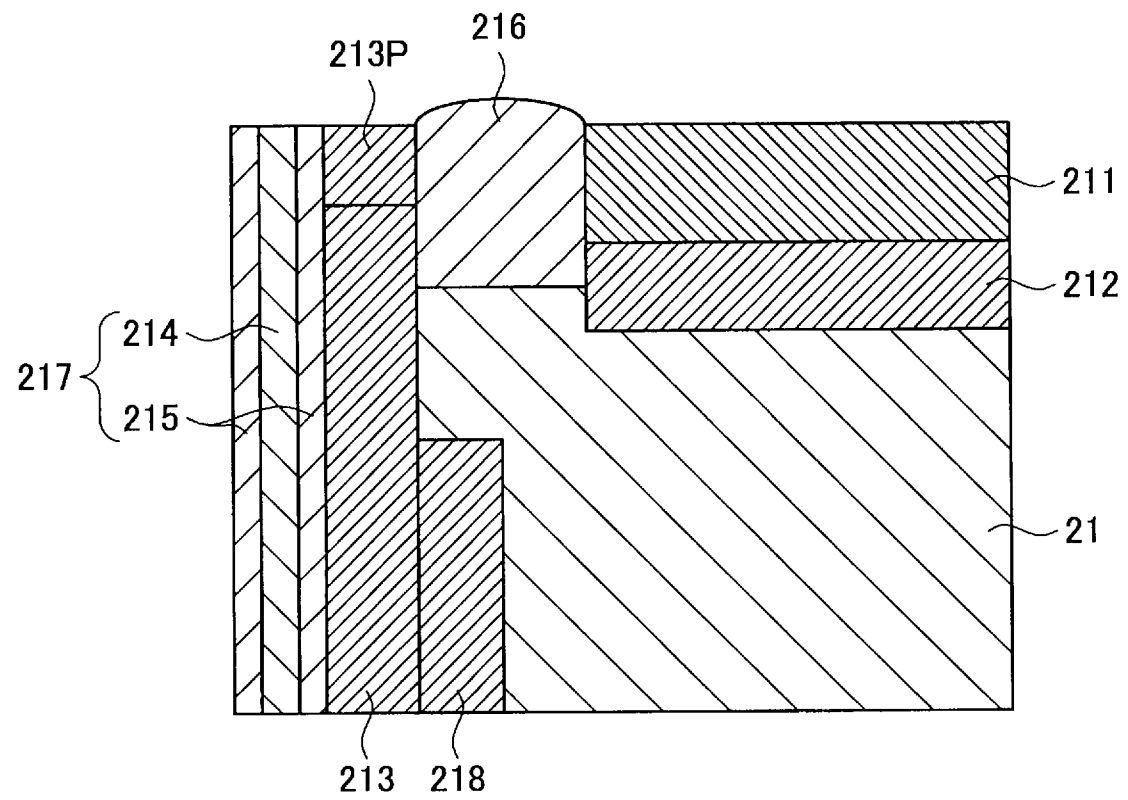
[図8]



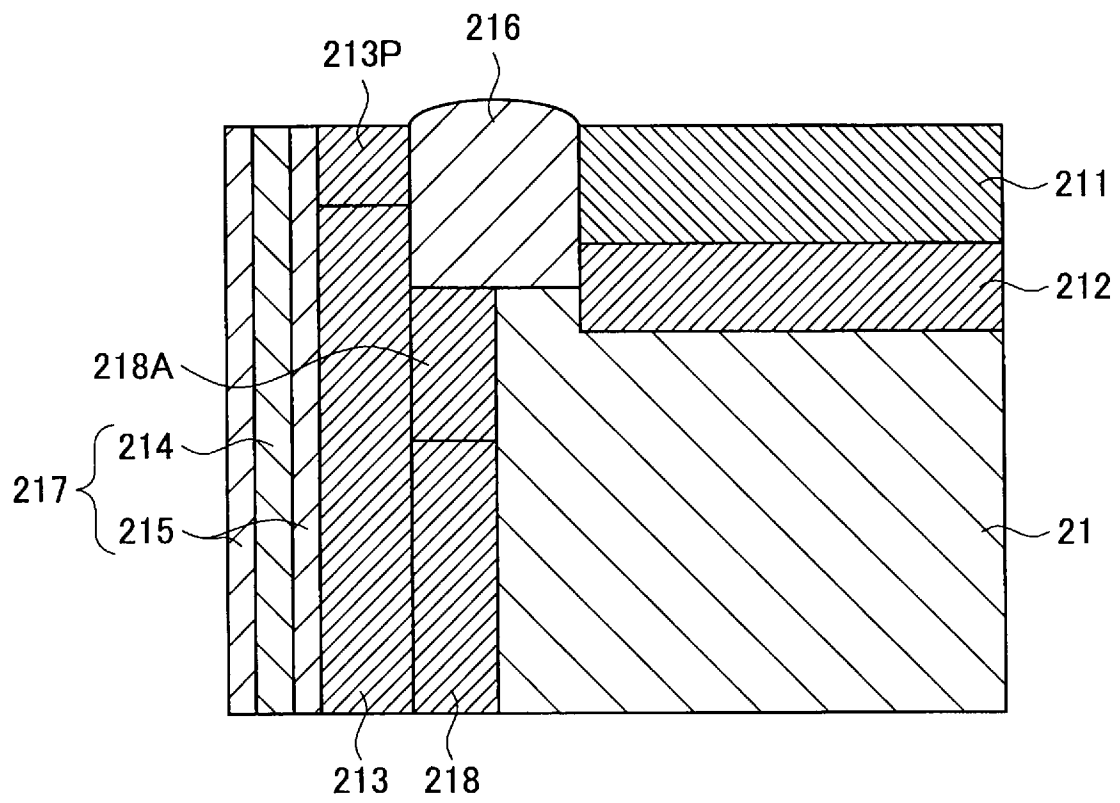
[図9A]



[図9B]



[図9C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/008228

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L31/107(2006.01)i, H01L27/146(2006.01)i
FI: H01L27/146A, H01L27/146F, H01L31/10B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L31/107, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-201005 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 20.12.2018 (2018-12-20), paragraphs [0024]-[0028], [0071], fig. 1-67	1-17
A	JP 2018-88488 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07.06.2018 (2018-06-07), paragraphs [0028], [0036], fig. 1-15	1-17
A	US 2018/0090526 A1 (APPLE INC.) 29.03.2018 (2018-03-29), paragraphs [0047], [0065], fig. 1-8	1-17
A	US 2018/0026147 A1 (OMNIVISION TECHNOLOGIES, INC.) 25.01.2018 (2018-01-25), paragraphs [0017]-[0022], fig. 1-4	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
21.05.2020

Date of mailing of the international search report
02.06.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/008228

JP 2018-201005 A	20.12.2018	US 2019/0006399 A1 paragraphs [0092]-[0096], [0142], fig. 1-67 WO 2018/074530 A1
JP 2018-88488 A	07.06.2018	US 2019/0252442 A1 paragraphs [0043], [0051], fig. 1-15 WO 2018/101033 A1
US 2018/0090526 A1	29.03.2018	WO 2018/057975 A1 paragraphs [0048], [0066], fig. 1-8 JP 2019-530215 A
US 2018/0026147 A1	25.01.2018	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/107(2006.01)i; H01L 27/146(2006.01)i FI: H01L27/146 A; H01L27/146 F; H01L31/10 B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L31/107; H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-201005 A（ソニーセミコンダクタソリューションズ株式会社）20.12.2018 (2018-12-20) 段落0024-0028, 0071, 図1-67	1-17
A	JP 2018-88488 A（ソニーセミコンダクタソリューションズ株式会社）07.06.2018 (2018-06-07) 段落0028, 0036, 図1-15	1-17
A	US 2018/0090526 A1（APPLE INC.）29.03.2018（2018-03-29） 段落0047, 0065, 図1-8	1-17
A	US 2018/0026147 A1（OMNIVISION TECHNOLOGIES, INC.）25.01.2018（2018-01-25） 段落0017-0022, 図1-4	1-17
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 21.05.2020		国際調査報告の発送日 02.06.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小山 満 5F 9458 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/008228

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-201005	A	20.12.2018	US 2019/0006399 A1 段落0092-0096, 0142, 図1-67 WO 2018/074530 A1	
JP	2018-88488	A	07.06.2018	US 2019/0252442 A1 段落0043, 0051, 図1-15 WO 2018/101033 A1	
US	2018/0090526	A1	29.03.2018	WO 2018/057975 A1 段落0048, 0066, 図1-8 JP 2019-530215 A	
US	2018/0026147	A1	25.01.2018	(ファミリーなし)	