(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 3 月 3 日(03.03.2011)

PCT

(10) 国際公開番号
WO 2011/024271 A1

(51) 国際特許分類:
H01L 27/10 (2006.01) *H01L 49/00* (2006.01)
H01L 45/00 (2006.01)

(21) 国際出願番号: PCT/JP2009/064887

(22) 国際出願日: 2009 年 8 月 26 日(26.08.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 **(KABUSHIKI KAISHA TOSHIBA)** [JP/JP]; 〒1058001 東京都港区芝浦一丁目１番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 林 真理子 **(HAYASHI, Mariko)** [JP/JP]; 〒1058001 東京都港区芝浦一丁目１番１号 株式会社東芝 知的財産部内 Tokyo (JP). 荒木 猛司 **(ARAKI, Takeshi)** [JP/JP]; 〒1058001 東京都港区芝浦一丁目１番１号 株式会社東芝 知的財産部内 Tokyo (JP).

(74) 代理人: 日向寺 雅彦 **(HYUGAJI, Masahiko)**; 〒2310015 神奈川県横浜市中区尾上町１丁目４番１号 関内ＳＴビル Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

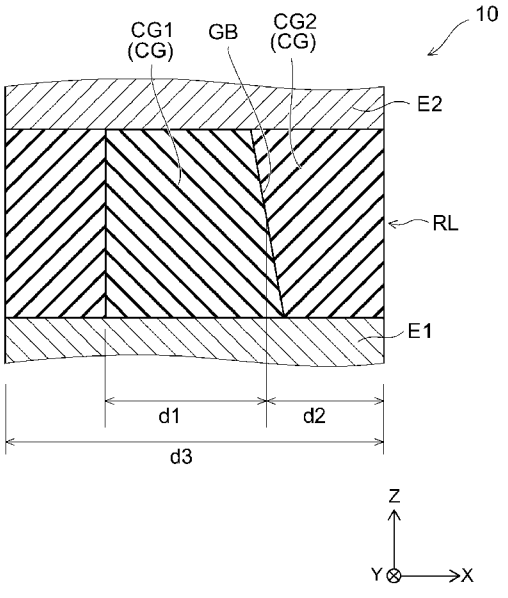
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: NONVOLATILE MEMORY ELEMENT AND NONVOLATILE MEMORY DEVICE

(54) 発明の名称 : 不揮発性記憶素子及び不揮発性記憶装置

[図1]



(57) **Abstract**: A nonvolatile memory element comprising a first conductive layer, a second conductive layer so arranged as to face the first conductive layer, and a variable resistance layer arranged between the first conductive layer and the second conductive layer and containing a metal oxide. The variable resistance layer has a first crystal grain which is in contact with both the first conductive layer and the second conductive layer, and a second crystal grain which is adjacent to the first crystal grain and in contact with both the first conductive layer and the second conductive layer. The grain boundary formed between the first crystal grain and the second crystal grain is in contact with both the first conductive layer and the second conductive layer. As a result, the nonvolatile memory element is capable of stably storing and erasing even when the element is reduced in size. A nonvolatile memory device is also disclosed.

(57) 要約: 第１導電層と、第１導電層に対向して設けられた第２導電層と、第１導電層と第２導電層との間に設けられ、金属酸化物を含む抵抗変化層と、を備える不揮発性記憶素子を提供する。抵抗変化層は、第１導電層と第２導電層との両方に接する第１結晶粒と、第１結晶粒に隣接し、第１導電層と第２導電層との両方に接する第２結晶粒と、を有する。第１結晶粒と第２結晶粒との間に形成される結晶粒界は、第１導電層と第２導電層との両方に接する。これにより、素子を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶素子及び不揮発性記憶装置が提供される。

WO 2011/024271 A1

明　細　書

発明の名称 ： 不揮発性記憶素子及び不揮発性記憶装置

技術分野

[0001] 本発明は、不揮発性記憶素子及び不揮発性記憶装置に関する。

背景技術

[0002] 次世代の不揮発性記憶装置として、抵抗変化型のメモリ（ＲｅＲＡＭ：Resistive Random Access Memory)が、高記憶密度、低消費電力、高速動作の点で、期待されている。

[0003] 例えば、特許文献１には、可変抵抗体として、結晶粒径が３０ｎｍ以下のアナターゼ型構造の酸化チタン等を用いる技術が開示されている。この技術においては、フィラメントパスが２つ以上の微結晶粒に渡り、微結晶粒間のアモルファス領域にフィラメントが形成されるので、スイッチングが不安定になり、記憶及び消去の動作の回数に限界がある。

[0004] 一方、特許文献２には、Ｚｒ及びＨｆを主成分として含む蛍石型構造の金属酸化物の抵抗変化膜が開示されている。この場合も、基板側にアモルファス領域が存在している。

[0005] 逆に、結晶サイズを大きくし過ぎると、素子サイズを微細化したときに電流経路となる結晶粒界が、素子内に含まれなくなり、目的とする動作が得られない。

先行技術文献

特許文献

[0006] 特許文献1：特開２００７－１８０２０２号公報

特許文献2：特開２００７－２７３５４８号公報

発明の概要

発明が解決しようとする課題

[0007] 本発明は、素子を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶素子及び不揮発性記憶装置を提供する。

課題を解決するための手段

[0008] 本発明の一態様によれば、第１導電層と、前記第１導電層に対向して設けられた第２導電層と、前記第１導電層と前記第２導電層との間に設けられ、金属酸化物を含む抵抗変化層と、を備え、前記抵抗変化層は、前記第１導電層と前記第２導電層との両方に接する第１結晶粒と、前記第１結晶粒に隣接し、前記第１導電層と前記第２導電層との両方に接する第２結晶粒と、を有し、前記第１結晶粒と前記第２結晶粒との間に形成される結晶粒界は、前記第１導電層と前記第２導電層との両方に接することを特徴とする不揮発性記憶素子が提供される。

[0009] 本発明の別の一態様によれば、要素メモリ層を備え、前記要素メモリ層のそれぞれは、複数の不揮発性記憶素子を有し、前記不揮発性記憶素子のそれぞれは、第１導電層と、前記第１導電層に対向して設けられた第２導電層と、前記第１導電層と前記第２導電層との間に設けられ、金属酸化物を含む抵抗変化層と、を有し、前記抵抗変化層は、前記第１導電層と前記第２導電層との両方に接する第１結晶粒と、前記第１結晶粒に隣接し、前記第１導電層と前記第２導電層との両方に接する第２結晶粒と、を有し、前記第１結晶粒と前記第２結晶粒との間に形成される結晶粒界は、前記第１導電層と前記第２導電層との両方に接することを特徴とする不揮発性記憶装置が提供される。

発明の効果

[0010] 本発明によれば、素子を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶素子及び不揮発性記憶装置が提供される。

図面の簡単な説明

[0011] [図1]第１の実施形態に係る不揮発性記憶素子を例示する模式的断面図である。

[図2]比較例の不揮発性記憶素子を例示する模式的断面図である。

[図3]不揮発性記憶素子を例示する模式的断面図である。

[図4]不揮発性記憶素子を例示する模式的断面図である。

[図5]第１の実施形態に係る別の不揮発性記憶素子を例示する模式的断面図である。

[図6]第１の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図7]第１の実施例に係る不揮発性記憶素子の特性を例示する透過電子顕微鏡写真図である。

[図8]第１の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図9]第１の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図10]第２の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図11]第２の実施例に係る不揮発性記憶素子の特性を例示する透過電子顕微鏡写真図である。

[図12]第２の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図13]第２の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図14]第３の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図15]第３の実施例に係る不揮発性記憶素子の特性を例示する透過電子顕微鏡写真図である。

[図16]第３の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図17]第４の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図18]第４の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図19]第５の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図20]第５の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図21]第６の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図22]第６の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

[図23]第１の実施形態に係る不揮発性記憶素子の結晶構造を例示する模式図である。

[図24]第２の実施形態に係る不揮発性記憶素子の製造方法を例示するフローチャート図である。

[図25]第３の実施形態に係る不揮発性記憶装置を例示する模式図である。

[図26]第３の実施形態に係る不揮発性記憶装置を例示する模式図である。

[図27]第３の実施形態に係る別の不揮発性記憶素子を例示する模式的斜視図である。

[図28]第３の実施形態に係る不揮発性記憶装置の具体例を例示する模式的回路図である。

[図29]第４の実施形態に係る不揮発性記憶装置の要部を例示する模式的断面図である。

[図30]第４の実施形態に係る不揮発性記憶装置を例示する模式図である。

[図31]第５の実施形態に係る不揮発性記憶装置を例示する模式的斜視図である。

[図32]第５の実施形態に係る不揮発性記憶装置を例示する模式的平面図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について図面を参照して詳細に説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関

係、部分間の大きさの比率などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0013] （第１の実施の形態）

図１は、本発明の第１の実施形態に係る不揮発性記憶素子の構成を例示する模式的断面図である。

図１に表したように、本実施形態に係る不揮発性記憶素子１０は、第１電極Ｅ１（第１導電層）と、第１電極Ｅ１に対向して設けられた第２電極Ｅ２（第２導電層）と、第１電極Ｅ１と第２電極Ｅ２との間に設けられ、金属酸化物を含む抵抗変化層ＲＬと、を備える。

なお、第１電極Ｅ１と第２電極Ｅ２とは、互いに入れ換えが可能である。

[0014] 抵抗変化層ＲＬは、第１電極Ｅ１と第２電極Ｅ２とを介して抵抗変化層ＲＬに印加される電圧、及び、第１電極Ｅ１及び第２電極Ｅ２を介して抵抗変化層ＲＬに通電される電流、の少なくともいずれかにより抵抗状態が変化する層であり、不揮発性記憶素子１０の記憶部として機能する。

[0015] そして、抵抗変化層ＲＬは、第１電極Ｅ１と第２電極Ｅ２との両方に接する第１結晶粒ＣＧ１と、第１結晶粒ＣＧ１に隣接し、第１電極Ｅ１と第２電極Ｅ２との両方に接する第２結晶粒ＣＧ２と、を有する。

[0016] 第１結晶粒ＣＧ１においては、結晶状態は一様であり、第１結晶粒ＣＧ１は、実質的に単結晶である。一方、第２結晶粒ＣＧ２においては、結晶状態は一様であり、第２結晶粒ＣＧ２は、実質的に単結晶である。

[0017] また、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２のそれぞれの内部においては、例えば、隣接する粒子配列は、３度以内のゆらぎで配向している。

[0018] 第１結晶粒ＣＧ１の結晶状態（例えば結晶方位）と、第２結晶粒ＣＧ２の結晶状態（例えば結晶方位）と、は互いに異なっており、両者の間に、結晶粒界ＧＢが形成される。

[0019] 第１結晶粒ＣＧ１と第２結晶粒ＣＧ２との間に形成される結晶粒界ＧＢは、第１電極Ｅ１と第２電極Ｅ２との両方に接する。

[0020] すなわち、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２は、抵抗変化層ＲＬの厚さ方向（第１電極Ｅ１と第２電極Ｅ２とが互いに対向する方向）において、第１電極Ｅ１と第２電極Ｅ２との間で連続している。そして、第１結晶粒ＣＧ１と第２結晶粒ＣＧ２との間の結晶粒界ＧＢは、抵抗変化層ＲＬを厚さ方向で貫通しており、結晶粒界ＧＢは、アモルファス領域と接することがない。

[0021] この構成において、結晶粒界ＧＢは、第１電極Ｅ１と第２電極Ｅ２との間の電流経路となる。この時、電流経路となる結晶粒界ＧＢが、アモルファス領域と接しないで、第１電極Ｅ１と第２電極Ｅ２との間に設けられているため、電流経路は安定して形成され、固定され、スイッチング動作の繰り返し回数が多い場合もスイッチング特性は安定し、動作寿命が長い。

これにより、素子を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶素子を提供できる。

[0022] なお、後述するように、上記の不揮発性記憶素子１０は、例えば、第１電極Ｅ１の上に上記の抵抗変化層ＲＬを結晶成長させ、その上に第２電極Ｅ２を形成することで作製される。この結晶成長の最初の段階で、第１電極Ｅ１の表面から、僅かな個数の原子層の厚さで、結晶構造が不安定な界面領域が存在し、この領域よりも第１電極Ｅ１の表面から離れたバルク領域で安定した結晶構造となる場合がある。この結晶成長の最初の段階の結晶構造が不安定な界面領域は、厚さが非常に薄く、電圧を印加した時に容易にリークする領域である。このように、結晶成長の最初の段階の結晶構造が不安定な界面領域は第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２に含まれるものとされ、このような場合も、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２は、結晶成長が行われる第１電極Ｅ１に接するとされる。なお、結晶成長の最初の段階の結晶構造が不安定な界面領域の厚さは、概ね２ｎｍ（ナノメートル）程度以下である。

[0023] このように、本実施形態に係る不揮発性記憶素子１０においては、抵抗変化層ＲＬにはアモルファス領域がほとんどなく、抵抗変化層ＲＬのほとんどが、結晶粒ＣＧで構成される。すなわち、例えば、抵抗変化層ＲＬの断面ＴＥＭ（Transmission Electron Microscopy:透過電子顕微鏡）観察像において、抵抗変化層ＲＬの全体に対して結晶粒ＣＧが占める割合は８０％以上である。

[0024] 図２は、比較例の不揮発性記憶素子の構成を例示する模式的断面図である。

図２（ａ）に表したように、第１比較例の不揮発性記憶素子１９ａにおいても、第１電極Ｅ１と第２電極Ｅ２との間に抵抗変化層ＲＬ９ａが設けられている。ただし、この抵抗変化層ＲＬ９ａにおいては、複数の微結晶粒ＣＧｘがアモルファス領域ＡＲｘ中に存在している。そして、抵抗変化層ＲＬ９ａの厚さ方向に複数の微結晶粒ＣＧｘが配置されている。この構成は、例えば、特許文献１に記載されている構成である。

[0025] この構成においては、フィラメントパスが２つ以上の微結晶粒ＣＧｘに渡る。そして、微結晶粒ＣＧｘ間のアモルファス領域ＡＲｘを、フィラメントが通過する。アモルファス領域ＡＲｘは、単位格子が乱雑な方位を向き、単位長さ当りの抵抗値は不均一であり、かつ、微結晶粒ＣＧｘに比べ一般に比抵抗が高い。このため、第１比較例の不揮発性記憶素子１９ａにおいては、フィラメントが固定され難く、スイッチング特性が不安定になる。さらに、フィラメントがアモルファス領域ＡＲｘを通過すると、フィラメントにおいて発生した熱がアモルファス領域に蓄積され易く、この熱によっても劣化が進む。これらのことから、第１比較例の不揮発性記憶素子１９ａにおいては、スイッチング動作の繰り返し回数が少なく、動作寿命が短くなる。

[0026] これに対し、本実施形態に係る不揮発性記憶素子１０においては、結晶粒ＣＧ（第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２）が、第１電極Ｅ１と第２電極Ｅ２との間において、連続して設けられており、結晶粒界ＧＢは、第１電極Ｅ１及び第２電極Ｅ２との間で連続している。これにより、電流経路とな

る結晶粒界ＧＢは、アモルファス領域を通過しないため、電流経路は安定して固定され、そして、結晶粒ＣＧの表面の比抵抗は均一であるため、結晶粒ＣＧどうしの間に形成される結晶粒界ＧＢの電気的特性もほぼ均一である。さらに、結晶粒ＣＧの熱伝導性はアモルファス領域よりも高いため、電流経路で発生する熱は、結晶粒界ＧＢが形成される結晶粒ＣＧを介して効果的に放熱され、この観点でも劣化の進行を抑制できる。これらのことから、本実施形態に係る不揮発性記憶素子１０においては、スイッチング動作の繰り返し回数が多い場合もスイッチング特性は安定し、動作寿命を長くできる。

[0027] 一方、図２（ｂ）に表したように、第２比較例の不揮発性記憶素子１９ｂにおいては、抵抗変化層ＲＬ９ｂの厚さが、第１比較例１９ａの抵抗変化層ＲＬ９ａよりも薄くされており、抵抗変化層ＲＬ９ｂの厚さ方向には、ほぼ１つの微結晶粒ＣＧｘが配置されている。粒径が比較的大きい微結晶粒ＣＧｘにおいては、その微結晶粒ＣＧｘの最表面は、第１電極Ｅ１と第２電極Ｅ２とに接触しているものの、隣接した微結晶粒ＣＧｘどうしの間の結晶粒界ＧＢは、第１電極Ｅ１と第２電極Ｅ２との間で連続しておらず、結晶粒界ＧＢは、第１電極Ｅ１と第２電極Ｅ２との両方には接していない。そして、微結晶粒ＣＧｘと、第１電極Ｅ１及び第２電極Ｅ２と、の間の少なくともいずれかには、アモルファス領域ＡＲｘが存在している。このため、フィラメントパスはアモルファス領域ＡＲｘを通過する。このため、この場合も、フィラメントが固定され難く、スイッチング特性が不安定で、スイッチング動作の繰り返し回数が少なく、動作寿命が短い。

[0028] また、図２（ｃ）に表したように、第３比較例の不揮発性記憶素子１９ｃにおいては、第１基板Ｓ１の主面に設けられた第１電極Ｅ１が複数の帯状であり、第２基板Ｓ２の主面に設けられた第２電極Ｅ２が、第１電極Ｅ１の帯に対して非平行な複数の帯状であり、これらの間に抵抗変化層ＲＬ９ｃが設けられている。すなわち、第３比較例の不揮発性記憶素子１９ｃは、クロスポイント型のメモリである。そして、この場合も、抵抗変化層ＲＬ９ｃにおいては、アモルファス領域ＡＲｘ中に、厚さ方向に複数の微結晶粒ＣＧｘが

配置されている。さらに、この場合、微結晶粒ＣＧｘのサイズは、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面の大きさよりも大きい。このため、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面で形成されるメモリセル部のそれぞれにおいて、フィラメントパスの有無やその状態に差異が発生する。このため、第１比較例に関して説明した問題に加えて、さらに、複数のメモリセル部の特性が不均一になると言う問題が発生する。

[0029] これに対して、本実施形態に係る不揮発性記憶素子１０では、第１電極Ｅ１と第２電極Ｅ２との間には、必ず複数の結晶粒ＣＧ（例えば第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２）が存在でき、クロスポイント型の不揮発性記憶装置に用いた場合においても、複数のメモリセル部において、安定した特性が得られる。

[0030] また、図２（ｄ）に表したように、第４比較例の不揮発性記憶素子１９ｄにおいては、第１電極Ｅ１と第２電極Ｅ２との間に単一の結晶からなる抵抗変化層ＲＬ９ｄが設けられている。この場合、隣接した結晶粒の間に形成される結晶粒界ＧＢが存在しないので、電流経路が形成されないため、特性は不安定である。なお、単一の結晶からなる抵抗変化層ＲＬ９ｄの側面に電流経路が形成されることがあるが、側面は、種々の工程中における汚染などのために、特性が不安定であるので、側面を電流経路として用いると、不揮発性半導体記憶素子１９ｄの特性はやはり不安定である。

[0031] また、図２（ｅ）に表したように、第５比較例の不揮発性記憶素子１９ｅにおいては、第１電極Ｅ１の上にアモルファス領域ＡＲｘがあり、その上に複数の微結晶粒ＣＧｘが形成されている。例えば、第１電極Ｅ１の上に、抵抗変化層ＲＬ９ｅとして、アモルファス$Hf_2O_xN_y$のアモルファス領域ＡＲｘが設けられ、その上に、結晶化Hf_2ON_2の微結晶粒ＣＧｘが設けられている。このような構成の第５比較例の不揮発性記憶素子１９ｅにおいても、電流経路がアモルファス領域ＡＲｘを通過するため、やはりスイッチング動作の繰り返し回数が少ない。

[0032] また、図２（ｆ）に表したように、第６比較例の不揮発性記憶素子１９ｆ

においては、抵抗変化層ＲＬ９ｆとして、アモルファス領域ＡＲｘと微結晶粒ＣＧｘとが設けられている。そして、この場合は、微結晶粒ＣＧｘは、第１電極Ｅ１と第２電極Ｅ２とに接している。このような構成においては、微結晶粒ＣＧｘとアモルファス領域ＡＲｘとの界面にフィラメントが形成されるが、この場合もフィラメントは特性が不安定であり、また、熱伝導性が結晶粒よりも低いアモルファス領域ＡＲｘにフィラメントが接しているため放熱性が低く、やはりスイッチング動作の繰り返し回数が少ない。

[0033] 上記のように、第１～第６比較例の不揮発性記憶素子１９ａ～１９ｆのいずれの場合も、フィラメントがアモルファス領域ＡＲｘに接しているのでスイッチング動作の繰り返し回数が少ないか、抵抗変化層ＲＬが単一の結晶で構成されるため、電流経路が形成されず特性が不安定であるか、のいずれかの問題が発生する。

[0034] これに対し、本実施形態に係る不揮発性記憶素子１０においては、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２が、抵抗変化層ＲＬの厚さ方向において、第１電極Ｅ１と第２電極との間で連続し、結晶粒界ＧＢは、抵抗変化層ＲＬを厚さ方向で貫通しており、結晶粒界ＧＢは、特性が不安定で熱伝導性が低いアモルファス領域と接することがない。このため、電流経路が安定的に形成され、固定され、スイッチング動作の繰り返し回数が多い場合もスイッチング特性は安定し、動作寿命が長い。

[0035] 第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２のサイズ（幅）は、第１電極Ｅ１及び第２電極Ｅ２のサイズ（幅）に対して、適切に設定され、第１電極Ｅ１と第２電極Ｅ２との間に結晶粒界ＧＢが形成される。これにより、素子サイズ（メモリセル部のサイズ）を２０ｎｍ～２５ｎｍ程度にまで微細化した際にも、第１電極Ｅ１と第２電極Ｅ２との間には、電流経路となる結晶粒界ＧＢが確実に導入される。これにより、メモリセル部のそれぞれにおいて所望の動作が実現でき、メモリセル部の不良が抑制され、複数のメモリセル部を有する不揮発性記憶装置の特性を均一化できる。

[0036] 本実施形態に係る不揮発性記憶素子１０における結晶粒のサイズについて

説明する。

図１に例示したように、不揮発性記憶素子１０においては、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の第１電極Ｅ１と抵抗変化層ＲＬとの界面に対して平行な第１方向に沿った長さは、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面の前記第１方向に沿った長さよりも短い。

[0037] ここで、第１電極Ｅ１と抵抗変化層ＲＬとの界面に対して平行な第１方向をＸ軸方向とする。そして、第１電極Ｅ１と抵抗変化層ＲＬとの界面に対して垂直な方向をＺ軸方向（第２方向）とする。すなわち、抵抗変化層ＲＬの厚み方向がＺ軸方向である。そして、Ｘ軸方向とＺ軸方向とに対して垂直な方向をＹ軸方向（第３方向）とする。

[0038] 第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２のＸ軸方向に沿った長さを結晶幅とし、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さを電極幅とすると、結晶幅は、電極幅よりも小さい。

[0039] すなわち、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２、は、電極幅ｄ３よりも小さい。

[0040] ここで、結晶粒ＣＧどうしの間の結晶粒界ＧＢは、Ｚ軸方向に対して必ずしも平行ではなく、傾斜していても良い。そして、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２のＸ軸方向に沿った幅は、Ｚ軸方向において必ずしも一定でなくても良い。このような場合、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１は、便宜的に、第１電極Ｅ１と第２電極Ｅ２との間のＺ軸方向の中間の位置におけるＸ軸方向に沿った幅とすることができる。同様に、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２は、便宜的に、第１電極Ｅ１と第２電極Ｅ２との間のＺ軸方向の中間の位置におけるＸ軸方向に沿った幅とすることができる。すなわち、結晶粒ＣＧの厚み方向（Ｚ軸方向）における中点における幅を結晶粒ＣＧの結晶粒幅とする。

[0041] １つの不揮発性記憶素子１０に関しては、第１電極Ｅ１と第２電極Ｅ２との間に、第１結晶粒ＣＧ１と第２結晶粒ＣＧ２とが隣接して設けられ、第１結晶粒ＣＧ１と第２結晶粒ＣＧ２との間に形成される結晶粒界ＧＢが、第１

電極Ｅ１と第２電極Ｅ２との両方に接すれば良く、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２のサイズ（幅）に関しては任意であるが、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２を、電極幅ｄ３よりも小さく設定することで、特に、複数のメモリセル部が設けられる不揮発性記憶装置において、それぞれのメモリセル部で所望の動作が実現できる利点がある。

[0042] すなわち、不揮発性記憶素子１０は、例えば、クロスポイント型の不揮発性記憶装置に応用される。このような不揮発性記憶装置においては、不揮発性記憶素子１０が、Ｘ－Ｙ平面内に複数配置されて、要素メモリ層が構成される。そして、さらに、このような要素メモリ層がＺ軸方向に複数積層される。このように、不揮発性記憶素子１０が複数配置された不揮発性記憶装置において、不揮発性記憶素子１０のそれぞれが、メモリセル部となる。

[0043] このように、不揮発性記憶素子１０が複数配置された不揮発性記憶装置において、メモリセル部のそれぞれにおいて適正な動作が実施され、かつ、高歩留まりと高生産性を実現するために、用いられる不揮発性記憶素子１０に望ましい形態がある。

[0044] 以下では、説明を簡単にするために、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さを電極幅ｄ３とし、第１電極Ｅ１と第２電極Ｅ２との組み合わせが、Ｘ軸方向に沿って複数配置されるものとする。すなわち、複数の不揮発性記憶素子は、第１方向に沿って等間隔で配置され、複数の不揮発性記憶素子における、第１電極Ｅ１と第２電極Ｅ２とが互いに対応する面の第１方向に沿った長さ（電極幅ｄ３）は互いに同じである。そして、第１電極Ｅ１と第２電極Ｅ２との組み合わせどうしの間隔が、電極幅ｄ３と同じ長さであるとする。また、Ｙ軸方向も同様とする。

すなわち、不揮発性記憶素子１０の構成を有する複数のメモリセル部が、Ｘ－Ｙ平面にマトリクス状に配置され、メモリセル部のライン・アンド・スペースが共に電極幅ｄ３の長さである場合として説明する。

そして、結晶粒ＣＧどうしの結晶粒界ＧＢがＺ軸方向に対して平行であり

、さらに、結晶粒ＣＧのそれぞれの大きさが同じ場合（すなわち、結晶粒ＣＧが等間隔で複数配置されている）として、モデル的に説明する。

[0045] 図３は、本発明の第１の実施形態に係る不揮発性記憶素子の構成を例示する模式的断面図である。

図３（ａ）及び（ｂ）に表したように、本実施形態に係る別の不揮発性記憶素子１０ａ及び１０ｂにおいては、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２が、それぞれ、電極幅ｄ３の１／２に設定されている。

[0046] そして、図３（ａ）に表したように、不揮発性記憶素子１０ａにおいては、結晶粒界ＧＢは、第１電極Ｅ１及び第２電極Ｅ２のＸ軸方向のほぼ中央の位置に位置している。この場合、不揮発性記憶素子１０ａにＸ軸方向において隣接する不揮発性記憶素子１０ａ１においても、第１電極Ｅ１２と第２電極Ｅ２２との間のＸ軸方向のほぼ中央の位置に結晶粒界ＧＢが配置される。

[0047] 図３（ｂ）に表したように、不揮発性記憶素子１０ｂにおいては、結晶粒界ＧＢは、第１電極Ｅ１及び第２電極Ｅ２のＸ軸方向の端に位置している。この場合には、第１結晶粒ＣＧ１の第２結晶粒ＣＧ２とは反対の側に、別の結晶粒（第３結晶粒ＣＧ３）が配置されている。この場合にも、不揮発性記憶素子１０ｂにＸ軸方向において隣接する不揮発性記憶素子１０ｂ１においても、第１電極Ｅ１２と第２電極Ｅ２２との間のＸ軸方向における端の位置に、結晶粒界ＧＢが配置される。

[0048] このように、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２、が、電極幅ｄ３よりも小さく、例えば、電極幅ｄ３の１／２に設定されている場合、第１電極Ｅ１と第２電極Ｅ２とが互いに対向するメモリセル部には、電流経路となる結晶粒界ＧＢが安定して配置される。

[0049] 図３（ｃ）に表したように、本実施形態に係る別の不揮発性記憶素子１０ｃにおいては、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２が、それぞれ、電極幅ｄ３よりも若干小さい値に設

定されている。この場合にも、不揮発性記憶素子１０ｃ、及び、それに隣接する不揮発性記憶素子１０ｃ１において、それぞれの電極間に、結晶粒界ＧＢが配置される。

[0050] 一方、図３（ｄ）に表したように、別の不揮発性記憶素子１０ｄにおいては、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２が、それぞれ、電極幅ｄ３よりも若干大きい値に設定されている。この場合には、不揮発性記憶素子１０ｄにおいては、第１電極Ｅ１と第２電極Ｅ２との間に結晶粒界ＧＢが配置されるが、不揮発性記憶素子１０ｄに隣接する不揮発性記憶素子１０ｄ１においては、第１電極Ｅ１２と第２電極Ｅ２２との間に結晶粒界ＧＢが配置されていない。すなわち、不揮発性記憶素子１０ｄは、本実施形態に係る不揮発性記憶素子の構成を有しているが、不揮発性記憶素子１０ｄ１は、本実施形態に係る不揮発性記憶素子の構成を有していない。

[0051] このように、第１結晶粒幅ｄ１と第２結晶粒幅ｄ２とが同じであり、これらの値が電極幅ｄ３よりも大きいと、結晶粒界ＧＢが電極間に適切に配置されず、メモリセル部のいずれかにおいて電流経路が形成されず、目的とする動作ができない場合がある。

[0052] このため、本実施形態に係る不揮発性記憶素子を複数用いた不揮発性記憶装置においては、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の結晶粒幅は、第１電極Ｅ１と第２電極Ｅ２の電極幅ｄ３よりも小さく設定されることが望ましい。

[0053] すなわち、複数の不揮発性記憶素子１０を有する要素メモリ層を備えた不揮発性記憶装置において、不揮発性記憶素子１０のそれぞれは、第１電極Ｅ１と、第１電極Ｅ１に対向して設けられた第２電極Ｅ２と、第１電極Ｅ１と第２電極Ｅ２との間に設けられ、金属酸化物を含む抵抗変化層ＲＬと、を有している。そして、抵抗変化層ＲＬは、第１電極Ｅ１と第２電極Ｅ２との両方に接する第１結晶粒ＣＧ１と、第１結晶粒ＣＧ２に隣接し、第１電極Ｅ１と第２電極Ｅ２との両方に接する第２結晶粒ＣＧ２と、を有し、第１結晶粒

ＣＧ１と第２結晶粒ＣＧ２との間に形成される結晶粒界ＧＢは、第１電極Ｅ１と第２電極Ｅ２との両方に接する。要素メモリ層において、複数の不揮発性記憶素子のそれぞれの第１電極Ｅ１と抵抗変化層ＲＬとの界面に対して垂直な方向は、互いに平行である。

[0054] そして、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２のＸ軸方向（第１電極Ｅ１と抵抗変化層ＲＬとの界面に対して平行な第１方向）に沿った長さ（第１結晶粒幅ｄ１及び第２結晶粒幅ｄ２）は、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さ（電極幅ｄ３）よりも短いことが望ましい。

[0055] この条件に設定することにより、複数の不揮発性記憶素子１０のそれぞれにおいて、第１電極Ｅ１と第２電極Ｅ２との間に安定して結晶粒界ＧＢを配置でき、これにより、歩留まりの高い不揮発性記憶装置を製造することができる。

[0056] なお、上記の条件は、複数の不揮発性記憶素子のそれぞれにおける、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さ（電極幅ｄ３）が互いに同じである時に特に効果を発揮する。さらに、上記の条件は、複数の不揮発性記憶素子の間の間隔が、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さ（電極幅ｄ３）と同じ場合に、特に効果を発揮する。

[0057] 例えば、複数の結晶粒ＣＧのＸ軸方向（第１電極Ｅ１と抵抗変化層ＲＬとの界面に対して平行な第１方向）沿った長さ（結晶粒幅）の平均値は、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さ（電極幅ｄ３）よりも短いことが望ましい。

[0058] さらに、上記の不揮発性記憶装置においては、例えば、複数の結晶粒ＣＧのＸ軸方向に沿った長さ（結晶粒幅）の平均値が、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さ（電極幅ｄ３）の１／２以下に設定されることが、さらに望ましい。すなわち、不揮発性記憶素子１０ａ、１０ａ１、１０ｂ及び１０ｂ１の構成がさらに望ましい。この条件に

設定することにより、複数のメモリセル部が設けられる不揮発性記憶装置において、さらに歩留まりを向上できる。

[0059] ただし、上記は、結晶粒ＣＧのサイズが均一な場合としてモデル的に説明しており、実際には、複数の結晶粒ＣＧの結晶粒幅は、それぞれの結晶粒ＣＧで異なる。従って、第１結晶粒幅ｄ１及び第２結晶粒幅ｄ２の両方が、必ずしも電極幅ｄ３よりも小さくなくても良い。

[0060] 例えば、複数のメモリセル部が設けられる不揮発性記憶装置において、第１のメモリセル部の第１電極と第２電極との間に、第１結晶粒と第２結晶粒との間の粒界が配置され、第１のメモリセル部に隣接した第２のメモリセル部の第１電極と第２電極との間に、第２結晶粒と第３結晶粒との間の粒界が配置される場合、第２結晶粒の幅が、第１及び第２メモリセル部の幅（第１電極と第２電極とが対向する面の幅）よりも大きくても良い。

なお、この場合においても、第１結晶粒ＣＧ１の第１電極Ｅ１と第２電極Ｅ２とに対向する領域の第１方向に沿った長さ、及び、第２結晶粒ＣＧ２の第１電極Ｅ１と第２電極Ｅ２とに対向する領域の第１方向に沿った長さは、電極幅ｄ３よりも小さい。

[0061] 例えば、複数の結晶粒ＣＧのＸ軸方向に沿った長さ（結晶粒幅）の最大値（最大結晶粒幅）が、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さ（電極幅ｄ３）よりも小さく設定されることが望ましい。これにより、複数のメモリセル部が設けられる場合においても、電極どうしの間の各メモリセル部に必ず結晶粒界ＧＢが配置されるので、歩留まりの高い不揮発性記憶装置を製造することができる。

[0062] 以下、本実施形態に係る不揮発性記憶素子における結晶粒ＣＧの縦横比（結晶粒厚／結晶粒幅）について説明する。ここでも、説明を簡単にするために、結晶粒ＣＧどうしの結晶粒界ＧＢがＺ軸方向に対して平行である場合として、モデル的に説明する。

[0063] 図４は、本発明の第１の実施形態に係る不揮発性記憶素子の構成を例示する模式的断面図である。

図４（ａ）に表したように、本実施形態に係る別の不揮発性記憶素子１１ａにおいては、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２、と、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の結晶粒厚ｔ（すなわち、抵抗変化層ＲＬの厚さ）と、が同じである。すなわち、各結晶粒の縦横比が同じである。

[0064] 一方、図４（ｂ）に表したように、本実施形態に係る別の不揮発性記憶素子１１ｂにおいては、第１結晶粒幅ｄ１は結晶粒厚ｔよりも大きく、第２結晶粒幅ｄ２は結晶粒厚ｔよりも小さい。すなわち、第１結晶粒ＣＧ１においては、幅方向が長く、第２結晶粒ＣＧ２においては、厚さ方向が長い。

[0065] また、図４（ｃ）に表したように、本実施形態に係る別の不揮発性記憶素子１１ｃにおいては、複数の結晶粒のそれぞれにおいて、結晶粒幅は、結晶粒厚ｔよりも小さい。すなわち、複数の結晶粒のそれぞれにおいて、幅方向よりも厚さ方向が長い。

[0066] 上記の不揮発性記憶素子１１ａ及び１１ｂにおいては、第１電極Ｅ１と第２電極Ｅ２との間に結晶粒界ＧＢが１つ形成されている。一方、不揮発性記憶素子１１ｃにおいては、第１電極Ｅ１と第２電極Ｅ２との間に複数の結晶粒界ＧＢが形成されている。

[0067] 第１電極Ｅ１と第２電極Ｅ２との間に１つの結晶粒界ＧＢが形成される構成の場合、その結晶粒界ＧＢの特性が不安定であると、不揮発性記憶素子の特性も不安定なる。これに対し、第１電極Ｅ１と第２電極Ｅ２との間に複数の結晶粒界ＧＢが形成されている構成の場合には、複数の結晶粒界ＧＢの内で電流経路となりやすい結晶粒界ＧＢが、電流経路となるので、不揮発性記憶素子の特性は安定化し易く、また、歩留まりや信頼性も向上し易い。

[0068] このように、第１電極Ｅ１と第２電極Ｅ２との間に複数の結晶粒界ＧＢを形成させるために、結晶粒幅を、結晶粒厚ｔよりも小さく設定することが望ましい。

[0069] すなわち、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の少なくともいずれかのＸ軸方向（第１方向）に沿った長さ（結晶粒幅）は、第１結晶粒ＣＧ１及

び第２結晶粒ＣＧ２の前記少なくともいずれかの、Ｚ軸方向（第１電極１と抵抗変化層ＲＬとの間の界面に対して垂直な第２方向）に沿った長さ（結晶粒厚ｔ）よりも短く設定されることが望ましい。

[0070] これにより、１つの不揮発性記憶素子において、第１電極Ｅ１と第２電極Ｅ２との間に複数の結晶粒界ＧＢを形成し易くなり、また、この構成により、複数の不揮発性記憶素子を有する不揮発性記憶装置の歩留を向上できる。

[0071] 図４（ｄ）に表したように、本実施形態に係る別の不揮発性記憶素子１１ｄにおいては、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の結晶粒厚ｔ１は、不揮発性記憶素子１１ａにおける結晶粒厚ｔよりも厚い。そして、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２は、それぞれ不揮発性記憶素子１１ａの場合と同じである。すなわち、不揮発性記憶素子１１ｄにおける第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の縦横比（結晶粒厚／結晶粒幅）は、不揮発性記憶素子１１ａの場合よりも高い。

[0072] 一方、図４（ｅ）に表したように、本実施形態に係る別の不揮発性記憶素子１１ｅにおいては、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の結晶粒厚ｔ２は、不揮発性記憶素子１１ａにおける結晶粒厚ｔよりも薄い。そして、第１結晶粒幅ｄ１及び第２結晶粒幅ｄ２は、それぞれ不揮発性記憶素子１１ａの場合と同じである。すなわち、不揮発性記憶素子１１ｅにおける第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の縦横比（結晶粒厚／結晶粒幅）は、不揮発性記憶素子１１ａの場合よりも低い。

[0073] 一般に、抵抗変化層ＲＬの厚さ（すなわち、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の結晶粒厚）は、例えば５ｎｍから５０ｎｍ程度である。５ｎｍより薄い場合は、リーク電流が大きくなり、動作が不安定になると共に、消費電力が増大し望ましくない。また、５０ｎｍよりも厚くなると、駆動電圧が上昇する。

[0074] さらに、多数の抵抗変化層を積層して集積密度を増大させる場合において、抵抗変化層ＲＬの厚さが厚いと各メモリセル部のアスペクト比が高まり、加工性が低下し、歩留まりの低下や製造コストの上昇を招く。

[0075] このように、抵抗変化層ＲＬの厚さは、動作特性と生産性の両方の観点から適切に定められる。

[0076] 特に、集積度の向上のために、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のサイズ（メモリセル部の幅）を縮小した場合には、メモリセル部のアスペクト比を一定の範囲に入れるために、メモリセル部の幅の縮小と共に抵抗変化層ＲＬの厚さも薄くすることが望ましい。すなわち、不揮発性記憶素子１１ｄ→不揮発性記憶素子１１ａ→不揮発性記憶素子１１ｅのように、抵抗変化層ＲＬの厚さが薄くされる。この時、抵抗変化層ＲＬの結晶粒幅を小さくして、第１電極Ｅ１と第２電極Ｅ２との間に複数の結晶粒界ＧＢが形成されるようにすることが望ましい。すなわち、例えば、メモリセル部のサイズが縮小され、抵抗変化層ＲＬの幅が縮小される場合には、それと共に、結晶粒幅も一緒に縮小されることが好ましい。

[0077] すなわち、図４（ｆ）に表したように、本実施形態に係る別の不揮発性記憶素子１１ｆにおいては、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の結晶粒厚ｔ２は、不揮発性記憶素子１１ｅと同様に、不揮発性記憶素子１１ａの結晶粒厚ｔよりも薄い。そして、第１結晶粒ＣＧ１の第１結晶粒幅ｄ１ｆ、及び、第２結晶粒ＣＧ２の第２結晶粒幅ｄ２ｆは、それぞれ不揮発性記憶素子１１ａよりも小さくされている。このように、不揮発性記憶素子１１ｆにおける第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の縦横比（結晶粒厚／結晶粒幅）は、１よりも高く設定されている。

[0078] すなわち、不揮発性記憶素子１１ｆにおいては、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の少なくともいずれかのＸ軸方向（第１方向）に沿った長さ（結晶粒幅）は、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の前記少なくともいずれかの、Ｚ軸方向（第１電極Ｅ１と抵抗変化層ＲＬとの間の界面に対して垂直な第２方向）に沿った長さ（結晶粒厚ｔ）よりも短く設定されている。

[0079] これにより、１つの不揮発性記憶素子において、第１電極Ｅ１と第２電極Ｅ２との間に複数の結晶粒界ＧＢを形成し易くなり、安定した特性、高歩留

まり、高信頼性が実現できる。また、この構成により、複数の不揮発性記憶素子（メモリセル部）を有する不揮発性記憶装置の歩留が向上し、特性が均一化する。

[0080] 以上、複数の結晶粒の結晶粒幅、結晶粒幅の平均値、及び、結晶粒幅の最大値、並びに、結晶粒幅と結晶粒厚との比、に関しての望ましい形態について説明した。

[0081] 以下、結晶粒幅の具体例について、さらに説明する。

図５は、本発明の第１の実施形態に係る別の不揮発性記憶素子の構成を例示する模式的断面図である。

図５に表したように、本実施形態に係る別の不揮発性記憶素子１２においては、抵抗変化層ＲＬに３つ以上の結晶粒、すなわち、本具体例では第１～第７結晶粒ＣＧ１～ＣＧ７が設けられている。これらの第１～第７結晶粒ＣＧ１～ＣＧ７のそれぞれは、第１電極Ｅ１と第２電極Ｅ２とに接している。そして、それぞれの間に結晶粒界ＧＢ１２、ＧＢ２３、ＧＢ４５、ＧＢ５６及びＧＢ６７が形成され、これらの結晶粒界は、第１電極Ｅ１と第２電極Ｅ２とに接している。

[0082] なお、本具体例では、第３結晶粒ＣＧ３と第４結晶粒ＣＧ４との間の第１電極Ｅ１の側の領域には、第２電極Ｅ２に接していない三角形状の微結晶領域ＴＲ１がある。そして、第３結晶粒ＣＧ３と微結晶領域ＴＲ１との間の結晶粒界ＧＢｘ１は、第１電極Ｅ１と第２電極Ｅ２との両方には接していない。このような三角形状の微結晶領域ＴＲ１は、本実施形態に係る結晶粒とはされず、また、この部分の結晶粒界ＧＢｘ１は、本実施形態に係る結晶粒界ＧＢとはされない。なお、第４結晶粒ＣＧ４と微結晶領域ＴＲ１との間の結晶粒界ＧＢｘ２も、本実施形態に係る結晶粒界ＧＢとはされない。

[0083] このように、不揮発性記憶素子１２においては、抵抗変化層ＲＬに、第１～第７結晶粒ＣＧ１～ＣＧ７が設けられ、５つの結晶粒界（結晶粒界ＧＢ１２、ＧＢ２３、ＧＢ４５、ＧＢ５６及びＧＢ６７）が形成されている。

[0084] これらの第１～第７結晶粒ＣＧ１～ＣＧ７のそれぞれは、第１～第７結晶

粒幅ｄ１１～ｄ１７を有している。既に説明したように、結晶粒幅は、第１電極Ｅ１と第２電極Ｅ２との中間のＺ軸方向の位置における、結晶粒のＸ軸方向に沿った幅とする。すなわち、第１電極Ｅ１から、結晶粒厚ｔ（第１電極Ｅ１と第２電極Ｅ２との間の距離）の半分の長さの位置における結晶粒のＸ軸方向に沿った幅とされる。

[0085] このようにして、複数の結晶粒の結晶粒幅（例えば、第１結晶粒幅ｄ１１～第７結晶粒幅ｄ１７）が定義される。そして、複数の結晶粒幅の平均値は、例えば、第１結晶粒幅ｄ１１～第７結晶粒幅ｄ１７の算術平均値として定義される。そして、複数の結晶粒幅の最大値は、第１結晶粒幅ｄ１１～第７結晶粒幅ｄ１７のなかの最大値として定義される。また、結晶粒幅と結晶厚との比は、第１結晶粒幅ｄ１１～第７結晶粒幅ｄ１７と、結晶粒厚ｔと、のそれぞれの比として定義される。なお、上記の結晶粒幅及び結晶粒厚は、例えば、不揮発性記憶素子をＴＥＭで撮像し、その像から求められる。

[0086] なお、複数の不揮発性記憶素子（メモリセル部）を有する不揮発性記憶装置においては、複数の結晶粒の結晶粒幅の平均値及び最大値は、例えば、複数設けられる不揮発性記憶素子のうちから適宜サンプリングされた不揮発性記憶素子の電極どうしが対向する領域の抵抗変化層ＲＬを、例えば、ＴＥＭで撮像し、それらの像から、各結晶粒の結晶粒幅を算出し、それらの値の算術平均を結晶幅の平均値とし、また、それらの値のなかの最大値を最大結晶粒幅とすることができる。

[0087] 第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の少なくともいずれかの結晶粒幅（Ｘ軸方向に沿った長さ）は、１５ｎｍ以下であることが望ましい。この条件を用いることで、例えば、不揮発性記憶素子のサイズに相当する、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った幅が２０ｎｍ～２５ｎｍ程度の場合においても、不揮発性記憶素子が複数設けられる不揮発性記憶装置において、各不揮発性記憶素子の抵抗変化層ＲＬに結晶粒界ＧＢを配置することができ、所望の動作を実現する不揮発性記憶装置を高い歩留まりで得ることができる。

[0088] すなわち、複数の不揮発性記憶素子１０（メモリセル部）を有する要素メモリ層を備えた不揮発性記憶装置においては、複数の結晶粒の結晶粒幅の平均値を１５ｎｍ以下とすることが望ましい。また、複数の結晶粒の結晶粒幅の最大値を１５ｎｍ以下とすることが望ましい。

[0089] これにより、素子サイズが２０ｎｍ～２５ｎｍ程度に微細化された場合においても、結晶粒界ＧＢを素子内に確実に導入することができる。

[0090] 以下、本実施形態の実施例に係る不揮発性記憶素子の特性について説明する。

[0091] （第１の実施例）

第１電極Ｅ１として、シリコン基板の上のSiO_2膜の上に形成された、ＴｉＮ膜、W膜、Ｔｉ膜及びＴｉＮ膜の積層膜を用いる。なお、このような第１電極Ｅ１が設けられた基板を、適宜、「ＴｉＮ／Ｔｉ／W／ＴｉＮ／SiO_2／Ｓｉ基板」、または、単に「基板」と言う。

[0092] このような第１電極Ｅ１の上に、５％の濃度でＳｍがドープされたCeO_xのターゲットを用い、ＰＬＤ(Pulsed Laser Deposition)法により、抵抗変化層ＲＬとなる金属酸化物膜を成膜した。成膜は、１Ｐａの圧力の酸素ガス雰囲気中で行い、金属酸化物膜の厚さは、約２０ｎｍとした。この時、基板の温度を２５℃、２００℃及び４００℃の３種類に変え、それぞれの温度に対応する金属酸化物膜を、それぞれ金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３とする。

[0093] そして、これらの金属酸化物膜について、ＸＲＤ(X-ray Diffraction)測定を行い、２θ／θ法により、これらの金属酸化物膜の相の同定及び結晶性の評価を行った。なお、ＸＲＤ測定においては、加速電圧が４５ｋＶで、電流が４０ｍＡである条件を採用し、また測定時に使用したスリット幅は、１．００ｍｍ×５．００ｍｍである。

[0094] 図６は、本発明の第１の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図は、金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３のＸＲＤ測定

結果を例示しており、横軸は角度２θであり、縦軸は強度Ｉ１である。

[0095] 図６に表したように、２θが２８度、３７度付近、４０度付近に強度Ｉ１のピークが現れている。

そして、２θが２８度のみにおいて、CeO_x由来のピークが得られている。なお、この時の強度Ｉ１は、８００～２３００ｃｐｓ程度である。

なお、２θが３７度付近におけるピークは、ＴｉＮに由来するピークである。そして、２θが４０度付近のピークは、Ｗに由来するピークである。

[0096] 図６に例示したように、金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３において、CeO_xに由来するピークは、単一のピークであることから、ドープされたＳｍは、CeO_2が形成するフルオライト構造（蛍石結晶構造）内にほぼ完全に含まれていると推定される。

[0097] また、２５℃で成膜された金属酸化物膜１Ｆ１においても、CeO_xに由来する明瞭なピークが確認でき、２５℃で成膜された金属酸化物膜１Ｆ１において、結晶粒が存在していると推定される。また、同様に、金属酸化物膜１Ｆ２及び１Ｆ３においても、結晶粒が存在していると推定される。

さらに、金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３の断面を高分解能ＴＥＭにより観察した。

[0098] 図７は、本発明の第１の実施例に係る不揮発性記憶素子の特性を例示する透過電子顕微鏡写真図である。

すなわち、同図（ａ）、（ｃ）及び（ｅ）は、それぞれ、金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３の高分解能断面ＴＥＭ観察像である。また、同図（ｂ）、（ｄ）及び（ｆ）は、それぞれ同図（ａ）、（ｃ）及び（ｅ）を基に、図を見易くするために、結晶粒界ＧＢを実線で示したものである。なお、高分解能断面ＴＥＭ像を撮像する際には、第１電極Ｅ１の上の各金属酸化物膜の上に保護層ＰＬが設けられており、これらの図において、この保護層ＰＬの像も観察されている。

[0099] 図７（ａ）、（ｃ）及び（ｅ）に表したように、金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３の全てにおいて、結晶粒ＣＧが確認できる。ほぼ同じ配向方

位を持つ結晶粒ＣＧの間の結晶粒界ＧＢが、ほぼ直線状に、第１電極Ｅ１から金属酸化物膜の最上部まで達し、その上の保護層ＰＬに接触している。このように、結晶粒界ＧＢが、第１電極Ｅ１から金属酸化物膜の最上部まで達していることで、金属酸化物膜の上に第２電極Ｅ２を設けた際には、結晶粒界ＧＢが、第１電極Ｅ１と第２電極Ｅ２との両方に接する構成が実現できる。金属酸化物膜の第１電極Ｅ１とは反対の側に設けられている保護層ＰＬを、便宜的に第２電極Ｅ２に相当する層であるとして説明する。

[0100] 金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３の全てにおいて、第１電極Ｅ１の直上から、結晶粒ＣＧが形成されている。これは、第１電極Ｅ１の金属酸化物膜（抵抗変化層ＲＬ）の側のＴｉＮ膜のＴｉとＮとが、δ＋と、δ－と、に帯電しているため、ＴｉＮ膜が極性を持ち、同様に極性を持つCeO_xなどの酸化物が、第１電極Ｅ１の直上から配向し易くなっていることに起因していると考えられる。

[0101] このため、第１電極Ｅ１及び第２電極Ｅ２の少なくともいずれかは、前記少なくともいずれかの抵抗変化層ＲＬに対向する側に設けられ、極性を有する材料を含む層を有することが望ましい。これにより、高結晶性の第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２を安定して形成することができる。なお、上記の極性を有する層の上において、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２の結晶成長が行われる。

[0102] なお、断面ＴＥＭ観察を行った試料は、５０ｎｍ～１００ｎｍ程度の厚さ（第１電極Ｅ１と抵抗変化層ＲＬとの界面に平行な平面内における距離であり、この場合は、Ｙ軸方向に沿った距離）を持っているため、２つ以上の結晶粒ＣＧが重複して観察される場合には、結晶粒界が鮮明に見えないことがある。本願の図面において提示されるＴＥＭ像の一部には、このような結晶粒ＣＧが重複して観察される場合も含まれている。

[0103] 図７（ｂ）、（ｄ）及び（ｆ）においては、断面ＴＥＭ観察の試料の厚みにより、結晶粒界ＧＢが鮮明な直線状になっていない場合は、観察される結晶粒ＣＧの配向に着目し、連続する配向領域の端を結晶粒界ＧＢとしている

。

[0104] 図７（ｂ）、（ｄ）及び（ｆ）に表したように、金属酸化物膜１Ｆ１～１Ｆ３において、第１電極Ｅ１と保護層ＰＬ（第２電極Ｅ２に相当する）の両方に接する結晶粒ＣＧが観察される。このような結晶粒ＣＧどうしの間の結晶粒界ＧＢは、ほぼ直線状に延在しており、結晶粒界ＧＢの長さは、抵抗変化層ＲＬの厚さ１２０％以内である。

[0105] 図７（ｂ）、（ｄ）及び（ｆ）に表したように、成膜時の基板の温度が高くなるにつれ、結晶粒幅が大きい結晶粒ＣＧが、抵抗変化層ＲＬ中に含まれるようになる。

[0106] 以下、図７（ｂ）、（ｄ）及び（ｆ）の断面ＴＥＭ観察像から求めた、抵抗変化層ＲＬの結晶粒ＣＧの最大結晶粒幅ｄｍａｘ、平均結晶粒幅ｄａｖｅ、及び、分散σｄについて説明する。

[0107] 図８は、本発明の第１の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図（ａ）、（ｂ）及び（ｃ）は、それぞれ、金属酸化物膜（抵抗変化層ＲＬ）の結晶粒ＣＧの最大結晶粒幅ｄｍａｘ、平均結晶粒幅ｄａｖｅ、及び、結晶粒幅の分散σｄと、成膜時の基板温度Ｔｓと、の関係を例示している。これらの図の横軸は、基板温度Ｔｓである。同図（ａ）、（ｂ）及び（ｃ）の縦軸は、それぞれ、最大結晶粒幅ｄｍａｘ、平均結晶粒幅ｄａｖｅ及び分散σｄである。

[0108] 図８（ａ）に表したように、基板温度Ｔｓが２５℃である金属酸化物膜１Ｆ１では、最大結晶粒幅ｄｍａｘは８．１ｎｍであり、基板温度Ｔｓが２００℃である金属酸化物膜１Ｆ２では、最大結晶粒幅ｄｍａｘは１２．２ｎｍであり、基板温度Ｔｓが４００℃である金属酸化物膜１Ｆ３では、最大結晶粒幅ｄｍａｘは１４．４ｎｍである。

[0109] このように、成膜時の基板温度Ｔｓが高いほど、最大結晶粒幅ｄｍａｘが大きくなる。この結果は、成膜時の基板温度Ｔｓが高いほど、ターゲットから叩き出された粒子の平均自由行程が長く、結晶が成長し易いことに対応し

ている。

[0110] 従って、素子サイズが小さい高集積度の不揮発性記憶装置に応用する場合は、成膜温度を低くし、例えば、室温や、２００℃以下の温度で行うことが望ましい。これにより、最大結晶粒幅ｄｍａｘを小さくして、素子のそれぞれに結晶粒界ＧＢを確実に形成することが容易になる。

このように、抵抗変化層ＲＬとなる金属酸化物膜の形成は、第１電極Ｅ１の温度が２００℃以下で実施されることが望ましい。

[0111] 一方、図８（ｂ）に表したように、基板温度Ｔｓが２５℃である金属酸化物膜１Ｆ１では、平均結晶粒幅ｄａｖｅは６．１ｎｍであり、基板温度Ｔｓが２００である金属酸化物膜１Ｆ２では、平均結晶粒幅ｄａｖｅは７．７ｎｍであり、基板温度Ｔｓが４００℃である金属酸化物膜１Ｆ３では、平均結晶粒幅ｄａｖｅは７．９ｎｍである。

[0112] このように、成膜時の基板温度Ｔｓが高いほど、平均結晶粒幅ｄａｖｅが大きくなる。ただし、基板温度Ｔｓに対する平均結晶粒幅ｄａｖｅの変化率は、基板温度Ｔｓに対する最大結晶粒幅ｄｍａｘの変化率よりも小さい。

[0113] また、図８（ｃ）に表したように、基板温度Ｔｓが２５℃である金属酸化物膜１Ｆ１では、分散σｄは１．５ｎｍであり、基板温度Ｔｓが２００℃である金属酸化物膜１Ｆ２では、分散σｄは２．０ｎｍであり、基板温度Ｔｓが４００℃である金属酸化物膜１Ｆ３では、分散σｄは６．０ｎｍである。

[0114] このように、成膜時の基板温度Ｔｓが高いほど、結晶粒幅の分散σｄが大きくなり、特に、２００℃よりも高いときに分散σｄが急激に大きくなる。

[0115] 素子サイズが小さい高集積度の不揮発性記憶装置に応用する場合において、結晶粒ＣＧの結晶粒幅を均一にしたい場合には、成膜温度を低くし、例えば、室温～２００℃程度で成膜行うことがより望ましい。これにより、結晶粒幅の分散σｄを小さくでき、より安定した特性を、より高歩留まりで、高生産性で得ることができる。

[0116] さらに、このような金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３の上（第１電極Ｅ１とは反対の側）に、５０μｍの径の開口部を有するメタルマスクを用

いて、スパッタ法によりＰｔ膜を厚さ１００ｎｍで成膜した。このＰｔ膜が第２電極Ｅ２となる。これにより、金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３のそれぞれを有する不揮発性記憶素子が形成される。

[0117] このような構成により、金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３の電気特性を、半導体パラメータアナライザを用いて測定した。この時、これらの金属酸化物膜に、ＤＣ電圧を印加し、１，０００回、または、１３，０００回のサイクルで金属酸化物膜の抵抗（低抵抗状態の抵抗、及び、高抵抗状態の抵抗）を測定した。この時、抵抗の読み出し電圧は０．１Ｖ（ボルト）とした。

[0118] 図９は、本発明の第１の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図（ａ）及び（ｂ）は、金属酸化物膜１Ｆ１に関し、それぞれ１３，０００回のサイクルと、１，０００回のサイクルの測定結果を示している。また、同図（ｃ）及び（ｄ）は、１，０００回のサイクルにおける、それぞれ、金属酸化物膜１Ｆ２及び金属酸化物膜１Ｆ３の結果を示している。

これらの図において、横軸は、低抵抗状態と高抵抗状態との間のスイッチング回数Ｎであり、縦軸は抵抗値Ｒ（低抵抗状態の抵抗Ｒｏｎ、及び、高抵抗状態の抵抗Ｒｏｆｆ）である。

[0119] 図９（ｂ）に表したように、金属酸化物膜１Ｆ１においては、スイッチング回数Ｎが１，０００回まで正常なスイッチング動作が観察された。

[0120] さらに、スイッチング回数Ｎを増やして評価すると、図９（ａ）に表したように、スイッチング回数Ｎが、１０，０００回を超えても正常に動作することが確認できた。

[0121] また、図９（ｃ）及び（ｄ）に表したように、金属酸化物膜１Ｆ２及び１Ｆ３においてもスイッチング回数Ｎが１，０００回まで正常なスイッチング動作が観察された。さらに、図には示さないが、金属酸化物膜１Ｆ２及び１Ｆ３においても、スイッチング回数Ｎが、１０，０００回を超えても正常に

動作することが確認できた。

[0122] このように、金属酸化物膜の成膜の温度が２５℃、２００℃及び４００℃のいずれの場合においても、良好なスイッチング動作が得られた。

[0123] なお、例えばMn_3O_4等を２５℃で成膜した比較例においては、スイッチング回数Ｎは１０回～３０回程度であり、良好なスイッチング動作が得られない。Mn_3O_4等を２５℃で成膜した場合には、膜中には結晶粒が成長し難く、膜の厚み方向に連続した結晶が形成されず、第１電極Ｅ１と第２電極Ｅ２との間に、複数の結晶粒と、それらの間のアモルファス領域と、が形成され、第１電極Ｅ１と第２電極Ｅ２とに流れる電流が、アモルファス領域を通過し、アモルファス領域において、絶縁破壊やショートが発生するため、スイッチング回数Ｎが小さくなると推測される。

[0124] これに対し、本実施例に係る金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３においては、膜の厚み方向に連続した結晶粒が形成され、それぞれの結晶粒は、第１電極Ｅ１と第２電極Ｅ２とに接している。そして、これらの結晶粒どうしの間の結晶粒界ＧＢも第１電極Ｅ１と第２電極Ｅ２の両方に接している。このため、第１電極Ｅ１と第２電極Ｅ２とに流れる電流は、結晶粒界ＧＢを安定して通過でき、絶縁破壊やショートが発生することがない。このため、スイッチング回数Ｎが大きくなったものと考えられる。

[0125] このように、ＸＲＤの評価結果で結晶のピークが確認できる場合には、結晶粒界ＧＢの表面でスイッチングが起き、安定動作が実現したと考えられる。

[0126] なお、金属酸化物膜１Ｆ１と、金属酸化物膜１Ｆ２及び１Ｆ３と、を比較すると、金属酸化物膜１Ｆ２及び１Ｆ３は、抵抗値Ｒが金属酸化物膜１Ｆ１よりも安定しているが、低抵抗状態の抵抗Ｒｏｎと、高抵抗状態の抵抗Ｒｏｆｆと、の比は、金属酸化物膜１Ｆ１よりも低い。目的とする仕様に合わせて、これらの特性の特徴を生かして、金属酸化物膜１Ｆ１、１Ｆ２及び１Ｆ３の構成が適宜選択される。

[0127] （第２の実施例）

第１の実施例と同様に、ＴｉＮ／Ｔｉ／Ｗ／ＴｉＮからなる第１電極Ｅ１を有するＴｉＮ／Ｔｉ／Ｗ／ＴｉＮ／SiO_2／Ｓｉ基板の上に、Ｓｍをそれぞれ３％、５％、１０％及び２０％の６種類の濃度でドープしたCeO_xのターゲットを用い、抵抗変化層ＲＬとなる金属酸化物膜を、ＰＬＤ法により成膜した。

この成膜のときの基板温度Ｔｓは４００℃であり、これ以外は、第１の実施例と同様である。

[0128] Ｓｍの濃度が、３％、５％、１０％及び２０％である金属酸化物膜を、それぞれ、金属酸化物膜２Ｆ３、２Ｆ４、２Ｆ５及び２Ｆ６とする。

そして、これらの金属酸化物膜について、ＸＲＤ測定、高分解能ＴＥＭ像観察及び電気特性測定を行った。

[0129] 図１０は、本発明の第２の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図は、金属酸化物膜２Ｆ３、２Ｆ４、２Ｆ５及び２Ｆ６のＸＲＤ測定結果を例示しており、横軸は角度２θであり、縦軸は強度Ｉ１である。

[0130] 図１０に表したように、金属酸化物膜２Ｆ３、２Ｆ４、２Ｆ５及び２Ｆ６において、２θが２８度のみにおいて、２５００～５０００ｃｐｓ程度の強度Ｉ１のCeO_x由来のピークが得られている。

[0131] このことから、この場合も、ドープされたＳｍが、CeO_2が形成するフルオライト構造内にほぼ完全に含まれていると推定される。

また、これらの金属酸化物膜中に結晶粒が存在していることが推定される。

[0132] 例として、金属酸化物膜２Ｆ４及び２Ｆ６の高分解能断面ＴＥＭ観察像について説明する。

図１１は、本発明の第２の実施例に係る不揮発性記憶素子の特性を例示する透過電子顕微鏡写真図である。

すなわち、同図（ａ）及び（ｃ）は、それぞれ、金属酸化物膜２Ｆ４及び

２Ｆ６の高分解能断面ＴＥＭ観察像である。また、同図（ｂ）及び（ｄ）は、それぞれ同図（ａ）及び（ｃ）を基に、図を見易くするために、結晶粒界ＧＢを実線で示したものである。

[0133] 図１１（ａ）～（ｄ）に表したように、金属酸化物膜２Ｆ４及び２Ｆ６のいずれにおいても結晶粒ＣＧが観察される。そして、ほぼ同じ配向方位を持つ結晶粒ＣＧの間の結晶粒界ＧＢが、ほぼ直線状に、第１電極Ｅ１から、金属酸化物膜の最上端（第１電極Ｅ１とは反対の側の端）まで、達している。なお、ＸＲＤ測定によりピークが確認される試料の全てに結晶粒ＣＧが含まれている。

[0134] 図１２は、本発明の第２の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図（ａ）、（ｂ）及び（ｃ）は、金属酸化物膜（抵抗変化層ＲＬ）の結晶粒ＣＧの最大結晶粒幅ｄｍａｘ、平均結晶粒幅ｄａｖｅ、及び、結晶粒幅の分散σｄと、抵抗変化層ＲＬ中のＳｍの濃度ＣＳｍと、の関係を例示している。

[0135] 図１２（ａ）に表したように、最大結晶粒幅ｄｍａｘは、金属酸化物膜２Ｆ４では１４．４ｎｍであり、金属酸化物膜２Ｆ６では１３．１ｎｍである。このように、Ｓｍの濃度ＣＳｍが高く、Ｓｍのドープ量が多くなるほど、最大結晶粒幅ｄｍａｘは小さくなる傾向がある。

[0136] 図１２（ｂ）に表したように、平均結晶粒幅ｄａｖｅは、金属酸化物膜２Ｆ４では７．９ｎｍであり、金属酸化物膜２Ｆ６では８．９である。

[0137] 図１２（ｃ）に表したように、結晶粒幅の分散σｄは、金属酸化物膜２Ｆ４では６．０ｎｍであり、金属酸化物膜２Ｆ６では３．７ｎｍである。

[0138] さらに、このような金属酸化物膜２Ｆ３～２Ｆ６の上に、第２電極Ｅ２を形成し、電気特性を測定した。なお、第２電極Ｅ２の形成条件及び測定条件は、第１の実施例と同様である。ただし、スイッチング回数Ｎの最大は、１，０００回とし、さらに、１，０００回まで良好な動作を示したものは、適宜スイッチング回数Ｎを１０，０００回として評価を行った。

[0139] 以下、金属酸化物膜２Ｆ３、２Ｆ４、２Ｆ５及び２Ｆ６の特性について説明する。

図１３は、本発明の第２の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図（ａ）、（ｂ）、（ｃ）及び（ｄ）は、金属酸化物膜２Ｆ３、２Ｆ４、２Ｆ５及び２Ｆ６の抵抗値Ｒの測定結果を示している。

[0140] 図１３に表したように、Ｓｍの濃度がそれぞれ３％、５％、１０％、２０％の金属酸化物膜２Ｆ３、２Ｆ４、２Ｆ５及び２Ｆ６においては、少なくともスイッチング回数Ｎが１，０００において、安定した抵抗変化を示す。さらに、これらの金属酸化物膜に関して、スイッチング回数Ｎを１０．０００回まで増やして特性を測定すると、これらの金属酸化物膜は、スイッチング回数Ｎが１０，０００回まで、安定した抵抗変化を示した。

[0141] このように、CeO_xにＳｍを少なくとも３％以上の濃度でドープすることで、実用的に十分に安定した動作が実現できる。

[0142] （第３の実施例）

第１の実施例と同様に、ＴｉＮ／Ｔｉ／Ｗ／ＴｉＮからなる第１電極Ｅ１を有するＴｉＮ／Ｔｉ／Ｗ／ＴｉＮ／SiO_2／Ｓｉ基板の上に、Ｓｍを２０％の濃度でドープしたCeO_xのターゲットを用い、抵抗変化層ＲＬとなる金属酸化物膜を、ＰＬＤ法により成膜した。

この成膜のとき、基板温度Ｔｓを２５℃、２００℃、３００℃及び４００℃の４種類で変え、これらの金属酸化物膜を、それぞれ、金属酸化物膜３Ｆ１、３Ｆ２、３Ｆ３及び３Ｆ４とする。

[0143] なお、これ以外の条件は、第１の実施例と同様である。

そして、これらの金属酸化物膜について、ＸＲＤ測定、高分解能ＴＥＭ像観察及び電気特性の測定を行った。

[0144] 図１４は、本発明の第３の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図は、金属酸化物膜３Ｆ１及び３Ｆ４のＸＲＤ測定結果を例

示しており、横軸は角度２θであり、縦軸は強度Ｉ１である。

図１４に表したように、金属酸化物膜３Ｆ１及び３Ｆ４において、２θが２８度のみにおいて、２００～５０００ｃｐｓ程度の強度Ｉ１のＣｅO_x由来のピークが得られている。

この場合も、ドープされたＳｍが、ＣｅO_2が形成するフルオライト構造内にほぼ完全に含まれていると推定される。

また、これらの金属酸化物膜中に結晶粒が存在していることが推定される。

[0145] 例として、金属酸化物膜３Ｆ１及び３Ｆ４の高分解能断面ＴＥＭ観察像について説明する。

図１５は、本発明の第３の実施例に係る不揮発性記憶素子の特性を例示する透過電子顕微鏡写真図である。

すなわち、同図（ａ）及び（ｃ）は、それぞれ、金属酸化物膜３Ｆ１及び３Ｆ４の高分解能断面ＴＥＭ観察像である。また、同図（ｂ）及び（ｄ）は、それぞれ同図（ａ）及び（ｃ）を基に、図を見易くするために、結晶粒界ＧＢを実線で示したものである。

[0146] 図１５（ａ）～（ｄ）に表したように、金属酸化物膜３Ｆ１及び３Ｆ４のいずれにおいても結晶粒ＣＧが観察される。そして、ほぼ同じ配向方位を持つ結晶粒ＣＧの間の結晶粒界ＧＢが、ほぼ直線状に、第１電極Ｅ１から、金属酸化物膜の最上端（第１電極Ｅ１とは反対の側の端）まで、達している。

[0147] なお、図１５（ｃ）及び（ｄ）に表したように、成膜温度が高い金属酸化物膜３Ｆ４の方が、成膜温度が低い金属酸化物膜３Ｆ１よりも、結晶粒幅が大きくなっている。

[0148] 図１６は、本発明の第３の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図（ａ）、（ｂ）及び（ｃ）は、金属酸化物膜（抵抗変化層ＲＬ）の結晶粒ＣＧの最大結晶粒幅ｄｍａｘ、平均結晶粒幅ｄａｖｅ、及び、結晶粒幅の分散σｄと、成膜時の基板温度Ｔｓと、の関係を例示している

。

[0149] 図１６（ａ）に表したように、最大結晶粒幅ｄｍａｘは、金属酸化物膜３Ｆ１では７．４ｎｍであり、金属酸化物膜３Ｆ４では１３．１ｎｍである。この場合も、成膜時の基板温度Ｔｓが高いほど、最大結晶粒幅ｄｍａｘが大きくなる。

また、図１６（ｂ）及び（ｃ）に表したように、成膜時の基板温度Ｔｓが高いほど、平均結晶粒幅ｄａｖｅ及び結晶粒幅の分散σｄが大きくなる。

[0150] さらに、このような金属酸化物膜３Ｆ１～３Ｆ４の上に、第２電極Ｅ２を形成し、電気特性を測定した。なお、第２電極Ｅ２の形成条件及び測定条件は、第１の実施例と同様である。

金属酸化物膜３Ｆ１～３Ｆ４は、いずれも、スイッチング回数Ｎが１０，０００回においても、安定した抵抗変化を示した。

[0151] （第４の実施例）

第１の実施例と同様に、ＴｉＮ／Ｔｉ／Ｗ／ＴｉＮからなる第１電極Ｅ１を有するＴｉＮ／Ｔｉ／Ｗ／ＴｉＮ／SiO_2／Ｓｉ基板の上に、Ｇｄを５％の濃度でドープしたCeO_xのターゲットを用い、抵抗変化層ＲＬとなる金属酸化物膜を、ＰＬＤ法により成膜した。

この成膜のとき、基板温度Ｔｓを２５℃、２００℃、３００℃、４００℃及び５００℃の５種類で変え、これらの金属酸化物膜を、それぞれ、４Ｆ１、４Ｆ２、４Ｆ３、４Ｆ４及び４Ｆ５とする。

なお、これ以外の条件は、第１の実施例と同様である。

そして、これらの金属酸化物膜について、ＸＲＤ測定、高分解能ＴＥＭ像観察及び電気特性の測定を行った。

[0152] 図１７は、本発明の第４の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図は、金属酸化物膜４Ｆ４のＸＲＤ測定結果を例示しており、横軸は角度２θであり、縦軸は強度Ｉ１である。

図１７に表したように、金属酸化物膜４Ｆ４において、２θが２８度のみ

において、２０００ｃｐｓ程度の強度Ｉ１のCeO_x由来のピークが得られている。

この場合も、ドープされたＧｄが、CeO_2が形成するフルオライト構造内にほぼ完全に含まれていると推定される。

[0153] また、図６に例示したＳｍを５％の濃度で添加し、基板温度が４００℃である金属酸化物膜１Ｆ３に比べて、Ｇｄを５％の濃度で添加し、基板温度が４００℃である金属酸化物膜４Ｆ４においては、強度Ｉ１が強くなっている。

[0154] また、金属酸化物膜４Ｆ４の高分解能断面ＴＥＭ観察により、結晶粒ＣＧが確認できる。そして、ほぼ同じ配向方位を持つ結晶粒ＣＧの間の結晶粒界ＧＢが、ほぼ直線状に、第１電極Ｅ１から、金属酸化物膜の最上端（第１電極Ｅ１とは反対の側の端）まで、達している。

[0155] このように、ドープする材料をＳｍ以外のＬｎ元素に変えた場合も、CeO_x由来のピークが確認され、結晶粒ＣＧが観察され、結晶粒ＣＧの結晶粒界ＧＢが、ほぼ直線状に、第１電極Ｅ１から、金属酸化物膜の最上端（第１電極Ｅ１とは反対の側の端）まで、達している。

[0156] さらに、このような金属酸化物膜４Ｆ１～４Ｆ５の上に、第２電極Ｅ２を形成し、電気特性を測定した。なお、第２電極Ｅ２の形成条件及び測定条件は、第１の実施例と同様である。

[0157] 以下、例として、金属酸化物膜４Ｆ４の特性について説明する。

図１８は、本発明の第４の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図は、金属酸化物膜４Ｆ４の抵抗値Ｒの測定結果を示している。

図１８に表したように、金属酸化物膜４Ｆ４において、スイッチング回数Ｎが２，５００回まで良好なスイッチングができた。さらに、スイッチング回数Ｎを１０，０００回まで増やした場合にもいても、良好な特性が得られた。金属酸化物膜４Ｆ１、４Ｆ２、４Ｆ３及び４Ｆ５においても、同様に、

スイッチング回数Ｎが１０，０００回までの良好な特性が得られた。

[0158] （第５の実施例）

第１の実施例と同様に、ＴｉＮ／Ｔｉ／Ｗ／ＴｉＮからなる第１電極Ｅ１を有するＴｉＮ／Ｔｉ／Ｗ／ＴｉＮ／SiO_2／Ｓｉ基板の上に、Ｌａを５％の濃度でドープしたCeO_xのターゲットを用い、抵抗変化層ＲＬとなる金属酸化物膜を、ＰＬＤ法により成膜した。

この成膜のとき、基板温度Ｔｓを２５℃、２００℃、３００℃、４００℃及び５００℃の５種類で変え、これらの金属酸化物膜を、それぞれ、金属酸化物膜５Ｆ１、５Ｆ２、５Ｆ３、５Ｆ４及び５Ｆ５とする。

なお、これ以外の条件は、第１の実施例と同様である。

そして、これらの金属酸化物膜について、ＸＲＤ測定、高分解能ＴＥＭ像観察及び電気特性の測定を行った。

[0159] 図１９は、本発明の第５の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図は、金属酸化物膜５Ｆ４のＸＲＤ測定結果を例示しており、横軸は角度２θであり、縦軸は強度Ｉ１である。

図１９に表したように、金属酸化物膜５Ｆ４において、２θが２８度のみにおいて、３０００ｃｐｓ程度の強度Ｉ１のCeO_x由来のピークが得られている。

この場合も、ドープされたＬａが、CeO_2が形成するフルオライト構造内にほぼ完全に含まれていると推定される。

[0160] また、図６に例示したＳｍを５％の濃度で添加し、基板温度が４００℃である金属酸化物膜１Ｆ３に比べて、Ｌａを５％の濃度で添加し、基板温度が４００℃である金属酸化物膜５Ｆ４においては、強度Ｉ１が強くなっている。

[0161] また、金属酸化物膜５Ｆ４の高分解能断面ＴＥＭ観察により、結晶粒ＣＧが確認できる。そして、ほぼ同じ配向方位を持つ結晶粒ＣＧの間の結晶粒界ＧＢが、ほぼ直線状に、第１電極Ｅ１から、金属酸化物膜の最上端（第１電

極Ｅ１とは反対の側の端）まで、達している。

[0162] さらに、このような金属酸化物膜５Ｆ１～５Ｆ５の上に、第２電極Ｅ２を形成し、電気特性が測定された。なお、第２電極Ｅ２の形成条件及び測定条件は、第１の実施例と同様である。

[0163] 以下、例として、金属酸化物膜５Ｆ４の特性について説明する。

図２０は、本発明の第５の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図は、金属酸化物膜５Ｆ４の抵抗値Ｒの測定結果を示している。

[0164] 図２０に表したように、金属酸化物膜５Ｆ４において、スイッチング回数Ｎが１，８００回まで良好なスイッチングができた。さらに、スイッチング回数Ｎを１０，０００回まで増やした場合にもいても、良好な特性が得られた。また、金属酸化物膜５Ｆ１、５Ｆ２、５Ｆ３及び５Ｆ５においても、同様に、スイッチング回数Ｎが１０，０００回までの良好な特性が得られた。

[0165] CeO_2にドープする材料を、Ｓｍ、Ｇｄ及びＬａ以外のランタノイド族元素（Ｐｒ、Ｎｄ、Ｐｍ、Ｅｕ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、Ｌｕ）、及び、Ｙに変えた場合も、上記と同様に、複数の結晶粒ＣＧが形成され、結晶粒ＣＧの結晶粒界ＧＢが、ほぼ直線状に、第１電極Ｅ１から、金属酸化物膜の最上端（第１電極Ｅ１とは反対の側の端）まで達する構成が得られる。そしてスイッチング回数Ｎが多くても、良好なスイッチング特性が得られる。

[0166] （第６の実施例）

第１の実施例と同様に、ＴｉＮ／Ｔｉ／Ｗ／ＴｉＮからなる第１電極Ｅ１を有するＴｉＮ／Ｔｉ／Ｗ／ＴｉＮ／SiO_2／Ｓｉ基板の上に、Ｓｍを５％の濃度でドープしたCeO_xのターゲットを用い、４００℃の基板の温度で、抵抗変化層ＲＬとなる金属酸化物膜を、ＰＬＤ法により成膜した。この膜を金属酸化物膜６Ｆ１とする。なお、金属酸化物膜６Ｆ１は、既に説明した金属酸化物膜１Ｆ３と同様の条件である。

[0167] この金属酸化物膜６Ｆ１を、ＲＴＡ処理装置により、７５０℃で１０秒間の熱処理を施した膜を金属酸化物膜６Ｆ２とする。

なお、これ以外の条件は、第１の実施例と同様である。

そして、これらの金属酸化物膜について、ＸＲＤ測定、高分解能ＴＥＭ像観察及び電気特性の測定を行った。

[0168] 図２１は、本発明の第６の実施例に係る不揮発性記憶素子の特性を例示するグラフ図である。

すなわち、同図は、金属酸化物膜６Ｆ１及び６Ｆ２のＸＲＤ測定結果を例示しており、横軸は角度２θであり、縦軸は強度Ｉ１である。

図２１に表したように、金属酸化物膜６Ｆ１及び６Ｆ２のいずれにおいても、２θが２８度のみにおいて、２５００ｃｐｓ程度の強度Ｉ１のCeO_x由来のピークが得られている。

この場合も、ドープされたＳｍが、CeO_2が形成するフルオライト構造内にほぼ完全に含まれていると推定される。

[0169] また、金属酸化物膜６Ｆ２は、金属酸化物膜６Ｆ１に比べてピーク強度がほとんど変化していない。

一般的に、結晶性が低い試料においては、熱処理により結晶化が進みピーク強度が強くなる傾向があるが、金属酸化物膜６Ｆ１と金属酸化物膜６Ｆ２とでピーク強度が変化していないことから、熱処理なしの金属酸化物膜６Ｆ１の成膜時に結晶粒が十分に形成されており、その結果、熱処理前後でほとんどＸＲＤの測定結果に差がないものと考えられる。

[0170] そして、熱処理前もCeO_2のフルオライト構造が維持されており、また、熱処理後もCeO_2のフルオライト構造が維持されている。

[0171] さらに、金属酸化物膜６Ｆ１及び６Ｆ２の上に、第２電極Ｅ２を形成し、電気特性が測定された。なお、第２電極Ｅ２の形成条件及び測定条件は、第１の実施例と同様である。

[0172] 以下、例として、金属酸化物膜６Ｆ２の特性について説明する。

図２２は、本発明の第６の実施例に係る不揮発性記憶素子の特性を例示す

るグラフ図である。

すなわち、同図は、金属酸化物膜６Ｆ２の抵抗値Ｒの測定結果を示している。

図２２に表したように、金属酸化物膜６Ｆ２において、スイッチング回数Ｎが１０，０００回まで良好なスイッチングができた。

[0173] 上記において、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２は、フルオライト構造を有する。そして、抵抗変化層ＲＬの金属酸化物は、第１金属元素と、第１金属元素よりも価数が小さい第２金属元素と、を含む。例えば、第１金属元素はＣｅであり、第２金属元素はＳｍである。

このような構成の結晶の特性について説明する。

[0174] 図２３は、本発明の第１の実施形態に係る不揮発性記憶素子の結晶構造を例示する模式図である。

図２３に表したように、不揮発性記憶素子１０の抵抗変化層ＲＬの金属酸化物は、第１金属元素５０（例えばＣｅ）と、第２金属元素５５（例えば、Ｓｍ）と、を含むフルオライト構造（蛍石型構造）を有している。第２金属元素５５は、第１金属元素よりも価数が小さい元素であり、この場合は、３価を取り得る元素である。

[0175] すなわち、抵抗変化層ＲＬは、第１金属元素５０と第２金属元素５５と酸素６０とを含む化合物である。

[0176] なお、第１金属元素５０であるＣｅの酸化物であるCeO_2は、蛍石型構造（フルオライト構造）を有する。従って、抵抗変化層ＲＬは、Ｃｅと、それとは別の金属元素と、を含む酸化物でありながら、CeO_2の蛍石型構造が維持されている。従って、図２３に表したように、４価の第１金属元素５０（例えばＣｅ）の一部が、それよりも価数が小さい３価の第２金属元素５５（例えばＳｍ）によって置換され、この時、電荷中性の条件を満たすため、抵抗変化層ＲＬには酸素欠損６１が生じる。

[0177] 本実施形態に係る不揮発性記憶素子１０においては、この人工的に造られた酸素欠損６１を用いた導電機構を採用することで、結晶粒ＣＧどうしの間

の結晶粒界ＢＧに、安定した導電経路を形成できる。

[0178] そして、フルオライト構造は、結晶格子が立方体であるため、種々の下地の上に、安定した結晶粒ＣＧを作り易い。

[0179] さらに、フルオライト構造は、耐熱性、耐薬品性、各種の材料との整合性等の高い耐プロセス性能を有する。

[0180] このように、本実施形態に係る不揮発性記憶素子１０においては、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２は、フルオライト構造を有することで、第１電極Ｅ１の上に、均一な結晶構造を形成でき、また、その結晶構造を、大きな距離で維持でき、結果として、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ２が、第１電極Ｅ１及び第２電極Ｅ２の両方に接するまで成長させることができ、また、結晶粒界ＧＢを第１電極Ｅ１及び第２電極Ｅ２の両方に接する構成が実現できる。

[0181] このように、抵抗変化層ＲＬの金属酸化物が、第１金属元素と、第１金属元素よりも価数が小さい第２金属元素と、を含むことで、蛍石型構造を保ったまま、酸素欠損を形成させ、結晶粒界に安定した伝導経路を形成でき、抵抗変化のスイッチング回数Ｎを大きくできる。

[0182] 上記の第１金属元素５０としては、Ｃｅ及びＺｒの少なくともいずれかを含むことができる。これにより、上記の実施例で説明したように優れた特性は発揮できる。

なお、ＺｒとＨｆは厳密な分離が難しく、第１金属元素５０として、ＺｒとＨｆとを含んでも良い。

[0183] また、第１金属元素５０がＣｅである場合は、第２金属元素５５には、Ｃｅを除くランタノイド族元素の少なくともいずれか、及び、Ｙ、の少なくともいずれかを用いることができる。

[0184] また、第１金属元素５０がＺｒである場合は、第２金属元素５５には、ランタノイド族元素の少なくともいずれか、Ｙ、Ｍｇ、Ｃａ、及び、Ｓｃ、の少なくともいずれかを用いることができる。

[0185] また、第１金属元素５０と第２金属元素５５との合計に対する第２金属元

素５５の割合は、３原子%（原子パーセント）以上、４０原子%以下であることが望ましい。割合が、特に、０．１原子%よりも低い場合は、第２金属元素５５の添加の効果が小さく、例えば、スイッチング回数Ｎが小さくなる。また、割合が、４０原子%よりも高くなると、蛍石型構造の維持が困難になり、結晶粒の形成が不安定になる。

[0186] （第２の実施の形態）

本発明の第２の実施形態に係る不揮発性記憶素子の製造方法は、第１の実施形態で説明した不揮発性記憶素子の構成を有する不揮発性記憶素子の製造方法である。

図２４は、本発明の第２の実施形態に係る不揮発性記憶素子の製造方法を例示するフローチャート図である。

図２４に表したように、まず、基板の上に第１電極Ｅ１を形成する（ステップＳ１１０）。

そして、第１電極Ｅ１の主面上に、抵抗変化層ＲＬとなる金属酸化物膜を、第１電極Ｅ１の主面から、金属酸化物膜の第１電極Ｅ１とは反対の側の上面にかけて、単一の結晶状態を有する複数の結晶粒ＣＧが形成されるように、形成する（ステップＳ１２０）。

[0187] そして、上記の金属酸化物膜の上に第２電極Ｅ２を形成する（ステップＳ１３０）。

[0188] これにより、素子を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶素子が製造できる。

[0189] なお、上記のステップにおいては、複数の結晶粒ＣＧのいずれかの、前記主面に対して平行な第１方向（Ｘ軸方向）に沿った長さ（結晶粒幅）が、第１電極Ｅ１の主面に対して垂直な第２方向（Ｚ軸方向）に沿った長さ（結晶粒厚）よりも短くなるように、形成することが望ましい。これにより、１つの不揮発性記憶素子において、第１電極Ｅ１と第２電極Ｅ２との間に複数の結晶粒界ＧＢを形成し易くなり、安定した特性、高歩留まり、高信頼性が実現できる。さらに、この構成により、複数の不揮発性記憶素子を有する不揮

発性記憶装置の歩留が向上する。

[0190] また、上記のステップＳ１２０においては、金属酸化物膜の形成は、第１電極Ｅ１の温度が２００℃以下の状態で実施されることが望ましい。

これにより、複数の結晶粒ＣＧの結晶粒幅の最大値（最大結晶粒幅ｄｍａｘ）、平均値（平均結晶粒幅ｄａｖｅ）、結晶粒幅の分散σｄを小さくでき、複数のメモリセル部が設けられる場合においても、電極どうしの間の各メモリセル部に、均一に結晶粒界ＧＢが配置されるので、歩留まりの高い不揮発性記憶装置を製造することができる。すなわち、第１結晶粒ＣＧ１及び第２結晶粒ＣＧ１の少なくともいずれかの結晶粒幅を、１５ｎｍ以下にすることができる。

[0191] （第３の実施の形態）

図２５は、本発明の第３の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。

すなわち、同図（ａ）は模式的斜視図であり、同図（ｂ）は模式的平面図である。

図２６は、本発明の第３の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。

すなわち、図２６（ａ）及び（ｂ）は、それぞれ図２５（ａ）のＡ－Ａ’線断面図及びＢ－Ｂ’線断面図である。また、図２６（ｃ）は、不揮発性記憶装置における１つのメモリセル部である不揮発性記憶素子１０を例示する模式的斜視図である。

図２７は、本発明の第３の実施形態に係る別の不揮発性記憶素子の構成を例示する模式的斜視図である。

[0192] 図２５（ａ）及び（ｂ）に表したように、本発明の第３の実施形態に係る不揮発性記憶装置２０は、要素メモリ層２５を有する。

要素メモリ層２５は、複数のメモリセル部ＭＣを有する。すなわち、要素メモリ層２５において、複数のメモリセル部ＭＣが、例えばＸ－Ｙ平面内にマトリクス状に設けられる。

[0193] 不揮発性記憶装置２０の要素メモリ層２５においては、例えば、基板１０５の主面の上に、Ｙ軸方向に延在する帯状の第１配線１１０が設けられている。そして、基板１０５に平行な面内でＹ軸方向に対して直交するＸ軸方向に延在する帯状の第２配線１２０が、第１配線１１０に対向して設けられている。

[0194] そして、第１配線１１０と第２配線１２０との間のそれぞれに、メモリセル部ＭＣが設けられている。

[0195] メモリセル部ＭＣのそれぞれは、記憶部１４０（例えば不揮発性記憶素子１０）を有する。

また、メモリセル部ＭＣのそれぞれは、第１配線１１０及び第２配線１２０の少なくともいずれかと、記憶部１４０と、の間に設けられた整流素子部１５０をさらに有する。整流素子部１５０には、電流の通電方向を制御するダイオード等を用いることができる。

[0196] なお、図２５においては、第１配線１１０と第２配線１２０とは、それぞれ４本ずつ例示されているが、これには限らず、第１配線１１０と第２配線１２０との数は任意である。そして、例えば、第１配線１１０がビット配線ＢＬとなり、第２配線１２０がワード配線ＷＬとなる。ただし、第１配線１１０をワード配線ＷＬ、第２配線１２０をビット配線ＢＬとしても良い。以下では、第１配線１１０がビット配線ＢＬであり、第２配線１２０がワード配線ＷＬであるとして説明する。

[0197] すなわち、不揮発性記憶装置２０においては、ビット配線ＢＬとワード配線ＷＬとが３次元的に交差して形成される交差部１３０（クロスポイント）に、記憶部１４０（不揮発性記憶素子）が設けられている。

[0198] このように、不揮発性記憶装置２０は、記憶部１４０（不揮発性記憶素子）を挟むようにして設けられたワード配線ＷＬ（第１配線１１０）及びビット配線ＢＬ（第２配線１２０）をさらに備える。

[0199] そして、第１配線１１０に与える電位と第２配線１２０に与える電位の組み合わせによって、各記憶部１４０（不揮発性記憶素子）に印加される電圧

が変化し、情報を記憶することができる。

[0200] なお、第１配線１１０と第２配線１２０との間に、記憶部１４０及び整流素子部１５０を設ける場合において、記憶部１４０及び整流素子部１５０の積層順は任意である。そして、後述するように、第１配線１１０、記憶部１４０、整流素子部１５０及び第２配線１２０を含む積層構造体（要素メモリ層２５）が、さらに複数積層されて設けられる場合において、記憶部１４０及び整流素子部１５０の積層順は任意であり、例えば、それぞれの積層構造体において、記憶部１４０及び整流素子部１５０の積層順を同一にしても良く、また、変えても良い。

[0201] 基板１０５には、例えばシリコン基板を用いることができ、そして、そのシリコン基板には不揮発性記憶装置を駆動する駆動回路を設けることもできる。

第１配線１１０及び第２配線１２０には、金属やポリシリコン等を含む各種の導電性材料を用いることができる。

[0202] また、図２６（ａ）及び（ｂ）に表したように、第１配線１１０と、第２配線１２０と、記憶部１４０と、は、間隔を置いて設けられた複数の領域を有しており、その複数の領域どうしの間に、絶縁部１６０が設けられている。なお、図２５（ａ）及び（ｂ）においては、絶縁部１６０は省略されて描かれている。

絶縁部１６０には、例えば、電気抵抗の高い酸化珪素（SiO_2）等を用いることができる。ただし、これに限らず、絶縁部１６０には、記憶部１４０（不揮発性記憶素子）に含まれる抵抗変化層ＲＬの電気抵抗よりも電気抵抗が高い各種の材料を用いることができる。

[0203] 図２６（ｃ）に表したように、このような構成の不揮発性記憶装置２０の記憶部１４０に、既に説明した本発明の実施形態に係る不揮発性記憶素子のいずれかを用いることができる。すなわち、記憶部１４０（不揮発性記憶素子）は、第１電極Ｅ１と、第２電極Ｅ２と、それらの間に設けられた抵抗変化層ＲＬと、を有する。なお、ここでは、不揮発性記憶素子１０を用いる場

合として説明する。

[0204] なお、第１電極Ｅ１は、第１配線１１０、第２配線１２０及び整流素子部１５０のいずれかに用いられる導電膜と兼用されることができる。同様に、第２電極Ｅ２は、第１配線１１０、第２配線１２０及び整流素子部１５０のいずれかに用いられる導電膜と兼用されることができる。

[0205] また、図２７（ａ）及び（ｂ）に表したように、本実施形態に係る別の不揮発性記憶装置２０ａ及び２０ｂにおいては、要素メモリ層２５（要素メモリ層２５ａ～２５ｄ）がＺ軸方向に複数設けられている。この場合にも、記憶部１４０に、既に説明した本発明の実施形態に係る不揮発性記憶素子のいずれかが用いられる。

[0206] これにより、素子（記憶部１４０）を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶装置を提供できる。

[0207] そして、このような不揮発性記憶装置においては、複数の不揮発性記憶素子（記憶部１４０）の抵抗変化層ＲＬに含まれる結晶粒ＣＧの、Ｘ軸方向に沿った長さの最大値（最大結晶粒幅ｄｍａｘ）は、第１電極Ｅ１と第２電極Ｅ２とが互いに対向する面のＸ軸方向に沿った長さ（電極幅ｄ３）よりも短く設定されることが望ましい。

[0208] また、複数の不揮発性記憶素子（記憶部１４０）の抵抗変化層ＲＬに含まれる結晶粒ＣＧの、Ｘ軸方向に沿った長さの平均値（平均結晶粒幅ｄａｖｅ）は、電極幅ｄ３よりも短いことが望ましい。

[0209] これにより、複数の不揮発性記憶素子のそれぞれに、結晶粒界ＧＢを安定して配置でき、高歩留まりの不揮発性記憶装置を提供できる。

[0210] 上記の最大結晶粒幅ｄｍａｘは、１５ｎｍ以下に設定することができる。また、上記の平均結晶粒幅ｄａｖｅは、１５ｎｍ以下に設定することができる。これにより、素子サイズが２０ｎｍ～２５ｎｍ以下になった場合においても、高い歩留まりが実現できる。

[0211] 本実施形態に係る不揮発性記憶装置の具体例についてさらに説明する。

図２８は、本発明の第３の実施形態に係る不揮発性記憶装置の具体例の構

成を例示する模式的回路図である。

図２８に表したように、本実施形態に係る具体例の不揮発性記憶装置２１においては、基板１０５（図示しない）の主面の上に、Ｘ軸方向に延在する帯状の第１配線１１０が設けられる。ここでは、第１配線１１０は、ワード配線ＷＬ（ワード配線WL_{i-1}、WL_i、WL_{i+1}）とする。そして、基板１０５（図示しない）の主面に平行な面内でＸ軸と直交するＹ軸方向に延在する帯状の第２配線１２０が設けられる。ここでは、第２配線１２０は、ビット配線ＢＬ（ビット配線BL_{j-1}、BL_j、BL_{j+1}）とする。第２配線１２０（ビット配線ＢＬ）は、第１配線１１０（ワード配線ＷＬ）に対向して設けられる。

[0212] なお、上記では、第１配線１１０と第２配線１２０とが直交する例であるが、第１配線１１０と第２配線１２０とは交差（非平行）であれば良い。

なお、上記において添え字ｉ及び添え字ｊは任意である。すなわち、同図においては、第１配線１１０と第２配線１２０とは、それぞれ３本ずつ設けられている例が示されているが、これには限らず、第１配線１１０及び第２配線１２０の数は任意である。なお、第１配線１１０をビット配線ＢＬとし、第２配線１２０をワード配線ＷＬとしても良い。

[0213] そして、同図に表したように、第１配線１１０と第２配線１２０との間に記憶部１４０（不揮発性記憶素子）が挟まれている。なお、記憶部１４０は、本発明の実施形態及び実施例に係る不揮発性記憶素子のいずれかできる。

[0214] そして、例えば、ワード配線WL_{i-1}、WL_i、WL_{i+1}の一端は、選択スイッチとしてのＭＯＳトランジスタＲＳＷを経由して、デコーダ機能を有するワード配線ドライバ１１０Ｄに接続され、ビット配線BL_{j-1}、BL_j、BL_{j+1}の一端は、選択スイッチとしてのＭＯＳトランジスタＣＳＷを経由して、デコーダ及び読み出し機能を有するビット配線ドライバ１２０Ｄに接続される。

[0215] ＭＯＳトランジスタＲＳＷのゲートには、１本のワード配線（ロウ）を選択するための選択信号R_{i-1}、R_i、R_{i+1}が入力され、ＭＯＳトランジスタ

ＣＳＷのゲートには、１本のビット配線（カラム）を選択するための選択信号C_{i-1}、C_i、C_{i+1}が入力される。

[0216] 記憶部１４０を有するメモリセル１４８は、ワード配線WL_{i-1}、WL_i、WL_{i+1}と、ビット配線BL_{j-1}、BL_j、BL_{j+1}と、の交差部に配置される。いわゆるクロスポイント型セルアレイ構造である。

[0217] 既に説明したように、第１配線１１０と第２配線１２０との交点のそれぞれの間には、記憶／再生時における回り込み電流を防止するための整流素子部１５０を付加することができる。

[0218] このように、本実施形態に係る不揮発性記憶装置２１は、本発明の実施形態に係る複数の記憶部１４０（不揮発性記憶素子）と、記憶部１４０の抵抗変化層ＲＬへの電圧の印加、及び、抵抗変化層ＲＬへの電流の通電、の少なくともいずれかによって、抵抗変化層ＲＬを異なる抵抗を有する複数の状態の間を遷移させて情報を記憶する駆動部６００をさらに備える。

[0219] ここで、駆動部６００は、例えば上記のＭＯＳトランジスタＲＳＷ、ワード配線ドライバ１１０Ｄ、ＭＯＳトランジスタＣＳＷ、及びビット配線ドライバ１２０Ｄの少なくとも一部を含む。

[0220] そして、不揮発性記憶装置２１は、記憶部１４０（不揮発性記憶素子）を挟むようにして設けられたワード配線ＷＬ及びビット配線ＢＬをさらに備え、駆動部６００は、ワード配線ＷＬ及びビット配線ＢＬを介して、記憶部１４０（不揮発性記憶素子）の抵抗変化層ＲＬへの電圧の印加、及び、抵抗変化層ＲＬへの電流の通電、の少なくともいずれかを行う。

[0221] （第４の実施の形態）

本発明の第４の実施形態に係る不揮発性記憶装置は、フラッシュメモリ型の不揮発性記憶装置である。

図２９は、本発明の第４の実施形態に係る不揮発性記憶装置の要部の構成を例示する模式的断面図である。

図３０は、本発明の第４の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。

[0222] 図２９に表したように、本実施形態に係る不揮発性記憶装置３１においては、フラッシュメモリ型のメモリセル４４８を有し、このメモリセル４４８は、ＭＩＳ(Metal-Insulator-Semiconductor)トランジスタ４５０の構造を有する。

[0223] すなわち、半導体基板４１０の表面領域には、拡散層４２０ａ及び４２０ｂが形成される。これら拡散層４２０ａ及び４２０ｂの間のチャネル領域４２５の上には、ゲート絶縁膜４３０と、その上のゲート電極４４０と、が設けられ、さらに、ゲート絶縁膜４３０とゲート電極４４０との間に、記憶部１４０が設けられる。記憶部１４０には、本発明の実施形態及び実施例に係る不揮発性記憶素子のいずれかが用いられる。

[0224] なお、記憶部１４０（不揮発性記憶素子）の第２電極Ｅ２は、ゲート電極４４０と兼用されても良い。この場合には、ゲート電極４４０は省略され、第２電極Ｅ２がゲート電極の機能を果たす。

[0225] 半導体基板４１０は、ウェル領域でも良い。半導体基板４１０と、拡散層４２０ａ及び４２０ｂと、は、互いに逆の導電型を有する。ゲート電極４４０は、ワード配線となり、例えば、導電性ポリシリコンが用いられる。

[0226] この場合、後述する駆動部６００ｂが、ゲート電極４４０に接続されて設けられる。駆動部６００ｂは、ゲート電極４４０を介して、抵抗変化層ＲＬへの電圧の印加、及び、抵抗変化層ＲＬへの電流の通電、の少なくともいずれかを行う。

[0227] このような構成を有するメモリセル４４８において、ゲート電極４４０に与える電位によって、抵抗変化層ＲＬの抵抗を変化させることで、ＭＩＳトランジスタ４５０のしきい値を変化させることができる。例えば、抵抗変化層ＲＬが高抵抗状態である時には、ＭＩＳトランジスタ４５０において実質的にゲート絶縁膜が相対的に厚くなったことに相当する。この時、ＭＩＳトランジスタ４５０のしきい値は高くなる。一方、例えば、抵抗変化層ＲＬが低抵抗状態である時には、ＭＩＳトランジスタ４５０において実質的にゲート絶縁膜が相対的に薄くなったことに相当する。この時、ＭＩＳトランジス

タ４５０のしきい値は低くなる。そして、このしきい値の変化を読み出すことにより情報の再生ができる。このように、不揮発性記憶装置３１においては、フラッシュメモリと類似した原理により、メモリセルのしきい値を変え、不揮発性記憶装置３１は不揮発性記憶装置として利用できる。

[0228] 図３０に表したように、本実施形態に係る不揮発性記憶装置３１は、例えばＮＡＮＤ型フラッシュメモリの構成とすることができる。すなわち、不揮発性記憶装置３１は、ＮＡＮＤセルユニット４６０及びそれに接続された駆動部６００ｂを備える。

[0229] 例えば、ＮＡＮＤセルユニット４６０は、直列接続される複数のメモリセル４４８からなるＮＡＮＤストリングと、その両端に１つずつ接続される合計２つのセレクトゲートトランジスタ４７１及び４７２とから構成される。

[0230] そして、各メモリセル４４８のゲート電極４４０は、ワード配線ＷＬを介して駆動部６００ｂに電気的に接続される。なお、駆動部６００は、ＮＡＮＤセルユニット４６０が設けられる基板に設けられても良く、それとは別の基板に設けられても良い。

[0231] セレクトゲートトランジスタ４７１はソース線ＳＬに接続され、セレクトゲートトランジスタ４７２はビット配線ＢＬに接続される。

そして、セレクトゲートトランジスタ４７１及び４７２のそれぞれのセレクトゲート４７１ｇ及び４７２ｇと、ワード配線ＷＬと、に与える電位を制御することによって、各メモリセル４４８に所望の情報を記録し、また、記録された情報を再生することができる。

[0232] すなわち、本実施形態に係る不揮発性記憶装置３１は、複数の記憶部１４０（不揮発性記憶素子）と、記憶部１４０の抵抗変化層ＲＬへの電圧の印加、及び、抵抗変化層ＲＬへの電流の通電、の少なくともいずれかによって、抵抗変化層ＲＬを異なる抵抗を有する複数の状態の間を遷移させて情報を記録する駆動部６００ｂと、を備える。

[0233] 本具体例では、不揮発性記憶装置３１は、記憶部１４０（不揮発性記憶素子）を挟むゲート電極４４０とゲート絶縁膜４３０とを含むＭＩＳトランジ

スタ４５０をさらに備える。そして、駆動部６００ｂは、ゲート電極４４０を介して、記憶部１４０の抵抗変化層ＲＬへの電圧の印加、及び、抵抗変化層ＲＬへの電流の通電、の少なくともいずれかを行う。

[0234] すなわち、不揮発性記憶装置３１は、第１導電型半導体基板内（半導体基板４１０）に設けられた第１及び第２の第２導電型半導体領域（拡散層４２０ａ及び拡散層４２０ｂ）と、第１及び第２の第２導電型半導体領域の間の第１導電型半導体領域（チャネル領域４２５）と、前記第１及び第２の第２導電型領域間における導通／非導通を制御するゲート電極４４０と、をさらに備える。記憶部１４０（不揮発性記憶素子）は、ゲート電極４４０と前記第１導電型半導体領域との間に配置される。そして、前記駆動部６００ｂは、ゲート電極４４０を介して、記憶部１４０の抵抗変化層ＲＬへの電圧の印加、及び、抵抗変化層ＲＬへの電流の通電、の少なくともいずれかを行う。

[0235] これにより、フラッシュメモリと同様の動作により、情報の記録及び再生が可能となる。そして、不揮発性記憶装置３１は、本発明の実施形態及び実施例に係る不揮発性記憶素子のいずれかの不揮発性記憶素子を用いるので、素子を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶装置が提供できる。

[0236] なお、上記においては、ＮＡＮＤ型の不揮発性記憶装置の例を説明したが、本発明はこれに限らず、ＮＯＲ型や２トランジスタ型等の任意の構成の不揮発性記憶装置に応用できる。

[0237] （第５の実施の形態）

第５の実施形態に係る不揮発性記憶装置は、プローブメモリ型の不揮発性記憶装置である。

図３１は、本発明の第５の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。

図３２は、本発明の第５の実施形態に係る不揮発性記憶装置の構成を例示する模式的平面図である。

[0238] 図３１及び図３２に表したように、本発明の第５の実施形態に係る不揮発

性記憶装置３２においては、ＸＹスキャナ５１６の上に、記憶媒体５１０が配置される。記憶媒体５１０においては、基板５２０の上に設けられた導電層５２１（第１電極Ｅ１）の上に、記憶部１４０の抵抗変化層ＲＬが配置されている。そして、抵抗変化層ＲＬの上には、所定の形状にパターニングされた上部電極５４０（第２電極Ｅ２）が設けられている。

[0239] そして、この抵抗変化層ＲＬに対向してプローブアレイ５２８が配置される。

例えば、プローブアレイ５２８は、基板５２３と、基板５２３の主面にアレイ状に配置された複数のプローブ５２４と、を有する。複数のプローブ５２４の各々は、例えば、カンチレバーから構成され、マルチプレクスドライバ５２５及び５２６により駆動される。

複数のプローブ５２４は、それぞれ、基板５２３内のマイクロアクチュエータを用いて個別に動作可能である。また、全てをまとめて同じ動作をさせて記憶媒体５１０のデータエリア５３１に対してアクセスを行うこともできる。

[0240] 例えば、マルチプレクスドライバ５２５及び５２６を用いて、全てのプローブ５２４を例えばＸ方向に一定周期で往復動作させ、記憶媒体５１０のサーボエリアからＹ方向の位置情報を読み出す。Ｙ方向の位置情報は、ドライバ５１５に転送される。

ドライバ５１５は、この位置情報に基づいてＸＹスキャナ５１６を駆動し、記憶媒体５１０をＹ方向に移動させ、記憶媒体５１０とプローブ５２４との位置決めを行う。

両者の位置決めが完了したら、データエリア上のプローブ５２４の全てに対して、同時に、連続的に、データの読み出しまたは書き込みを行う。

[0241] 例えば、抵抗変化層ＲＬとなる層は、複数のデータエリア５３１、並びに、複数のデータエリア５３１のＸ方向の両端にそれぞれ配置されるサーボエリア５３２を有する。複数のデータエリア５３１は、抵抗変化層ＲＬとなる層の主要部を占める。

[0242] 例えば、サーボエリア５３２内には、サーボバースト信号が記憶される。サーボバースト信号は、データエリア５３１内のＹ方向の位置情報を示している。

[0243] 本具体例では、１つのデータエリア５３１に対応して１つのプローブ５２４が設けられ、１つのサーボエリア５３２に対して１つのプローブ５２４が設けられる。

データエリア５３１は、複数のトラックから構成される。アドレスエリアから読み出されるアドレス信号によりデータエリア５３１のトラックが特定される。また、サーボエリア５３２から読み出されるサーボバースト信号は、プローブ５２４をトラックの中心に移動させ、記憶ビットの読み取り誤差を減少する。

[0244] このような構成の不揮発性記憶装置３２は、複数の記憶部１４０（不揮発性記憶素子）と、記憶部１４０に併設されたプローブ５２４と、を備える。

そして、不揮発性記憶素子の抵抗変化層ＲＬへの電圧の印加、及び、抵抗変化層ＲＬへの電流の通電、の少なくともいずれかによって、抵抗変化層ＲＬを異なる抵抗を有する複数の状態の間を遷移させて情報を記録する駆動部６００ａと、をさらに備える。上記において、記憶部１４０には、本発明の実施形態及び実施例に係るいずれかの不揮発性記憶素子を用いることができる。そして、駆動部６００ａには、上記のマルチプレクスドライバ５２５及び５２６を用いることができる。

[0245] そして、駆動部６００ａは、プローブ５２４を介して、記憶部１４０の抵抗変化層ＲＬの記録単位に対して前記電圧の印加及び前記電流の通電の少なくともいずれかを行う。

[0246] このような構成を有する不揮発性記憶装置３２は、本発明の実施形態及び実施例に係る不揮発性記憶素子のいずれかの不揮発性記憶素子を用いるので、素子を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶装置が提供できる。

[0247] 以上、具体例を参照しつつ、本発明の実施の形態について説明した。しか

し、本発明は、これらの具体例に限定されるものではない。例えば、不揮発性記憶素子を構成する第１電極（第１導電層）、抵抗変化層、第２電極（第２導電層）、並びに、不揮発性記憶装置を構成する各種の配線、整流素子部、半導体基板、拡散層、ゲート絶縁膜、ゲート電極、駆動部、プローブ等、各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか２つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

[0248] その他、本発明の実施の形態として上述した不揮発性記憶素子及び不揮発性記憶装置を基にして、当業者が適宜設計変更して実施し得る全ての不揮発性記憶素子及び不揮発性記憶装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

[0249] その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

産業上の利用可能性

[0250] 本発明によれば、素子を微細化したときにも、安定的に記憶及び消去が可能な不揮発性記憶素子及び不揮発性記憶装置が提供される。

符号の説明

[0251] １０、１０ａ、１０ａ１、１０ｂ、１０ｂ１、１０ｃ、１０ｃ１、１０ｄ、１０ｄ１、１１ａ～１１ｆ、１２、１９ａ～１９ｆ　不揮発性記憶素子、

２０、２０ａ、２０ｂ、２１、３１、３２　不揮発性記憶装置、

２５、２５ａ～２５ｄ…要素メモリ層、

５０…第１金属元素、

５５…第２金属元素、

６０…酸素、

６１…酸素欠損、

１０５…基板、

１１０…第１配線（ワード配線）、

１１０Ｄ…ワード線ドライバ、

１２０…第２配線（ビット配線）、

１２０Ｄ…ビット線ドライバ、

１３０…交差部、

１４０…記憶部（不揮発性記憶素子）、

１４８…メモリセル、

１５０…整流素子部、

１６０…絶縁部、

４１０…半導体基板、

４２０ａ、４２０ｂ…拡散層、

４２５…チャネル領域、

４３０…ゲート絶縁膜、

４４０…ゲート電極、

４４８…メモリセル、

４５０…ＭＩＳトランジスタ、

４６０…ＮＡＮＤセルユニット、

４７１、４７２…セレクトゲートトランジスタ、

４７１ｇ、４７２ｇ…セレクトゲート、

５１０…記憶媒体、

５１５…ドライバ、

５１６…ＸＹスキャナ、

５２０…基板、

５２１…導電層（第１電極Ｅ１）

５２３…基板、

５２４…プローブ、

５２５、５２６…マルチプレクスドライバ、

５２８…プローブアレイ、

５３１…データエリア、

５３２…サーボエリア、

５４０…上部電極（第２電極Ｅ２）

６００、６００ａ、６００ｂ…駆動部、

σｄ…分散、

ＡＲｘ…アモルファス領域、

ＢＧ…結晶粒界、

ＢＬ、ＢＬｊ…ビット配線、

ＣＧ…結晶粒、

ＣＧ１～ＣＧ７…第１～第７結晶粒、

ＣＧｘ…微結晶粒、

ＣＳＷ…ＭＯＳトランジスタ、

ＣＳｍ…濃度、

C_i…選択信号、

Ｅ１、Ｅ１２…第１電極（第１導電層）、

Ｅ２、Ｅ２２…第２電極（第２導電層）、

ＧＢ…結晶粒界、

ＧＢ１２、ＧＢ２３、ＧＢ４５、ＧＢ５６、ＧＢ６７…結晶粒界、

ＭＣ…メモリセル部、

Ｎ…スイッチング回数、

ＰＬ…保護層、

Ｒ…抵抗値、

ＲＬ、ＲＬ９ａ～ｆ…抵抗変化層、

ＲＳＷ…ＭＯＳトランジスタ、

R_i…選択信号、

Ｒｏｆｆ…高抵抗状態の抵抗、

Ｒｏｎ…低抵抗状態の抵抗、

Ｓ１、Ｓ２…第１及び第２基板

ＳＬ…ソース線、

ＴＲ１…微結晶領域、

Ｔｓ…基板温度、

ＷＬ、ＷＬｉ…ワード配線、

ｄ１、ｄ１ｆ…第１結晶粒幅、

ｄ２、ｄ２ｆ…第２結晶粒幅、

ｄ３…電極幅、

ｄ１１～ｄ１７…第１～第７結晶粒幅、

ｄａｖｅ…平均結晶粒幅、

ｄｍａｘ…最大結晶粒幅、

ｔ、ｔ１、ｔ２…結晶粒厚、

請求の範囲

[請求項1] 第１導電層と、

前記第１導電層に対向して設けられた第２導電層と、

前記第１導電層と前記第２導電層との間に設けられ、金属酸化物を含む抵抗変化層と、

を備え、

前記抵抗変化層は、

前記第１導電層と前記第２導電層との両方に接する第１結晶粒と、

前記第１結晶粒に隣接し、前記第１導電層と前記第２導電層との両方に接する第２結晶粒と、

を有し、

前記第１結晶粒と前記第２結晶粒との間に形成される結晶粒界は、前記第１導電層と前記第２導電層との両方に接することを特徴とする不揮発性記憶素子。

[請求項2] 前記第１結晶粒及び前記第２結晶粒の、前記第１導電層と前記抵抗変化層との界面に対して平行な第１方向に沿った長さは、前記第１導電層と前記第２導電層とが互いに対向する面の前記第１方向に沿った長さよりも短いことを特徴とする請求項１記載の不揮発性記憶素子。

[請求項3] 前記第１結晶粒及び前記第２結晶粒の少なくともいずれかの、前記第１導電層と前記抵抗変化層との界面に対して平行な第１方向に沿った長さは、前記第１結晶粒及び前記第２結晶粒の前記少なくともいずれかの前記界面に対して垂直な第２方向に沿った長さよりも短いことを特徴とする請求項１記載の不揮発性記憶素子。

[請求項4] 前記第１結晶粒及び前記第２結晶粒の少なくともいずれかの、前記第１導電層と前記抵抗変化層との界面に対して平行な第１方向に沿った長さは、１５ナノメートル以下であることを特徴とする請求項１記載の不揮発性記憶素子。

[請求項5] 前記第１結晶粒及び前記第２結晶粒は、フルオライト構造を有することを特徴とすることを特徴とする請求項１記載の不揮発性記憶素子。

[請求項6] 前記金属酸化物は、第１金属元素と、前記第１金属元素よりも価数が小さい第２金属元素と、を含み、前記フルオライト構造における前記第１金属元素の位置の一部が、前記第２金属元素によって置換されていることを特徴とする請求項５記載の不揮発性記憶素子。

[請求項7] 前記第１金属元素は、Ｃｅ及びＺｒの少なくともいずれかを含むことを特徴とする請求項６記載の不揮発性記憶素子。

[請求項8] 前記第１金属元素はＣｅであり、前記第２金属元素は、Ｃｅを除くランタノイド族元素の少なくともいずれか、及び、Ｙ、の少なくともいずれかであることを特徴とする請求項６記載の不揮発性記憶素子。

[請求項9] 前記第１金属元素と前記第２金属元素との合計に対する前記第２金属元素の割合は、３原子パーセント以上、４０原子パーセント以下であることを特徴とする請求項６記載の不揮発性記憶素子。

[請求項10] 要素メモリ層を備え、

前記要素メモリ層のそれぞれは、複数の不揮発性記憶素子を有し、

前記不揮発性記憶素子のそれぞれは、

第１導電層と、

前記第１導電層に対向して設けられた第２導電層と、

前記第１導電層と前記第２導電層との間に設けられ、金属酸化物を含む抵抗変化層と、

を有し、

前記抵抗変化層は、

前記第１導電層と前記第２導電層との両方に接する第１結晶粒と、

前記第１結晶粒に隣接し、前記第１導電層と前記第２導電層との両方に接する第２結晶粒と、

を有し、

前記第１結晶粒と前記第２結晶粒との間に形成される結晶粒界は、前記第１導電層と前記第２導電層との両方に接することを特徴とする不揮発性記憶装置。

[請求項11] 前記複数の不揮発性記憶素子の前記抵抗変化層に含まれる結晶粒の、前記第１導電層と前記抵抗変化層との界面に対して平行な第１方向に沿った長さの最大値は、前記第１導電層と前記第２導電層とが互いに対向する面の前記第１方向に沿った長さよりも短いことを特徴とする請求項１０記載の不揮発性記憶装置。

[請求項12] 前記複数の不揮発性記憶素子は、前記第１方向に沿って等間隔で配置され、

前記複数の不揮発性記憶素子における前記面の第１方向に沿った長さは互いに同じであることを特徴とする請求項１１記載の不揮発性記憶装置。

[請求項13] 前記複数の不揮発性記憶素子の前記抵抗変化層に含まれる結晶粒の、前記第１導電層と前記抵抗変化層との界面に対して平行な第１方向に沿った長さの平均値は、前記第１導電層と前記第２導電層とが互いに対向する面の前記第１方向に沿った長さよりも短いことを特徴とする請求項１０記載の不揮発性記憶装置。

[請求項14] 前記複数の不揮発性記憶素子は、前記第１方向に沿って等間隔で配置され、

前記複数の不揮発性記憶素子における前記面の第１方向に沿った長さは互いに同じであることを特徴とする請求項１３記載の不揮発性記憶装置。

[請求項15] 前記第１結晶粒及び前記第２結晶粒の少なくともいずれかの、前記第１導電層と前記抵抗変化層との界面に対して平行な第１方向に沿った長さは、前記第１結晶粒及び前記第２結晶粒の前記少なくともいずれかの前記界面に対して垂直な第２方向に沿った長さよりも短いこと

を特徴とする請求項１０記載の不揮発性記憶装置。

[請求項16] 前記第１結晶粒及び前記第２結晶粒は、フルオライト構造を有し、

前記金属酸化物は、第１金属元素と、前記第１金属元素よりも価数が小さい第２金属元素と、を含み、前記フルオライト構造における前記第１金属元素の位置の一部が、前記第２金属元素によって置換されていることを特徴とする請求項１０記載の不揮発性記憶装置。

[請求項17] 前記第１金属元素はＣｅであり、前記第２金属元素は、Ｃｅを除くランタノイド族元素の少なくともいずれか、及び、Ｙ、の少なくともいずれかであることを特徴とする請求項１６記載の不揮発性記憶装置。

[請求項18] 前記不揮発性記憶素子を挟むようにして設けられたワード配線及びビット配線と、

前記ワード配線及び前記ビット配線を介して、前記不揮発性記憶素子の前記抵抗変化層への電圧の印加、及び、前記抵抗変化層への電流の通電、の少なくともいずれかを行う駆動部と、

をさらに備えたことを特徴とする請求項１６記載の不揮発性記憶装置。

[請求項19] 前記不揮発性記憶素子を挟むゲート電極とゲート絶縁膜とを含むＭＩＳトランジスタと、

前記ゲート電極を介して、前記不揮発性記憶素子の前記抵抗変化層への電圧の印加、及び、前記抵抗変化層への電流の通電、の少なくともいずれかを行う駆動部と、

をさらに備えたことを特徴とする請求項１６記載の不揮発性記憶装置。

[請求項20] 第１導電型半導体基板内に設けられた第１及び第２の第２導電型半導体領域と、

前記第１及び第２の第２導電型半導体領域の間の第１導電型半導体領域と、

前記第１及び第２の第２導電型領域間における導通／非導通を制御するゲート電極と、

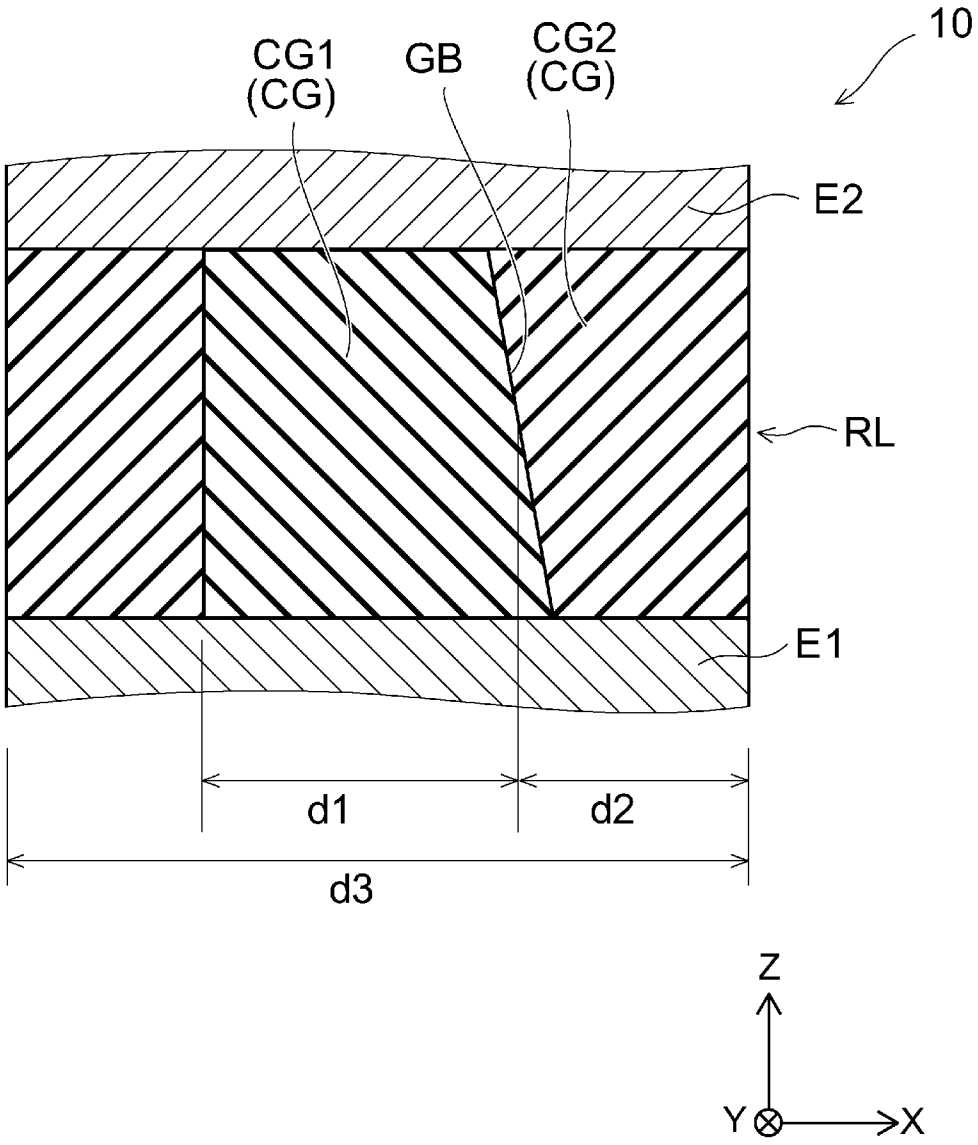
駆動部と、

をさらに備え、

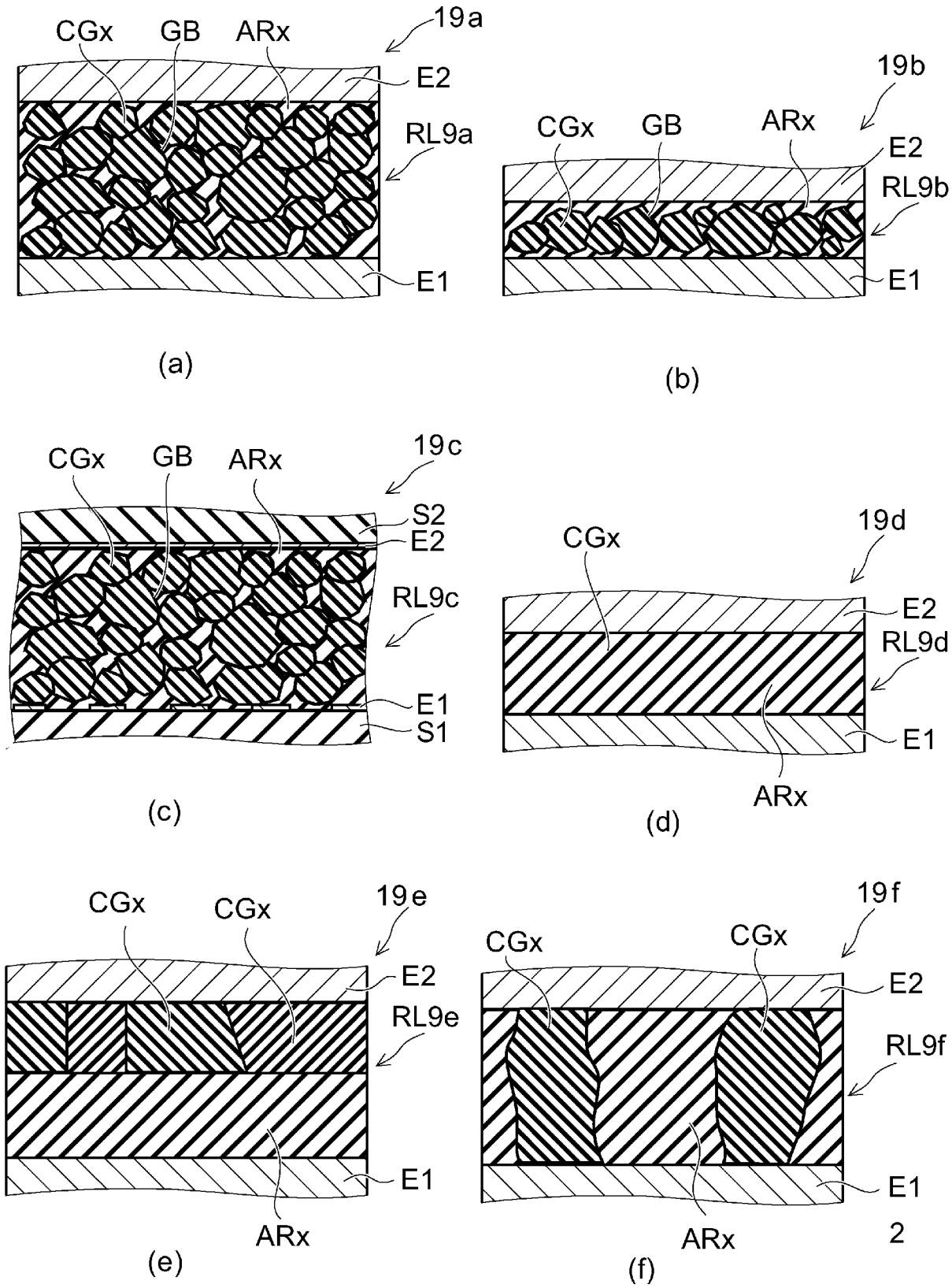
前記不揮発性記憶素子は、前記ゲート電極と前記第１導電型半導体領域との間に配置され、

前記駆動部は、前記ゲート電極を介して、前記不揮発性記憶素子の前記抵抗変化層への電圧の印加、及び、前記抵抗変化層への電流の通電、の少なくともいずれかを行うことを特徴とする請求項１６記載の不揮発性記憶装置。

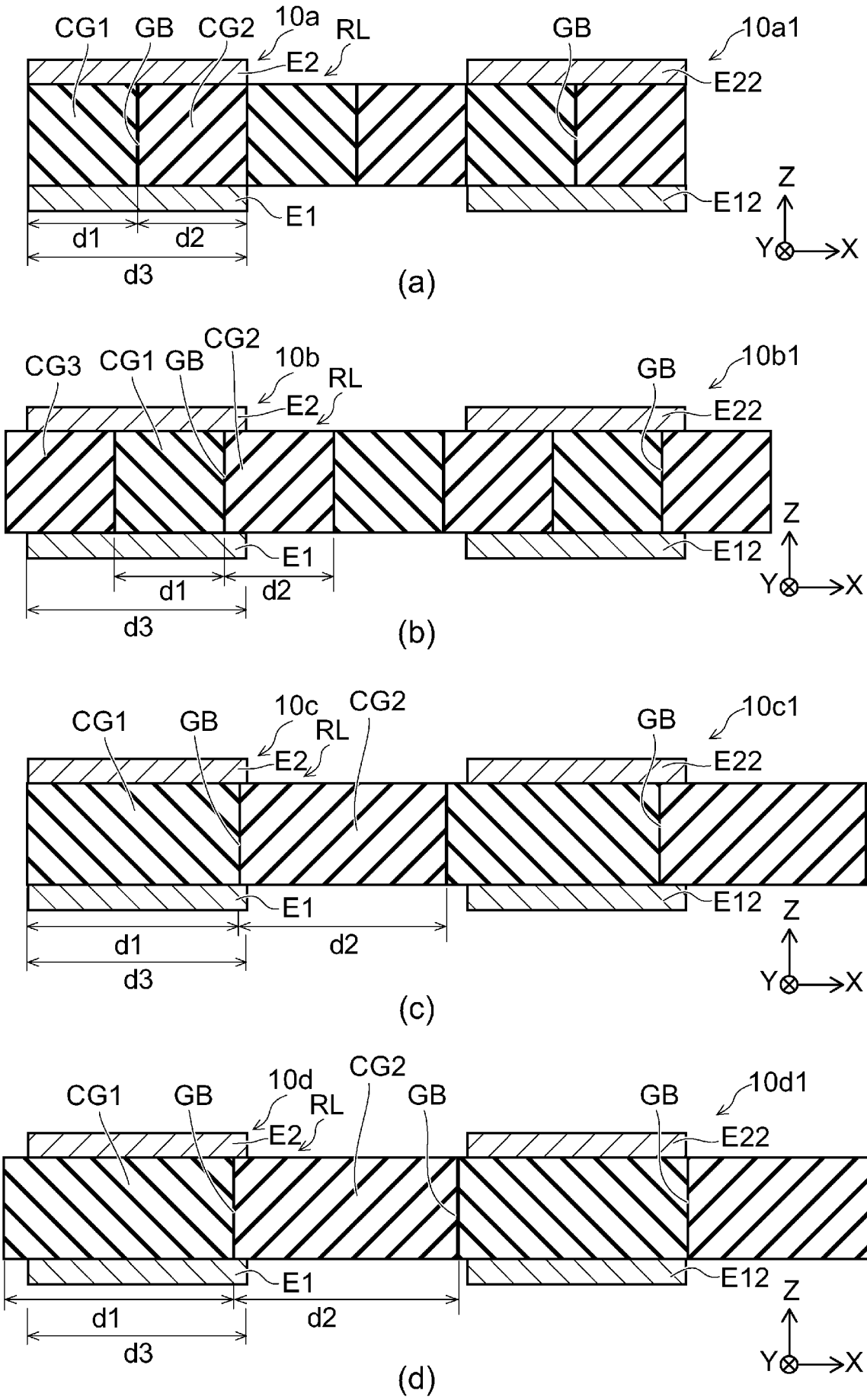
[図1]



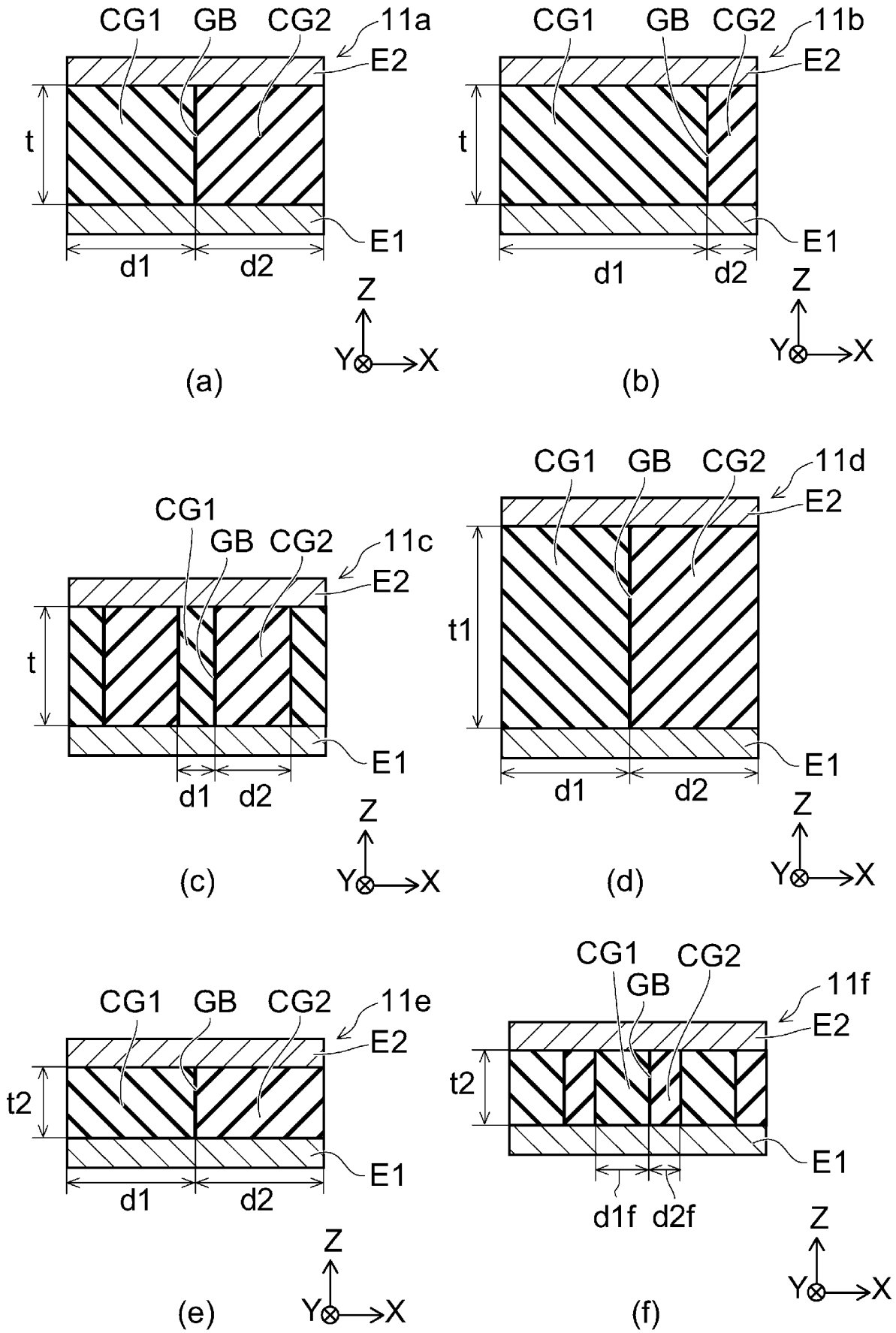
[図2]


CGx
GB
ARx
19a
E2
RL9a
E1
(a)
19b
CGx
GB
ARx
E2
RL9b
E1
(b)
CGx
GB
ARx
19c
S2
E2
RL9c
E1
S1
(c)
CGx
19d
E2
RL9d
E1
ARx
(d)
CGx
CGx
19e
E2
RL9e
E1
ARx
(e)
CGx
CGx
19f
E2
RL9f
E1
ARx
(f)
2

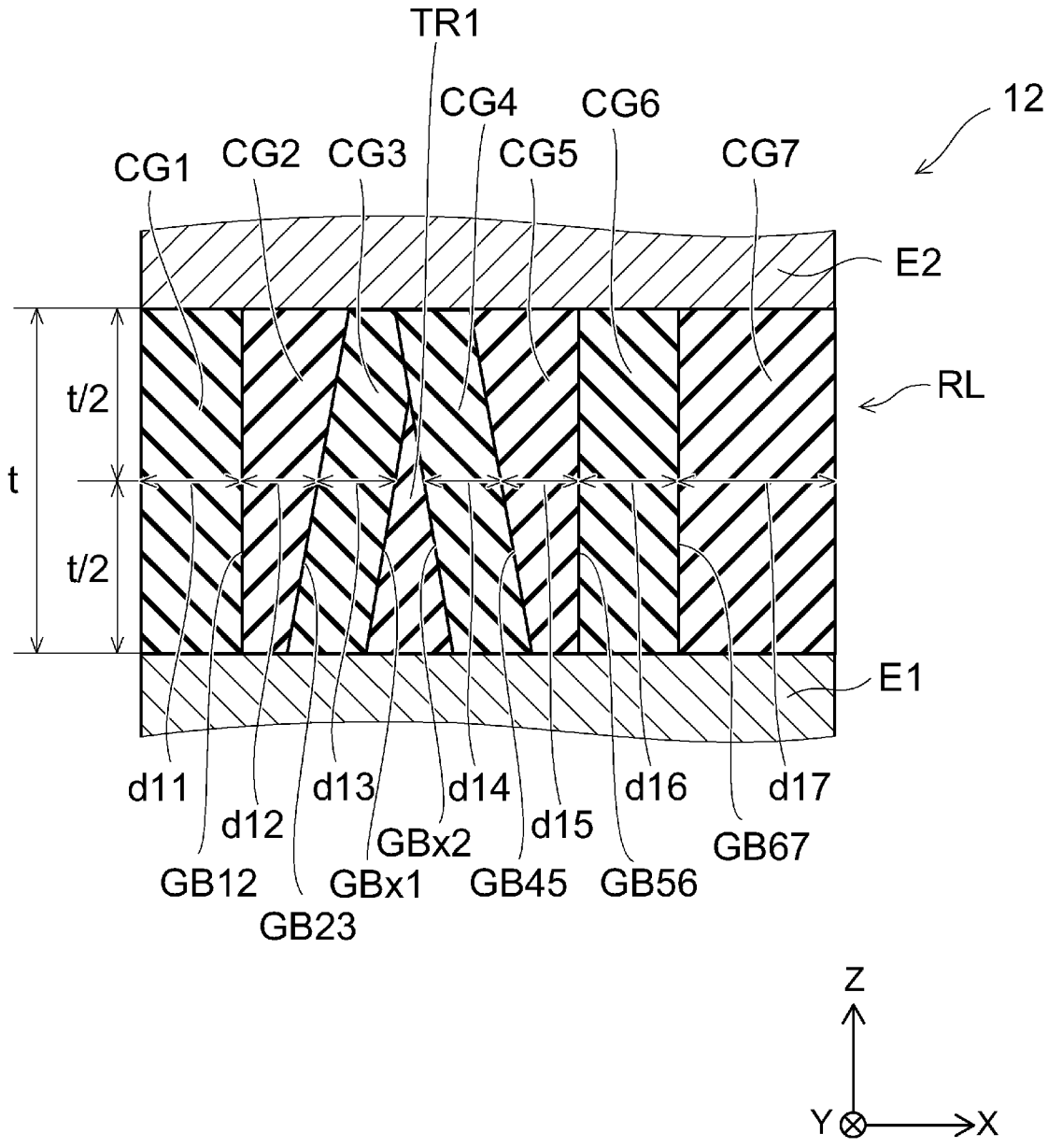
[図3]


CG1
GB
CG2
10a
RL
E2
GB
10a1
E22
E12
E1
d1
d2
d3
Z
Y
X
(a)
CG3
CG1
GB
CG2
10b
RL
E2
GB
10b1
E22
E12
E1
d1
d2
d3
Z
Y
X
(b)
CG1
GB
10c
CG2
RL
E2
GB
10c1
E22
E12
E1
d1
d2
d3
Z
Y
X
(c)
CG1
GB
10d
CG2
RL
E2
GB
GB
10d1
E22
E12
E1
d1
d2
d3
Z
Y
X
(d)

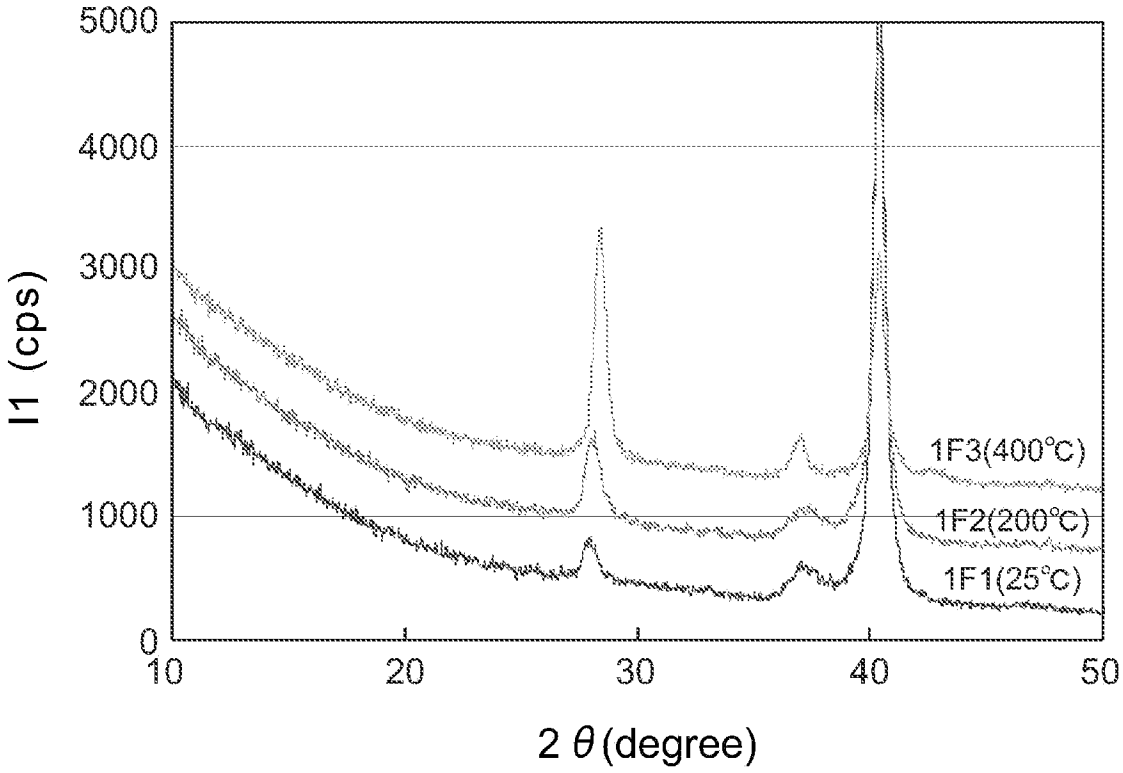
[図4]


CG1
GB
CG2
11a
E2
t
E1
d1
d2
Z
Y
X
(a)
CG1
GB
CG2
11b
E2
t
E1
d1
d2
Z
Y
X
(b)
CG1
GB
CG2
11c
E2
t
E1
d1
d2
Z
Y
X
(c)
CG1
GB
CG2
11d
E2
t1
E1
d1
d2
Z
Y
X
(d)
CG1
GB
CG2
11e
E2
t2
E1
d1
d2
Z
Y
X
(e)
CG1
CG2
GB
11f
E2
t2
E1
d1f
d2f
Z
Y
X
(f)

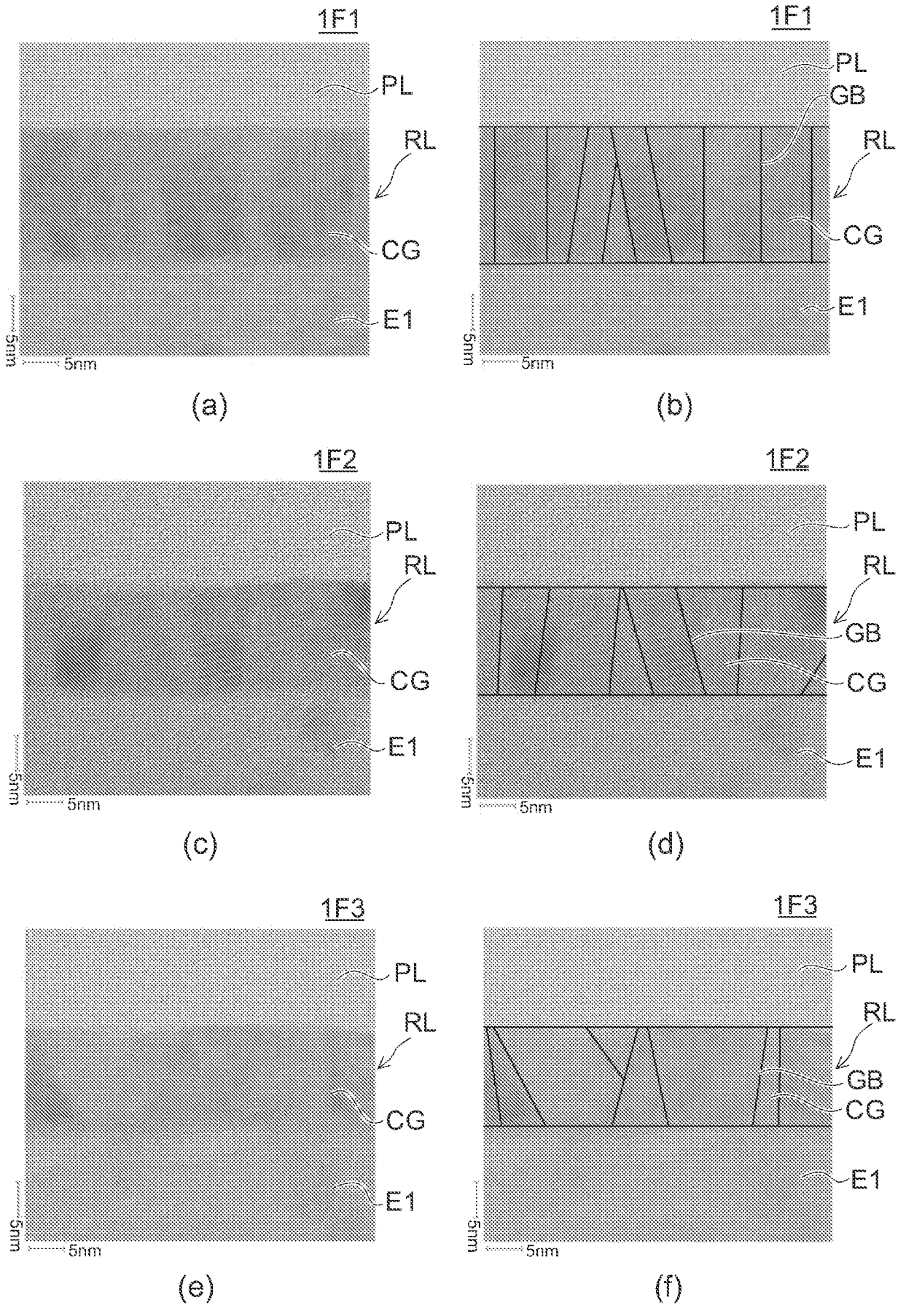
[図5]


TR1
CG4
CG6
12
CG1
CG2
CG3
CG5
CG7
E2
t/2
RL
t
t/2
E1
d11
d12
d13
d14
d15
d16
d17
GB12
GB23
GBx1
GBx2
GB45
GB56
GB67
Z
Y
X

[図6]

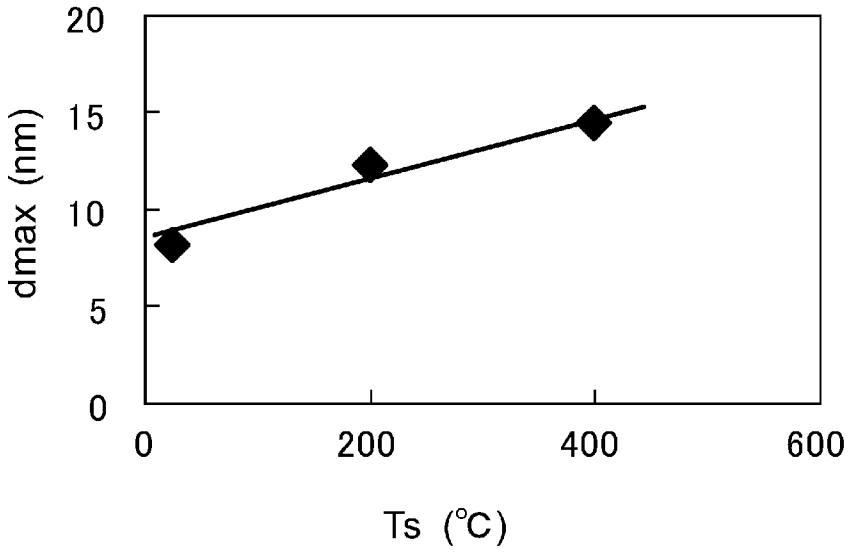

5000
4000
3000
2000
1000
0
I1 (cps)
10
20
30
40
50
2θ(degree)
1F3(400℃)
1F2(200℃)
1F1(25℃)

[図7]

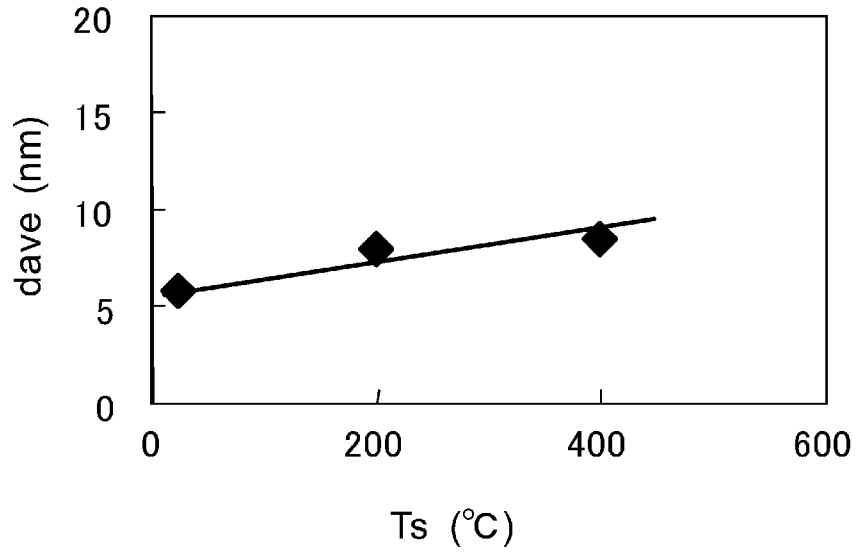

1F1
PL
RL
CG
E1
5nm
5nm
(a)
1F1
PL
GB
RL
CG
E1
5nm
5nm
(b)
1F2
PL
RL
CG
E1
5nm
5nm
(c)
1F2
PL
RL
GB
CG
E1
5nm
5nm
(d)
1F3
PL
RL
CG
E1
5nm
5nm
(e)
1F3
PL
RL
GB
CG
E1
5nm
5nm
(f)

[図8]

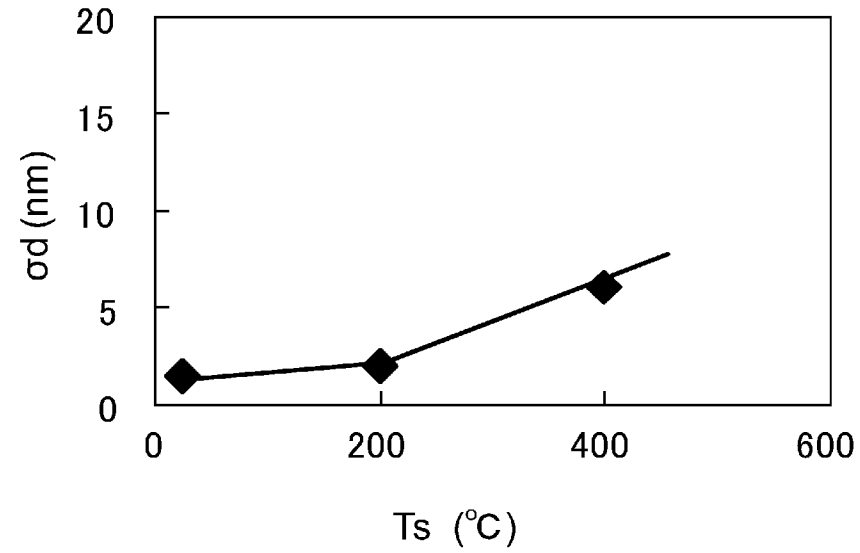
(a)


20
15
10
5
0
dmax (nm)
0
200
400
600
Ts (°C)

(b)

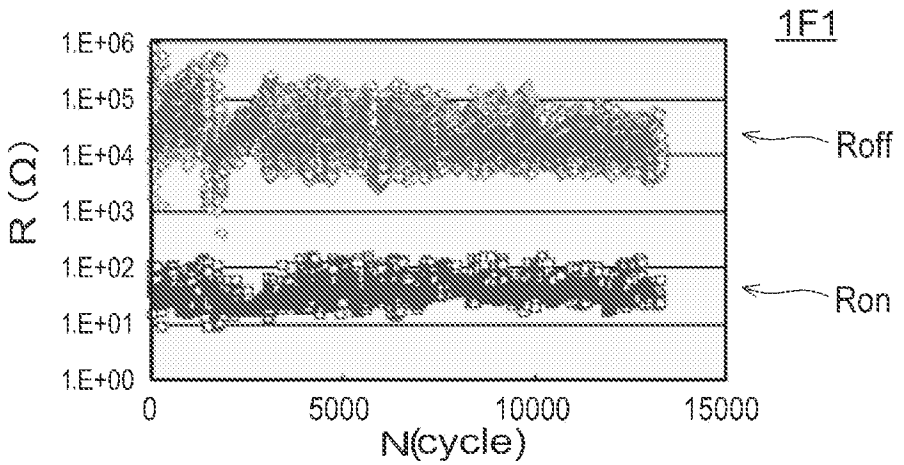

20
15
10
5
0
dave (nm)
0
200
400
600
Ts (°C)

(c)

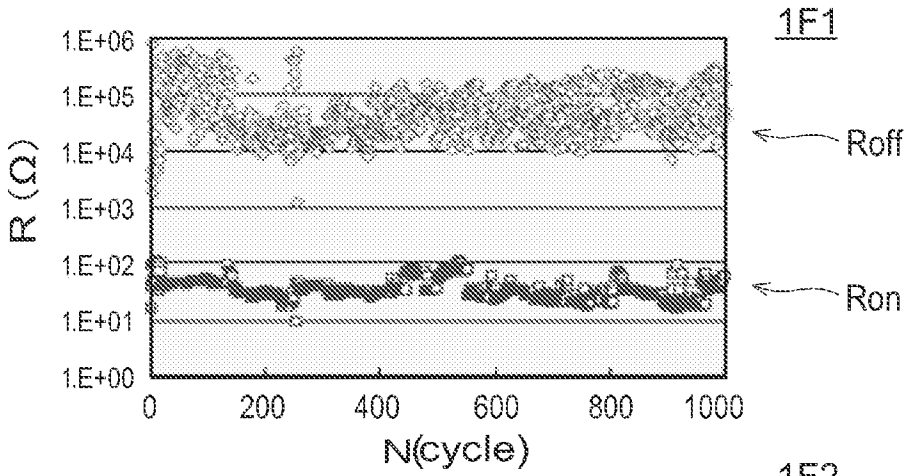

20
15
10
5
0
σd (nm)
0
200
400
600
Ts (°C)

[図9]

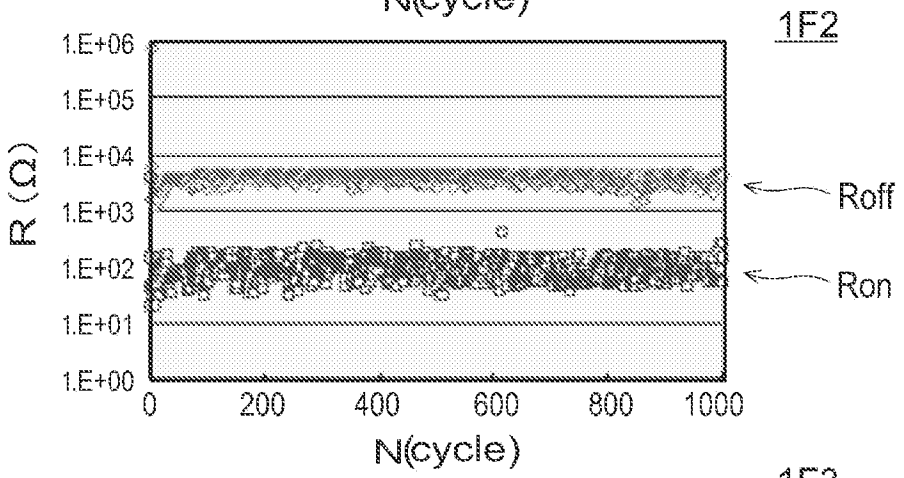
(a)


1F1
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
R (Ω)
Roff
Ron
0
5000
10000
15000
N(cycle)

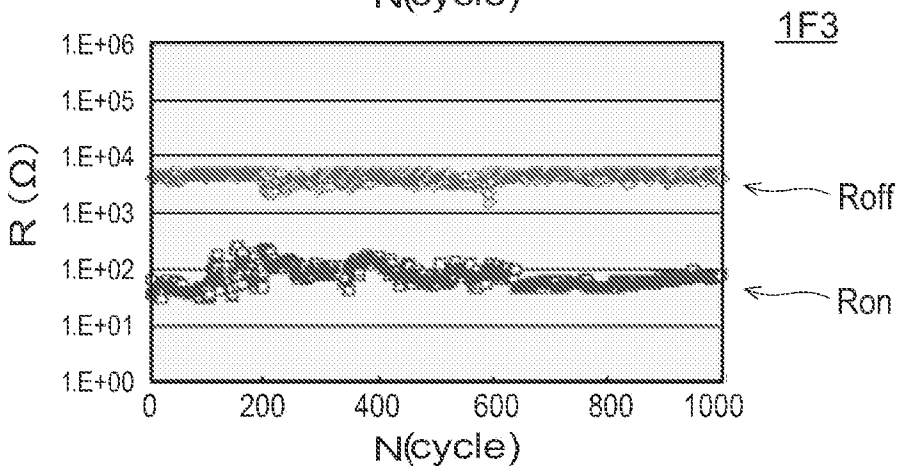
(b)


1F1
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
R (Ω)
Roff
Ron
0
200
400
600
800
1000
N(cycle)

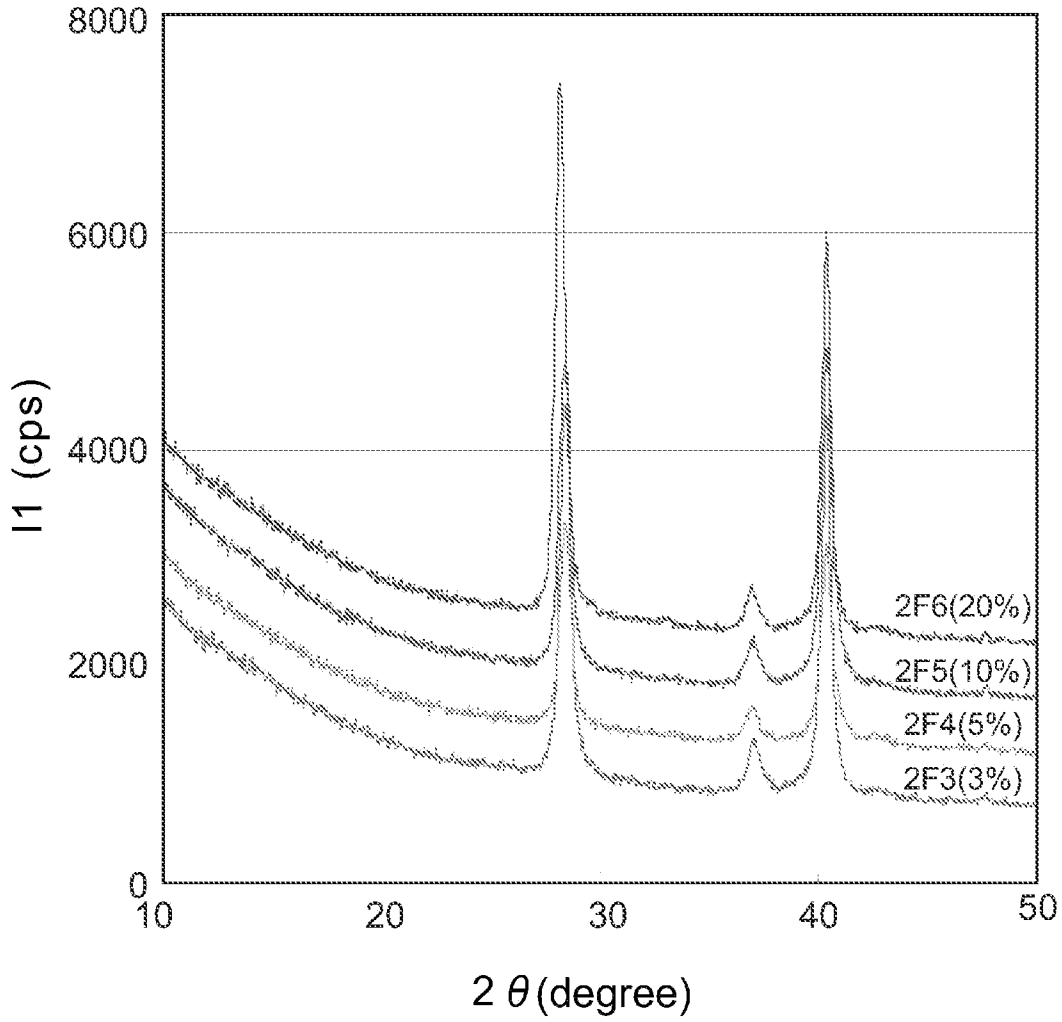
(c)


1F2
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
R (Ω)
Roff
Ron
0
200
400
600
800
1000
N(cycle)

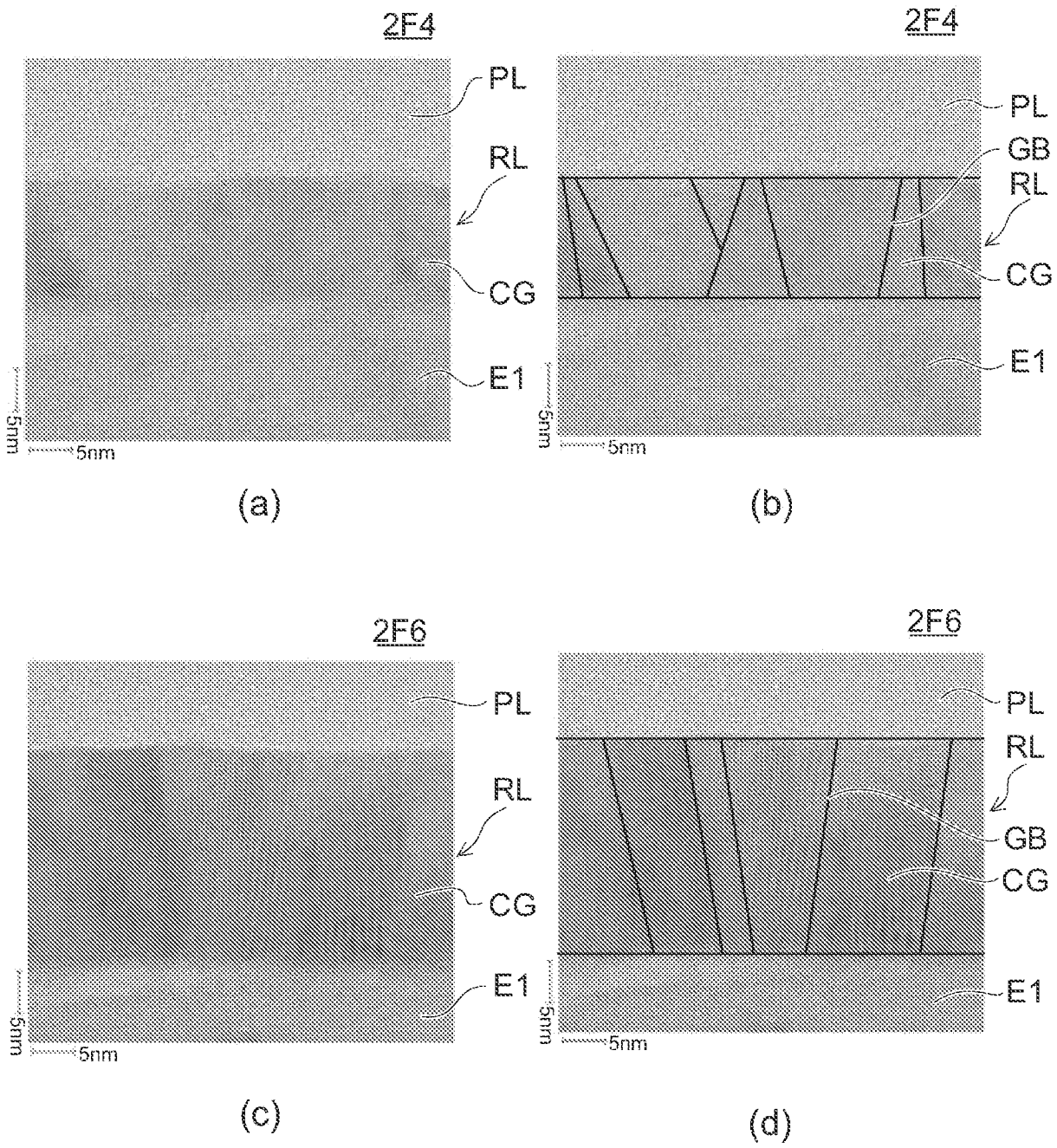
(d)


1F3
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
R (Ω)
Roff
Ron
0
200
400
600
800
1000
N(cycle)

[図10]

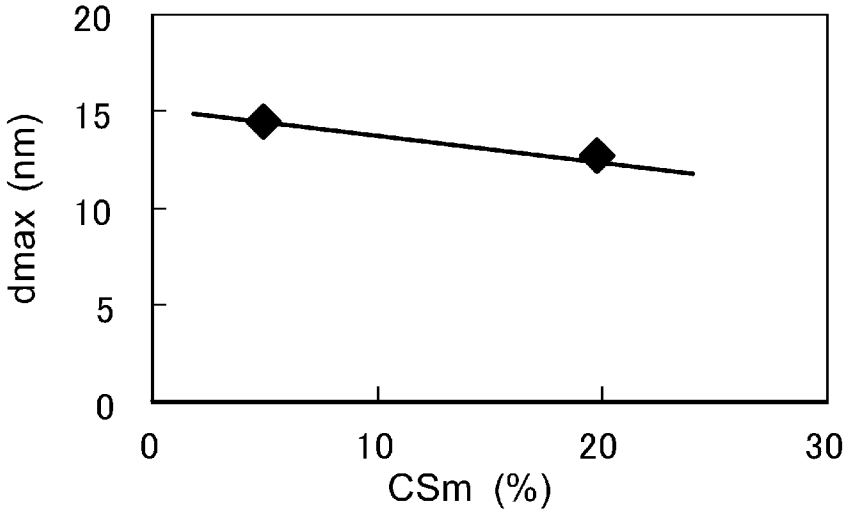

8000
6000
4000
2000
0
I1 (cps)
10
20
30
40
50
2θ(degree)
2F6(20%)
2F5(10%)
2F4(5%)
2F3(3%)

[図11]

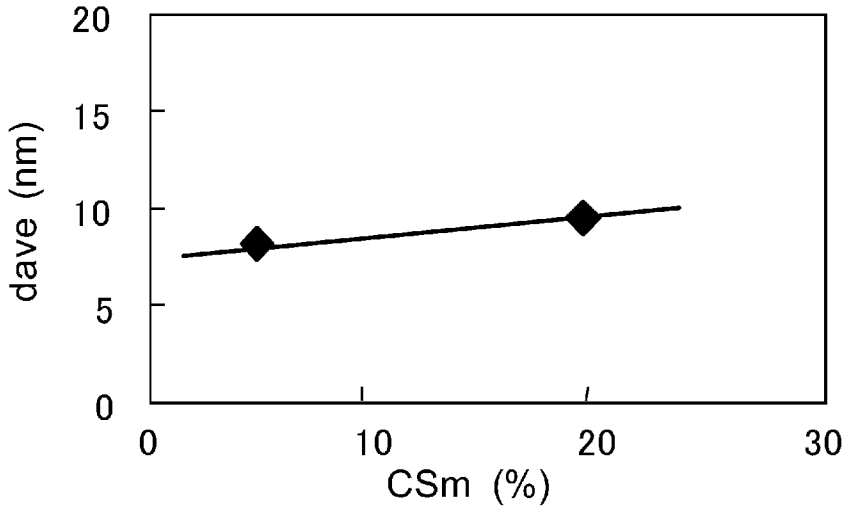

2F4
PL
RL
CG
E1
5nm
5nm
(a)
2F4
PL
GB
RL
CG
E1
5nm
5nm
(b)
2F6
PL
RL
CG
E1
5nm
5nm
(c)
2F6
PL
RL
GB
CG
E1
5nm
5nm
(d)

[図12]

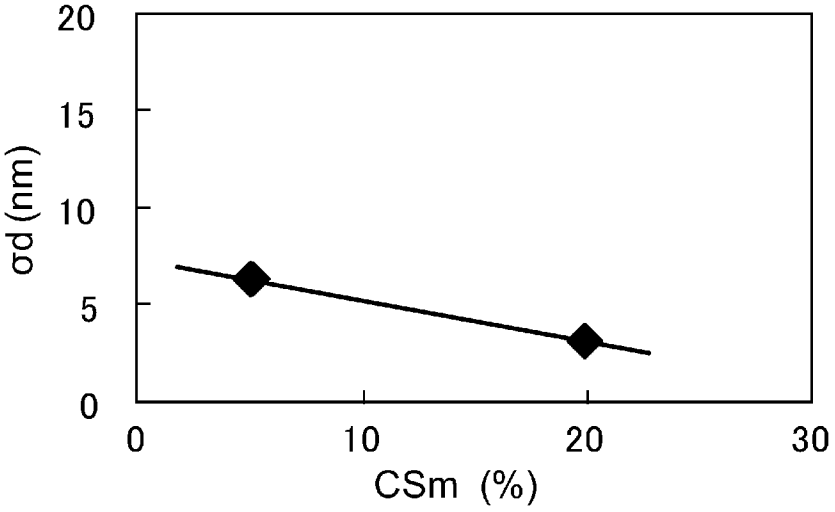
(a)


20
15
10
5
0
dmax (nm)
0
10
20
30
CSm (%)

(b)

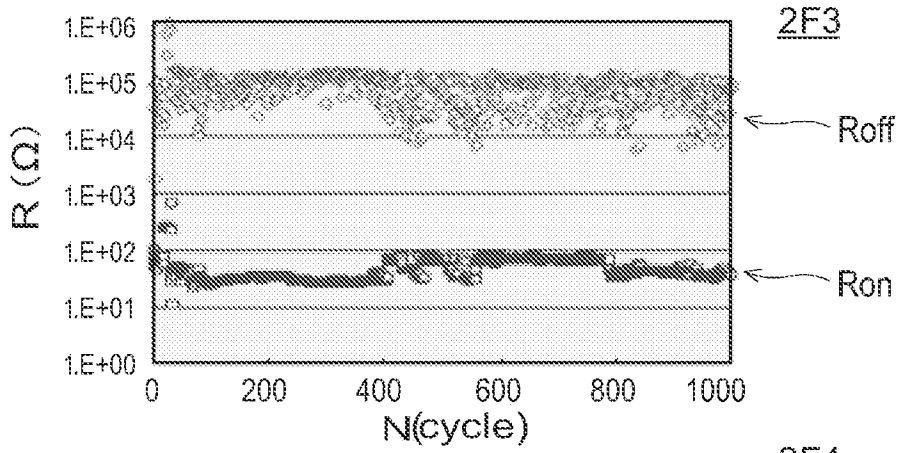

20
15
10
5
0
dave (nm)
0
10
20
30
CSm (%)

(c)

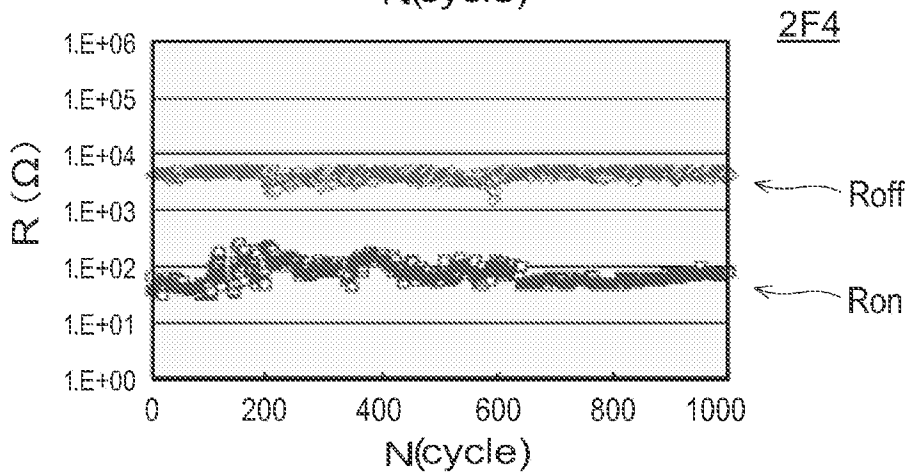

20
15
10
5
0
σd (nm)
0
10
20
30
CSm (%)

[図13]

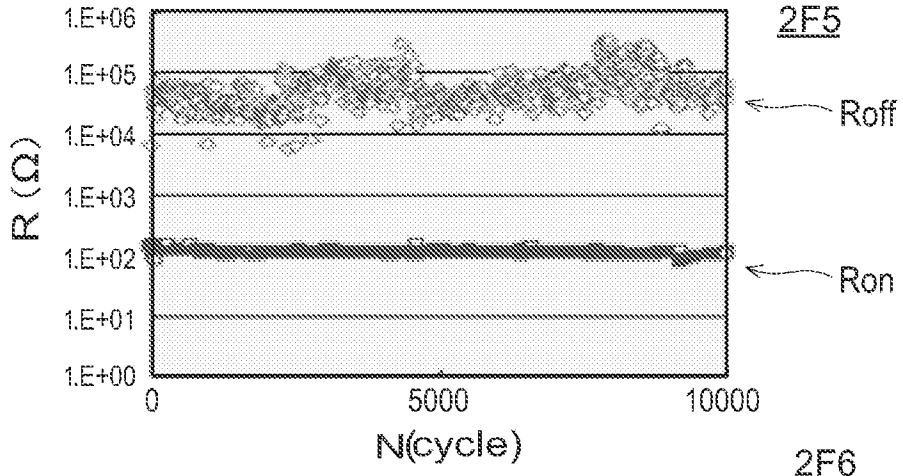
(a)


2F3
R (Ω)
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
0
200
400
600
800
1000
N(cycle)
Roff
Ron

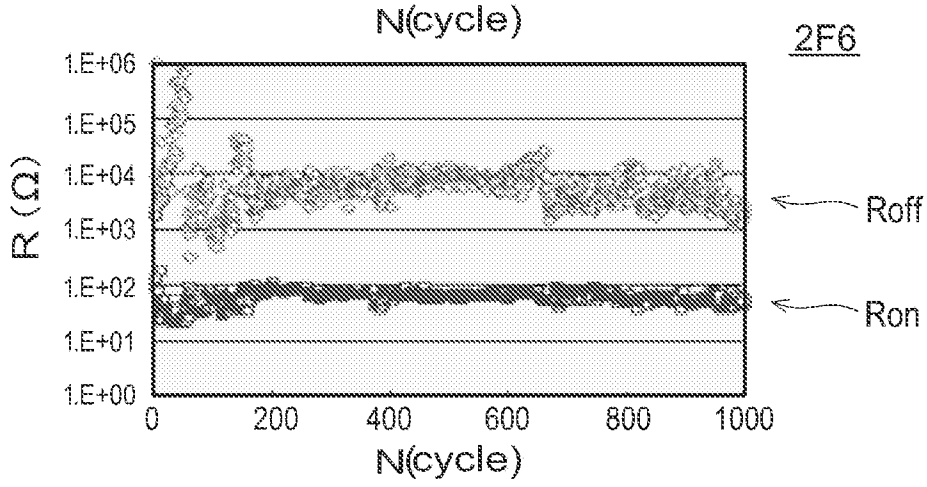
(b)


2F4
R (Ω)
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
0
200
400
600
800
1000
N(cycle)
Roff
Ron

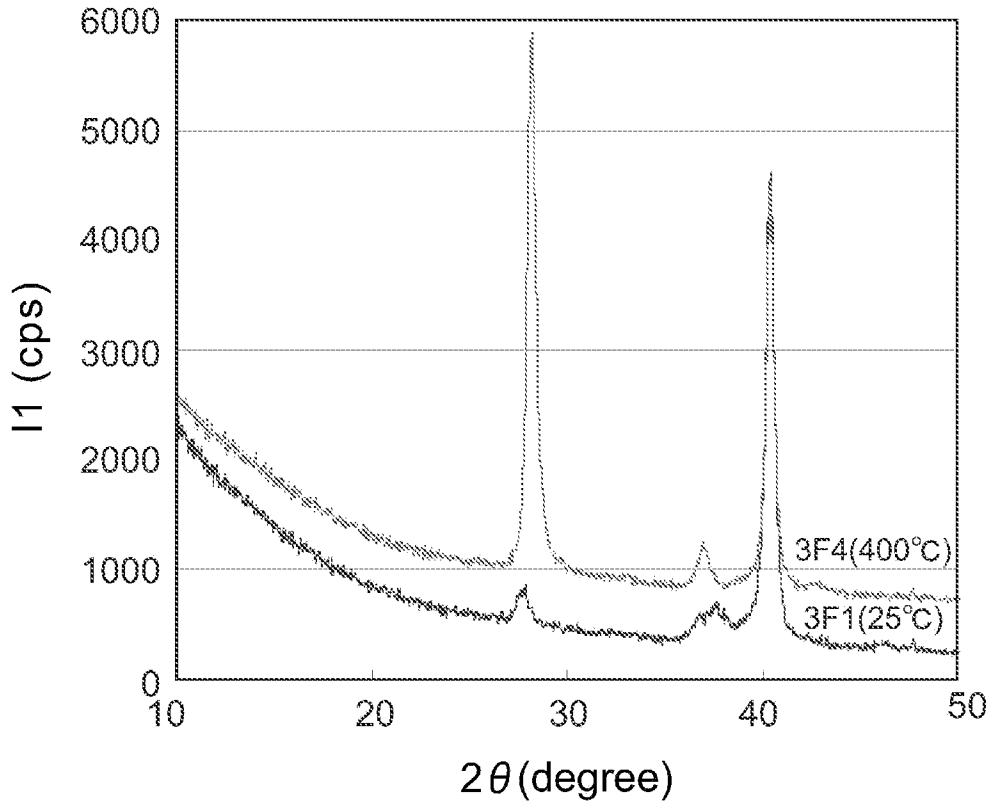
(c)


2F5
R (Ω)
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
0
5000
10000
N(cycle)
Roff
Ron

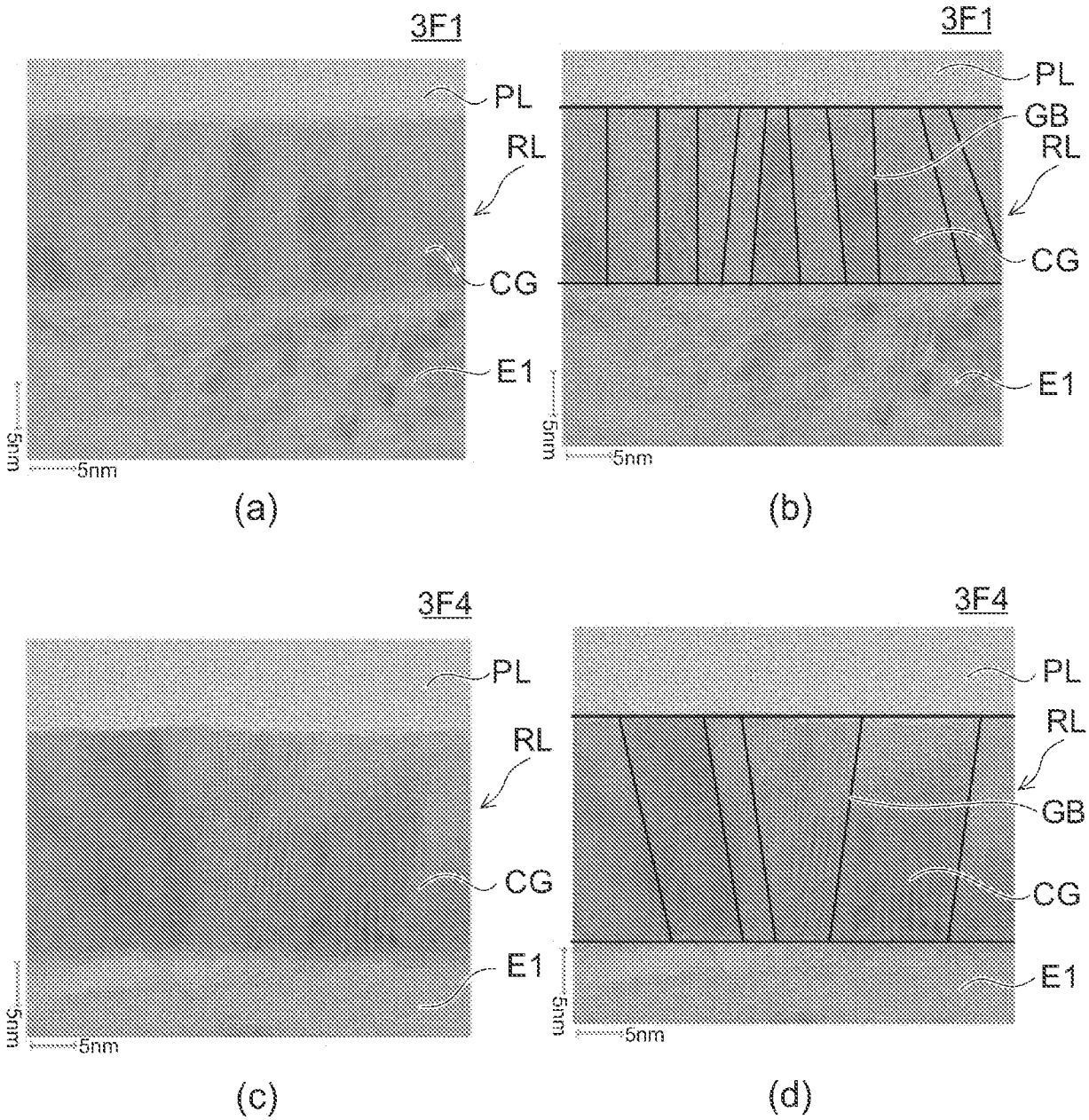
(d)


2F6
R (Ω)
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
0
200
400
600
800
1000
N(cycle)
Roff
Ron

[図14]

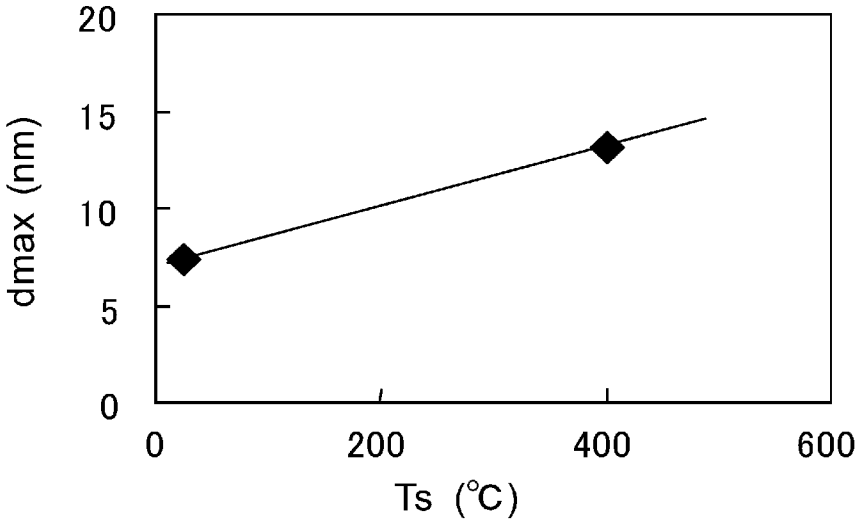

6000
5000
4000
3000
2000
1000
0
I1 (cps)
10
20
30
40
50
2θ(degree)
3F4(400℃)
3F1(25℃)

[図15]

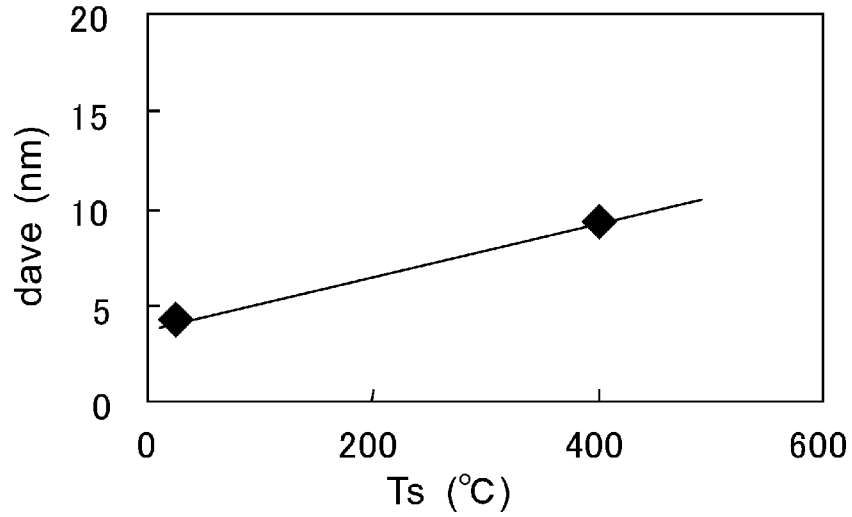

3F1
PL
RL
CG
E1
5nm
5nm
(a)
3F1
PL
GB
RL
CG
E1
5nm
5nm
(b)
3F4
PL
RL
CG
E1
5nm
5nm
(c)
3F4
PL
RL
GB
CG
E1
5nm
5nm
(d)

[図16]

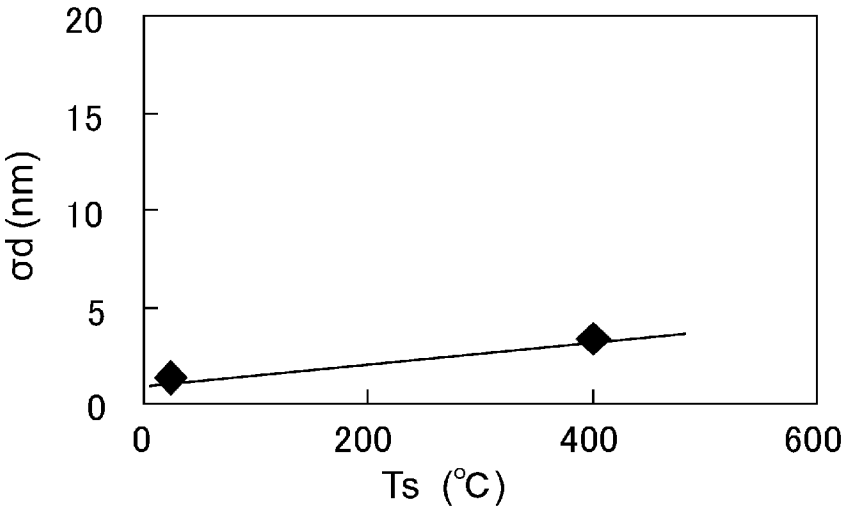
(a)


20
15
10
5
0
dmax (nm)
0
200
400
600
Ts (°C)

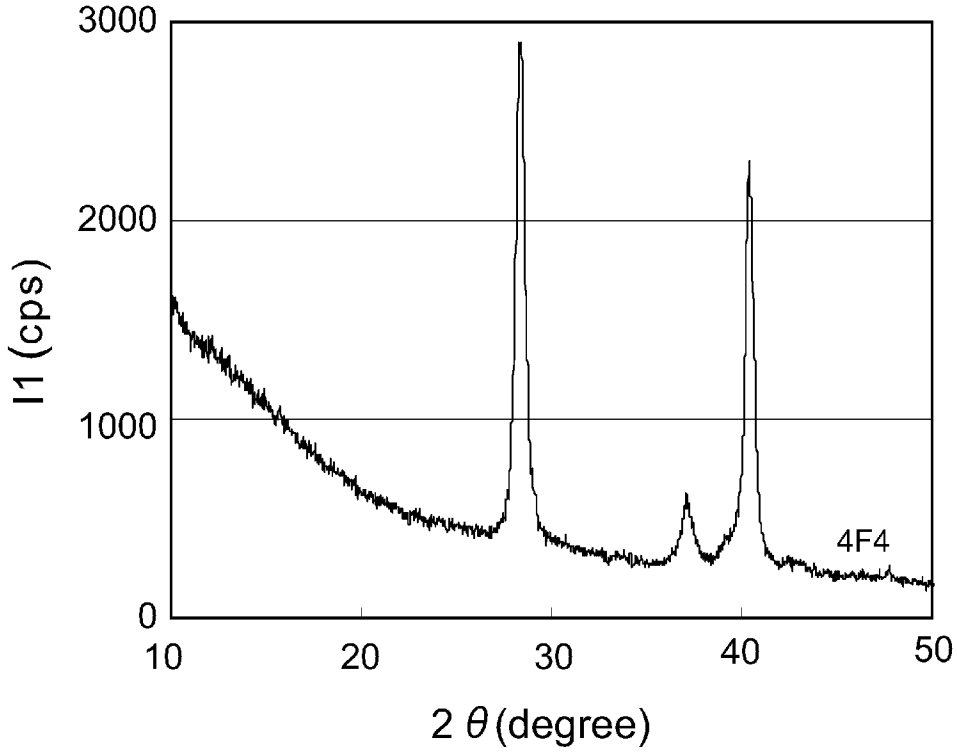
(b)


20
15
10
5
0
dave (nm)
0
200
400
600
Ts (°C)

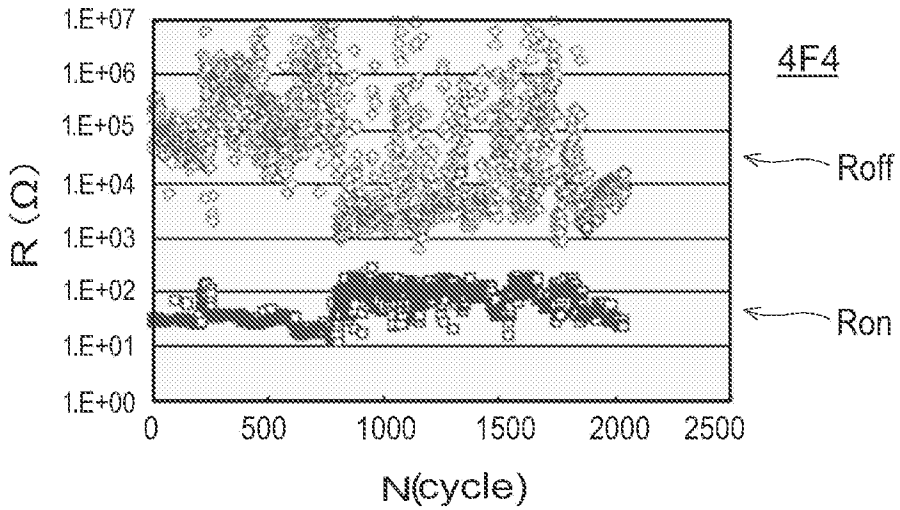
(c)


20
15
10
5
0
σd (nm)
0
200
400
600
Ts (°C)

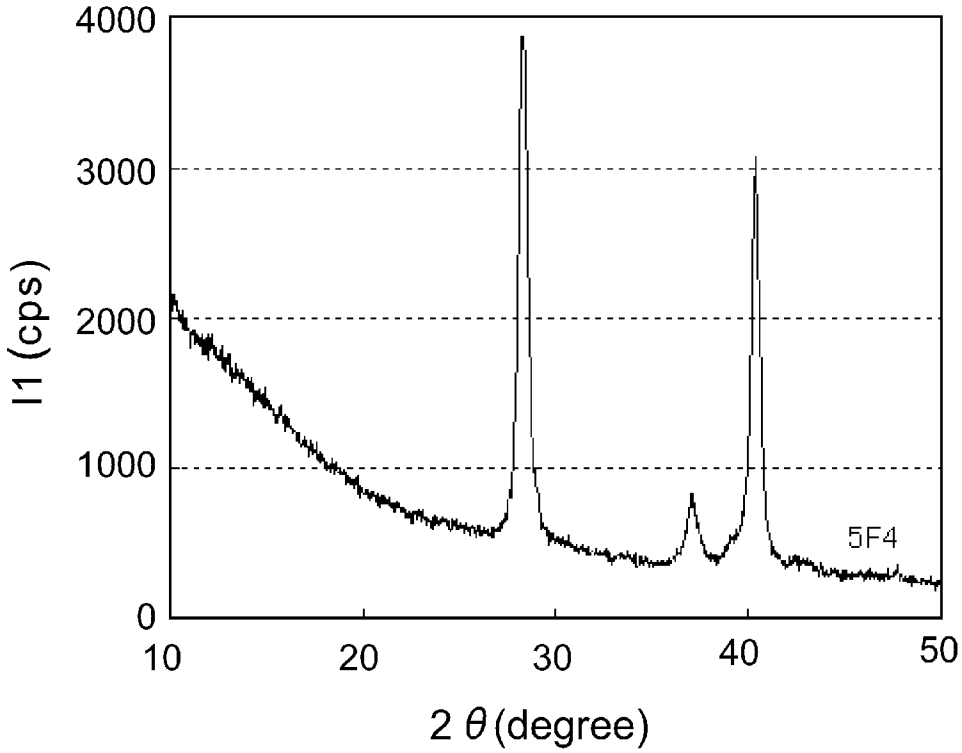
[図17]


3000
2000
1000
0
I1 (cps)
10
20
30
40
50
2 θ (degree)
4F4

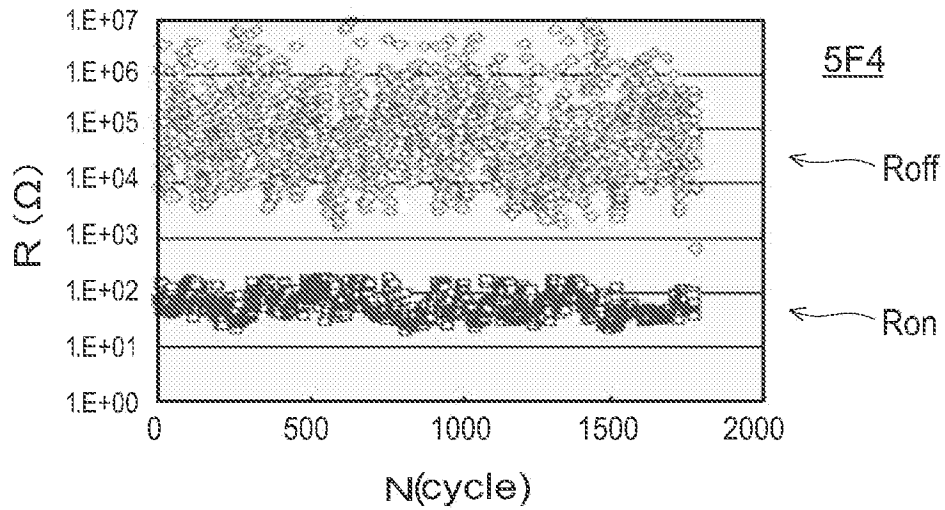
[図18]


1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
R (Ω)
0
500
1000
1500
2000
2500
N(cycle)
4F4
Roff
Ron

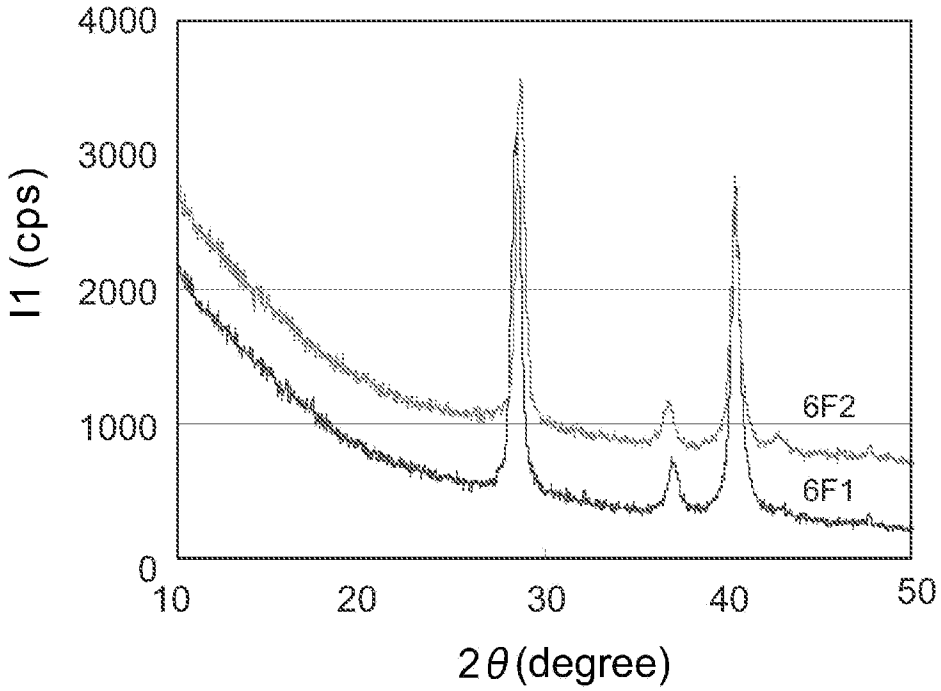
[図19]


4000
3000
2000
1000
0
I1 (cps)
10
20
30
40
50
2θ (degree)
5F4

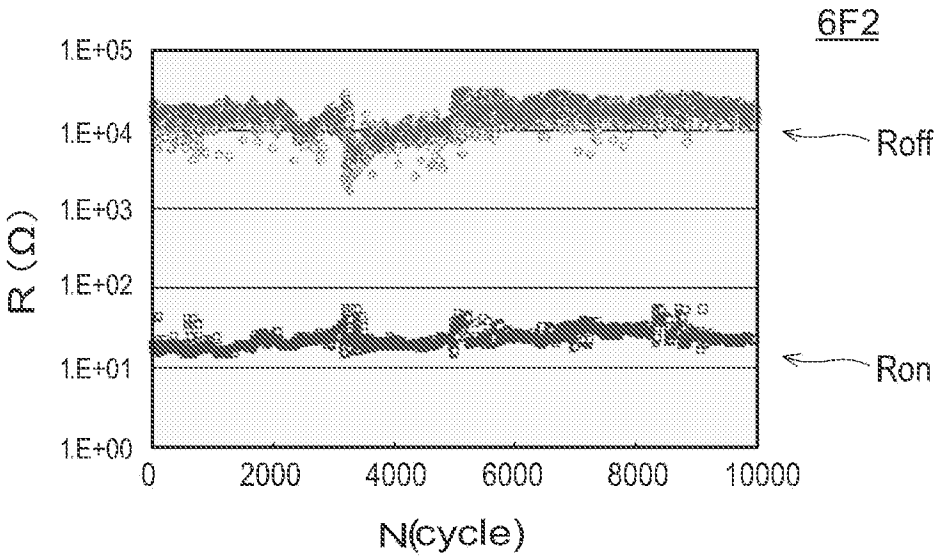
[図20]


1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
R (Ω)
0
500
1000
1500
2000
N(cycle)
5F4
Roff
Ron

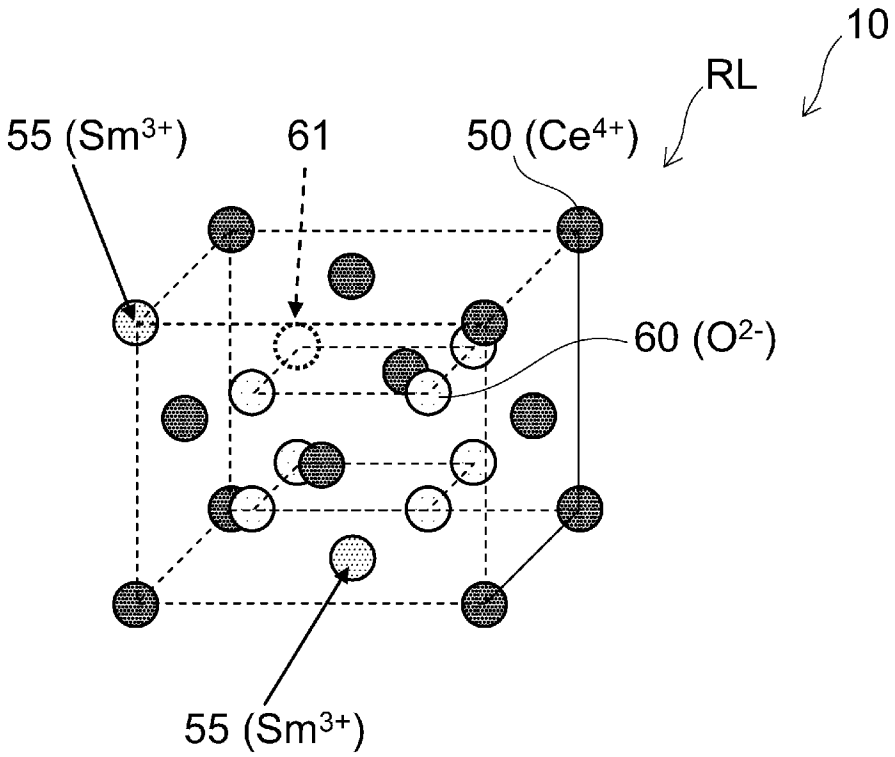
[図21]


4000
3000
2000
1000
0
I1 (cps)
10
20
30
40
50
2θ(degree)
6F2
6F1

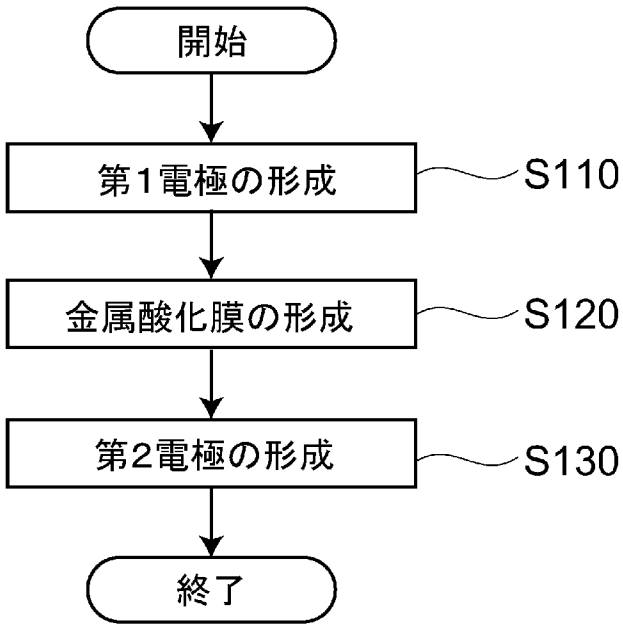
[図22]


6F2
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
R (Ω)
0
2000
4000
6000
8000
10000
N(cycle)
Roff
Ron

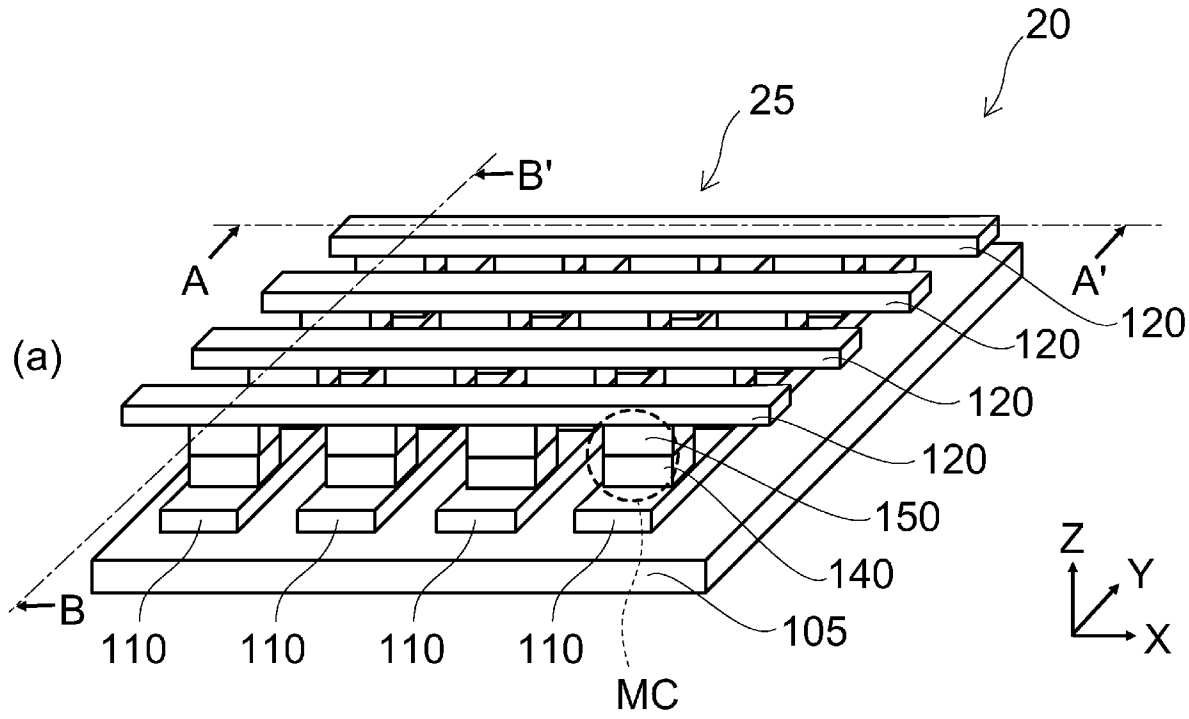
[図23]

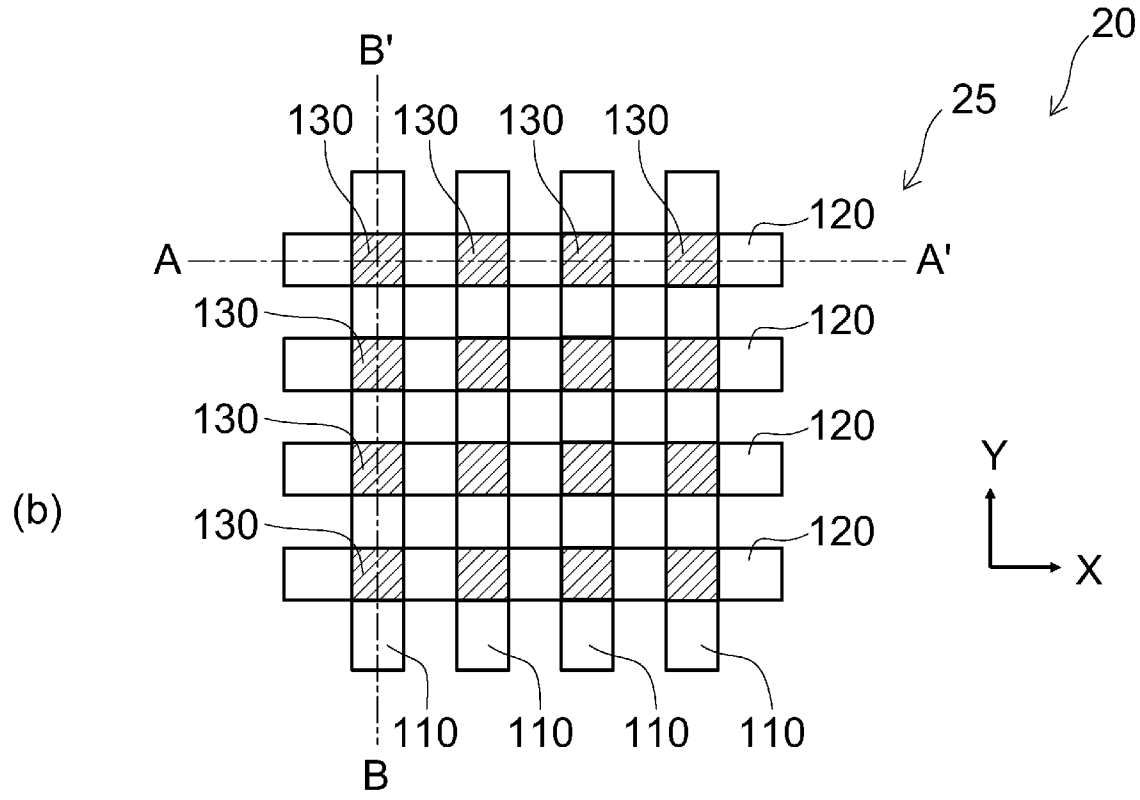

10
RL
55 (Sm3+)
61
50 (Ce4+)
60 (O2-)
55 (Sm3+)

[図24]

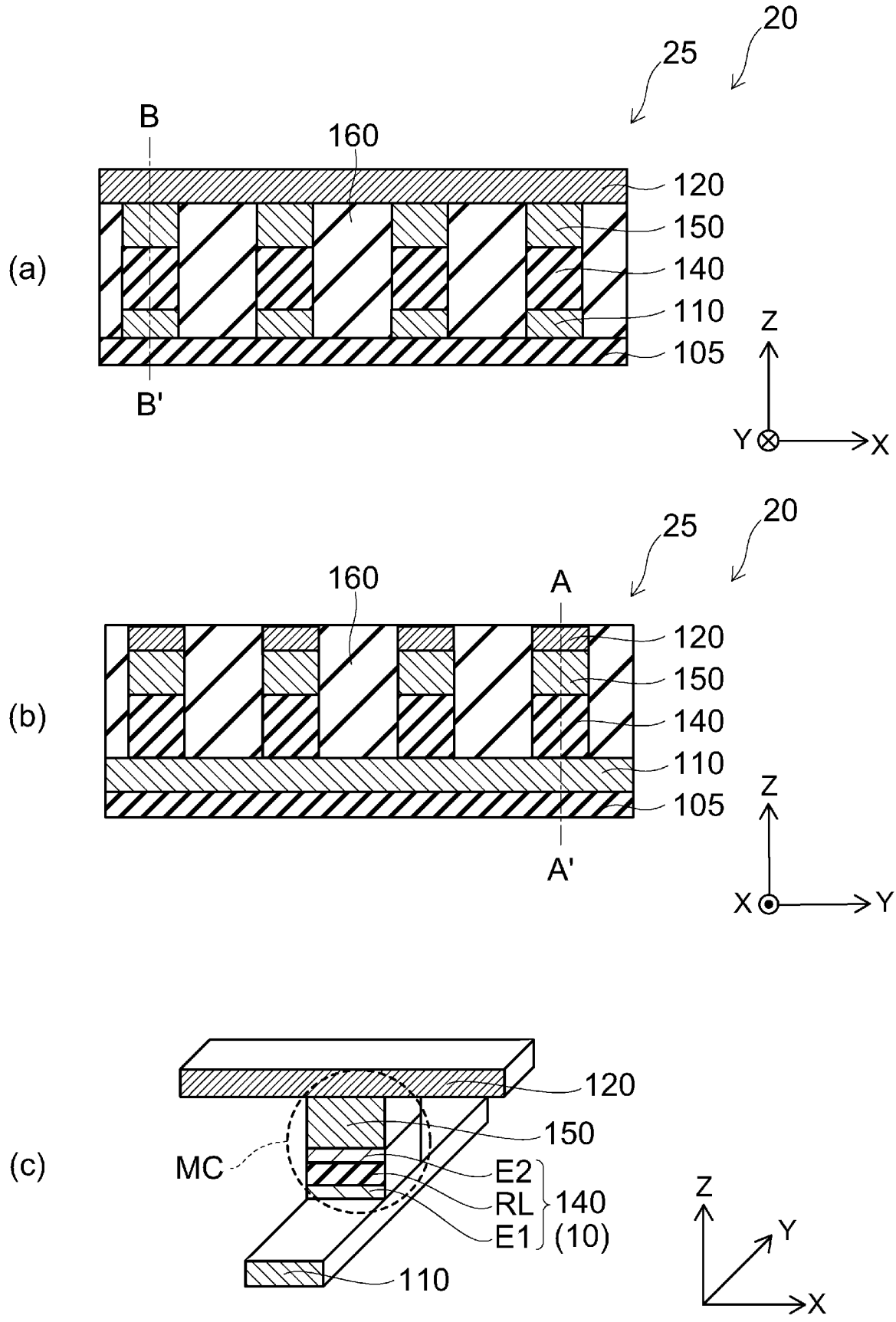

開始
第1電極の形成
S110
金属酸化膜の形成
S120
第2電極の形成
S130
終了

[図25]

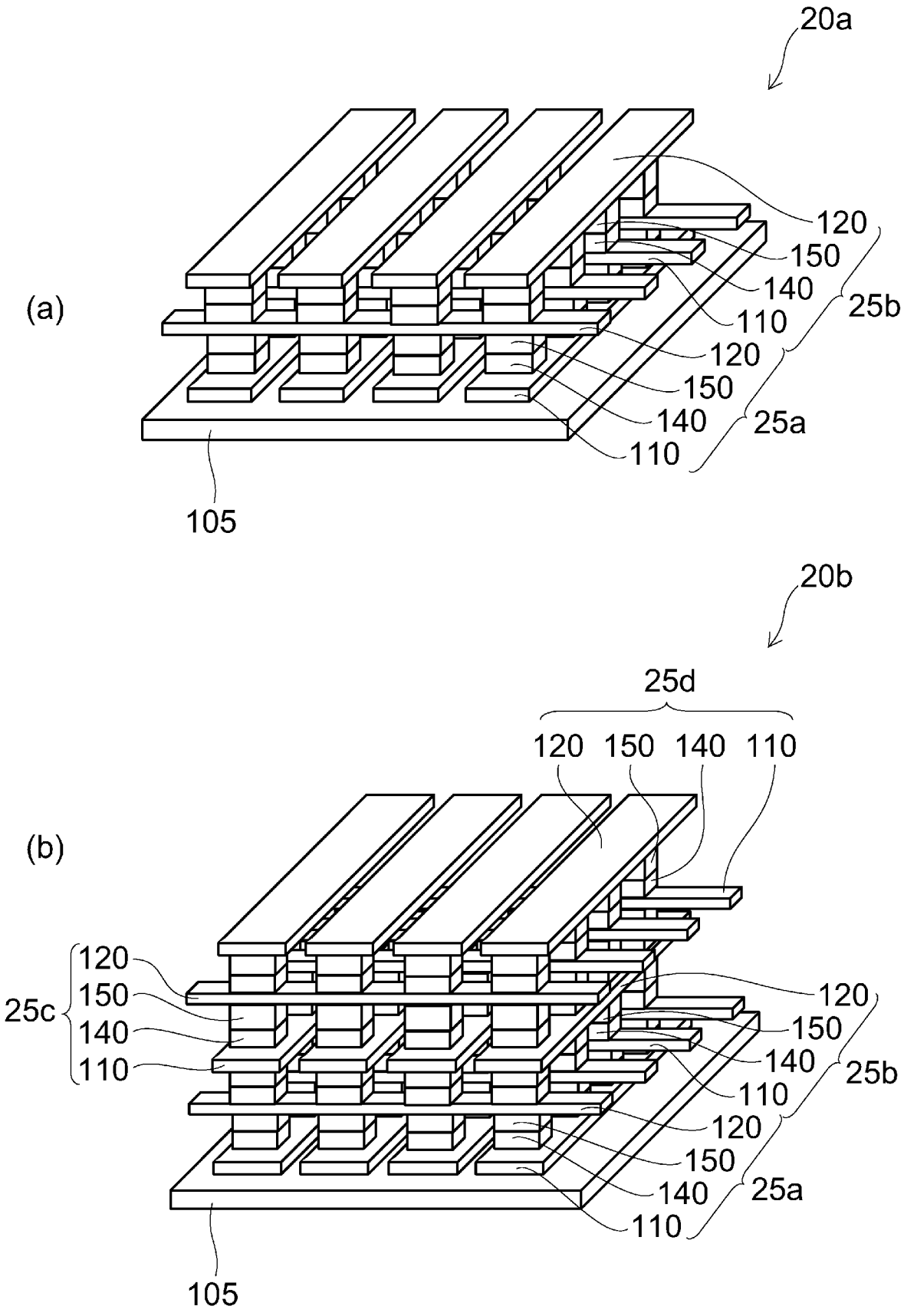

20
25
B'
A
A'
(a)
120
120
120
120
150
140
105
B
110
110
110
110
MC
Z
Y
X


20
B'
130
130
130
130
25
120
A
A'
130
120
130
120
130
120
(b)
110
110
110
110
B
Y
X

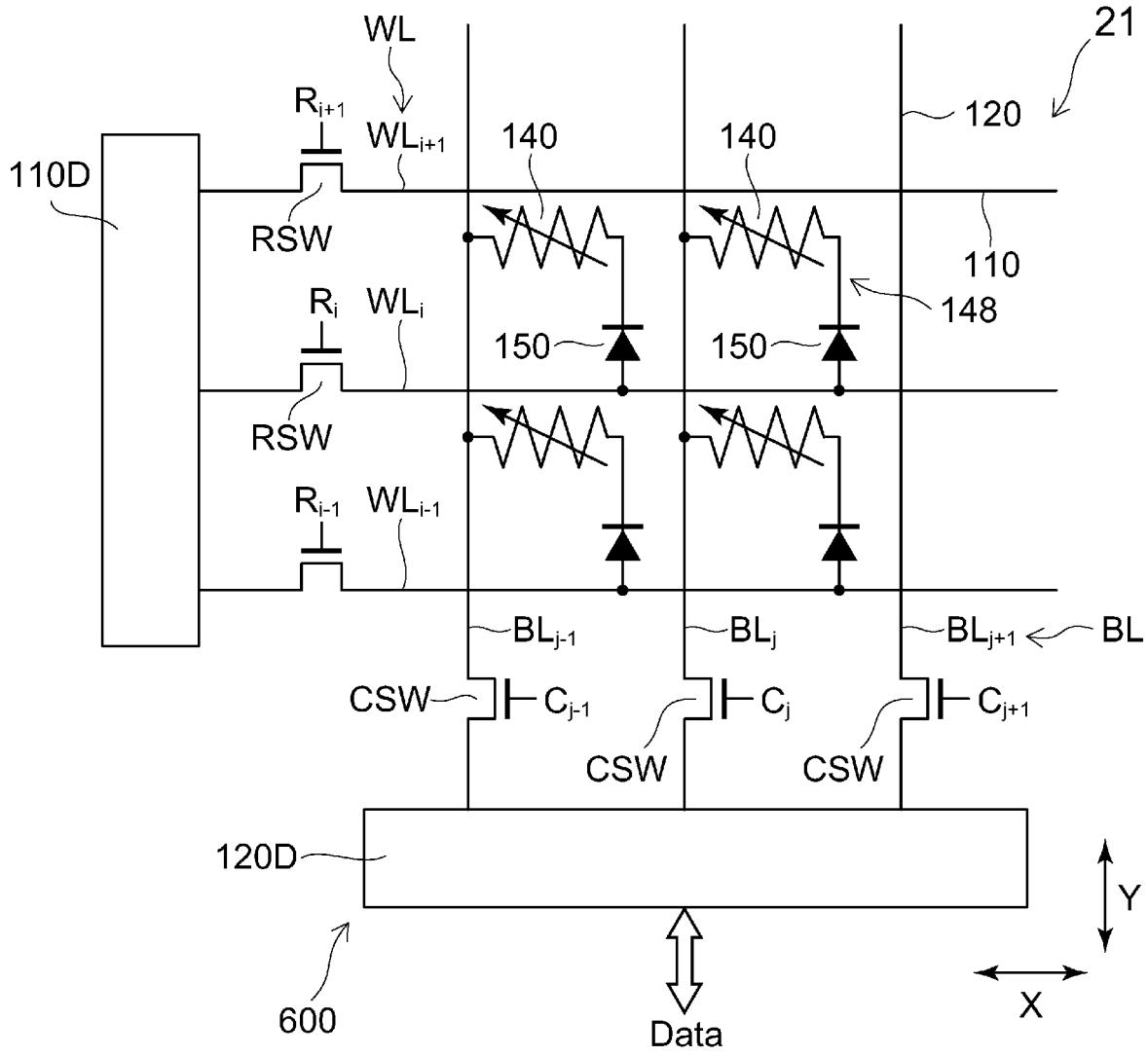
[図26]


(a)
20
25
B
160
120
150
140
110
105
B'
Z
Y
X
(b)
20
25
160
A
120
150
140
110
105
A'
Z
X
Y
(c)
120
150
MC
E2
RL
E1
140
(10)
110
Z
Y
X

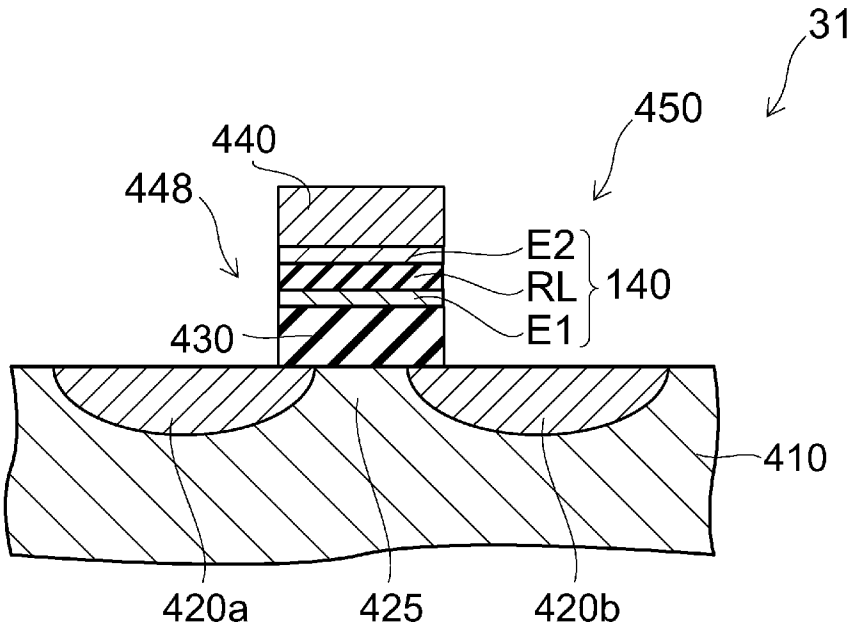
[図27]


(a)
20a
120
150
140
110
120
150
140
110
25b
25a
105
(b)
20b
25d
120 150 140 110
25c
120
150
140
110
120
150
140
110
120
150
140
110
25b
25a
105

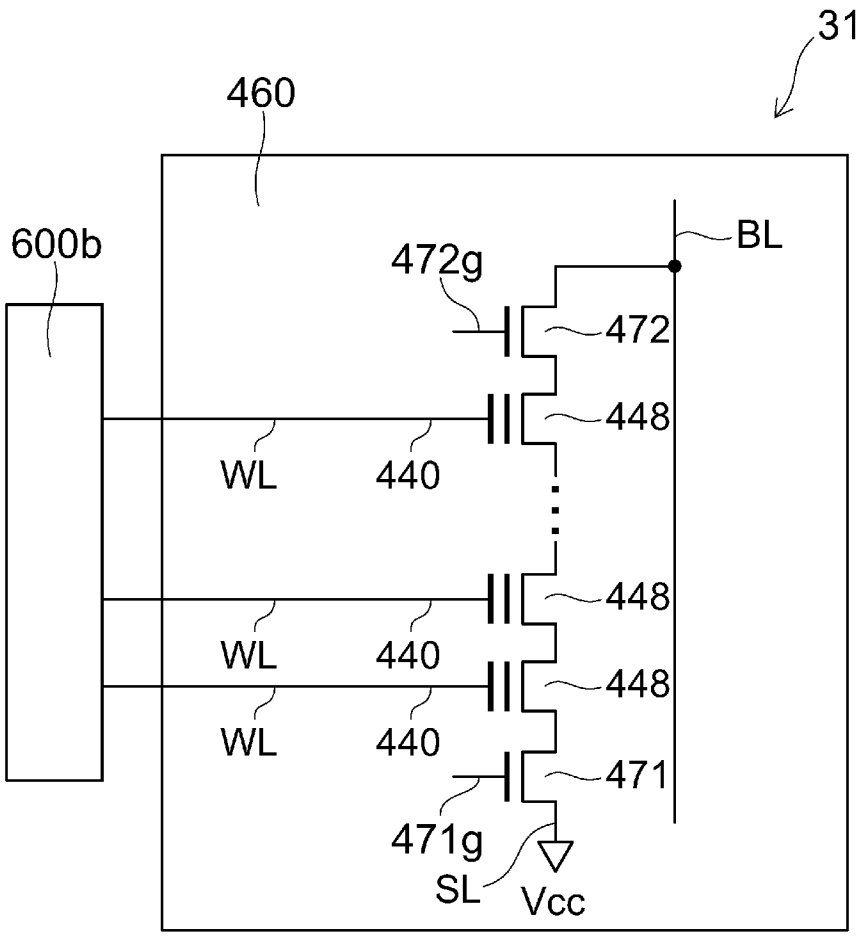
[図28]


21
WL
R_{i+1}
WL_{i+1}
140
140
120
110D
RSW
110
148
R_i
WL_i
150
150
RSW
R_{i-1}
WL_{i-1}
BL_{j-1}
BL_j
BL_{j+1}
BL
CSW
C_{j-1}
C_j
C_{j+1}
CSW
CSW
120D
Y
X
600
Data

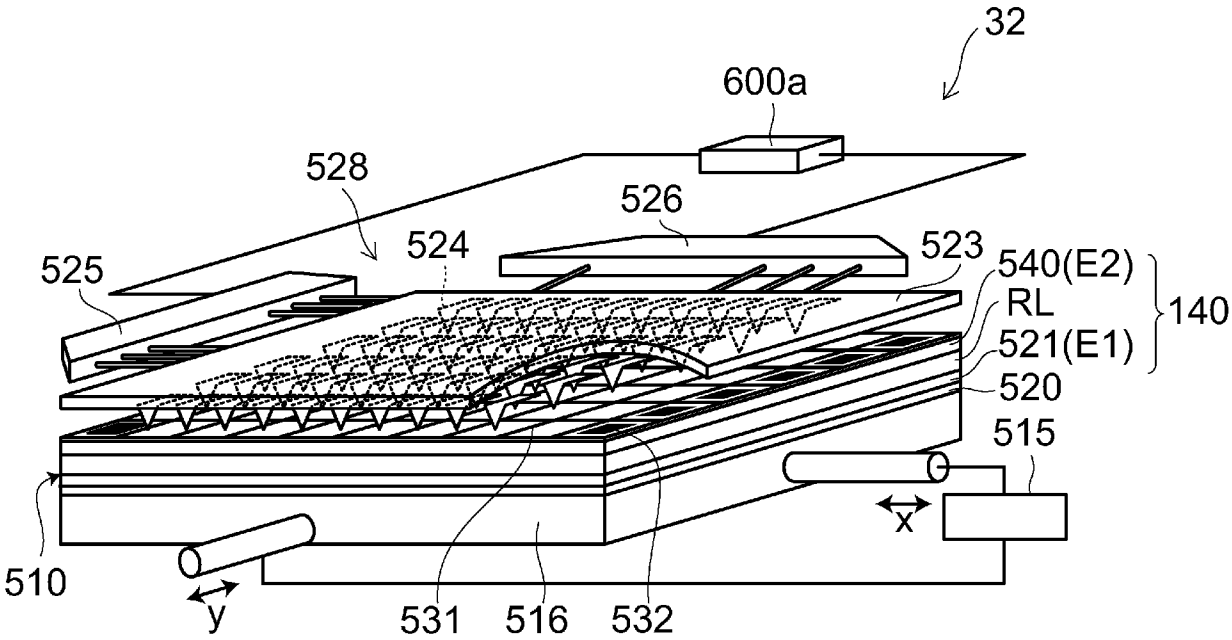
[図29]


31
450
440
448
E2
RL
140
E1
430
410
420a
425
420b

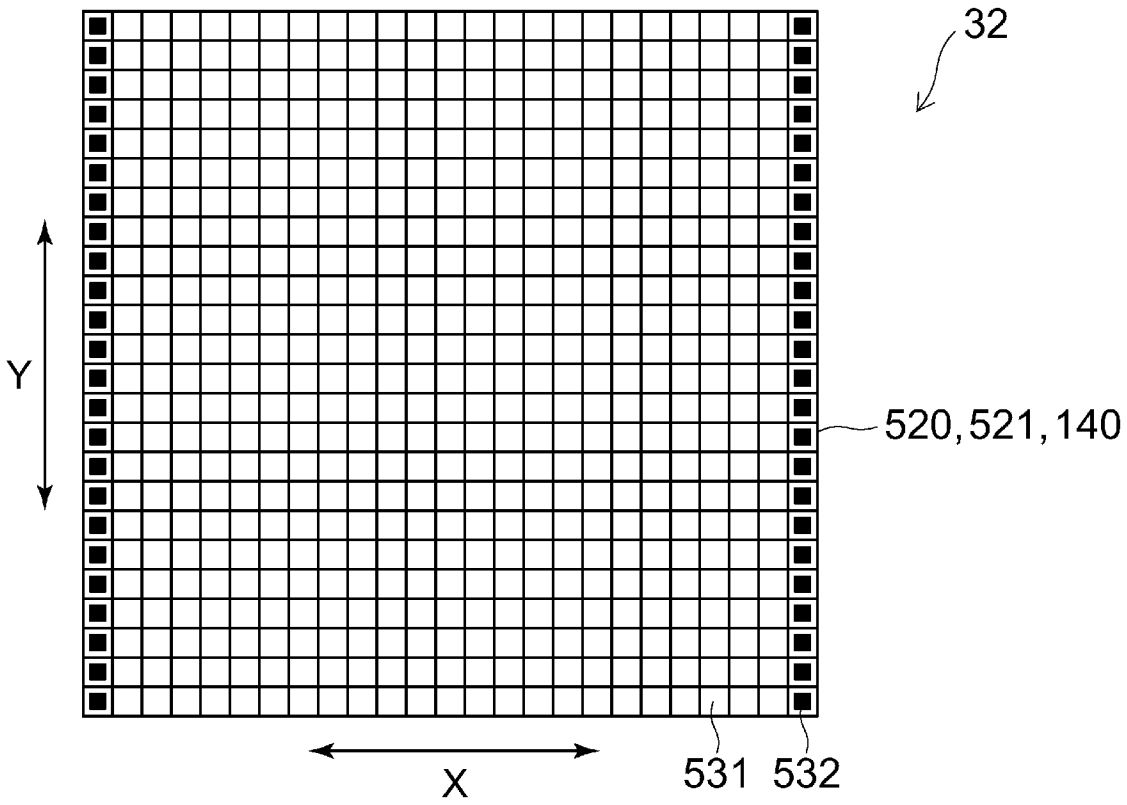
[図30]


31
460
600b
472g
BL
472
448
WL
440
448
WL
440
448
WL
440
471
471g
SL
Vcc

[図31]


32
600a
528
526
524
523
525
540(E2)
RL
521(E1)
140
520
515
510
y
x
531
516
532

[図32]


32
Y
520,521,140
X
531
532

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/064887

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/10(2006.01)i, *H01L45/00*(2006.01)i, *H01L49/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/10, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-180174 A (Fujitsu Ltd.), 12 July 2007 (12.07.2007), paragraphs [0053] to [0058]; fig. 1 to 15 (Family: none)	1-4,10-15 5-9,16-20
X Y	WO 2008/149605 A1 (NEC Corp.), 11 December 2008 (11.12.2008), paragraph [0013]; fig. 4(a) (Family: none)	1-4,10-15 5-9,16-20
Y	JP 2007-273548 A (Toshiba Corp.), 18 October 2007 (18.10.2007), entire text (Family: none)	1-20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 November, 2009 (24.11.09)	08 December, 2009 (08.12.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/064887

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-180202 A (Sharp Corp.), 12 July 2007 (12.07.2007), entire text & US 2009/0097300 A & WO 2007/074642 A1	1-20
A	WO 2008/123307 A1 (Toshiba Corp.), 16 October 2008 (16.10.2008), entire text & US 2008/0239797 A1 & WO 2008/129683 A1	1-20

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０６４８８７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2007-180174 A（富士通株式会社）2007.07.12, 段落【００５３】－【００５８】, 図１－１５	1-4,10-15
Y	（ファミリーなし）	5-9,16-20
X	WO 2008/149605 A1（日本電気株式会社）2008.12.11, 段落[0013], 図４（ａ）	1-4,10-15
Y	（ファミリーなし）	5-9,16-20

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２４．１１．２００９	国際調査報告の発送日 ０８．１２．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　９２７６ 正山　旭 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2007-273548 A (株式会社東芝) 2007.10.18, 全文 (ファミリーなし)	1-20
A	JP 2007-180202 A (シャープ株式会社) 2007.07.12, 全文 & US 2009/0097300 A & WO 2007/074642 A1	1-20
A	WO 2008/123307 A1 (株式会社東芝) 2008.10.16, 全文 & US 2008/0239797 A1 & WO 2008/129683 A1	1-20