

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6108949号
(P6108949)

(45) 発行日 平成29年4月5日(2017.4.5)

(24) 登録日 平成29年3月17日(2017.3.17)

(51) Int.Cl.

G 11 C 11/406 (2006.01)

F 1

G 11 C 11/34 363 N

請求項の数 29 (全 40 頁)

(21) 出願番号 特願2013-102136 (P2013-102136)
 (22) 出願日 平成25年5月14日 (2013.5.14)
 (65) 公開番号 特開2013-239228 (P2013-239228A)
 (43) 公開日 平成25年11月28日 (2013.11.28)
 審査請求日 平成28年5月13日 (2016.5.13)
 (31) 優先権主張番号 61/646,410
 (32) 優先日 平成24年5月14日 (2012.5.14)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 10-2012-0093113
 (32) 優先日 平成24年8月24日 (2012.8.24)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic
 of Korea
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 鄭 扶日
 大韓民国京畿道華城市盤松洞(番地なし)
 示範ハンビットマウル韓化夢にグリーン
 アパート232棟601號

最終頁に続く

(54) 【発明の名称】メモリ装置、メモリシステム及びその動作方法

(57) 【特許請求の範囲】

【請求項1】

第1メモリセルと前記第1メモリセルに隣接した第2メモリセルとを含む複数のメモリセルを含むメモリ装置の動作方法において、

前記第1メモリセルをアクセスする度に、前記第2メモリセルに関連するディスターブ数をカウントする段階と、

前記カウントに基づいて、前記第2メモリセルに対するディスターブカウント値をアップデートする段階と、

前記第2メモリセルのディスターブカウント値、既定のスレッショルド値及び最大ディスターブカウント値に基づいてリフレッシュスケジュールを調整する段階であって、前記調整されたリフレッシュスケジュールは、前記第2メモリセルがフラグ付けされている場合、前記第1メモリセル及び前記第2メモリセルに対する正規リフレッシュ動作を行う前に、非正規リフレッシュ動作が前記第2メモリセルに対して行われることを少なくとも示し、前記第2メモリセルは、前記第2メモリセルに関連する前記ディスターブカウント値が前記既定のスレッショルド値または前記最大ディスターブカウント値を超過したときにフラグ付けされる段階と、

前記調整されたスケジュールによって、前記第2メモリセルをリフレッシュした場合、前記第2メモリセルのディスターブカウント値及び前記最大ディスターブカウント値をリセットする段階と、

を含むメモリ装置の動作方法。

10

【請求項 2】

前記第 2 メモリセルに関連する前記ディス^{ターブ}数は、

前記第 1 メモリセルに対する累積アクセスタイム (Access time) を単位時間で割った値である請求項 1 に記載のメモリ装置の動作方法。

【請求項 3】

前記アップデートする段階は、

前記第 1 メモリセルがアクセスされる度に、以前にアクセスタイムに保存されたディス^{ターブ}カウント値に、前記第 1 メモリセルの現在アクセスタイムの間にカウントされるディス^{ターブ}数を加える段階を含む請求項 1 に記載のメモリ装置の動作方法。

【請求項 4】

10

前記リフレッシュスケジュールを調整する段階は、

前記第 2 メモリセルのディス^{ターブ}カウント値が、前記スレッショルド値以上であり、前記最大ディス^{ターブ}カウント値を超過する場合、前記リフレッシュスケジュール内の前記第 2 メモリセルに対する前記非正規リフレッシュ動作順序を繰り上げる段階と、

前記最大ディス^{ターブ}カウント値を前記第 2 メモリセルのディス^{ターブ}カウント値にアップデートする段階と、

を含む請求項 1 に記載のメモリ装置の動作方法。

【請求項 5】

20

前記ディス^{ターブ}カウント値をリセットする段階は、

前記メモリ装置が、パワーアップ (Power Up) された後、非正規リフレッシュフラグを活性化して、前記リフレッシュスケジュールによって前記非正規リフレッシュ動作を行うように前記メモリ装置を制御する段階と、

前記メモリ装置が、テストモードである場合、前記非正規リフレッシュフラグを非活性化して、前記非正規リフレッシュ動作を停止させる段階と、

を含む請求項 1 に記載のメモリ装置の動作方法。

【請求項 6】

前記第 2 メモリセルをリフレッシュする場合、前記非正規リフレッシュフラグは、リセットされる請求項 5 に記載のメモリ装置の動作方法。

【請求項 7】

30

前記動作方法は、

前記メモリ装置が、パワーアップされる場合、前記ディス^{ターブ}カウント値を初期化する段階をさらに含む請求項 1 に記載のメモリ装置の動作方法。

【請求項 8】

第 1 メモリセルと前記第 1 メモリセルに隣接した第 2 メモリセルとを含む複数のメモリセルを含むメモリセルアレイと、

コントロールロジックであって、

前記第 1 メモリセルにアクセスする時、前記第 2 メモリセルに対するディス^{ターブ}カウント値をリードし、

前記ディス^{ターブ}カウント値を、既定のスレッショルド値及び最大ディス^{ターブ}カウント値と比較し、

前記第 1 メモリセルの現在アクセスタイムの間に、前記第 2 メモリセルに関連するディス^{ターブ}数をカウントし、

前記カウントに基づいて、前記ディス^{ターブ}カウント値をアップデートするように構成されるコントロールロジックと、

リフレッシュユニットであって、

前記第 2 メモリセルのワードラインアドレスを計算し、

前記第 2 メモリセルがフラグ付けされている場合、調整されたリフレッシュスケジュールは、前記第 1 メモリセル及び前記第 2 メモリセルに対する正規リフレッシュ動作を行う前に、非正規リフレッシュ動作が前記第 2 メモリセルに対して行われることを少なくとも示し、前記第 2 メモリセルは、前記第 2 メモリセルに関連する前記ディス^{ターブ}カウン

40

50

ト値が前記既定のスレッショルド値または前記最大ディスターブカウント値を超過したときにフラグ付けされるように、前記ディスターブカウント値の比較結果によって、前記第2メモリセルに対する現在リフレッシュスケジュールを調整し、

前記調整されたリフレッシュスケジュールによって前記第1メモリセル及び前記第2メモリセルの前記非正規リフレッシュ動作及び前記正規リフレッシュ動作を行い、

パワーアップ信号に基づいて前記ディスターブカウント値の初期化有無を制御するように構成されるリフレッシュユニットと、

を含むメモリ装置。

【請求項9】

前記メモリセルアレイは、

データを保存するように構成される複数のデータメモリセルを含むノーマルセルアレイと、

前記ディスターブカウント値を保存するように構成される複数のディスターブカウントセルを含むディスターブカウントセルアレイと、を含み、

前記複数のデータメモリセルは、前記第1メモリセル及び前記第2メモリセルを含み、少なくとも1つの前記ディスターブカウントセルは、前記第1メモリセルと同一ワードラインに属した請求項8に記載のメモリ装置。

【請求項10】

前記コントロールロジックは、

アドレスコマンドデコーダであって、

ホストからクロック信号、アクティブ命令及びアドレスを受信し、

前記クロック信号に基づいて、前記アクティブ命令及びアドレスをデコーディングして前記アクティブ命令に相応する制御信号を生成し、

前記第1メモリセルにアクセスするためのロードアドレスとカラムアドレスとを生成する

ように構成されるアドレスコマンドデコーダと、

前記ディスターブカウント値を、前記既定のスレッショルド値及び前記最大ディスターブカウント値と比較するように構成されるカウント値比較部と、

前記第1メモリセルがアクセスされる度に、以前にアクセスタイムに保存されたディスターブカウント値に、前記第1メモリセルの前記現在アクセスタイムの間にカウントされる前記ディスターブ数を加えて、前記ディスターブカウント値をアップデートするように構成されるカウント値アップデート部と、

最大ディスターブカウント値保存部であって、

前記メモリ装置の初期化時点から現在動作時点までの前記第2メモリセルに対する前記ディスターブカウント値のうち、最大ディスターブカウント値を保存し、

前記アップデートされたディスターブカウント値が、前記最大ディスターブカウント値よりも大きければ、前記アップデートされたディスターブカウント値を最大ディスターブカウント値にアップデートする

ように構成される最大ディスターブカウント値保存部と、

を含む請求項8に記載のメモリ装置。

【請求項11】

前記リフレッシュユニットは、

前記コントロールロジックから受信した前記第1メモリセルに対するアドレスに基づいて、前記第2メモリセルに対するアドレスを計算するように構成される隣接アドレス計算部と、

次の非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部であって、

前記第2メモリセルに対する前記ディスターブカウント値が、前記既定のスレッショルド値以上であるか、または、前記最大ディスターブカウント値を超過した場合、前記第2メモリセルの前記アドレスを次の非正規リフレッシュアドレスとして保存し、

前記第2メモリセルに対する前記非正規リフレッシュ動作を実行するかどうかを表わ

10

20

30

40

50

す非正規リフレッシュフラグ (Refresh Flag) を保存する
ように構成される次の非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部
と、

前記非正規リフレッシュフラグによって、前記第 2 メモリセルの非正規リフレッシュ動作
を優先的に行うように、前記リフレッシュスケジュールを調整するように構成されるリ
フレッシュコントローラと、

を含む請求項 8 に記載のメモリ装置。

【請求項 1 2】

前記リフレッシュユニットは、

前記パワーアップ信号に基づいて、前記メモリセルアレイ全体をいずれもリフレッシュ
し、前記ディスターブカウント値を初期化するように制御する内部リフレッシュ信号を出
力するように構成される周期的内部リフレッシュコマンド生成部をさらに含み、

前記コントロールロジックは、

前記内部リフレッシュ信号によってカウント有効フラグを活性化して、カウント値アッ
プデート部、カウント値比較部、及び最大ディスターブカウント値保存部をリセットする
ように構成されるカウント有効フラグユニットを含む請求項 1 1 に記載のメモリ装置。

【請求項 1 3】

前記カウント値アップデート部は、

前記第 2 メモリセルに対する前記非正規リフレッシュ動作遂行後、前記第 2 メモリセル
に対する前記ディスターブカウント値をリセットするように構成される請求項 1 0 に記載
のメモリ装置。

【請求項 1 4】

前記リフレッシュコントローラは、

前記第 2 メモリセルに対する前記ディスターブカウント値が、前記既定のスレッショル
ド値以上であり、前記最大ディスターブカウント値を超過した場合、前記第 2 メモリセル
に対する前記非正規リフレッシュ動作を前記リフレッシュスケジュールの間に挿入して優
先処理するように構成される請求項 1 1 に記載のメモリ装置。

【請求項 1 5】

前記リフレッシュコントローラは、

前記第 2 メモリセルに対する前記ディスターブカウント値が、前記既定のスレッショル
ド値以上であり、前記最大ディスターブカウント値を超過した場合、前記第 2 メモリセル
に対する非正規リフレッシュ動作が前記現在リフレッシュスケジュールと並行処理され
るように前記リフレッシュスケジュールを調整するように構成される請求項 1 1 に記載のメ
モリ装置。

【請求項 1 6】

前記カウント有効フラグユニットは、

前記メモリ装置が、テストモードである場合、前記第 2 メモリセルに対する前記非正規
リフレッシュ動作を行わないように、前記カウント有効フラグを非活性化するように構成
される請求項 1 2 に記載のメモリ装置。

【請求項 1 7】

前記第 2 メモリセルに対する前記ディスターブカウント値を前記ディスターブカウント
セルからリード (Read) し、

前記アップデートされたディスターブカウント値を前記ディスターブカウントセルにラ
イト (Write) する

ように構成されるカウントライトリードブロックをさらに含む請求項 9 に記載のメモリ装
置。

【請求項 1 8】

少なくとも 1 つの第 1 メモリセルと前記少なくとも 1 つの第 1 メモリセルのワードライ
ンに隣接した第 2 メモリセルとを含む複数のメモリセルを含むメモリシステムの動作方法
において、

10

20

30

40

50

前記少なくとも 1 つの第 1 メモリセルにアクセス (Access) する度に、前記第 2 メモリセルに関連するディスターブ数をカウントする段階であって、前記ディスターブ数は、前記少なくとも 1 つの第 1 メモリセルに対する累積アクセスタイムの間にカウンターを周期的に増加させることによって取得される段階と、

前記カウントに基づいて、前記第 2 メモリセルのディスターブカウント値をアップデート (update) する段階と、

前記アップデートされたディスターブカウント値、最大ディスターブカウント値及び既定のスレッショルド値に基づいて、前記第 2 メモリセルに対するリフレッシュ (Refresh) 動作の順序を調整する段階であって、前記第 2 メモリセルがフラグ付けされている場合、前記少なくとも 1 つの第 1 メモリセル及び前記第 2 メモリセルに対する正規リフレッシュ動作を行う前に、非正規リフレッシュ動作が前記第 2 メモリセルに対して行われ、前記第 2 メモリセルは、前記第 2 メモリセルに関連する前記ディスターブカウント値が前記既定のスレッショルド値または前記最大ディスターブカウント値を超過したときにフラグ付けされる段階と、

前記順序によって、前記第 2 メモリセルに対する前記非正規リフレッシュ動作及び前記正規リフレッシュ動作を含むリフレッシュ動作が行われれば、前記第 2 メモリセルの前記ディスターブカウント値をリセット (Reset) する段階と、
を含むメモリシステムの動作方法。

【請求項 19】

前記順序を調整する段階は、

前記第 2 メモリセルの前記ディスターブカウント値が、前記既定のスレッショルド値と同一または大きく、前記最大ディスターブカウント値よりも大きな場合、前記第 2 メモリセルの前記非正規リフレッシュ動作を優先処理するようにスケジューリングする段階と、

前記第 2 メモリセルの前記ディスターブカウント値を前記最大ディスターブカウント値にアップデートする段階と、

前記第 2 メモリセルに対する前記非正規リフレッシュ動作を行うか否かを表わす非正規リフレッシュフラグをアップデートする段階と、

を含む請求項 18 に記載のメモリシステムの動作方法。

【請求項 20】

前記非正規リフレッシュフラグが活性化された場合、前記動作方法は、

前記第 2 メモリセルに対する前記非正規リフレッシュ動作を行う段階と、

前記第 2 メモリセルの前記最大ディスターブカウント値及び前記第 2 メモリセルの前記ディスターブカウント値をリセットした後、前記非正規リフレッシュフラグをリセットする段階と、

をさらに含む請求項 19 に記載のメモリシステムの動作方法。

【請求項 21】

前記動作方法は、

前記メモリシステムをパワーアップした場合、前記メモリシステムのあらゆるワードラインをイネーブルして、あらゆる前記ディスターブカウント値をリセットする段階をさらに含む請求項 18 に記載のメモリシステムの動作方法。

【請求項 22】

少なくとも 1 つの対象メモリセルと残りのメモリセルとを含む複数のメモリセルを含むメモリ装置の動作方法において、

前記少なくとも 1 つの対象メモリセルにアクセスする間に、前記残りのメモリセルのそれぞれに関連するディスターブ数をディスターブカウント値としてカウントする段階と、

前記ディスターブカウント値に基づいて、前記残りのメモリセルのそれぞれに対する非正規リフレッシュ動作及び正規リフレッシュ動作を含むリフレッシュ動作の順序を変更する段階であって、前記リフレッシュ動作の前記順序は、フラグ付けされた前記残りのメモリセルのそれぞれの 1 つに対して、前記少なくとも 1 つの対象メモリセル及び前記残りのメモリセルに対する前記正規リフレッシュ動作を行う前に、前記非正規リフレッシュ動作

10

20

30

40

50

が行われることを少なくとも示し、前記残りのメモリセルは、前記残りのメモリセルに関連する前記ディスターブカウント値が既定のスレッショルド値または前記最大ディスターブカウント値を超過したときにフラグ付けされる段階と、

前記リフレッシュ動作が行われた前記残りのメモリセルの前記ディスターブカウント値をリセットする段階と、

を含むメモリ装置の動作方法。

【請求項 2 3】

前記残りのメモリセルのそれぞれに対して、前記ディスターブ数をカウントする段階は

、前記対象メモリセルへのアクセストライムをカウントした値を前記残りのメモリセルのそれぞれの 1 つへの以前のリフレッシュ動作以後に累積する段階を含む請求項 2 2 に記載のメモリ装置の動作方法。

【請求項 2 4】

前記リフレッシュ動作の前記順序を変更する段階は、

前記ディスターブカウント値のうちの 1 つが前記既定のスレッショルド値と等しく、前記最大ディスターブカウント値よりも大きな場合、

前記ディスターブカウント値によって前記残りのメモリセルのうちの 1 つに対する前記非正規リフレッシュ動作を優先処理するようにスケジューリングする段階と、

前記ディスターブカウント値を前記最大ディスターブカウント値にアップデートする段階と、

前記残りのメモリセルのうちの 1 つに対する非正規リフレッシュフラグをアップデートする段階と、

を含む請求項 2 2 に記載のメモリ装置の動作方法。

【請求項 2 5】

前記ディスターブカウント値をリセットする段階は、

前記スケジューリングによって、前記非正規リフレッシュフラグが活性化されれば、前記残りのメモリセルのそれぞれに対する前記リフレッシュ動作を行う段階と、

前記最大ディスターブカウント値及び前記残りのメモリセルのそれぞれのディスターブカウント値をリセットした後、前記残りのメモリセルのそれぞれに対する前記非正規リフレッシュフラグを非活性化する段階と、

を含む請求項 2 4 に記載のメモリ装置の動作方法。

【請求項 2 6】

第 1 メモリセルと 1 つ以上の第 2 メモリセルとを含む複数のメモリセルを含むメモリ装置の動作方法において、

前記 1 つ以上の第 2 メモリセルのワードラインに隣接した前記第 1 メモリセルに関連するディスターブ (d i s t u r b) 数を算出する段階であって、前記ディスターブ数は、前記 1 つ以上の第 2 メモリセルのアクセスによる前記第 1 メモリセルのディスターブ値を表す段階と、

前記 1 つ以上の第 2 メモリセルがアクセスされる度に、前記第 1 メモリセルに関連する前記ディスターブ数をディスターブカウント値に加えることによって、前記第 1 メモリセルの前記ディスターブカウント値をアップデートする段階と、

前記ディスターブカウント値が、既定のスレッショルド値または最大ディスターブカウント値を超過した場合、非正規リフレッシュ動作を介して前記第 1 メモリセルをリフレッシュが必要であるとしてフラグ付けする段階と、

前記非正規リフレッシュ動作及び前記複数のメモリセルに対する非正規リフレッシュ動作を行うように、リフレッシュスケジュールを調整する段階であって、前記第 1 メモリセルがフラグ付けされている場合、前記リフレッシュスケジュールが、前記第 1 メモリセル及び前記 1 つ以上の第 2 メモリセルに対する前記正規リフレッシュ動作を行う前に、前記非正規リフレッシュ動作が前記第 1 メモリセルに対して行われることを示すように調整する段階と、

10

20

30

40

50

を含むメモリ装置の動作方法。

【請求項 27】

前記第1メモリセルに関連する前記ディスターブ数は、前記1つ以上の第2メモリセルの累積アクセス時間を単位時間で割った値である請求項26に記載のメモリ装置の動作方法。

【請求項 28】

前記フラグ付けする段階は、

前記ディスターブカウント値が、前記最大ディスターブカウント値を超過した場合、前記第1メモリセルをリフレッシュが必要なセルとしてフラグ付けする段階と、

前記最大ディスターブカウント値を前記第1メモリセルの前記ディスターブカウント値にアップデートする段階と、

をさらに含む請求項26に記載のメモリ装置の動作方法。

【請求項 29】

前記第1メモリセルがフラグ付けされた場合、前記第1メモリセルに対する前記非正規リフレッシュ動作を行う段階と、

前記第1メモリセルに対する前記非正規リフレッシュ動作を行った後、前記第1メモリセルの前記ディスターブカウント値をリセットする段階と、

前記最大ディスターブカウント値が、前記第1メモリセルの前記ディスターブカウント値にアップデートされた場合、前記第1メモリセルに対する非正規リフレッシュ動作を行った後、前記最大ディスターブカウント値をリセットする段階と、

を含む請求項28に記載のメモリ装置の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ装置に係り、より詳細には、リフレッシュ(Refresh)動作を制御することによって、メモリセルへのアクセス時に発生するディスターブによる動的リフレッシュ特性劣化を減少させるメモリ装置、メモリシステム及びその動作方法に関する。

【背景技術】

【0002】

DRAM(Dynamic Random Access Memory)などの半導体メモリ素子のワードライン(Word Line:WL)には、メモリセルにアクセスするためのトランジスタをイネーブル(Enable)するために高電圧が印加される。この際、前記高電圧によって発生する電場(Electric Field)は、隣接セルにあるアクセストランジスタのスレッショルド電圧を低めることができる。その結果、前記隣接セルのリーク量が増加するが、これをパスゲート効果(Pass Gate Effect)と言う。リーク電流によるデータの損失を阻むために、DRAMは、セルに保存されたデータが完全に損失される以前にデータを取り出して読み取り、再びセルに書き込む動作が要求される。前記のような動作をリフレッシュ動作と言い、リフレッシュ動作は、DRAM内部で一定の周期(periodically)で行うか、システムの要請によって行われる。

【0003】

リフレッシュ動作特性には、静的リフレッシュ(Static Refresh)特性と動的リフレッシュ(Dynamic Refresh)特性とがある。この際、メモリセルアレイのうち、所定のセルに対する第1リフレッシュ動作と前記セルに対して次に行われる第2リフレッシュ動作との間の時間間隔をリフレッシュインターバル(Refresh Interval)と言う。

【0004】

静的リフレッシュ特性は、リフレッシュインターバルの間にDRAMに対するアクセスが小さいか、または行われていない場合についてのセルのリフレッシュ特性を言う。動的

10

20

30

40

50

リフレッシュ特性は、リフレッシュインターバルの間にD R A Mセルに対するアクセスが、静的リフレッシュ特性に比べて、相対的に頻繁に行われる場合のセルのリフレッシュ特性を言う。

【 0 0 0 5 】

静的リフレッシュの場合、動的リフレッシュに比べて、隣接セルまたは隣接ラインの影響が小さく、他のセルのアクセス時に発生するパワーノイズ(P o w e r N o i s e)による影響も小さい。

【 0 0 0 6 】

一方、動的リフレッシュの場合、D R A Mセルに対するアクセスが頻繁であるので、アクセス頻度によって、それぞれのセルが受ける影響が変わる。この際、何れか1つのD R A Mセルに対するアクセスによって、残りの各セルが受ける影響の程度をディスターブ(D i s t u r b)と言う。

10

【 0 0 0 7 】

D R A Mメモリセルアレイのセル間の間隔が広い場合には、アクセスが残りの各セルにディスターブ影響を与える傾向が小さい。しかし、スケーリング(S c a l i n g)でメモリセル間の間隔が狭まる場合、隣接したセルまたは隣接して通り過ぎるラインによる干渉、すなわち、ディスターブが影響を与える傾向が大きい。

【 0 0 0 8 】

ランダムアクセスメモリ(一例として、D R A M)の場合、特定のアドレスに対するアクセスを制限することができないので、一部の特定セルにアクセスが集中されうる。アクセスが集中されれば、ディスターブの影響を受けて当該セルのリフレッシュ特性は、急激に悪化する。

20

【 0 0 0 9 】

したがって、リフレッシュ特性を改善するために、ディスターブが集中されるセルに対してリフレッシュをさらに頻繁にさせる必要がある。

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 0 】

本発明が解決しようとする技術的課題は、ディスターブが集中されたセルに対するリフレッシュ動作を制御することによって、動的リフレッシュ特性を改善しうるメモリ装置、メモリシステム及びその動作方法を提供するところにある。

30

【課題を解決するための手段】

【 0 0 1 1 】

前記技術的課題を解決するために、本発明の一実施形態による第1メモリセルと前記第1メモリセルに隣接した第2メモリセルとを含む複数のメモリセルを含むメモリ装置の動作方法は、(a)第1メモリセルをアクセスする度に、前記第1メモリセルに隣接した第2メモリセルのディスターブ量をカウントして、前記第2メモリセルに対するディスターブカウント値をアップデートする段階と、(b)前記第2メモリセルのディスターブカウント値を、既定のスレッショルド値及び最大ディスターブカウント値と比較した結果によって、リフレッシュ動作スケジュールを調整する段階と、(c)前記調整されたスケジュールによって、前記第2メモリセルをリフレッシュした場合、前記第2メモリセルのディスターブカウント値及び前記最大ディスターブカウント値をリセットする段階と、を含む。

40

【 0 0 1 2 】

前記ディスターブ量は、前記第1メモリセルに対する累積アクセスタイム(A c c e s s t i m e)を単位時間で割った値であり得る。

【 0 0 1 3 】

前記ディスターブカウント値は、前記第1メモリセルがアクセスされる度に、以前のアクセスタイムに保存されたディスターブカウント値に、前記第1メモリセルの現在アクセスタイムの間に周期的にカウントされる値を加えて、アップデートされる。

50

【0014】

前記(b)段階は、前記第2メモリセルのディスターブカウント値が、前記スレッシュワード値以上であり、前記最大ディスターブカウント値を超過する場合、前記スケジュール内の前記第2メモリセルに対するリフレッシュ動作順序を繰り上げる段階と、前記最大ディスターブカウント値を前記第2メモリセルのディスターブカウント値にアップデートする段階と、を含みうる。

【0015】

前記(c)段階は、前記メモリ装置が、パワーアップ(Power Up)された後、非正規リフレッシュフラグを活性化して、スケジュールによってリフレッシュ動作を行うように制御し、前記メモリ装置が、テストモードである場合、前記非正規リフレッシュフラグは非活性化して、リフレッシュ動作を停止させることができる。

10

【0016】

前記第2メモリセルをリフレッシュする場合、前記非正規リフレッシュフラグはリセットされうる。

【0017】

前記動作方法は、前記メモリ装置が、パワーアップされて初期化される場合、前記メモリ装置の前記ディスターブカウント値を初期化する段階をさらに含む。

【0018】

前記技術的課題を解決するために、本発明の一実施形態によるメモリ装置は、複数のメモリセルを含むメモリセルアレイと、前記複数のメモリセルのうち少なくとも1つの第1メモリセルにアクセスする時、第1メモリセルに隣接した第2メモリセルに対する現在ディスターブカウント値をリードし、前記現在ディスターブカウント値を、既定のスレッシュワード値及び最大ディスターブカウント値と比較し、前記第1メモリセルの現在アクセスタイムの間に、前記第2メモリセルのディスターブ量をカウントして、前記ディスターブカウント値をアップデートするコントロールロジックと、前記第2メモリセルのワードラインアドレスを計算し、前記ディスターブカウント値の比較結果によって、前記第2メモリセルに対する現在リフレッシュスケジュールを調整して、前記第2メモリセルのリフレッシュ動作を行い、パワーアップ信号に基づいてリフレッシュ動作遂行の初期化有無を制御するリフレッシュユニットと、を含む。

20

【0019】

前記メモリセルアレイは、データを保存する複数の前記第1メモリセルを含むノーマルセルアレイと、前記ディスターブカウント値を保存する複数のディスターブカウントセルを含むディスターブカウントセルアレイと、を含みうる。

30

【0020】

少なくとも1つの前記ディスターブカウントセルは、前記第1メモリセルと同一ワードラインに属する。

【0021】

前記コントロールロジックは、ホストからクロック信号、アクティブ命令及びアドレスを受信して、前記クロック信号に基づいて、前記命令に相応する制御信号にデコーディングし、前記アドレスを前記第1メモリセルにアクセスするためのロードアドレスとカラムアドレスとにデコーディングするアドレスメントデコーダと、リードされた前記現在ディスターブカウント値を、前記スレッシュワード値及び最大ディスターブカウント値と比較するカウント値比較部と、前記第1メモリセルがアクセスされる度に、以前のアクセスタイムに保存されたディスターブカウント値に、前記第1メモリセルの現在アクセスタイムの間に周期的にカウントされる値を加えて、アップデートするカウント値アップデート部と、前記メモリ装置の初期化時点から現在動作時点までの前記第2メモリセルに対する前記ディスターブカウント値のうち、最大ディスターブカウント値を保存し、前記アップデートされたディスターブカウント値が、現在最大ディスターブカウント値よりも大きければ、前記アップデートされたディスターブカウント値を最大ディスターブカウント値にアップデートする最大ディスターブカウント値保存部と、を含みうる。

40

50

【0022】

前記リフレッシュユニットは、前記コントロールロジックから受信した前記第1メモリセルに対するアドレスに基づいて、前記第2メモリセルに対するアドレスを計算する隣接アドレス計算部と、前記第2メモリセルに対する前記現在ディスターブカウント値が、前記スレッショルド値以上であり、前記最大ディスターブカウント値を超過すれば、前記第2メモリセルの前記アドレスを次の非正規リフレッシュアドレスに保存し、前記第2メモリセルに対する非正規リフレッシュ動作を実行するかどうか非正規リフレッシュフラグ(Refresh Flag)に反映する次の非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部と、前記非正規リフレッシュフラグによって、前記第2メモリセルの非正規リフレッシュ動作を優先的に行うように、前記現在リフレッシュスケジュールを調整するリフレッシュコントローラと、を含みうる。

10

【0023】

前記リフレッシュユニットは、前記パワーアップ信号に基づいて、前記メモリセルアレイ全体をいずれもリフレッシュし、前記ディスターブカウント値を初期化するように制御する内部リフレッシュ信号を出力する周期的内部リフレッシュコマンド生成部をさらに含みうる。

【0024】

前記コントロールロジックは、前記内部リフレッシュ信号によってカウント有効フラグを活性化して、前記カウント値アップデート部、前記カウント値比較部、及び前記最大ディスターブカウント値保存部をリセットするカウント有効フラグユニットを含みうる。

20

【0025】

前記カウント値アップデート部は、前記第2メモリセルに対する非正規リフレッシュ動作遂行後、前記第2メモリセルに対するディスターブカウント値をリセットすることができる。

【0026】

前記リフレッシュコントローラは、前記第2メモリセルに対する前記現在ディスターブカウント値が、前記スレッショルド値以上であり、前記最大ディスターブカウント値を超過すれば、前記第2メモリセルに対する非正規リフレッシュ動作順序を前記現在リフレッシュスケジュールの間に挿入して優先処理することができる。

30

【0027】

前記リフレッシュコントローラは、前記第2メモリセルに対する前記現在ディスターブカウント値が、前記スレッショルド値以上であり、前記最大ディスターブカウント値を超過すれば、前記第2メモリセルに対する非正規リフレッシュ動作順序を前記現在リフレッシュスケジュールと並行処理されるようにスケジューリングすることができる。

【0028】

前記カウント有効フラグユニットは、前記メモリ装置が、テストモードである場合、前記第2メモリセルに対する非正規リフレッシュ動作を行わないように、前記カウント有効フラグを非活性化することができる。

【0029】

前記メモリ装置は、前記第2メモリセルに対する現在ディスターブカウント値を前記ディスターブカウントセルからリード(Read)し、前記アップデートされたディスターブカウント値を前記ディスターブカウントセルにライト(Write)するカウントライトリードロックをさらに含みうる。

40

【0030】

前記技術的課題を解決するために、本発明の一実施形態による複数のメモリセルを含むメモリシステムの動作方法は、(a)少なくとも1つの第1メモリセルにアクセス(Access)する間に、前記第1メモリセルのワードラインに隣接した第2メモリセルのディスターブ量(Disturb Value)をカウントしてディスターブカウント値をアップデート(update)する段階と、(b)前記アップデートされたディスターブ量を最大ディスターブカウント値及び既定のスレッショルド値を比較した結果に基づいて

50

、前記第2メモリセルに対するリフレッシュ動作の順序を変更する段階と、(c)前記順序によって、前記第2メモリセルに対するリフレッシュ動作が行われれば、前記第2メモリセルのディスターブカウント値をリセット(Reset)する段階と、を含む。

【0031】

前記ディスターブ量は、前記第1メモリセルに対する累積アクセスタイムの間にカウンターを周期的に増加させた値である。

【0032】

前記(b)段階は、前記第2メモリセルのディスターブ量が、前記スレッショルド値と同一または大きく、前記最大ディスターブカウント値よりも大きな場合、前記第2メモリセルのリフレッシュ動作を優先順位にスケジューリングする段階と、前記第2メモリセルのディスターブ量を新たな最大ディスターブカウント値にアップデートする段階と、前記第2メモリセルに対するリフレッシュ動作を行うか否かを表わす非正規リフレッシュフラグをアップデートする段階と、を含みうる。

10

【0033】

前記非正規リフレッシュフラグが活性化された場合、前記動作方法は、前記第2メモリセルに対するリフレッシュ動作を行う段階と、前記第2メモリセルの最大ディスターブカウント値及び前記第2メモリセルのディスターブ量をリセットした後、前記非正規リフレッシュフラグをリセットする段階と、をさらに含みうる。

【0034】

前記動作方法は、前記メモリシステムをパワーアップした場合、前記メモリシステムのあらゆるワードラインをイネーブルして、あらゆる前記ディスターブカウント値をリセットする段階をさらに含む。

20

【0035】

前記技術的課題を解決するために、本発明の他の一実施形態による複数のメモリセルを含むメモリ装置の動作方法は、(a)少なくとも1つの対象メモリセルにアクセスする間に、残りのメモリセルのそれぞれに対するディスターブカウント値をカウントする段階と、(b)前記各ディスターブカウント値に基づいて、前記残りのメモリセルのそれぞれに対するリフレッシュ動作の順序を変更する段階と、(c)前記順序によって、前記リフレッシュ動作が行われれば、前記リフレッシュ動作が行われたメモリセルの前記ディスターブカウント値をリセットする段階と、を含む。

30

【0036】

前記(a)段階は、前記対象メモリセルへのアクセスタイムをカウントした値を前記残りのメモリセルへの以前のリフレッシュ動作以後に累積して、前記ディスターブカウント値とする。

【0037】

前記(b)段階は、前記ディスターブ量のうち、何れか1つが既定のスレッショルド値と同一または同じであり、最大ディスターブカウント値よりも大きな場合、前記ディスターブ量に相応するメモリセルに対するリフレッシュ動作順位を優先にスケジューリングする段階と、前記ディスターブ量を新たな最大ディスターブカウント値にアップデートする段階と、前記メモリセルに対する非正規リフレッシュフラグをアップデートする段階と、を含みうる。

40

【0038】

前記(c)段階は、前記順位によって、前記非正規リフレッシュフラグが活性化されれば、前記メモリセルに対する前記リフレッシュ動作を行う段階と、前記最大ディスターブカウント値及び前記メモリセルのディスターブ量をリセットした後、前記メモリセルに対する前記非正規リフレッシュフラグを非活性化する段階と、を含みうる。

【発明の効果】

【0039】

本発明のメモリ装置、メモリシステム及びその動作方法によれば、ディスターブが集中されたセルに対してリフレッシュ動作をさらに頻繁に行うことによって、当該セルのリフ

50

レッッシュ特性を改善し、メモリ装置のデータ信頼性を向上させることができる。

【図面の簡単な説明】

【0040】

【図1】本発明の実施形態によるメモリ装置の簡単なブロック図である。

【図2】本発明の一実施形態によるメモリ装置を具体的に示すブロック図である。

【図3】本発明の一実施形態によるメモリ装置の動作方法を示すフローチャートである。

【図4】図3に示されたメモリ装置の動作方法のうち、初期化される場合を示すフローチャートである。

【図5】図3に示されたメモリ装置の動作方法のうち、アクティブ状態である場合を示すフローチャートである。

10

【図6】図3に示されたメモリ装置の動作方法のうち、リフレッシュ状態である場合を示すフローチャートである。

【図7】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【図8A】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【図8B】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

20

【図9A】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【図9B】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【図10A】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【図10B】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【図11A】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【図11B】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

30

【図11C】本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【図12】図1に示されたメモリ装置を含むコンピュータシステムの一実施形態を示す。

【図13】図1に示されたメモリ装置を含むコンピュータシステムの他の実施形態を示す。

【図14】図1に示されたメモリ装置を含むコンピュータシステムのさらに他の実施形態を示す。

【図15】図1に示されたメモリ装置を含むコンピュータシステムのさらに他の実施形態を示す。

【図16】図1に示されたメモリ装置を含むメモリシステムのさらに他の実施形態を示す。

40

【図17】図1に示されたメモリ装置を含むデータ処理システムの一実施形態を示す。

【図18】図1に示されたメモリ装置を含むマルチチップパッケージの一実施形態を概略的に示す概念図である。

【図19】図18に示されたマルチチップパッケージの一実施形態を立体的に示す概念図である。

【発明を実施するための形態】

【0041】

以下、添付図面を参照して、本発明の望ましい実施形態を説明することによって、本発明を詳しく説明する。

50

【0042】

図1は、本発明の実施形態によるメモリ装置の簡単なブロック図であり、図2は、本発明の一実施形態によるメモリ装置を具体的に示すブロック図である。

【0043】

図1のメモリ装置100は、多数のセルアレイ(Cell Array)10、少なくとも1つのローマルチプレクサ(ROW MUX)31、少なくとも1つのローバッファ(ROW Buffer)32、少なくとも1つのローデコーダ(ROW Decoder)33、バンクコントロールロジック(Bank Control Logic)40、少なくとも1つのカラムバッファ(Column Buffer)510、少なくとも1つのカラムデコーダ(Column Decoder)52、センスアンプ(Sense Amplifier)61、出力ドライバー(Output Driver)65、入力バッファ(Input buffer)67、入出力コントロールユニット(I/O Control Unit)70、コントロールロジック(Control Logic)200、及びリフレッシュユニット(Refresh Unit)250を含む。
10

【0044】

セルアレイ10のそれぞれは、ノーマルセルアレイ(Normal Cell Array)11及びディスターブカウントセルアレイ(Disturb Count Cell Array)20を含む。ノーマルセルアレイ11は、データを保存するためのセル、すなわち、複数のノーマルセルを含む。ディスターブカウントセルアレイ20は、ノーマルセルのうち、メモリアクセスが集中される攻撃セル(Aggressor cell)によって、前記攻撃セルに隣接/近接した特定セル(Victim cell)が受けけるディスターブカウント値を保存するためのセルを含む。また、ディスターブカウントセルアレイ20は、前記攻撃セルに隣接/近接した前記特定セル($x = k$)が属しているワードラインWL k に付いている他のセルが受けけるディスターブカウント値を保存するためのセルを含む。
20

【0045】

例えば、多数のセルアレイ10のそれぞれは、動的ランダムアクセスメモリ(Dynamic Random Access Memory:以下、DRAMと称する)として具現可能である。しかし、本発明の概念は、メモリの種類に限定するものではない。

【0046】

コントロールロジック200は、複数の信号CK、Command、Addに応答して、各構成要素(elements)250、31、40、51、70を制御する。
30

【0047】

クロック信号CKは、クロックドライバー(図示せず)から出力される。複数の命令/アドレス信号Command、Addは、メモリ装置100に連結されたメモリコントローラ(図示せず)から出力される。

【0048】

コントロールロジック200は、アドレスコマンドデコーダ(Address Command Decoder)210とディスターブカウントユニット(Disturb Count Unit:DC Unit)220とを含む。
40

【0049】

アドレスコマンドデコーダ210は、複数の信号CK、Command、Addをデコーディング(decoding)し、該デコーディングの結果によって、各構成要素を制御するための命令及び/またはアドレス(例えば、Sel_WL)を生成させる。

【0050】

例えば、アドレスコマンドデコーダ210は、セルアレイ10のデータをリードするために、アクティブ命令(Active Command)、リード命令(Read Command)などを出力し、データが保存された対象セルのアドレスAddを共に出力することができる。例えば、アドレスコマンドデコーダ210は、セルアレイ10の特定セルのデータを保存するために、リフレッシュ命令(Refresh command)を
50

出力し、リフレッシュ対象セルのアドレス Add を共に出力することができる。

【0051】

バンクコントロールロジック 40 は、コントロールロジック 200 から出力された命令に基づいてリフレッシュ動作に対するスケジューリング (scheduling) を行い、各バンク 10-1 ないし 10-k は、前記スケジュールによってリフレッシュ動作を行うことができる。バンクコントロールロジック 40 は、複数のバンクのそれぞれを選択することができる。実施形態によって、セルアレイ 10 を含んだバンクの数は変わりうる。

【0052】

ディスターーブカウントユニット 220 は、メモリアクセスが集中される第 1 メモリセル (Aggressor Cell) に隣接 (または、近接) した第 2 メモリセル (Victim cell) が受けるディスターーブ量を計算する。説明の便宜上、ディスターーブカウントユニット 220 についてのさらに詳しい説明は、図 2 で行う。

【0053】

リフレッシュユニット 250 は、リフレッシュ命令を行うために、コントロールロジック 200 から出力された命令に応答して、ローアドレス (ROW Address) を生成させる。

【0054】

すなわち、メモリセルまたはバンクリフレッシュ命令に応答して、バンクコントロールロジック 40 は、リフレッシュ遂行対象であるバンク (Bank) が、他のバンクに切替えられる以前に、複数のバンクのうちの何れか 1 つに含まれたローをカウントする。説明の便宜上、リフレッシュユニット 250 についてのさらに詳しい説明は、図 2 で行う。

【0055】

ローマルチプレクサ 31 は、選択信号 (図示せず) に応答して、リフレッシュユニット 250 によって生成されたローアドレス (または、ワードラインアドレス) とコントロールロジック 200 から出力されるローアドレスとのうちの何れか 1 つを選択する。リフレッシュ動作が行われる時、ローマルチプレクサ 31 は、リフレッシュユニット 250 から出力されたローアドレスを選択する。ライト動作またはリード動作が行われる時、ローマルチプレクサ 31 は、コントロールロジック 200 から出力されたローアドレスを選択する。

【0056】

少なくとも 1 つのローバッファ 32 は、ローマルチプレクサ 31 から出力されるローアドレスを一時的に保存する。

【0057】

少なくとも 1 つのローデコーダ 33 は、バンクコントロールロジック 40 によってスイッチされたバンクに対応する場合に動作する。ローデコーダ 33 は、相応するローバッファ 32 から出力されたローアドレスをデコーディングし、該デコーディングの結果によって、複数のロー (または、ワードライン) のうちの何れか 1 つのロー (または、ワードライン) を選択する。

【0058】

複数のバンクのそれぞれは 10-1 ないし 10-N (N は、自然数)、バンク Bank 1 ないし バンク Bank N にラベルされた複数のセルアレイと少なくとも 1 つのセンスアンプ (S/A) 61 とを含む。

【0059】

複数のセルアレイ 10 のそれぞれは、複数のワードライン (または、ロー)、複数のビットライン (または、カラム)、及びデータを保存するための複数のノーマルセルアレイ 11 及びディスターーブカウント値を保存するためのディスターーブカウントセルアレイ 20 を含む。

【0060】

センスアンプ 61 は、セルのデータ保存有無によって、各ビットラインの電圧変化を感じして増幅する。

10

20

30

40

50

【0061】

少なくとも1つのカラムバッファ51は、コントロールロジック200から出力されるカラムアドレスを一時的に保存する。

【0062】

少なくとも1つのカラムデコーダ52は、バンクコントロールロジック40によってスイッチされたバンクに対応する場合に動作する。カラムデコーダ52は、相応するカラムバッファ51から出力されたカラムアドレスをデコーディングし、該デコーディングの結果によって、複数のカラム（または、ピットライン）のうちの何れか1つのカラム（または、ピットライン）を選択する。

【0063】

入出力コントロールユニット70は、コントロールロジック200から出力された制御信号によって、センスアンプ61によって感知増幅された複数の信号をデータとして出力ドライバー65または入力バッファ67に伝送する。

【0064】

ライト動作の間に、入出力コントロールユニット70は、コントロールロジック200から出力された制御信号によって、入力バッファ67から受信されたデータDQi（iは、自然数）をドライバー（図示せず）を通じてノーマルセルアレイ11に伝送する。

【0065】

リード動作の間に、入出力コントロールユニット70は、コントロールロジック200から出力された制御信号によって、センスアンプ61から感知増幅された複数の信号をデータとして出力ドライバー65に伝送する。出力ドライバー65は、データをメモリコントローラ（図示せず）に出力する。

【0066】

入出力コントロールユニット70は、カウントライトリードブロック（Count Write Read Block）75を含みうる。カウントライトリードブロック75は、ディスターブカウントセルアレイ20にアクセスして、ディスターブカウントセルに保存された現在ディスターブカウント値（count value）をリードし、アップデータされたディスターブカウント値（updated count value）をライトする。

【0067】

図2を参照すると、ディスターブカウントユニット（DC Unit）220は、カウント値アップデート部（Count value updat e）221、カウント値比較部（Count Value Comparator）222、最大ディスターブカウント値保存部（Max Count Value Storage）223、及びカウント有効フラグユニット（Count Valid Flag）224を含む。

【0068】

カウント値アップデート部221は、アクティブ（active）区間（第1メモリセルにアクセスする時間）の間に、最小tRC（Refresh time / Number of cycles）に換算したカウント値を現在ディスターブカウント値（current count value）に加えて、アップデートする。一例として、前記第1メモリセルがアクセスされる度に、以前のアクセスタイムに保存されたディスターブカウント値に、前記第1メモリセルの現在アクセスタイムの間に周期的にカウントされる値を加えて、アップデートすることができる。

【0069】

カウント値比較部222は、ディスターブカウントセルアレイ20から受信した隣接または近接セルの現在カウント値（Count value）を、既定のスレッショルド値（Threshold）または最大ディスターブカウント値（Max Count Value）と比較する。この際、既定のスレッショルド値は、カウント値比較部222にセッティングされており、最大ディスターブカウント値は、最大ディスターブカウント値保存部223から受信される。カウント値比較部222は、比較結果を次の非正規リフレッシュ

10

20

30

40

50

シュアドレス及び非正規リフレッシュフラグ保存部(Next Irregular Refresh Address & Irregular Refresh Flag Storage)252に伝送する。

【0070】

例えは、現在ディスターブカウント値が、前記スレッショルド値と同一または大きく、最大ディスターブカウント値よりも大きければ(count value Threshold old、count value > Max Count Value)、当該第2メモリセルを次の非正規リフレッシュ動作の対象とする。カウント値比較部222は、前記第2メモリセルが、次の非正規リフレッシュ動作の対象となる場合、非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部252に知らせる。

10

【0071】

しかし、現在ディスターブカウント値が、前記スレッショルド値よりも小さいか、最大ディスターブカウント値と同一または小さければ(count value < Threshold、count value < Max Count Value)、当該セルを次の非正規リフレッシュ動作の対象としない。

【0072】

最大ディスターブカウント値保存部223は、メモリ装置100の初期化時点から現在動作時点までの第2メモリセルに対するディスターブカウント値のうち、最大値を保存する。

【0073】

例えは、ディスターブカウントセルアレイ20からカウントライトリードブロック75を通じて出力された第2メモリセルの現在ディスターブカウント値が、以前に保存された最大ディスターブカウント値よりも大きければ(count value > current MAX count value)、前記現在ディスターブカウント値を新たな最大ディスターブカウント値に保存(または、アップデート)する。

20

【0074】

カウント有効フラグユニット224は、カウント有効フラグの活性化有無によってディスターブカウント動作に対する停止有無を制御する。カウント有効フラグは、ディスターブカウント値が非確定的である時、すなわち、カウント値が有効ではない時、非活性化される。また、カウント有効フラグユニット224は、メモリ装置100がテストモードなどでメモリセルのダイナミックリフレッシュ(Dynamic Refresh)特性を測定する場合、カウント有効フラグを非活性化して、ディスターブカウント動作または非正規リフレッシュ動作に対する停止有無を制御することができる。

30

【0075】

すなわち、カウント有効フラグユニット224は、ディスターブカウントユニット220のディスターブカウント値がいずれもリセットされれば、カウント有効フラグを活性化して、ディスターブカウントユニット220のカウント機能を活性化させる。

【0076】

メモリ装置100をパワーアップする場合、カウント値が有効ではないこともある。したがって、メモリ装置100を初期化しなければならず、初期化時にディスターブカウントセルアレイ20の各ワードラインをいずれもイネーブルさせて、リセットされた値にアップデートしなければならない。この際、メモリ装置100の特性ごとに初期化時間は異なりうるが、メモリ装置をテストすることのように、多数のワードライン(WL)をイネーブルして、同じデータを書き込む方法でリセットすることができる。

40

【0077】

一例として、パワーアップマスター信号(Power Up Master Signal)に基づいて、周期的内部リフレッシュ命令生成部(Periodic Internal Refresh Command Generator)254が活性化されれば、周期的内部リフレッシュ命令生成部254は、カウント有効フラグユニット224に制御信号を伝送する。カウント有効フラグユニット224は、前記制御信号によって非活性

50

化 (*dis a b l e*) されて、ディスターブカウンティング機能を停止させる。すなわち、各構成要素 221、222、223 に保存された値をリセットする。

【 0078 】

一例として、周期的内部リフレッシュ命令生成部 254 が非活性化されれば、カウント有効フラグユニット 224 は、カウント有効フラグ (*E n a b l e*) をカウント値比較部 222 に伝送して、ディスターブカウンティング機能を活性化させる。

【 0079 】

図 2 のリフレッシュユニット 250 は、メモリ装置 100 内の構成要素 220、75 などのリフレッシュ動作を制御する。リフレッシュユニット 250 は、隣接アドレス計算部 (*A d j a c e n t A d d r e s s C a l c u l a t o r*) 251、次の非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部 252、リフレッシュコントローラ (*R e f r e s h C o n t r o l l e r*) 253、及び周期的内部リフレッシュ命令生成部 254 を含む。

【 0080 】

隣接アドレス計算部 251 は、アドレスコマンドデコーダ 210 から受信した現在セル *WLx*、すなわち、第 1 メモリセルのアドレスに基づいて、隣接または近接したワードラインのセル、すなわち、第 2 メモリセルのアドレス (*WL(x ± k)*)、*k* は、自然数) を計算する。

【 0081 】

次の非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部 252 は、非正規リフレッシュフラグと次リフレッシュ動作を行うセルのアドレスを保存する。非正規リフレッシュフラグは、次の非正規リフレッシュ動作を行うか否かを知らせる。すなわち、前記第 2 メモリセルに対する前記現在ディスターブカウント値が、前記スレッショルド値以上であり、前記最大ディスターブカウント値を超過すれば、前記第 2 メモリセルの前記アドレスを次の非正規リフレッシュアドレスに保存し、前記第 2 メモリセルに対するリフレッシュ動作を実行するかどうかを非正規リフレッシュフラグに反映する。

【 0082 】

リフレッシュコントローラ 253 は、メモリ装置 100 の正規リフレッシュ動作と非正規リフレッシュ動作とを組み合わせて、前記メモリ装置 100 のリフレッシュ動作を全般的に制御する。例えば、非正規リフレッシュフラグによってリフレッシュ動作順序をスケジューリングすることができる。

【 0083 】

一例として、現在スケジュール内で前記非正規リフレッシュ動作を優先的に行うように、現在スケジュール内に非正規リフレッシュ動作スケジュールを挿入することができる。または、前記現在スケジュール内で非正規リフレッシュ動作を現在スケジュールと並行させうる。

【 0084 】

一例として、リフレッシュコントローラ 253 は、周期的内部リフレッシュ命令生成部 254 の制御によってリフレッシュスケジュールをリセットすることができる。

【 0085 】

周期的内部リフレッシュ命令生成部 254 は、パワーアップマスタ信号に基づいて、メモリ装置内部で全体ワードラインアドレス (または、ノーマルメモリセルアレイ全体) に対するリフレッシュを行い、ディスターブカウント値を初期化する。

【 0086 】

より具体的に説明すれば、周期的内部リフレッシュ命令生成部 254 は、パワーアップマスタ信号によって内部リフレッシュ信号をカウント有効フラグユニット (*C o u n t V a l i d F l a g U n i t*) 224 に伝送する。

【 0087 】

カウント有効フラグユニット 224 は、前記内部リフレッシュ信号によって、各構成要素 221、222、223 にあらかじめ保存されていたディスターブカウント値をリセッ

10

20

30

40

50

トするように制御する。この際、パワーアップマスタ信号は、実施形態によって、外部システム（図示せず）またはメモリコントローラ（図示せず）から受信されうる。

【0088】

図3は、本発明の一実施形態によるメモリ装置の動作方法を示すフロー チャートである。

【0089】

図3を参考にすると、メモリ装置100に電力が供給されれば、電源がオンになり（ステップS10）、メモリ装置100は、あらゆるワードラインをイネーブルして、ディスクターブカウントセルアレイのあらゆる前記ディスクターブカウント値を初期化することができる（ステップS20）。例えば、メモリ装置100は、複数のメモリセルのそれぞれのワードラインをいずれもイネーブルして、同じデータ値にリセットして初期化することができる。

【0090】

メモリ装置が初期化された後、遊休状態で（ステップS30）、メモリ装置100は、ホスト（図示せず）の命令に基づいて動作するアクティブ状態になるか（Active State、ステップS40）、データ信頼性のために自体的にメモリセルをリフレッシュするリフレッシュ状態（Refresh State、ステップS50）になる。

【0091】

メモリ装置100が、アクティブ状態になれば、メモリ装置100は、対象メモリセルへのアクセスタイムの間に残りのメモリセルに対するそれぞれのディスクターブ量をカウントする（ステップS40）。そして、メモリ装置100は、ホストの命令に基づいてリード動作／ライト動作／イレーズ（Erase）動作などを行い（ステップS60）、ディスクターブ量をカウントする動作を反復的に行う。メモリ装置100は、前記命令による動作遂行が終われば、対象メモリセルをプリチャージ（Precharge）して、再び遊休状態（Idle State）になる。

【0092】

メモリ装置100が、リフレッシュ状態になれば、メモリ装置100は、対象メモリセルを除いた残りのメモリセルに対してリフレッシュ動作を行う（ステップS50）。この際、リフレッシュ動作は、正規リフレッシュ動作及び非正規リフレッシュ動作を含む。メモリ装置100は、メモリセルのそれぞれに対して既定の規則で定められるスケジューリングによって、正規リフレッシュ動作を行うことができる。一方、メモリ装置100は、メモリセルのそれぞれのディスクターブ量を考慮して、最大ディスクターブ量を有したメモリセルの場合、前記スケジューリングに先にまたは並行して非正規リフレッシュ動作を行うことができる（ステップS50）。メモリ装置100は、リフレッシュ動作が終われば、再び遊休状態になる。

【0093】

図4は、図3に示されたメモリ装置の動作方法のうち、初期化される場合を示すフロー チャートである。

【0094】

図3及び図4を参照すると、メモリ装置100に電力が供給されてパワーオン（Power-On）になった場合、周期的内部リフレッシュ命令生成部354がイネーブルされる（ステップS21）。パワーオンであるか否かは、パワーアップマスタ信号によって決定される。周期的内部リフレッシュ命令生成部254がイネーブルされれば、リフレッシュコントローラ253は、現在リフレッシュアドレス（Current Refresh Address）に相応するディスクターブカウント値がリセット（または、クリア（Clear））されるように（ステップS22）制御する。そして、周期的内部リフレッシュ命令生成部254は、カウント有効フラグを非活性化して、ディスクターブカウントユニット250のカウント機能を非活性化させる。これは、あらゆるメモリセルのディスクターブカウント値がリセットされるまで反復される（ステップS23）。

【0095】

10

20

30

40

50

図5は、図3に示されたメモリ装置の動作方法のうち、アクティブ状態である場合を示すフローチャートである。

【0096】

図5を参考にすると、アドレスコマンドコード210が、アクティブ命令を受信すれば、メモリ装置100は、ノーマルセルアレイ11でアクティブ命令に相応する当該アドレス（対象メモリセルと言う）のワードラインをイネーブルし、対象メモリセルのワードラインに連結されたディスターブカウントセルからディスターブカウント値を読み取る（ステップS41）。ディスターブカウント値は、前記対象メモリセル以外の残りのセル、例えば、前記対象メモリセルに隣接（または、近接）したセルのディスターブ量を表わす。

10

【0097】

例えば、ディスターブ量は、前記対象メモリセルのワードラインWLxのアクセスタイムを単位時間、すなわち、最小イネーブルサイクル（Minimum tRCまたはMinimum tRAS）で割った値で表すことができる。一例として、ディスターブカウント値（Disturb Count（x））は、隣接または近接セル（Disturb（x-k）及びDisturb（x+k））、すなわち、対象メモリセルの左側または右側のワードラインに位置した少なくとも1つ以上のセル、以下、残りのメモリセル、kは、1以上の自然数）のディスターブカウント値で割ることができる。残りのメモリセル（x-kまたはx+k）がリフレッシュされる場合、前記残りのメモリセルに対するディスターブカウント値は、リフレッシュ動作後、0にリセット（または、クリア）される。

20

【0098】

メモリ装置100は、対象メモリセル（x）にアクセスしたので、残りのメモリセル（x-k、x+k）は、累積的にディスターブをさらに受ける。これにより、初期化されない限り、ディスターブ量をカウントし、対象メモリセル（x）のワードラインに連結されたディスターブカウントセルに保存されたディスターブカウント値に、前記カウントされた値を加えて、ディスターブカウント値をアップデートする。そして、アップデートされたディスターブカウント値は、リードした前記ディスターブカウントセルにライトして保存する（ステップS42）。すなわち、ディスターブ量は、累積アクセスタイムを単位時間で割った値であり得る。

30

【0099】

アップデートされたディスターブカウント値は、所定の値と比較して、その比較結果によって、リフレッシュ動作を実行するかどうかを決定する（ステップS43）。一例として、アップデートされたディスターブカウント値が、以前の段階で保存されていた現在最大ディスターブカウント値または既定のスレッシュルド値よりも大きければ、前記ディスターブカウント値に相応する残りのメモリセルのアドレスを次の非正規リフレッシュ動作を行うアドレスに保存する（ステップS44）。アップデートされたディスターブカウント値が、以前の段階で保存された現在最大ディスターブカウント値よりも大きければ、アップデートされたディスターブカウント値を新たな最大ディスターブカウント値に保存する（ステップS45）。

【0100】

一方、アップデートされたディスターブカウント値が、以前の段階で保存されていた現在最大ディスターブカウント値及び既定のスレッシュルド値よりも小さければ、リフレッシュ動作を行わず、次の非正規リフレッシュ動作のアドレス及び最大ディスターブカウント値に保存しない（ステップS43）。

40

【0101】

すなわち、アクティブ命令遂行時に、メモリ装置100は、アクティブ命令に相応する対象メモリセル（x）のワードラインWLxにのみアクセス可能であるので、隣接または近接したセル（x±k）（残りのメモリセル）のディスターブカウント値は、対象メモリセル（x）のワードラインに連結されたディスターブカウントセル20に保存する。

【0102】

50

一例として、残りのメモリセルのうち、何れか1つのメモリセル($x + k$ または $x - k$)を中心に両側(左側、右側)で対象メモリセル(x)がマルチアクセスされる場合(すなわち、2つ以上の対象メモリセルの各ワードラインが集中的または反復的にアクセスされる場合)、前記残りのメモリセルが受けるディスターブ量は、両側の対象メモリのそれぞれから受けるディスターブ量の和になる。この際、対象メモリセルのワードラインに連結されたディスターブカウントセルに保存される残りのメモリセルに対するディスターブ量は、どちらか一つの側のディスターブ量のみ保存して、正確なディスターブ量が分からず、誤差が発生する恐れがある。

【0103】

しかし、この際にも、アクティブ命令遂行を続ければ、両側の対象メモリセルのそれぞれのディスターブカウント値が増加して、結局、残りのメモリセルが非正規リフレッシュ動作の対象セルになることができ、最大ディスターブカウント値反映時に、このような点を考慮して、前記誤差を減らすことができる。さらに詳しい説明は、図9A以下の説明で行う。

【0104】

図6は、図3に示されたメモリ装置の動作方法のうち、リフレッシュ状態である場合を示すフローチャートである。

【0105】

図6を参照すると、アドレスコマンドデコーダ210が、リフレッシュ命令を受ければ、メモリ装置100は、リフレッシュ動作を行う。リフレッシュ動作は、正規リフレッシュ動作と非正規リフレッシュ動作とを含む。リフレッシュ命令に基づいて、メモリ装置100は、非正規リフレッシュ動作を実行するかどうかを判断する(ステップS51)。

【0106】

非正規リフレッシュ動作を行わない場合、すなわち、メモリ装置100は、非正規リフレッシュフラグ(Flag)が非活性化(Off)し、既存のスケジュールによってリフレッシュ動作を行う(ステップS52)。

【0107】

しかし、非正規リフレッシュ動作を行う場合、メモリ装置100は、非正規リフレッシュフラグを活性化(On)して、リフレッシュスケジュールを調整する。一例として、正規リフレッシュ動作と並行して、残りのメモリセルに対する非正規リフレッシュ動作を行うことができる。一例として、正規リフレッシュ動作の間に残りのメモリセルに対する非正規リフレッシュ動作を優先的に挿入して行うことができる(ステップS53)。

【0108】

前記残りのメモリセルの非正規リフレッシュ動作が完了すれば、メモリ装置100は、非正規リフレッシュ動作のための前記残りのメモリセルのアドレスをクリア(または、リセット)する(ステップS54)。また、非正規リフレッシュ動作遂行後、以前に保存された前記現在最大ディスターブカウント値をクリア(または、リセット)する(ステップS55)。

【0109】

そして、非正規リフレッシュ動作を行った残りのメモリセルのディスターブカウント値を保存している対象メモリセル(x)のワードラインにアクセスして、残りのメモリセルに対するディスターブカウント値をクリア(または、リセット)する(ステップS56)。

【0110】

したがって、メモリセルアクセス動作時に、ディスターブに最も脆弱なメモリセル(すなわち、ディスターブ量が最も大きなメモリセル)に対して優先的にリフレッシュ動作を行うようにリフレッシュスケジュールを調整する。その結果、前記メモリセルのリフレッシュインターバルタイム(Refresh Interval time)内のディスターブ量を制限して、メモリ装置のデータ信頼度が高くし、装置の性能を向上させることができる。

10

20

30

40

50

【0111】

図7は、本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。

【0112】

メモリ装置100は、アクティブ命令に基づいて第1メモリセル(対象メモリセル)へのアクセスを何回反復し、アクセスされる対象メモリセルに隣接/近接した残りのメモリセル(第2メモリセル)のディスターブ量をモニタリングする。メモリ装置100は、ディスターブ量が最も高くて、リフレッシュ特性が最も脆弱な第2メモリセルに対する非正規リフレッシュ動作を他のメモリセルに対するリフレッシュ動作よりも優先的に実行する。リフレッシュインターバル内の最大ディスターブカウント値は、前記非正規リフレッシュ動作を行う度にリセットされるので、引き続き増加せず、一定のレベルに制限される。

10

【0113】

図7を参照すると、メモリ装置100が、ROW=3に位置した第1メモリセル(×)に対して反復的に(または、集中的に)アクセスし、この際、スレッショルド値は、159と仮定する。第1メモリセルへの最初のアクセス前(T=0)にメモリ装置100がパワーアップされるので、装置に既に保存されていた第2メモリセル(ROW=2、ROW=4)のディスターブカウント値を初期化する。すなわち、ROW=3に連結されたディスターブカウントセルに保存された値(Disturb(x-1)、Disturb(x+1))を初期化する((ROW=2、ROW=4)=(0、0))。

20

【0114】

メモリ装置100は、初期化後、ホストの命令による動作を行うために、第1メモリセルにアクセスする。前記第1メモリセルにアクセスが反復されれば(T=1~159)、メモリ装置100は、前記第1メモリセルのワードライン(ROW=3)のアクセスタイルの間にディスターブ量をカウントし、増加させる。例えば、T=1で、第2メモリセルROW=2(Left)とROW=4(Right)でのディスターブカウント値(1、1)が、T=2で、第2メモリセルROW=2とROW=4でのディスターブカウント値(2、2)に増加し、前記第2メモリセルの各ディスターブカウント値は、カウントされる度にROW=3に連結されたディスターブカウントセル20に保存及びアップデートされる。

30

【0115】

図7の表で、灰色部分(ROW=3)は、アクセスされる第1メモリセル11と同一ワードラインに連結されたディスターブカウントセルアレイ20内に保存される第2メモリセルとに対するディスターブカウント値を表す。すなわち、アクティブ命令が行われる第1メモリセルの第1アドレス(ROW=3)のみアクセス可能であるために、ディスターブカウントセルは、アクセス命令が行われる第1メモリセルと同一ワードライン上に位置する。

30

【0116】

保存されるディスターブカウント値は、第1メモリセルのワードラインイネーブル時間(アクセスされる時間)の間に、第1メモリセルに隣接した第2メモリセル(ROW=2、4)のディスターブ量をカウントする。

40

【0117】

前記第1メモリセルに対するアクティブ命令が繰り返し行われれば、隣接した両側の第2メモリセル(ROW=2(Left) and ROW=4(Right))のそれぞれのディスターブカウント値が増加し、結局、第2メモリセルのうち少なくとも1つが非正規リフレッシュの対象となる。

【0118】

非正規リフレッシュ動作を実行するかどうかを決定する方法は、ディスターブカウントセルに保存された現在ディスターブカウント値(Current Disturb Count Value)が、スレッショルド値(threshold=159)よりも大きくなれば(T=160)、図7で、ROW=2のワードラインに属した隣接した第2メモリセルに連結されたディスターブカウントセル20に保存及びアップデートされる。

50

リセルに対して非正規リフレッシュ動作を優先的にスケジューリングする。リフレッシュスケジュールによって、前記第2メモリセルのリフレッシュ動作順序が来れば、動作を行い(Refresh 2)、前記第2メモリセルのディスターブカウント値をリセットする(ROW = 2、Disturb Count Value = 0)。

【0119】

以後、引き続き第1メモリセル(ROW = 3)に反復的にアクセスすれば(T = 161 ~ 319)、隣接した第2メモリセルのディスターブカウント値が継続的に増加する(ROW = 2の場合、0から引き続きカウント、ROW = 4の場合、160から引き続きカウントされる)。第2メモリセルのうち、ROW = 2は、リフレッシュ動作が行われたが、ROW = 4は、リフレッシュ動作が行われていないために、ROW = 4に対するディスターブ量はさらに増加する。10

【0120】

ROW = 3にある第1メモリセルに引き続きアクセスが反復されれば(T = 161 ~ 319)、ROW = 4にある第2メモリセルは、最大ディスターブカウント値を超過するので(T = 320)、非正規リフレッシュ動作を優先的にスケジューリングする。リフレッシュスケジュールによって順序が来れば、ROW = 4である第2メモリセルに対する非正規リフレッシュ動作を行う(Refresh 4)。そして、第1メモリセルのワードラインをイネーブルして、ディスターブカウントセルに保存されたROW = 4である第2メモリセルのディスターブカウント値をリセットする。20

【0121】

以後の第1メモリセル(ROW = 3)をアクセスする度に、前述したように、第2メモリセルに対するディスターブカウント値を引き続きカウントする。メモリ装置は、スレッショルド値または最大ディスターブカウント値と比較された前記ディスターブカウント値に基づいて、第2メモリセルに対する非正規リフレッシュ動作を行う。20

【0122】

このように、メモリセルアレイのうち、重畳されない少なくとも1つのメモリセルに反復的にアクセスする場合のディスターブ最大量は、次の式による。この際、nは、反復的にアクセスされるセルが属したワードライン(すなわち、ROW)の数である。

【数1】

$$MaxDisturb = (2n-1) \times tREFI/tRC/n + (Threshold+1) \quad \dots \quad (\text{数式1})$$
30

【0123】

ディスターブ量は、ワードラインがイネーブルされた全体時間であるので、これを整数化するために、累積的にイネーブルされた時間を合わせて、単位時間(tRASminまたはtRCmin)である場合のワードラインアクセスタイム)で割って整数化しなければならない。例えば、tREFが64ms、リフレッシュサイクルタイム(Refresh cycle time)が8Kで第1メモリセルに集中的にアクセスすると仮定する時、第1メモリセルが属したワードラインへのアクセスタイム(tRCmin)が50nsとする。この際、tREFは7.8usになるので、tREFの間に受ける最大ディスターブ量(MaxDisturb)は、数式1によって7.8us / 50ns = 160になる。40

【0124】

図8A及び図8Bは、本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。図8A及び図8Bの実施形態は、2本のワードラインにアクセスが集中される点で、1本のワードラインのみ集中的にアクセスされる図7と異なる。

【0125】

メモリ装置100が、2本以上のワードライン、例えば、ROW = 3、ROW = 6に位置した第1メモリセルに対して集中的にアクセスし、この際、スレッショルド値は、159と仮定する。50

【0126】

図8Aで、最初のアクセス前($T = 0$)にメモリ装置100がパワーアップされるので、既に保存されていた第2メモリセル($ROW = 2, 4, 5, 7$)に対するディスターブカウント値を初期化する。すなわち、 $ROW = 3, 6$ に連結されたディスターブカウントセルに保存された値($disturb(x-1), disturb(x+1)$)のそれぞれを初期化する(図9Aで、($ROW = 2, ROW = 4$) = (0, 0)及び($ROW = 5, ROW = 7$) = (0, 0))。

【0127】

メモリ装置100は、初期化後、 $ROW = 3, 6$ に位置した第1メモリセル($x = 3, 6$)にアクセスする。前記第1メモリセルにアクセスが集中的に反復されれば($T = 1 \sim 159$)、メモリ装置100は、第1メモリセルにアクセスする度に第2メモリセル($ROW = 2, 4, 5, 7$)に対するディスターブ量をカウントする。

10

【0128】

第2メモリセルのディスターブカウント値のそれぞれ(($ROW = 2, ROW = 4$)、($ROW = 5, ROW = 7$))は、アクセスされる第1メモリセル($ROW = 3, 6$)のディスターブカウントセルのそれぞれに保存される。メモリ装置100は、アクティブ命令が行われる第1アドレス($ROW = 3, 6$)に相応する第1メモリセルのみイネーブルしてアクセスし、残りのセルが属した $ROW = 2, 4, 5, 7$ は、イネーブルしないためである。

【0129】

20

ディスターブカウントセルからリードされた残りのセル($ROW = 2, 4, 5, 7$)の現在ディスターブカウント値(160)が、スレッショルド値($threshold = 159$)よりも大きくなれば($T = 160$)、メモリ装置は、 $ROW = 2$ の第2メモリセルをリフレッシュする($refresh = 2$)。そして、メモリ装置は、リフレッシュされた第2メモリセル($ROW = 2$)に対するディスターブカウント値をリセットする($ROW = 3$ で、($ROW = 2, ROW = 4$) = (0, 160))。

【0130】

引き続き第1メモリセル($ROW = 3, 6$)に集中的にアクセスすれば($T = 321 \sim 479$)、第2メモリセルのディスターブカウント値が継続的に増加する($ROW = 2$ の場合、0から引き続きカウント、 $ROW = 4, 5, 7$ の場合、160から引き続きカウントされる)。

30

【0131】

第2メモリセルのうち、 $ROW = 2$ は、リフレッシュ動作が行われたが、 $ROW = 4, 5, 7$ は、リフレッシュ動作が行われていないために、 $ROW = 4, 5, 7$ に対するディスターブカウント値は引き続き増加する。

【0132】

第1メモリセル($ROW = 3, 6$)に引き続きアクセスが集中されれば($T = 321 \sim 480$)、 $ROW = 4$ である第2メモリセルの実際ディスターブカウント値は、最大ディスターブカウント値(240)に至るので($T = 480$)、メモリ装置は、 $ROW = 4$ である第2メモリセルに対するリフレッシュ動作を優先的に行うようにスケジュールを調整する。メモリ装置は、調整されたスケジュールによって、 $ROW = 4$ である第2メモリセルに対して非正規リフレッシュ動作を行い($refresh = 4$)、 $ROW = 4$ のディスターブカウント値をリセットする($ROW = 3$ で、($ROW = 2, ROW = 4$) = (80, 0))。

40

【0133】

メモリ装置は、引き続き第1メモリセル($ROW = 3, 6$)にアクセスする度に第2メモリセルに対するディスターブカウント値を引き続きカウントする。第1メモリセル($ROW = 3, 6$)に引き続きアクセスが集中されれば、第1メモリセル $ROW = 6$ によって受けた $T = 640$ で $ROW = 5$ である第2メモリセルのディスターブカウント値(($ROW = 2, ROW = 4$) = (320, 320))は、スレッショルド値($threshold$)

50

$d = 159$) を超過するだけではなく、最大ディスターブカウント値 (240) を超過する。この際、メモリ装置は、ROW = 4 である第 2 メモリセルに対して非正規リフレッシュ動作を行う (ROW 2, ROW 4) = (0, 320) 。

【 0134 】

図 8 B でも、同様に、第 1 メモリセルがアクセスされる度に第 2 メモリセルのディスターブカウント値を引き続きアップデートし、前記ディスターブカウント値は、スレッシュルド値または最大ディスターブカウント値との比較された結果、非正規リフレッシュ動作の順序を決定する。すなわち、メモリ装置は、第 2 メモリセルに対するディスターブカウント値に基づいて、正規リフレッシュ動作中にも、非正規リフレッシュ動作を行うように動作順序のスケジュールを調整することができる。 10

【 0135 】

その結果、図 7 の実施形態のように、1 本のワードラインを非重畠的にアクセスする時よりは、最大ディスターブカウント値の大きさが増加するが、最大ディスターブカウント値が大きくなることを考慮しても、メモリ装置 100 が、現在ディスターブカウント値に基づいてリフレッシュスケジュールを調整するために、第 1 メモリセルに引き続きアクセスが集中されても、最大ディスターブカウント値は究極的に制限される (図 8 B で、最大ディスターブカウント値 = 400 に制限される) 。

【 0136 】

このように、メモリ装置が、少なくとも 2 つ以上のメモリセルに集中的または反復的にアクセスを行う場合、少なくとも 1 つの隣接 / 近接メモリセルは、それぞれディスターブを受けるが、この際、ディスターブ最大量は、次の式による。この際、n は、集中的にアクセスするセルが属したワードラインの数である。 20

【 数 2 】

$$MaxDisturb = (2n-1) \times tREFI/tRC/n + (Threshold+1) \dots \text{ (数式 2)}$$

【 0137 】

ディスターブ量は、ワードラインがイネーブルされた全体時間であるので、これを整数化するために、累積的にイネーブルされた時間を合わせて、単位時間 (t R A S m i n または t R C m i n である場合のワードラインアクセスタイム) で割って整数化しなければならない。前記数式 2 は、増加関数であって、n が無限大である時、最大ディスターブカウント値は、480 で収斂する。 $480 \times tRC$ は、24us になり (この際、tRC = 50ns) 、これは、残りのメモリセルのうち少なくとも 1 つが対象メモリセルから重畠的にディスターブを受けない場合のワーストケース (worst case) になる。 30

【 0138 】

図 9 A 及び図 9 B は、本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。図 9 A 及び図 9 B の実施形態は、隣接した 2 本のワードラインにアクセスが集中される点で、隣接していない 2 本のワードラインにアクセスが集中される図 8 A 及び図 8 B と異なる。 40

【 0139 】

メモリ装置 100 が、2 本以上のワードライン、例えば、ROW 3, ROW 5 に位置した第 1 メモリセルに対して集中的にアクセスし、この際、スレッシュルド値は、159 と仮定する。

【 0140 】

図 9 A で、最初のアクセス前 (T = 0) にメモリ装置 100 がパワーアップされるので、既に保存されていた第 2 メモリセル (ROW = 2, ROW = 4, ROW = 6) に対するディスターブカウント値を初期化する。すなわち、ROW = 3, 5 に連結されたディスターブカウントセルに保存された値 (Disturb (x - 1), Disturb (x + 1)) のそれぞれを初期化する (図 9 A で、(ROW 2, ROW 4) = (0, 0) 及び (ROW 4, ROW 6) = (0, 0)) 。 50

【0141】

メモリ装置100は、初期化後、ROW = 3に位置した第1メモリセル(×)にアクセスする。前記第1メモリセルにアクセスが集中的に反復されれば(T = 1 ~ 159)、メモリ装置100は、第1メモリセルにアクセスする度に第2メモリセル(ROW = 2、4、6)に対するディスターブカウント値をカウントする。図7と異なって、本実施形態の場合、アクセスが集中されるワードラインの第2メモリセルのうち、ROW = 4である第2メモリセルは、ROW = 3及びROW = 5からそれぞれ重畠的にディスターブを受ける。

【0142】

第2メモリセルのディスターブカウント値のそれぞれ((ROW 2、ROW 4)、(ROW 4、ROW 6))は、アクセスされる第1メモリセル(ROW = 3、5)のディスターブカウントセルのそれぞれに保存される。メモリ装置100は、アクティブ命令が行われる第1アドレス(ROW = 3、5)に相応する第1メモリセルのみアクセス可能であるためである。この際、ROW = 4の第2メモリセルは、ディスターブを重畠的に受けるので、第1メモリセル(ROW = 3、5)のディスターブカウントセルのそれぞれに保存されたディスターブカウント値を合算した値が、実際のディスターブ量(図9Aで、Effective 4)になる。

【0143】

ディスターブカウントセルからリードされた現在ディスターブカウント値(160)が、スレッショルド値(threshold = 159)よりも大きくなれば(T = 160)、メモリ装置は、ROW = 2の第2メモリセルをリフレッシュする(Refresh 2)。そして、メモリ装置は、リフレッシュされた第2メモリセル(ROW = 2)に対するディスターブカウント値をリセットする(ROW = 2、Disturb Count Value = 0)。

【0144】

引き続き第1メモリセル(ROW = 3、5)に集中的にアクセスすれば(T = 321 ~ 479)、第2メモリセルのディスターブカウント値が継続的に増加する(ROW = 2の場合、0から引き続きカウント、ROW = 4、6の場合、160から引き続きカウントされる)。

【0145】

第2メモリセルのうち、ROW = 2は、リフレッシュ動作が行われたが、ROW = 4、6は、リフレッシュ動作が行われていないために、ROW = 4、6に対するディスターブカウント値は引き続き増加する。

【0146】

第1メモリセル(ROW = 3、5)に引き続きアクセスが集中されれば(T = 321 ~ 480)、ROW = 4である第2メモリセルの実際ディスターブカウント値は、最大ディスターブカウント値に至るので(T = 480)、メモリ装置は、ROW = 4である第2メモリセルに対するリフレッシュ動作を優先的に行うようにスケジュールを調整する。メモリ装置は、調整されたスケジュールによって、ROW = 4である第2メモリセルに対して非正規リフレッシュ動作を行い(Refresh 4)、ROW = 4のディスターブカウント値をリセットする(ROW 3で、(ROW 2、ROW 4) = (80, 0))。

【0147】

メモリ装置は、引き続き第1メモリセル(ROW = 3、5)にアクセスする度に第2メモリセルに対するディスターブカウント値を引き続きカウントする。第1メモリセル(ROW = 3、5)に引き続きアクセスが集中されれば、第1メモリセルROW = 5によって受けたT = 640でROW = 4である第2メモリセルの実際ディスターブカウント値(effective 4 = 160)は、スレッショルド値(threshold = 159)を超過する。この際、メモリ装置は、ROW = 4である第2メモリセルに対して非正規リフレッシュ動作を行う。

【0148】

10

20

30

40

50

図 9 B でも、同様に、第 1 メモリセルがアクセスされる度に第 2 メモリセルのディスターブカウント値を引き続きアップデートし、前記ディスターブカウント値は、スレッシュヨルド値または最大ディスターブカウント値との比較された結果、非正規リフレッシュ動作の順序を決定する。すなわち、メモリ装置は、第 2 メモリセルに対するディスターブカウント値に基づいて、正規リフレッシュ動作中にも、非正規リフレッシュ動作を行うように動作順序のスケジュールを調整することができる。

【 0 1 4 9 】

その結果、図 7 の実施形態のように、少なくとも 1 本のワードラインを非重畠的にアクセスする時よりは、最大ディスターブカウント値の大きさが増加するが、第 2 メモリセルにディスターブが重畠されることを考慮しても、メモリ装置が、現在ディスターブカウント値に基づいてリフレッシュスケジュールを調整するために、第 1 メモリセルに引き続きアクセスが集中されても、最大ディスターブカウント値は究極的に制限される。

10

【 0 1 5 0 】

このように、メモリ装置が、少なくとも 2 つ以上のメモリセルに集中的にアクセスを行う場合、少なくとも 1 つの隣接 / 近接メモリセルは、重畠されたディスターブを受けるが、この際、最大ディスターブカウント値 (Max Distrub) は、数式 3 による。この際、n は、集中的にアクセスするセルが属したワードラインの数である。

【 数 3 】

$$MaxDisturb = (2n-3) \times tREFI / 2tRC/n + (Threshold+1) \times 2 \dots \text{ (数式 3)}$$

20

【 0 1 5 1 】

図 10 A 及び図 10 B は、本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。図 10 A 及び図 10 B の実施形態は、3 本のワードラインにアクセスが集中される点で、1 本のワードラインのみ集中的にアクセスされる図 7 と異なる。

【 0 1 5 2 】

メモリ装置 100 が、2 本以上のワードライン、例えば、ROW = 1、ROW = 4、ROW = 7 に位置した第 1 メモリセルに対して集中的にアクセスし、この際、スレッシュヨルド値は、159 と仮定する。

【 0 1 5 3 】

30

図 10 A で、最初のアクセス前 (T = 0) にメモリ装置 100 がパワーアップされるので、既に保存されていた第 2 メモリセル (ROW = 0, 2, 3, 5, 6, 8) に対するディスターブカウント値を初期化する。すなわち、ROW = 1, 4, 7 に連結されたディスターブカウントセルに保存された値 (Disturb(x-1), Disturb(x+1)) のそれぞれを初期化する (図 10 A で、(ROW 0, ROW 2) = (0, 0)、(ROW 3, ROW 5) = (0, 0) 及び (ROW 6, ROW 8) = (0, 0))。

【 0 1 5 4 】

メモリ装置 100 は、初期化後、ROW = 1, 4, 7 に位置した第 1 メモリセル (対象メモリセル) にアクセスする。前記第 1 メモリセルにアクセスが集中的に反復されれば (T = 1 ~ 480)、メモリ装置 100 は、第 1 メモリセルにアクセスする度に第 2 メモリセル (ROW = 0, 2, 3, 5, 6, 8) に対するディスターブ量をカウントする。説明の便宜上、第 2 メモリセルは、最も隣接したワードラインの第 1 メモリセル以外に他の第 1 メモリセルからは重畠的にディスターブを受けないと仮定する。例えば、ROW = 2 にある第 2 メモリセルは、ROW = 4 または ROW = 7 から重畠的にディスターブを受けず、ROW = 1 によってのみディスターブを受けると仮定する。

40

【 0 1 5 5 】

第 2 メモリセルのディスターブカウント値のそれぞれ ((ROW 0, ROW 2)、(ROW 3, ROW 5)、(ROW 6, ROW 8)) は、アクセスされる第 1 メモリセル (ROW = 1, 4, 7) のディスターブカウントセルのそれぞれに保存される。

50

メモリ装置 100 は、アクティブ命令が行われる第 1 アドレス (ROW = 1, 4, 7) に相応する第 1 メモリセルのみイネーブルしてアクセスし、残りのセルが属した ROW 0, 2, 3, 5, 6, 8 は、イネーブルしないためである。

【0156】

ディスターブカウントセルからリードされた残りのセル (ROW 0, 2, 3, 5, 6, 8) の現在ディスターブカウント値 (160) が、スレッショルド値 (threshold = 159) よりも大きくなれば (T = 480)、メモリ装置は、ROW = 0 の第 2 メモリセルをリフレッシュする (Refresh 0)。そして、メモリ装置は、リフレッシュされた第 2 メモリセル (ROW = 0) に対するディスターブカウント値をリセットする (ROW = 1 で、(ROW 0, ROW 2) = (0, 160))。 10

【0157】

引き続き第 1 メモリセル (ROW = 1, 4, 7) に集中的にアクセスすれば (T = 481 ~ 639)、第 2 メモリセルのディスターブカウント値が継続的に増加する (ROW = 0 の場合、0 から引き続きカウント、ROW = 2, 3, 5, 6, 8 の場合、160 から引き続きカウントされる)。第 2 メモリセルのうち、ROW = 0 は、リフレッシュ動作が行われたが、ROW = 2, 3, 5, 6, 8 は、リフレッシュ動作が行われていないために、ROW = 2, 3, 5, 6, 8 に対するディスターブカウント値は引き続き増加する。

【0158】

第 1 メモリセル (ROW = 1, 4, 7) に引き続きアクセスが集中されれば (T = 481 ~ 640)、ROW = 2 である第 2 メモリセルの実際ディスターブカウント値は、最大ディスターブカウント値 (214) に至るので (T = 640)、メモリ装置は、ROW = 2 である第 2 メモリセルに対するリフレッシュ動作を優先的に行うようにスケジュールを調整する。メモリ装置は、調整されたスケジュールによって、ROW = 2 である第 2 メモリセルに対して非正規リフレッシュ動作を行い (Refresh 2)、ROW = 2 のディスターブカウント値をリセットする (ROW = 1 で、(ROW 0, ROW 2) = (54, 0))。 20

【0159】

図 10A 及び図 10B で、メモリ装置 100 は、引き続き第 1 メモリセル (ROW = 1, 4, 7) にアクセスする度に第 2 メモリセルに対するディスターブカウント値を引き続きカウントする。第 1 メモリセル (ROW = 1, 4, 7) に引き続きアクセスが集中されれば、T = 800, 960, 1120, 1280 のそれぞれで第 2 メモリセルのディスターブカウント値が、スレッショルド値 (threshold = 159) を超過するか、最大ディスターブカウント値 (426) を超過して、第 2 メモリセルに対して非正規リフレッシュ動作を行う (Refresh 3, 5, 6, 8)。 30

【0160】

同様に、第 1 メモリセルがアクセスされる度に第 2 メモリセルのディスターブカウント値を引き続きアップデートし、前記ディスターブカウント値は、スレッショルド値または最大ディスターブカウント値と比較された結果、非正規リフレッシュ動作の順序を決定する。すなわち、メモリ装置は、第 2 メモリセルに対するディスターブカウント値に基づいて、正規リフレッシュ動作中にも、非正規リフレッシュ動作を行うように動作順序のスケジュールを調整することができる。 40

【0161】

その結果、図 7 の実施形態のように、1 本のワードラインのみ非重畠的にアクセスする時よりは、最大ディスターブカウント値の大きさが増加するが、最大ディスターブカウント値が大きくなることを考慮しても、メモリ装置 100 が、現在ディスターブカウント値に基づいてリフレッシュスケジュールを調整するために、第 1 メモリセルに引き続きアクセスが集中されても、最大ディスターブカウント値は究極的に制限される (図 10B で、最大ディスターブカウント値 = 426 に制限される)。

【0162】

このように、メモリ装置が、少なくとも 2 つ以上のメモリセルに集中的にアクセスを行 50

う場合、少なくとも 1 つの隣接 / 近接メモリセルは、それぞれディスターブを受けるが、この際、制限される最大ディスターブカウント値は、数式 4 による。この際、n は、集中的にアクセスするセルが属したワードラインの数である。

【数 4】

$$MaxDisturb = (2n-1) \times tREFI/tRC/n + (Threshold+1) \dots \text{ (数式 4)}$$

【0163】

ディスターブ量は、ワードラインがイネーブルされた全体時間であるので、これを整数化するために、累積的にイネーブルされた時間を合わせて、単位時間 (t R A S m i n または t R C m i n である場合のワードラインアクセスタイム) で割って整数化しなければならない。

【0164】

図 11 A ないし図 11 C は、本発明の実施形態によるメモリセルのリフレッシュ方法の動作を説明する表である。図 11 A 及び図 11 C の実施形態は、4 本の隣接したワードラインにアクセスが集中され、残りのメモリセルのうち少なくとも 3 本のワードラインに位置したメモリセルが重畠的にディスターブを受ける点で、1 本のワードラインのみ集中的にアクセスされる図 7 と異なる。

【0165】

メモリ装置 100 が、4 本のワードライン、例えば、ROW = 1、3、5、7 に位置した第 1 メモリセルに対して集中的にアクセスし、この際、スレッショルド値は、159 と仮定する。

【0166】

図 11 A で、最初のアクセス前 (T = 0) にメモリ装置 100 がパワーアップされるので、既に保存されていた第 2 メモリセル (ROW = 0、2、4、6、8) に対するディスターブカウント値を初期化する。

【0167】

メモリ装置 100 は、初期化後、ROW = 1、3、5、7 に位置した第 1 メモリセル (対象メモリセル) にアクセスする。前記第 1 メモリセルにアクセスが集中的に反復されれば、メモリ装置 100 は、第 1 メモリセル (ROW = 1、3、5、7) にアクセスする度に第 2 メモリセル (ROW = 0、2、4、6、8) に対するディスターブ量をカウントする。この際、ROW = 2、4、6 は、第 1 メモリセルの中間に位置して、両側でそれぞれディスターブを重畠的に受ける。

【0168】

第 2 メモリセルのディスターブカウント値のそれぞれは、アクセスされる第 1 メモリセル (ROW = 1、3、5、7) のディスターブカウントセルのそれぞれに保存される。この際、ROW = 1、3、5、7 にそれぞれ保存される ROW = 2、4、6 のディスターブカウント値は、ROW = 1、3、5、7 のそれぞれによるディスターブのみ考慮したことであるので、ROW = 2、4、6 が実際に受けたディスターブは、ROW = 1、3、5、7 によって受けたディスターブ量のそれぞれの和になる (例えば、T = 640 で、ROW = 2 が ROW = 1 によって受けたディスターブカウント値は 160、ROW = 2 が ROW = 3 によって受けたディスターブカウント値が 160 であるので、ROW = 2 が受けた実際ディスターブカウント値 (E2) は、160 + 160 = 320 になる)。

【0169】

ディスターブカウントセルからリードされた残りのセル (ROW = 0、2、4、6、8) の現在ディスターブカウント値が、スレッショルド値 (threshold = 159) よりも大きくなれば、メモリ装置は、ROW = 0 の第 2 メモリセルをリフレッシュする (Refresh 0 at T = 640)。そして、メモリ装置は、リフレッシュされた第 2 メモリセル (ROW = 0) に対するディスターブカウント値をリセットする。

【0170】

10

20

30

40

50

図 11 A ないし図 11 C で、メモリ装置 100 は、引き続き第 1 メモリセル (ROW = 1, 3, 5, 7) にアクセスする度に第 2 メモリセルに対するディスターブカウント値をカウントし、スレッショルド値または最大ディスターブカウント値と比較して非正規リフレッシュ順序を調整する。第 1 メモリセル (ROW = 1, 3, 5, 7) に引き続きアクセスが集中されれば、T = 800, 960, 1120, 1280, 1440, 1600, 1760 のそれぞれで第 2 メモリセルのディスターブカウント値が、スレッショルド値 (threshold = 159) を超過するか、最大ディスターブカウント値 (720) を超過して、第 2 メモリセルに対して非正規リフレッシュ動作を行う (T = 800, 960, 1120, 1280, 1440, 1600, 1760 のそれぞれで Refresh 2, 2, 4, 4, 6, 6, 8)。すなわち、重畠的にディスターブを受ける第 2 メモリセルは、ディスターブカウント値を両側のワードラインごとに考慮するので、リフレッシュ動作も重畠的になされうる。
10

【0171】

その結果、図 7 の実施形態のように、1 本のワードラインのみ非重畠的にアクセスする時、または図 10 A 及び図 10 B の実施形態のように、2 本以上のワードラインを非重畠的にアクセスする時よりは、最大ディスターブカウント値の大きさが増加するが、最大ディスターブカウント値が大きくなることを考慮しても、メモリ装置 100 が、現在ディスターブカウント値に基づいてリフレッシュスケジュールを調整するために、第 1 メモリセルに引き続きアクセスが集中されても、最大ディスターブカウント値は究極的に制限される (図 11 B で、最大ディスターブカウント値 = 720 に制限され、引き続き反復されるループで最大ディスターブカウント値 = 560 に制限される)。
20

【0172】

このように、メモリ装置が、少なくとも 2 つ以上のメモリセルに集中的にアクセスを行う場合、少なくとも 1 つの隣接 / 近接メモリセルは、それぞれディスターブを受けるが、この際、制限される最大ディスターブカウント値は、数式 5 による。この際、n は、集中的にアクセスするセルが属したワードラインの数である。

【数 5】

$$MaxDisturb = (2n-3) \times tREFI/2tRC/n + (Threshold+1) \times 2 \dots \text{ (数式 5)}$$

30

【0173】

ディスターブ量は、ワードラインがイネーブルされた全体時間であるので、これを整数化するために、累積的にイネーブルされた時間を合わせて、単位時間 (tRASmin または tRCmin である場合のワードラインアクセス時間) で割って整数化しなければならない。前記数式 5 は、n の全区間で増加関数であって、n が無限大で 960 に収斂する。tRC = 50ns で、n * tRC = 960 * 50ns であって、48us になるが、この場合が、ワーストケースになる。

【0174】

図 12 は、図 1 に示されたメモリ装置を含むコンピュータシステムの一実施形態を示す。
40

【0175】

図 12 を参照すると、図 1 に示されたメモリ装置 100 を含むコンピュータシステム 300 は、携帯電話 (cellular phone)、スマートフォン (smart phone)、PDA (Personal Digital Assistant)、または無線通信装置として具現可能である。

【0176】

コンピュータシステム 300 は、メモリ装置 100 とメモリ装置 100 の動作を制御することができるメモリコントローラ 320 とを含む。メモリコントローラ 320 は、ホスト 310 の制御によって、メモリ装置 100 のデータアクセス動作、例えば、ライト動作またはリード動作を制御することができる。
50

【0177】

メモリ装置100のデータは、ホスト310とメモリコントローラ320との制御によって、ディスプレイ330を通じてディスプレイされうる。無線送受信器340は、アンテナANTを通じて無線信号を送受信することができる。例えば、無線送受信器340は、アンテナANTを通じて受信された無線信号をホスト310で処理される信号に変更することができる。したがって、ホスト310は、無線送受信器340から出力された信号を処理し、該処理された信号をメモリコントローラ320またはディスプレイ330に伝送しうる。メモリコントローラ320は、ホスト310によって処理された信号をメモリ装置100に保存することができる。

【0178】

10

また、無線送受信器340は、ホスト310から出力された信号を無線信号に変更し、該変更された無線信号をアンテナANTを通じて外部装置に出力することができる。

【0179】

入力装置350は、ホスト310の動作を制御するための制御信号またはホスト310によって処理されるデータを入力することができる装置であって、タッチパッド(touch pad)とコンピュータマウス(computer mouse)のようなポインティング装置(pointing device)、キーパッド(keypad)、またはキーボードとして具現可能である。

【0180】

20

ホスト310は、メモリコントローラ320から出力されたデータ、無線送受信器340から出力されたデータ、または入力装置350から出力されたデータが、ディスプレイ330を通じてディスプレイされるように、ディスプレイ330の動作を制御することができる。実施形態によって、メモリ装置100の動作を制御することができるメモリコントローラ320は、ホスト310の一部として具現可能であり、また、ホスト310と別途のチップとして具現可能である。

【0181】

30

図13は、図1に示されたメモリ装置を含むコンピュータシステムの他の実施形態を示す。図13を参照すると、図1に示されたメモリ装置100を含むコンピュータシステム400は、PC(Personal Computer)、ネットワークサーバ(Network Server)、タブレット(tablet)PC、ネットブック(net-book)、eリーダー(e-reader)、PDA、PMP(Portable Multimedia Player)、MP3プレーヤー、またはMP4プレーヤーとして具現可能である。

【0182】

コンピュータシステム400は、ホスト410、メモリ装置100とメモリ装置100のデータ処理動作を制御することができるメモリコントローラ420、ディスプレイ430、及び入力装置440とを含む。

【0183】

40

ホスト410は、入力装置440を通じて入力されたデータによって、メモリ装置100に保存されたデータをディスプレイ430を通じてディスプレイすることができる。例えば、入力装置440は、タッチパッドまたはコンピュータマウスのようなポインティング装置、キーパッド、またはキーボードとして具現可能である。ホスト410は、コンピュータシステム400の全般的な動作を制御し、メモリコントローラ420の動作を制御することができる。

【0184】

実施形態によって、メモリ装置100の動作を制御することができるメモリコントローラ420は、ホスト410の一部として具現可能であり、また、ホスト410と別途のチップとして具現可能である。

【0185】

50

図14は、図1に示されたメモリ装置を含むコンピュータシステムのさらに他の実施形

態を示す。図14を参照すると、図1に示されたメモリ装置100を含むコンピュータシステム500は、イメージ処理装置(Image Process Device)、例えば、デジタルカメラまたはデジタルカメラ付き携帯電話またはスマートフォンとして具現可能である。

【0186】

コンピュータシステム500は、ホスト510、メモリ装置100とメモリ装置100のデータ処理動作、例えば、ライト動作またはリード動作を制御することができるメモリコントローラ520とを含む。また、コンピュータシステム500は、イメージセンサー530及びディスプレイ540をさらに含む。

【0187】

コンピュータシステム500のイメージセンサー530は、光学イメージをデジタル信号に変換し、該変換されたデジタル信号は、ホスト510またはメモリコントローラ520に伝送される。ホスト510の制御によって、前記変換されたデジタル信号は、ディスプレイ540を通じてディスプレイされるか、またはメモリコントローラ520を通じてメモリ装置100に保存することができる。

【0188】

また、メモリ装置100に保存されたデータは、ホスト510またはメモリコントローラ520の制御によって、ディスプレイ540を通じてディスプレイされる。

【0189】

実施形態によって、メモリ装置100の動作を制御することができるメモリコントローラ520は、ホスト510の一部として具現可能であり、また、ホスト510と別個のチップとして具現可能である。

【0190】

図15は、図1に示されたメモリ装置を含むコンピュータシステムのさらに他の実施形態を示す。図15を参照すると、図1に示されたメモリ装置100を含むコンピュータシステム600は、メモリ装置100及びメモリ装置100の動作を制御することができるホスト610を含む。メモリ装置100は、フラッシュメモリ(Flash Memory)のような不揮発性メモリとして具現されることを例示する。また、コンピュータシステム600は、システムメモリ620、メモリインターフェース630、ECCブロック640、及びホストインターフェース650をさらに含む。

【0191】

コンピュータシステム600は、ホスト610の動作メモリ(operation memory)として使われるシステムメモリ620を含む。システムメモリ620は、ROM(Read Only Memory)のような不揮発性メモリとして具現可能であり、SRAM(Static Random Access Memory)のような揮発性メモリとして具現可能である。

【0192】

コンピュータシステム600に接続されたホストは、メモリインターフェース630とホストインターフェース650とを通じてメモリ装置100とデータ通信を行うことができる。

【0193】

ホスト610の制御によって、エラー訂正コード(Error Correction Code: ECC)ブロック640は、メモリインターフェース630を通じてメモリ装置100から出力されたデータに含まれたエラービットを検出し、前記エラービットを訂正し、エラー訂正されたデータをホストインターフェース650を通じてホスト(HOST)に伝送しうる。ホスト610は、バス670を通じてメモリインターフェース630、ECCブロック640、ホストインターフェース650、及びシステムメモリ620の間でデータ通信を制御することができる。

【0194】

コンピュータシステム600は、フラッシュメモリドライブ、USBメモリドライブ、

10

20

30

40

50

IC - USB メモリドライブ、またはメモリスティック (memory stick) として具現可能である。

【0195】

図16は、図1に示されたメモリ装置を含むメモリシステムのさらに他の実施形態を示す。図16を参照すると、図1に示されたメモリ装置100を含むメモリシステム700は、ホストコンピュータ (host computer) 710とメモリカード (memory card) またはスマートカード (smart card) として具現可能である。メモリシステム700は、ホストコンピュータ710とメモリカード730とを含む。

【0196】

ホストコンピュータ710は、ホスト740及びホストインターフェース720を含む。メモリカード730は、メモリ装置100、メモリコントローラ750、及びカードインターフェース760を含む。メモリコントローラ750は、メモリ装置100とカードインターフェース760との間でデータの交換を制御することができる。

【0197】

実施形態によって、カードインターフェース760は、SD (Secure Digital) カードインターフェースまたはMMC (Multi-Media Card) インターフェースであり得るが、これに限定されるものではない。

【0198】

メモリカード730が、ホストコンピュータ710に装着されれば、カードインターフェース570は、ホスト740のプロトコルによってホスト740とメモリコントローラ750との間でデータ交換をインターフェースすることができる。

【0199】

実施形態によって、カードインターフェース760は、USB (Universal Serial Bus) プロトコル、IC (Inter Chip) - USB プロトコルを支援することができる。ここで、カードインターフェースとは、ホストコンピュータ710が使うプロトコルを支援することができるハードウェア、前記ハードウェアに搭載されたソフトウェア、または信号伝送方式を意味する。

【0200】

メモリシステム700が、PC、タブレットPC、デジタルカメラ、デジタルオーディオプレーヤー、携帯電話、コンソールビデオゲームハードウェア、またはデジタルセットトップボックスのようなホストコンピュータ710のホストインターフェース720と接続される時、ホストインターフェース720は、ホスト740の制御によって、カードインターフェース760とメモリコントローラ750とを通じてメモリ装置100とデータ通信を行うことができる。

【0201】

図17は、図1に示されたメモリ装置を含むデータ処理システムの一実施形態を示す。図17に示されたMOD (E/O) は、電気信号を光信号に変換する電 - 光変換器として使われる光変調器を意味し、DEM (O/E) は、光信号を電気信号に変換する光 - 電変換器として使われる光復調器を意味する。

【0202】

図17を参照すると、データ処理システム800は、CPU810、複数のデータバス801-1 ~ 801-3、及び複数のメモリモジュール840を含む。

【0203】

複数のメモリモジュール840のそれぞれは、複数のデータバス801-1 ~ 801-3のそれぞれに接続された複数のカプラー811-1、811-2、及び811-3のそれぞれを通じて光信号を送受信することができる。実施形態によって、複数のカプラー811-1、811-2、及び811-3のそれぞれは、電気的なカプラー (electrical coupler) または光学的なカプラー (optical coupler) として具現可能である。

10

20

30

40

50

【0204】

CPU810は、少なくとも1つの光変調器MOD(E/O)と少なくとも1つの光復調器DEM(O/E)とを含む第1光送受信器816、及びメモリコントローラ812を含む。少なくとも1つの光復調器DEM(O/E)は、光-電変換器として使われる。

【0205】

メモリコントローラ812は、CPU810の制御下で第1光送受信器816の動作、例えば、送信動作または受信動作を制御することができる。

【0206】

例えば、ライト動作時に、第1光送受信器816の第1光変調器MOD(E/O)は、メモリコントローラ812の制御下でアドレスと制御信号とを光変調器によって変調された光信号を生成させ、該生成された光信号ADD/CTRLを光通信バス801-3に伝送しうる。10

【0207】

第1光送受信器816が、光信号ADD/CTRLを光通信バス801-3に伝送した後、第1光送受信器816の第2光変調器MOD(E/O)は、変調された光ライトデータW DATAを生成させ、該生成された光ライトデータW DATAを光通信バス801-2に伝送しうる。

【0208】

各メモリモジュール840は、第2光送受信器830及び複数のメモリ装置100を含む。各メモリモジュール840は、光学的DIMM(Optical Dual In-line Memory Module)、光学的Fully Buffered DIMM、光学的SO-DIMM(Small Outline Dual In-line Memory Module)、Optical RDIMM(Registered DIMM)、Optical LRDIMM(Load Reduced DIMM)、UDIMM(Unbuffered DIMM)、光学的MicroDIMM、または光学的SIMM(Single In-line Memory Module)として具現可能である。20

【0209】

図17を参照すると、第2光送受信器830に具現された光復調器DEM(O/E)は、光通信バス801-2を通じて入力された光ライトデータW DATAを復調し、該復調された電気信号を複数のメモリ装置100のうちの少なくとも1つのメモリ装置に伝送しうる。実施形態によって、各メモリモジュール840は、光復調器DEM(O/E)から出力された電気信号をバッファリングするための電気的なバッファ833をさらに含みうる。30

【0210】

例えば、電気的なバッファ833は、復調された電気信号をバッファリングし、該バッファリングされた電気信号を複数のメモリ装置100のうちの少なくとも1つのメモリ装置に伝送しうる。

【0211】

リード動作時に、メモリ装置100から出力された電気信号は、第2光送受信器830に具現された光変調器MOD(E/O)によって光リードデータR DATAに変調される。光リードデータR DATAは、光通信バス801-1を通じてCPU810に具現された第1光復調器DEM(O/E)に伝送される。第1光復調器DEMは、光リードデータR DATAを復調し、該復調された電気信号をメモリコントローラ812に伝送する。40

【0212】

図18は、図1に示されたメモリ装置を含むマルチチップパッケージの一実施形態を概略的に示す概念図である。

【0213】

図18を参照すると、マルチチップパッケージ900は、パッケージ基板910上に順次に積層される多数の半導体装置930~950(Chip #1~Chip #3)を

含みうる。多数の半導体装置 930～950 のそれぞれは、前述したメモリ装置 100 を含みうる。多数の半導体装置 930～950 のそれぞれの動作を制御するためのメモリコントローラ（図示せず）は、多数の半導体装置 930～950 のうち、1 つ以上の半導体装置の内部に備えられることもあり、パッケージ基板 910 上に具現されることもある。多数の半導体装置 930～950 間の電気的連結のために、シリコン貫通電極（T S V : Through-silicon via、図示せず）、連結線（図示せず）、バンプ（bump、図示せず）、ソルダボール 920 などが使われる。

【0214】

一例として、第 1 半導体装置 930 は、ロジックダイ（logic die）であって、入出力インターフェース装置及びメモリコントローラを含み、第 2 半導体装置 940 と第 3 半導体装置 950 は、複数のメモリ装置が積層されたダイ（die）であって、それぞれメモリセルアレイを含みうる。この際、第 2 半導体装置 940 のメモリ装置と第 3 半導体装置 950 は、実施形態によって、同じ種類のメモリ装置でも、他種のメモリ装置でもあり得る。

【0215】

他の一例として、第 1 半導体装置ないし第 3 半導体装置 930～950 のそれぞれは、それぞれのメモリコントローラを含みうる。この際、メモリコントローラは、実施形態によって、メモリセルアレイと同一なダイにも、メモリセルアレイと異なるダイにもあり得る。さらに他の一例として、第 1 半導体装置（Die 1）930 は、光学インターフェース装置を含みうる。メモリコントローラは、第 1 半導体装置 930 または第 2 半導体装置 940 に位置し、メモリ装置は、第 2 半導体装置 940 または第 3 半導体装置 950 に位置して、メモリコントローラとシリコン貫通電極（T S V）とに連結されうる。

【0216】

また、前記実施形態は、メモリコントローラとメモリセルアレイダイとが積層された構造のハイブリッドメモリキューブ（Hybrid Memory Cube：以下、HMC と称する）として具現可能である。HMC として具現することによって、帯域幅の増加によるメモリ装置の性能向上、メモリ装置が占める面積を減少または最小化することによって、電力消耗及び生産コストを減少させることができる。

【0217】

図 19 は、図 18 に示されたマルチチップパッケージの一実施形態を立体的に示す概念図である。図 19 を参照すると、マルチチップパッケージ 900' は、シリコン貫通電極（T S V）960 を通じて相互連結された積層構造の多数のダイ（Die 1～Die 3）930～950 を含む。ダイ（Die 1～Die 3）930～950 のそれぞれは、メモリ装置 100 の機能を具現するための複数の回路ブロック（図示せず）、周辺回路（Periphery circuit）を含みうる。前記ダイ 930～950 は、セルレイヤードと指称され、複数の回路ブロックは、メモリブロックとして具現可能である。

【0218】

シリコン貫通電極 960 は、銅（Cu）などの金属を含む導電性物質からなり、シリコン基板の中央に配され、シリコン基板は、シリコン貫通電極 960 を取り囲んでいる構造を有する。シリコン貫通電極 960 とシリコン基板との間に絶縁領域（図示せず）が配置される。

【0219】

本発明の実施形態によるメモリ装置の動作方法は、またコンピュータで読み取り可能な記録媒体にコンピュータで読み取り可能なコードとして具現することが可能である。コンピュータで読み取り可能な記録媒体は、コンピュータシステムによって読み取れるデータが保存されるあらゆる種類の記録装置を含む。

【0220】

コンピュータで読み取り可能な記録媒体の例としては、ROM、RAM、CD-ROM、磁気テープ、フロッピー（登録商標）ディスク、光データ保存装置などがある。

【0221】

10

20

30

40

50

また、コンピュータで読み取り可能な記録媒体は、ネットワークで連結されたコンピュータシステムに分散されて、分散方式でコンピュータで読み取り可能なコードとして保存されて実行可能である。そして、本発明を具現するための機能的な（functional）プログラム、コード及びコードセグメントは、本発明が属する技術分野のプログラマーによって容易に推論されうる。

【0222】

本発明は、図面に示された一実施形態を参考にして説明されたが、これは例示的なものに過ぎず、当業者ならば、これより多様な変形及び均等な他実施形態が可能であるという点を理解できるであろう。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決定されるべきである。

10

【産業上の利用可能性】

【0223】

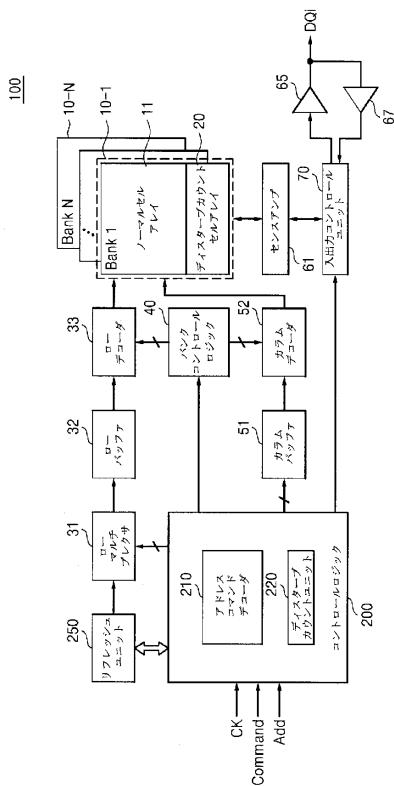
本発明は、メモリ装置、メモリシステム及びその動作方法関連の技術分野に適用可能である。

【符号の説明】

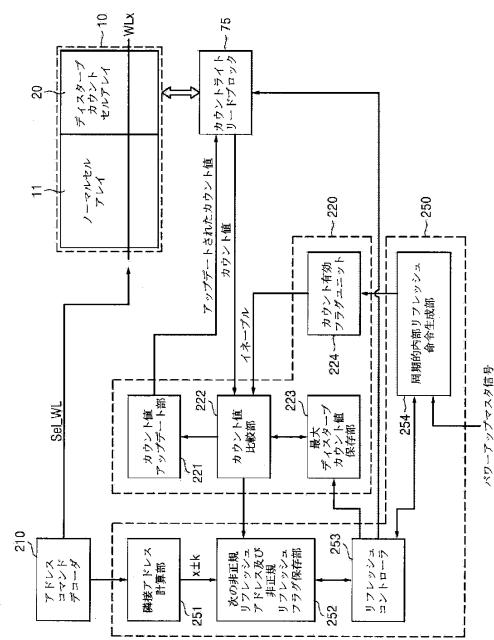
【0224】

| | | |
|-----------------|----------------------------------|----|
| 10 - 1 ~ 10 - N | メモリセルアレイ | |
| 11 | ノーマルセルアレイ | |
| 20 | ディスターブカウントセルアレイ | |
| 31 | ローマルチプレクサ | 20 |
| 32 | ローバッファ | |
| 33 | ローデコーダ | |
| 40 | バンクコントロールロジック | |
| 51 | カラムバッファ | |
| 52 | カラムデコーダ | |
| 61 | センスアンプ | |
| 70 | 入出力コントロールユニット | |
| 100 | メモリ装置 | |
| 200 | コントロールロジック | |
| 210 | アドレスコマンドデコーダ | 30 |
| 220 | ディスターブカウントユニット | |
| 221 | カウント値アップデート部 | |
| 222 | カウント値比較部 | |
| 223 | 最大ディスターブカウント値保存部 | |
| 224 | カウント有効フラグユニット | |
| 250 | リフレッシュユニット | |
| 251 | 隣接アドレス計算部 | |
| 252 | 次の非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部 | |
| 253 | リフレッシュコントローラ | |
| 254 | 周期的内部リフレッシュ命令生成部 | 40 |

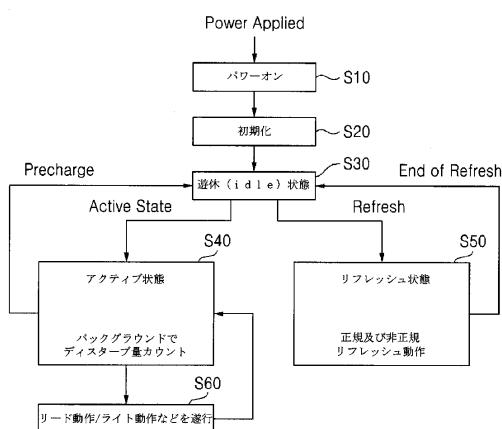
〔 四 1 〕



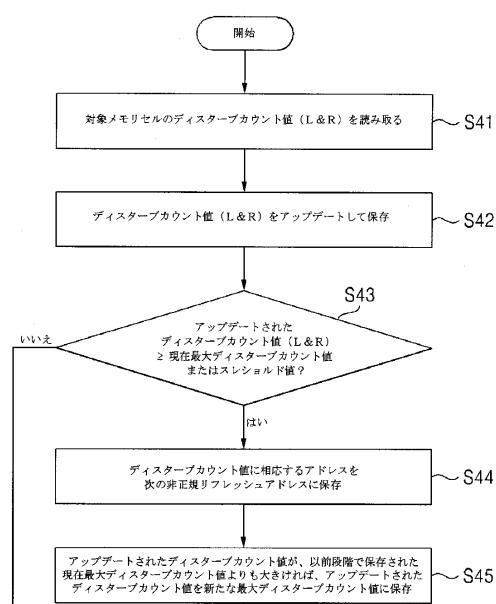
【図2】



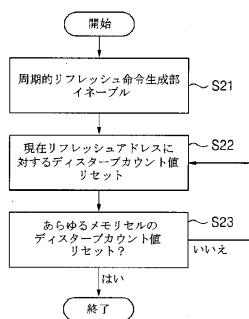
(3)



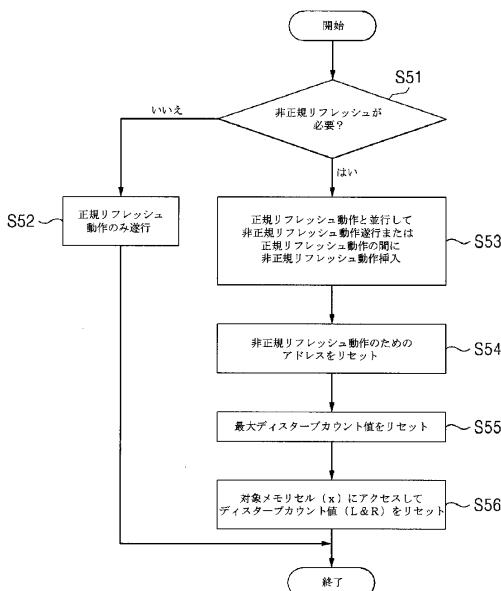
〔 四 5 〕



(4)



【 义 6 】



【図7】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|-----------|-----------|-----|-----|-----|---------|-----|-----|-----|-----|-----|
| | T=0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 3 | T=1 | 0,0 | 0,0 | 0,0 | 1,1 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 3 | T=2 | 0,0 | 0,0 | 0,0 | 2,2 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 3 | T=3+159 | 0,0 | 0,0 | 0,0 | ... | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 3 | T=160 | 0,0 | 0,0 | 0,0 | 160,160 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Refresh 2 | | 0,0 | 0,0 | 0,0 | 0,160 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 3 | T=161-319 | | | | | | | | | |
| Access 3 | T=320 | 0,0 | 0,0 | 0,0 | 160,320 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Refresh 4 | | | | | 160,0 | | | | | |
| Access 3 | T=321-479 | | | | | | | | | |
| Access 3 | T=480 | 0,0 | 0,0 | 0,0 | 320,160 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Refresh 2 | | | | | 0,160 | | | | | |

Threshold = 159, 1 ROW (x=3) Intensive Access

【図 8 A】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|------------|-----------|-----------------------|---------|-----------------------|---------|-----------------------|---|---|---------|---|
| | T=0 | 0,0,0,0,0,0,0,0,0,0,0 | | | | | | | | |
| Access 3,6 | T=1 | 0,0,0,0,0,0,0,0,0,0,0 | 1,1 | 0,0,0,0,0,0,0,0,0,0,0 | | | | | | |
| Access 3,6 | T=2 | 0,0,0,0,0,0,0,0,0,0,0 | 1,1 | 0,0,0,0,0,0,0,0,0,0,0 | 1,1 | 0,0,0,0,0,0,0,0,0,0,0 | | | | |
| Access 3,6 | T=3+159,0 | 0,0,0,0,0,0,0,0,0,0,0 | ... | 0,0,0,0,0,0,0,0,0,0,0 | ... | 0,0,0,0,0,0,0,0,0,0,0 | | | | |
| Access 3,6 | T=160 | 0,0,0,0,0,0,0,0,0,0,0 | 80,80 | 0,0,0,0,0,0,0,0,0,0,0 | 80,80 | 0,0,0,0,0,0,0,0,0,0,0 | | | | |
| Refresh 1 | | 0,0,0,0,0,0,0,0,0,0,0 | 80,80 | 0,0,0,0,0,0,0,0,0,0,0 | 80,80 | 0,0,0,0,0,0,0,0,0,0,0 | | | | |
| Access 3,6 | T=320 | 0,0,0,0,0,0,0,0,0,0,0 | 160,160 | 0,0,0,0,0,0,0,0,0,0,0 | 160,160 | 0,0,0,0,0,0,0,0,0,0,0 | | | | |
| Refresh 2 | | | | 0,160 | | | | | 160,160 | |
| Access 3,6 | T=480 | 0,0,0,0,0,0,0,0,0,0,0 | 80,240 | 0,0,0,0,0,0,0,0,0,0,0 | 240,240 | 0,0,0,0,0,0,0,0,0,0,0 | | | | |
| Refresh 4 | | | | 80,0 | | | | | 240,240 | |
| Access 3,6 | T=640 | 0,0,0,0,0,0,0,0,0,0,0 | 160,80 | 0,0,0,0,0,0,0,0,0,0,0 | 320,320 | 0,0,0,0,0,0,0,0,0,0,0 | | | | |
| Refresh 5 | | | | 160,80 | | | | | 320,320 | |

x=2 Disturb , x=4 Disturb x=5 Disturb , x=7

【図 8 B】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|-------------|--------|-----|-----|-----|---------|-----|-----|---------|-----|-----|
| Access 3, 6 | T=800 | 0,0 | 0,0 | 0,0 | 240,160 | 0,0 | 0,0 | 80,400 | 0,0 | 0,0 |
| Refresh 7 | | | | | 240,160 | 0,0 | | 80,0 | | |
| Access 3, 6 | T=960 | 0,0 | 0,0 | 0,0 | 320,240 | 0,0 | 0,0 | 160,80 | 0,0 | 0,0 |
| Refresh 2 | | | | | 0,240 | 0,0 | 0,0 | 240,160 | | |
| Access 3, 6 | T=1120 | 0,0 | 0,0 | 0,0 | 80,320 | 0,0 | 0,0 | 320,240 | 0,0 | 0,0 |
| Refresh 4 | | | | | 80,0 | 0,0 | 0,0 | 320,240 | | |
| Access 3, 6 | T=1280 | 0,0 | 0,0 | 0,0 | 160,80 | 0,0 | 0,0 | 400,320 | 0,0 | 0,0 |
| Refresh 5 | | | | | 160,80 | 0,0 | 0,0 | 0,320 | | |
| Access 3, 6 | T=1280 | 0,0 | 0,0 | 0,0 | 240,160 | 0,0 | 0,0 | 80,400 | 0,0 | 0,0 |
| Refresh 7 | | | | | 240,160 | 0,0 | | 80,0 | | |

Threshold = 159, 2 ROW (x=3 & x=6) Semi-intensive Access

【図 9 A】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | Effective 4 |
|------------|---------|-----|-----|-----|---------|-----|---------|-----|-----|-----|-------------|
| | T=0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0 |
| Access 3.5 | T=1 | 0.0 | 0.0 | 0.0 | 1.1 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 1 |
| Access 3.5 | T=2 | 0.0 | 0.0 | 0.0 | 1.1 | 0.0 | 1.1 | 0.0 | 0.0 | 0.0 | 2 |
| Access 3.5 | T=3-159 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | ... |
| Access 3.5 | T=160 | 0.0 | 0.0 | 0.0 | 80.80 | 0.0 | 80.80 | 0.0 | 0.0 | 0.0 | 160 |
| Refresh - | | 0.0 | 0.0 | 0.0 | 80.80 | 0.0 | 80.80 | 0.0 | 0.0 | 0.0 | 160 |
| Access 3.5 | T=320 | 0.0 | 0.0 | 0.0 | 160.160 | 0.0 | 160.160 | 0.0 | 0.0 | 0.0 | 320 |
| Refresh 2 | | | | | 0.160 | | 160.160 | | | | 320 |
| Access 3.5 | T=480 | 0.0 | 0.0 | 0.0 | 80.240 | 0.0 | 240.240 | 0.0 | 0.0 | 0.0 | 480 |
| Refresh 4 | | | | | 80.0 | | 240.240 | | | | 0 |
| Access 3.5 | T=640 | 0.0 | 0.0 | 0.0 | 160.80 | 0.0 | 320.320 | 0.0 | 0.0 | 0.0 | 160 |
| Refresh 4 | | | | | 160.80 | | 320.320 | | | | 0 |

Threshold = 150, 2-PCM ($\mu = 2.0, \sigma = 5$) Semi-Interleaved Adaptive 8-Subcarrier PAM-4

【図 9 B】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | Disturb(4) |
|--------------------|-----|-----|-----|-----|---------|-----|---------|-----|-----|-----|------------|
| Access 3.5, T=800 | 0,0 | 0,0 | 0,0 | | 240,160 | 0,0 | 80,400 | 0,0 | 0,0 | 0,0 | 160 |
| Refresh 6 | | | | | 240,160 | | 80,0 | | | | 160 |
| Access 3.5, T=960 | 0,0 | 0,0 | 0,0 | 0,0 | 320,240 | 0,0 | 160,80 | 0,0 | 0,0 | 0,0 | 320 |
| Refresh 2 | | | | | 0,240 | | 240,160 | | | | 320 |
| Access 3.5, T=1120 | 0,0 | 0,0 | 0,0 | | 80,320 | 0,0 | 320,240 | 0,0 | 0,0 | 0,0 | (480) |
| Refresh 4 | | | | | 80,0 | | 320,240 | | | | 0 |
| Access 3.5, T=1280 | 0,0 | 0,0 | 0,0 | | 160,80 | 0,0 | 400,320 | 0,0 | 0,0 | 0,0 | 160 |
| Refresh 4 | | | | | 160,80 | | 0,320 | | | | 0 |
| Access 3.5, T=1280 | 0,0 | 0,0 | 0,0 | | 240,160 | 0,0 | 80,400 | 0,0 | 0,0 | 0,0 | 160 |
| Refresh 6 | | | | | 240,160 | | 80,0 | | | | 160 |

Threshold = 159, 2 ROW ($x=2, 8, x=5$) Semi-intensive Access, Superposed Disturb

【 义 1 0 A 】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|--------------|---------|-----|---------|-----|-----|---------|-----|-----|---------|-----|
| | T=0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 1,4,7 | T=1 | 0,0 | 1,1 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 1,4,7 | T=2 | 0,0 | 1,1 | 0,0 | 0,0 | 1,1 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 1,4,7 | T=3 | 0,0 | 1,1 | 0,0 | 0,0 | 1,1 | 0,0 | 0,0 | 1,1 | 0,0 |
| Access 1,4,7 | T=4-159 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 | 0,0 |
| Access 1,4,7 | T=160 | 0,0 | 54,54 | 0,0 | 0,0 | 53,53 | 0,0 | 0,0 | 53,53 | 0,0 |
| Refresh | | 0,0 | 54,54 | 0,0 | 0,0 | 53,53 | 0,0 | 0,0 | 53,53 | 0,0 |
| Access 1,4,7 | T=320 | 0,0 | 107,107 | 0,0 | 0,0 | 107,107 | 0,0 | 0,0 | 106,106 | 0,0 |
| Refresh | | 0,0 | 107,107 | 0,0 | 0,0 | 107,107 | 0,0 | 0,0 | 106,106 | 0,0 |
| Access 1,4,7 | T=480 | 0,0 | 160,160 | 0,0 | 0,0 | 160,160 | 0,0 | 0,0 | 160,160 | 0,0 |
| Refresh 0 | | 0,0 | 160,160 | 0,0 | 0,0 | 160,160 | 0,0 | 0,0 | 160,160 | 0,0 |
| Access 1,4,7 | T=640 | 0,0 | 54,314 | 0,0 | 0,0 | 213,213 | 0,0 | 0,0 | 213,213 | 0,0 |
| Refresh 2 | | 0,0 | 54,0 | 0,0 | 0,0 | 213,213 | 0,0 | 0,0 | 213,213 | 0,0 |
| Access 1,4,7 | T=800 | 0,0 | 107,574 | 0,0 | 0,0 | 267,267 | 0,0 | 0,0 | 266,266 | 0,0 |
| Refresh 3 | | 0,0 | 107,54 | 0,0 | 0,0 | 267 | 0,0 | 0,0 | 266,266 | 0,0 |

Threshold = 159.3 ROW (x=1, 4, 7) Semi-intensive Access

【图10B】

| Command | X | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|--------------|--------|-----|---------|-----|-----|---------|-----|-----|---------|-----|
| Access 1,4,7 | T=960 | 0.0 | 160,107 | 0.0 | 0.0 | 53,320 | 0.0 | 0.0 | 320,320 | 0.0 |
| Refresh 5 | | 0.0 | 160,107 | | | 53,0 | | | 320,320 | |
| Access 1,4,7 | T=1120 | 0.0 | 214,161 | 0.0 | 0.0 | 106,53 | 0.0 | 0.0 | 373,373 | 0.0 |
| Refresh 6 | | 0.0 | 214,161 | | | 106,53 | | | 0,373 | |
| Access 1,4,7 | T=1280 | 0.0 | 267,214 | 0.0 | 0.0 | 160,107 | 0.0 | 0.0 | 53,426 | 0.0 |
| Refresh 8 | | 0.0 | 267,214 | | | 160,107 | | | 53,0 | |
| Access 1,4,7 | T=1440 | 0.0 | 329,267 | 0.0 | 0.0 | 213,160 | 0.0 | 0.0 | 107,54 | 0.0 |
| Refresh 0 | | 0.0 | 329,267 | | | 213,160 | | | 107,54 | |
| Access 1,4,7 | T=1600 | 0.0 | 54,321 | 0.0 | 0.0 | 266,213 | 0.0 | 0.0 | 60,107 | 0.0 |
| Refresh 2 | | 0.0 | 54,321 | | | 266,213 | | | 60,107 | |
| Access 1,4,7 | T=1760 | 0.0 | 107,53 | 0.0 | 0.0 | 320,267 | 0.0 | 0.0 | 213,160 | 0.0 |
| Refresh 3 | | 0.0 | 107,53 | | | 320,267 | | | 213,160 | |
| Access 1,4,7 | T=1920 | 0.0 | 160,106 | 0.0 | 0.0 | 53,320 | 0.0 | 0.0 | 267,214 | 0.0 |
| Refresh 5 | | 0.0 | 160,106 | | | 53,0 | | | 267,214 | |
| Access 1,4,7 | T=2080 | 0.0 | 214,160 | 0.0 | 0.0 | 106,53 | 0.0 | 0.0 | 320,267 | 0.0 |
| Refresh 6 | | 0.0 | 214,160 | | | 106,53 | | | 0,267 | |
| Access 1,4,7 | T=2240 | 0.0 | 267,213 | 0.0 | 0.0 | 160,107 | 0.0 | 0.0 | 53,320 | 0.0 |
| Refresh 8 | | 0.0 | 267,213 | | | 160,107 | | | 53,0 | |

Threshold = 150, 2 ROW (i=1, 4, 7) Semi-intensive Assess.

【図 11A】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | E2 | E4 | E6 |
|----------------|---------|-----|---------|-----|---------|-----|---------|-----|---------|-----|-----|-----|-----|
| Access 1,3,5,7 | T=0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0 | 0 | 0 |
| Access 1,3,5,7 | T=1 | 0.0 | 1.1 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 1 | 0 | 0 | 0 |
| Access 1,3,5,7 | T=2 | 0.0 | 1.1 | 0.0 | 1.1 | 0.0 | 0.0 | 0.0 | 0.0 | 2 | 1 | 0 | 0 |
| Access 1,3,5,7 | T=3 | 0.0 | 1.1 | 0.0 | 1.1 | 0.0 | 1.1 | 0.0 | 0.0 | 0.0 | 2 | 2 | 1 |
| Access 1,3,5,7 | T=4 | 0.0 | 1.1 | 0.0 | 1.1 | 0.0 | 1.1 | 0.0 | 0.0 | 2 | 2 | 2 | 2 |
| Access 1,3,5,7 | T=4~159 | 0.0 | 1.1 | 0.0 | 1.1 | 0.0 | 1.1 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 | 0.0 |
| Access 1,3,5,7 | T=160 | 0.0 | 40,40 | 0.0 | 40,40 | 0.0 | 40,40 | 0.0 | 40,40 | 0.0 | 80 | 80 | 80 |
| Refresh - | | 0.0 | 40,40 | 0.0 | 40,40 | 0.0 | 40,40 | 0.0 | 40,40 | 0.0 | 80 | 80 | 80 |
| Access 1,3,5,7 | T=320 | 0.0 | 80,80 | 0.0 | 80,80 | 0.0 | 80,80 | 0.0 | 80,80 | 0.0 | 160 | 160 | 160 |
| Refresh - | | 0.0 | 80,80 | 0.0 | 80,80 | 0.0 | 80,80 | 0.0 | 80,80 | 0.0 | 160 | 160 | 160 |
| Access 1,3,5,7 | T=480 | 0.0 | 120,120 | 0.0 | 120,120 | 0.0 | 120,120 | 0.0 | 120,120 | 0.0 | 240 | 240 | 240 |
| Refresh - | | 0.0 | 120,120 | 0.0 | 120,120 | 0.0 | 120,120 | 0.0 | 120,120 | 0.0 | 240 | 240 | 240 |
| Access 1,3,5,7 | T=640 | 0.0 | 160,160 | 0.0 | 160,160 | 0.0 | 160,160 | 0.0 | 160,160 | 0.0 | 320 | 320 | 320 |
| Refresh 0 | | 0.0 | 160,160 | 0.0 | 160,160 | 0.0 | 160,160 | 0.0 | 160,160 | 0.0 | 320 | 320 | 320 |
| Access 1,3,5,7 | T=800 | 0.0 | 200,200 | 0.0 | 200,200 | 0.0 | 200,200 | 0.0 | 200,200 | 0.0 | 400 | 400 | 400 |
| Refresh 2 | | 0.0 | 40,40 | 0.0 | 200,200 | 0.0 | 200,200 | 0.0 | 200,200 | 0.0 | 400 | 400 | 400 |

Threshold = 159, 4 ROW (x=1,3,5,7) Semi-intensive Access, Superposed Disturb

【図 11C】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | E2 | E4 | E6 |
|----------------|--------|-----|---------|-----|---------|-----|---------|-----|---------|-----|-----|-----|-----|
| Access 1,3,5,7 | T=1920 | 0.0 | 320,280 | 0.0 | 240,200 | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 480 | 320 | 160 |
| Refresh 0 | | 0.0 | 9,280 | 0.0 | 240,200 | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 480 | 320 | 160 |
| Access 1,3,5,7 | T=2080 | 0.0 | 40,320 | 0.0 | 280,240 | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 560 | 400 | 240 |
| Refresh 2 | | 0.0 | 40,40 | 0.0 | 280,240 | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 400 | 240 | 240 |
| Access 1,3,5,7 | T=2240 | 0.0 | 80,40 | 0.0 | 320,280 | 0.0 | 240,200 | 0.0 | 160,120 | 0.0 | 80 | 480 | 320 |
| Refresh 2 | | 0.0 | 80,40 | 0.0 | 280,240 | 0.0 | 240,200 | 0.0 | 160,120 | 0.0 | 480 | 320 | 320 |
| Access 1,3,5,7 | T=2400 | 0.0 | 120,80 | 0.0 | 40,320 | 0.0 | 280,240 | 0.0 | 200,160 | 0.0 | 80 | 560 | 400 |
| Refresh 4 | | 0.0 | 120,80 | 0.0 | 40,40 | 0.0 | 280,240 | 0.0 | 200,160 | 0.0 | 80 | 0 | 400 |
| Access 1,3,5,7 | T=2560 | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 320,280 | 0.0 | 240,200 | 0.0 | 160 | 80 | 480 |
| Refresh 4 | | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 280,240 | 0.0 | 240,200 | 0.0 | 160 | 0 | 480 |
| Access 1,3,5,7 | T=2720 | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 40,320 | 0.0 | 280,240 | 0.0 | 240 | 80 | 560 |
| Refresh 6 | | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 40,40 | 0.0 | 280,240 | 0.0 | 240 | 80 | 0 |
| Access 1,3,5,7 | T=2880 | 0.0 | 240,200 | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 320,280 | 0.0 | 320 | 160 | 80 |
| Refresh 6 | | 0.0 | 240,200 | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 320,280 | 0.0 | 320 | 160 | 0 |
| Access 1,3,5,7 | T=3040 | 0.0 | 280,240 | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 40,320 | 0.0 | 400 | 240 | 80 |
| Refresh 8 | | 0.0 | 280,240 | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 40,40 | 0.0 | 400 | 240 | 80 |

Threshold = 159, 4 ROW (x=1,3,5,7) Semi-intensive Access, Superposed Disturb

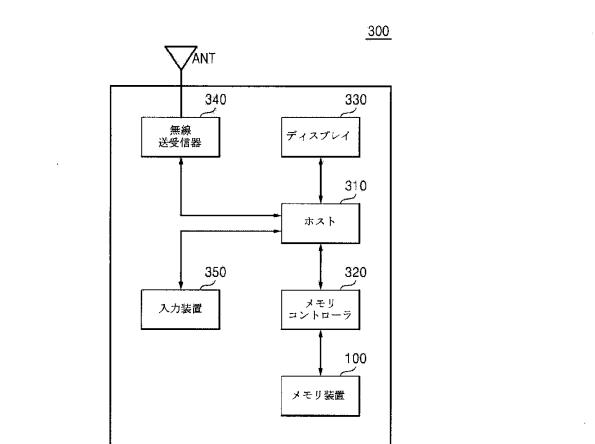
Repeat

【図 11B】

| Command | x | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | E2 | E4 | E6 |
|----------------|--------|-----|---------|-----|---------|-----|---------|-----|---------|-----|-----|-----|-----|
| Access 1,3,5,7 | T=960 | 0.0 | 80,40 | 0.0 | 240,240 | 0.0 | 240,240 | 0.0 | 240,240 | 0.0 | 80 | 480 | 480 |
| Refresh 2 | | 0.0 | 80,40 | 0.0 | 240 | 0.0 | 240,240 | 0.0 | 240,240 | 0.0 | 80 | 480 | 480 |
| Access 1,3,5,7 | T=1120 | 0.0 | 120,80 | 0.0 | 40,280 | 0.0 | 280,280 | 0.0 | 280,280 | 0.0 | 80 | 560 | 560 |
| Refresh 4 | | 0.0 | 120,80 | 0.0 | 40,40 | 0.0 | 280,280 | 0.0 | 280,280 | 0.0 | 80 | 0 | 560 |
| Access 1,3,5,7 | T=1280 | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 320,320 | 0.0 | 320,320 | 0.0 | 160 | 80 | 640 |
| Refresh 4 | | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 320,320 | 0.0 | 320,320 | 0.0 | 160 | 0 | 640 |
| Access 1,3,5,7 | T=1440 | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 40,360 | 0.0 | 360,360 | 0.0 | 240 | 80 | 720 |
| Refresh 6 | | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 40,40 | 0.0 | 360,360 | 0.0 | 240 | 80 | 0 |
| Access 1,3,5,7 | T=1600 | 0.0 | 240,200 | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 400,400 | 0.0 | 320 | 160 | 80 |
| Refresh 6 | | 0.0 | 240,200 | 0.0 | 160,120 | 0.0 | 80,40 | 0.0 | 400,400 | 0.0 | 320 | 160 | 0 |
| Access 1,3,5,7 | T=1760 | 0.0 | 280,240 | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 40,480 | 0.0 | 400 | 240 | 80 |
| Refresh 8 | | 0.0 | 280,240 | 0.0 | 200,160 | 0.0 | 120,80 | 0.0 | 40,40 | 0.0 | 400 | 240 | 80 |

Threshold = 159, 4 ROW (x=1,3,5,7) Semi-intensive Access Superposed Disturb

【図 11C】



300

330

310

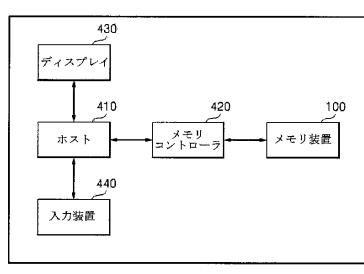
350

320

100

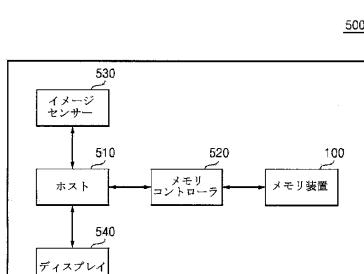
【図 13】

400



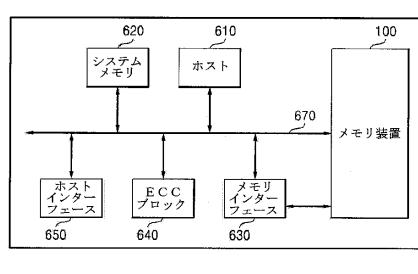
【図 14】

500



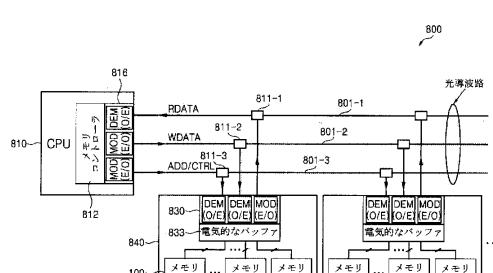
【図 15】

600



【図 17】

700



【図 16】

710

720

760

750

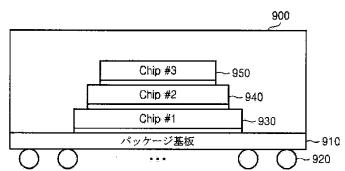
100

800

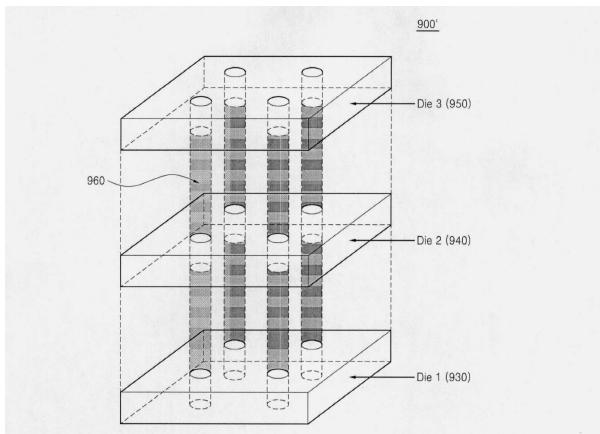
【図 16】

【図 17】

【図18】



【図19】



フロントページの続き

(72)発明者 金 昭映

大韓民国京畿道華城市盤松洞(番地なし) 示範ハンピットマウル韓化夢にグリーンアパート23
2棟601号

審査官 塚田 肇

(56)参考文献 特開2010-079956(JP, A)

特開2007-012173(JP, A)

特開2007-157296(JP, A)

特開2005-251256(JP, A)

特開平9-282873(JP, A)

米国特許第5715193(US, A)

米国特許出願公開第2008/0165605(US, A1)

(58)調査した分野(Int.Cl., DB名)

G 11 C 11 / 40