

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年10月1日(01.10.2015)



(10) 国際公開番号

WO 2015/147016 A1

- (51) 国際特許分類:
G11C 11/15 (2006.01) G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2015/058988
- (22) 国際出願日: 2015年3月24日(24.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-060901 2014年3月24日(24.03.2014) JP
- (71) 出願人: 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).
- (72) 発明者: 羽生 貴弘(HANYU Takahiro); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 鈴木 大輔(SUZUKI Daisuke); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 夏井 雅典(NATSUI Masanori); 〒

9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 望月 明(MOCHIZUKI Akira); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP).

(74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目7番地 協販ビル 2階 Tokyo (JP).

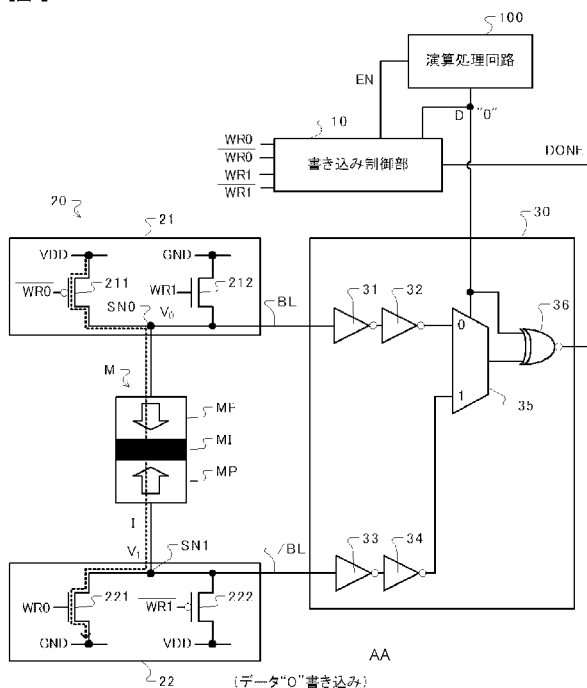
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: DATA-WRITE DEVICE FOR RESISTANCE-CHANGE MEMORY ELEMENT

(54) 発明の名称: 抵抗変化型記憶素子のデータ書き込み装置

[図8]



(57) Abstract: A data-write device (1) is provided with: a write drive unit (20) which applies a current to one current path that includes an MTJ element (M) or to another current path that includes the MTJ element (M) depending on the write data (D) to be written, and writes the write-data (D) to the MTJ element (M); a write completion detection unit (30) which monitors the voltage of a first connection node or a second connection node depending on the write data (D) subsequent to starting of the writing of the write data (D) to the MTJ element (M), detects when writing of the write data (D) has completed on the basis of the voltage of that one end of the MTJ element (M), and supplies a write completion signal (DONE) representing the completion of the writing of the data; and a write control unit (10) which stops the writing of the write data (D) to the MTJ element (M) in response to the write completion signal (DONE) supplied by the write completion detection unit (30).

(57) 要約:

[続葉有]

WO 2015/147016 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

データ書き込み装置 (1) は、書き込み対象の書き込みデータ (D) に応じ、MTJ 素子 (M) を含む一の電流路、または、MTJ 素子 (M) を含む他の電流路に電流を流し、MTJ 素子 (M) に書き込みデータ (D) を書き込む書き込み駆動部 (20)、MTJ 素子 (M) への書き込みデータ (D) の書き込みを開始してから、書き込みデータ (D) に応じ、第 1 接続ノード、または、第 2 接続ノードの電圧を監視し、この一端の電圧を基に書き込みデータ (D) の書き込みが終了したことを検出し、データの書き込みが終了したことを表す書き込み終了信号 (DONE) を供給する書き込み終了検出部 (30)、書き込み終了検出部 (30) によって供給された書き込み終了信号 (DONE) に応答して、MTJ 素子 (M) への書き込みデータ (D) の書き込みを停止させる書き込み制御部 (10) を備える。

明 細 書

発明の名称：抵抗変化型記憶素子のデータ書き込み装置

技術分野

[0001] この発明は、抵抗変化型記憶素子のデータ書き込み装置に関する。

背景技術

[0002] M T J (Magnetic Tunneling Junction: 磁気トンネル接合) 素子等の抵抗変化型の記憶素子は、書き込み電流が供給されると、その抵抗状態が変化する。しかし、素子毎に抵抗状態が変化するタイミングにばらつきがある。このため、抵抗変化型の記憶素子へ書き込み電流の供給には、記憶素子の抵抗状態を変化させるために十分な時間が確保される。しかし、この手法は、抵抗変化型の記憶素子の抵抗状態が変化した後も（データが書き込みが完了した後も）、記憶素子に書き込み電流を供給し続けるため、無駄な電力を消費する。

[0003] 非特許文献 1 から 4 には、抵抗変化型の記憶素子へのデータの書き込みの終了を検出する技術が開示されている。非特許文献 1 から 3 には、記憶素子に記憶されたデータを間欠的に読み出し、書き込み対象のデータが読み出された場合に書き込みの終了を検出する装置が開示されている。非特許文献 4 には、抵抗変化型の記憶素子の一端の電圧が、書き込み対象のデータに対応する電圧に変化した場合にデータの書き込みの終了を検出する装置が開示されている。

先行技術文献

非特許文献

[0004] 非特許文献1: P. Zhou, et al., "Energy Reduction for STT-RAM using Early Write Termination", ICCAD, p. 264, Nov. 2009
非特許文献2: Y. Lakys, et al., "Self-Enabled Error-Free Switching Circuit fo

r Spin Transfer Torque MRAM and Logic", IEEE Trans. Magn. Vol. 48, No. 9, p. 2403, Nov. 2012

非特許文献3: N. Strikos, et al., "Low-Current Probabilistic Writes for Power-Efficient STT-RAM Caches", Proc. ICCD, p. 511, Oct. 2013

非特許文献4: T. Zheng, et al., "Variable-Energy Write STT-RAM Architecture with Bit-Wise Write-Completion Monitoring", Proc. ISLPED, p. 229, Sep. 2013

発明の概要

発明が解決しようとする課題

[0005] 非特許文献1から3に開示された装置は、記憶素子からデータを読み出す間隔が長いと、実際にデータの書き込みが終了してからデータの書き込み終了が検出されるまでの時間差が生じ、時間差の分だけ無駄な電力を消費するという問題がある。逆に、記憶素子からデータを読み出す間隔が短いと、データの読みだし回数が増加し、消費電力が増大するという問題がある。

[0006] また、非特許文献4に開示された装置は、記憶素子に流れる書き込み電流の方向によって、検出される電圧の変化が大きい場合と小さい場合とがある。検出される電圧の変化が小さい場合にはデータの書き込み終了の検出が正しく行われていない可能性がある。このため、非特許文献4に開示された装置は、書き込み終了の検出マージンが低いという問題がある。また、非特許文献4に開示された装置は、記憶素子の一端の電圧の変化を書き込み対象のデータ毎に検出する回路を備える必要があり、この回路にはリセット機能付きのフリップフロップ等を備えるため、回路面積が大きいという問題がある。

[0007] 本発明は、こうした実情に鑑みてなされたものであり、書き込み終了につい

て高い検出マージンを有し、かつ単純な回路構成によりデータ書き込み時の電力消費を低減するデータ書き込み装置を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の抵抗変化型記憶素子のデータ書き込み装置は、

第1のPMOSトランジスタのドレイン端に第1のNMOSトランジスタのドレイン端が接続され、前記第1のPMOSトランジスタのドレイン端と前記第1のNMOSトランジスタのドレイン端とを接続する第1接続ノードに、抵抗変化型の記憶素子の一方の端が接続され、

第2のNMOSトランジスタのドレイン端に第2のPMOSトランジスタのドレイン端が接続され、前記第2のPMOSトランジスタのドレイン端と前記第2のPMOSトランジスタのドレイン端とを接続する第2接続ノードに前記記憶素子の他方の端が接続され、

書き込み対象のデータに応じ、前記第1のPMOSトランジスタと前記記憶素子と前記第2のNMOSトランジスタを含む電流路、または、前記第2のPMOSトランジスタと前記記憶素子と前記第1のNMOSトランジスタとを含む電流路に電流を流し、前記記憶素子にデータを書き込む書き込み手段と、

前記記憶素子へのデータの書き込みを開始してから、書き込み対象のデータに応じ、前記第1接続ノード、または、前記第2接続ノードの電圧を監視し、この一端の電圧を基に前記データの書き込みが終了したことを検出し、前記データの書き込みが終了したことを表す書き込み終了信号を供給する書き込み終了検出手段と、

前記書き込み終了検出手段によって供給された前記書き込み終了信号に応答して、前記書き込み手段による前記記憶素子への前記データの書き込みを停止させる書き込み制御手段と、を備える。

[0009] 前記書き込み終了検出手段は、例えば、前記記憶素子の一端の電圧が予め設定された閾値を上回ったとき、あるいは閾値を下回ったときに前記書き込

み終了信号を供給する。

[0010] 前記書き込み終了検出手段は、例えば、インバータを備え、前記インバータは、前記記憶素子の一端の電圧が前記インバータに設定された閾値を上回ったとき、あるいは閾値を下回ったときに前記書き込み終了信号を出力する。

[0011] 前記書き込み終了検出手段は、例えば、前記書き込み手段により、前記記憶素子に第1のデータが書き込まれて、前記記憶素子が、抵抗が低い状態から高い状態に変化したことにより、前記記憶素子の第1の端の電圧が第1の閾値より小さい値から大きい値に変化したとき、及び、前記書き込み手段により、前記記憶素子に第2のデータが書き込まれて、前記記憶素子が、抵抗が高い状態から低い状態に変化したことにより、前記記憶素子の第2の端の電圧が第2の閾値より大きい値から小さい値に変化したとき、に前記書き込み終了信号を出力する。

[0012] 前記書き込み終了検出手段は、例えば、前記書き込み対象のデータに応じて、前記書き込み手段の第1の端の電圧と第2の端の電圧の一方を選択する手段を備える。

[0013] 前記書き込み制御手段は、例えば、第1のデータまたは第2のデータの書き込みの要求を受け付ける書き込み要求受付部と、前記書き込み要求受付部が受け付けた前記第1のデータの書き込みの要求に従って、前記記憶素子への前記第1のデータの書き込みを前記書き込み手段に実行させる第1の書き込み制御部と、前記書き込み要求受付部が受け付けた前記第2のデータの書き込みの要求に従って、前記記憶素子への前記第2のデータの書き込みを前記書き込み手段に実行させる第2の書き込み制御部と、を備え、前記第1の書き込み制御部は、前記書き込み終了検出手段から供給された前記第1のデータに対応する書き込み終了信号に応答して、前記書き込み手段による前記記憶素子への前記第1のデータの書き込みを停止させ、前記第2の書き込み制御部は、前記書き込み終了検出手段から供給された前記第2のデータに対応する書き込み終了信号に応答して、前記書き込み手段による前記記憶素子

への前記第2のデータの書き込みを停止させる。

[0014] 例えば、複数の前記記憶素子が配置され、前記各記憶素子の端部は、選択用のトランジスタを介して一对のビットラインに接続されており、前記書き込み手段は、前記一对のビットラインを介して選択された記憶素子に前記書き込み対象のデータを書き込み、前記書き込み終了検出手段は、前記選択された記憶素子の一端が接続された一方の前記ビットラインの電圧に基づいて、前記データの書き込みが終了したことを検出する。

発明の効果

[0015] 本発明によれば、書き込み終了について高い検出マージンを有し、かつ単純な回路構成によりデータ書き込み時の電力消費を低減できる。

図面の簡単な説明

[0016] [図1]本発明の実施の形態に係るデータ書き込み装置のブロック図である。

[図2] (a)は高抵抗状態のMTJ素子の構成を示した図である。(b)は低抵抗状態のMTJ素子の構成を示した図である。

[図3]図1に示した書き込み制御部の回路構成を示した図である。

[図4]図1に示した書き込み駆動部及び書き込み終了検出部の回路構成を示した図である。

[図5] (a)はMTJ素子の抵抗値の時間的変化を示したタイミングチャートである。(b)はビットラインの電圧の時間的変化を示したタイミングチャートである。(c)はビットラインバーの電圧の時間的変化を示したタイミングチャートである。(d)はイネーブルバー信号の信号レベルの時間的変化を示したタイミングチャートである。(e)は書き込み終了信号の信号レベルの時間的変化を示したタイミングチャートである。(f)は書き込み電流の時間的変化を示したタイミングチャートである。

[図6]CMOS型のインバータの構成を示した図である。

[図7]書き込みデータ「0」を書き込む場合の書き込み制御部の動作を示した図である。

[図8]書き込みデータ「0」を書き込む場合の書き込み駆動部及び書き込み終

了検出部の動作を示した図である。

[図9]書き込みデータ「0」が書き込まれた場合の書き込み制御部の動作を示した図である。

[図10]書き込みデータ「1」を書き込む場合の書き込み制御部の動作を示した図である。

[図11]書き込みデータ「1」を書き込む場合の書き込み駆動部及び書き込み終了検出部の動作を示した図である。

[図12]書き込みデータ「1」が書き込まれた場合の書き込み制御部の動作を示した図である。

[図13]本発明の第1の変形例に係るデータ書き込み装置の構成を示したブロック図である。

[図14]本発明の第2の変形例に係るデータ書き込み装置の構成を示したブロック図である。

発明を実施するための形態

[0017] 以下、図面を参照して本発明の実施の形態に係るデータ書き込み装置を説明する。

図1に示すように、データ書き込み装置1は、メモリセルMCにデータを書き込む。メモリセルMCは1つのMTJ (Magnetic Tunneling Junction: 磁気トンネル接合) 素子Mを有する。データ書き込み装置1は、書き込み対象のデータ「0」または「1」に対応する電流をMTJ素子Mに流すことによりデータを書き込む。データ書き込み装置1は、MTJ素子Mの抵抗状態が変化するとデータの書き込み終了を検出し、MTJ素子Mへの通電を停止する。以下、書き込み対象のデータを書き込みデータD、MTJ素子Mにデータを書き込むための電流を書き込み電流Iという。

[0018] データ書き込み装置1は、書き込み制御部10と、書き込み駆動部20と、書き込み終了検出部30とを備える。

[0019] 書き込み制御部10は、例えば、CPU (Central Processing Unit) の演算処理回路100から書き込みデータDを表す信号とイネーブルバー信号／

ENを受け取る。さらに、書き込み制御部10は、書き込み終了検出部30から書き込み終了信号DONEを受け取る。書き込み制御部10は、演算処理回路100から受け取ったイネーブルバー信号／ENの信号レベル、及び、書き込み終了検出部30から受け取った書き込み終了信号DONEの信号レベルに応じて、有効な書き込み駆動信号WR（アクティブレベルの書き込み駆動信号WR）または無効な書き込み駆動信号WR（非アクティブレベルの書き込み駆動信号WR）を書き込み駆動部20に供給する。具体的には、書き込み制御部10は、ロウレベルのイネーブルバー信号／ENを受け取った後、ハイレベルの書き込み終了信号DONEを受け取るまでの間は、アクティブレベルの書き込み駆動信号WRを書き込み駆動部20に供給する。また、書き込み制御部10は、ハイレベルのイネーブルバー信号／ENおよびハイレベルの書き込み終了信号DONEを受け取っている間は、非アクティブレベルの書き込み駆動信号WRを書き込み駆動部20に供給する。

[0020] 書き込み駆動部20は、ビットラインBL及びビットラインバー／BLに接続されている。書き込み駆動部20は、書き込み制御部10からアクティブレベルの書き込み駆動信号WRを受け取ると、書き込みデータDに応じた方向の書き込み電流IをビットラインBL、ビットラインバー／BLに流す。これにより、ビットラインBL、MTJ素子M、ビットラインバー／BLから形成される電流パスに書き込み電流Iが流れ、MTJ素子Mに書き込みデータD「0」または「1」が書き込まれる。

[0021] MTJ素子Mは、図2に示すように、ピン（固定）層MP、絶縁層MI、フリー（可動）層MFの3層から構成される。

ピン層MPとフリー層MFは強磁性体、（例えばCoFeB）、強磁性ホイスラ合金（例えばCo₂FeAl、Co₂MnSi）等の材料から構成される。ピン層MPの磁化の方向は固定されており、層内を電流が流れてもその磁化の方向は変わらない。一方、フリー層MFの磁化の方向は可変であり、層内を電流が流れると、その磁化の方向は変化する。

[0022] 絶縁層MIは、ピン層MPとフリー層MFとの間に設けられた薄膜である

。絶縁層M1は、例えば、酸化マグネシウム(MgO)、アルミナ(Al₂O₃)、スピネル単結晶(MgAl₂O₄)等の材料から構成される。

[0023] フリー層MFの磁化の方向がピン層MPの磁化の方向に対して相対的に変化すると、MTJ素子Mの抵抗値が変化する。図2(b)に、ピン層MPとフリー層MFの磁化の方向が互いに揃っている状態(平行状態)を示す。図2(a)に、ピン層MPとフリー層MFの磁化の方向が揃っていない状態(反平行状態)を示す。MTJ素子Mの抵抗値は、平行状態にあるときの方が反平行状態にあるときよりも小さい。平行状態にあるMTJ素子Mの抵抗状態を低抵抗状態、反平行状態にあるMTJ素子Mの抵抗状態を高抵抗状態という。

[0024] MTJ素子Mの抵抗状態をスイッチさせるためには、磁化反転に必要な電流値(電流閾値)の書き込み電流IをMTJ素子Mに流す。MTJ素子Mが高抵抗状態であるとき、フリー層MFからピン層MPに電流閾値以上の書き込み電流Iが流れると、フリー層MFの磁化が反転し、フリー層MFとピン層MPの磁化の方向とが互いに揃った状態に変化する。即ち、MTJ素子Mは低抵抗状態にスイッチする。

[0025] 一方、MTJ素子Mが低抵抗状態であるとき、ピン層MPからフリー層MFに電流閾値以上の書き込み電流Iが流れると、フリー層MFの磁化の方向が反転し、フリー層MFとピン層MPの磁化の方向とが逆向きの状態に変化する。即ち、MTJ素子Mの抵抗状態は高抵抗状態にスイッチする。

[0026] 以下の説明では、MTJ素子Mの低抵抗状態をデータ「0」、高抵抗状態をデータ「1」に対応付ける。つまり、メモリセルMCは、1ビットのデータを記憶する。MTJ素子Mが高抵抗状態から低抵抗状態に変化した場合にデータ「0」がメモリセルMCに書き込まれたことになる。MTJ素子Mが低抵抗状態から高抵抗状態に変化した場合にデータ「1」がメモリセルMCに書き込まれたことになる。

[0027] 図1を参照する。書き込み終了検出部30は、一対のビットラインBL、ビットラインバー/BLに接続されている。MTJ素子Mの一方の端はノー

ドS N 0でビットラインB Lに接続されている。M T J素子Mの他方の端はノードS N 1でビットラインバー／B Lに接続されている。書き込み終了検出部3 0は、ノードS N 0、S N 1のうち、書き込みデータに応じて選択した接続ノードの電圧を継続して監視する。書き込み終了検出部3 0は、ノードS N 0、S N 1のうち選択したノードの電圧が閾値条件を満たすと、データの書き込みが終了したことを検出する。具体的には、ノードS N 0、S N 1の電圧が、閾値を下回る状態から上回る状態に変化すると、又は閾値を上回る状態から下回る状態に変化すると、書き込み終了検出部3 0は、データの書き込みが終了したことを検出する。以下、ノードS N 0、S N 1の閾値を電圧 V_{th0} 、 V_{th1} とする。接続ノードS N 0の電圧 V_0 、接続ノードS N 1の電圧 V_1 は、それぞれM T J素子Mの一端の電圧を表す。書き込み終了検出部3 0は、ノードS N 0の電圧 V_0 が閾値 V_{th0} を下回ると、書き込みデータD「0」の書き込みの終了を検出する。また、書き込み終了検出部3 0は、ノードS N 1の電圧 V_1 が閾値 V_{th1} を上回ると、書き込みデータD「1」の書き込みの終了を検出する。

[0028] 書き込み終了検出部3 0は、書き込みデータDの書き込みの終了を検出すると、書き込みの終了を示すハイレベルの書き込み終了信号D O N Eを書き込み制御部1 0に供給する。書き込み終了検出部3 0は、演算処理回路1 0 0から供給されるデータDを表す信号により、次のデータの書き込みが開始されたことを検出すると、ハイレベルの書き込み終了信号1 0の供給を停止する。一方、書き込み終了検出部3 0は、ノードS N 0の電圧 V_0 が閾値 V_{th0} を上回っている場合、または、ノードS N 1の電圧 V_1 が閾値 V_{th1} を下回っている場合には、ロウレベルの書き込み終了信号D O N Eを書き込み制御部1 0に供給する。

[0029] 次に、図3を参照して、書き込み制御部1 0の回路構成を説明する。

[0030] 書き込み制御部1 0は、制御信号供給部1 1と、駆動信号供給部1 2とを備える。

[0031] 制御信号供給部1 1は、演算処理回路1 0 0から供給されたイネーブルバ

一信号／ENと、書き込み終了検出部30から供給された書き込み終了信号DONEとに応じて、データの書き込みの可否を示すハイレベルまたはロウレベルの書き込み制御信号WCを駆動信号供給部12に供給する。

[0032] 制御信号供給部11は、PチャネルMOSFET (Metal Oxide Semiconductor field-effect transistor) 111と、NチャネルMOSFET 112、113とを備える。

[0033] PチャネルMOSFET 111の、ソースは電源線VDDを介して電源に、ドレインはNチャネルMOSFET 112のドレインに、ゲートは信号線を介して演算処理回路100に接続されている。ゲートには演算処理回路100からイネーブルバー信号／ENが入力される。

[0034] NチャネルMOSFET 112の、ドレインはPチャネルMOSFET 111のドレインに、ソースはNチャネルMOSFET 113のドレインに、ゲートは信号線を介して書き込み終了検出部30に接続されている。ゲートには書き込み終了検出部30から書き込み終了信号DONEが入力される。

[0035] NチャネルMOSFET 113の、ドレインはNチャネルMOSFET 112のソースに、ソースは接地線GNDに、ゲートは信号線を介して演算処理回路100に接続されている。ゲートには演算処理回路100からイネーブルバー信号／ENが入力される。

[0036] ノード114は、PチャネルMOSFET 111とNチャネルMOSFET 112の接続点である。ノード114は、信号線を介して駆動信号供給部12のインバータ121に接続されている。ノード114の電位に応じたハイレベルまたはロウレベルの書き込み制御信号WCが駆動信号供給部12に供給される。

[0037] 演算処理回路100が、ロウレベルのイネーブルバー信号／ENを出力すると、PチャネルMOSFET 111はオン、NチャネルMOSFET 113はオフの状態になる。ロウレベルのイネーブルバー信号／ENは、MTJ素子Mへのデータの書き込みを開始するための信号である。

[0038] また、書き込み終了検出部30が、ハイレベルの書き込み終了信号DON

Eを出力すると、NチャネルMOSFET 112はオンの状態になる。書き込み終了検出部30は、データの書き込みの終了を検出してから、当該データと異なるデータの書き込みの開始を検出するまでの間、ハイレベルの書き込み終了信号DONEを出力する。具体的には、書き込み終了検出部30は、データ「0」の書き込みの終了を検出してから、データ「1」の書き込みの開始を検出するまでの間、及び、データ「1」の書き込みの終了を検出してから、データ「0」の書き込みの開始を検出するまでの間、ハイレベルの書き込み終了信号DONEを出力する。

[0039] PチャネルMOSFET 111, NチャネルMOSFET 112がオン、NチャネルMOSFET 113がオフの状態であるときを以下、初期化状態という。初期化状態のとき、電源線VDDを介して印加される電源電圧によってPチャネルMOSFET 111とNチャネルMOSFET 113との間の領域（ノード114）には電荷が蓄えられる。ノード114に蓄えられた電荷によってハイレベルの書き込み制御信号WCが駆動信号供給部12に供給される。

[0040] また、書き込み終了検出部30が、ロウレベルの書き込み終了信号DONEを出力すると、NチャネルMOSFET 112はオフの状態になる。ロウレベルの書き込み終了信号DONEは、書き込みデータDの書き込みが開始されてからMTJ素子Mの抵抗状態が変化するまでの間、書き込み終了検出部30から供給される。

PチャネルMOSFET 111がオン、NチャネルMOSFET 112、NチャネルMOSFET 113がオフの状態であるとき、電源線VDDを介して印加される電源電圧によってPチャネルMOSFET 111とNチャネルMOSFET 112との間の領域（ノード114）には電荷が蓄えられる。ノード114に蓄えられた電荷によってハイレベルの書き込み制御信号WCが駆動信号供給部12に供給される。

[0041] また、演算処理回路100がハイレベルのイネーブルバー信号／ENを出力すると、PチャネルMOSFET 111はオフ、NチャネルMOSFET

113はオンの状態になる。書き込み制御信号供給部11は、この状態で、ハイレベルの書き込み終了信号DONEが書き込み終了検出部30から供給されるのを待機し、ハイレベルの書き込み終了信号DONEが供給されたときに即座にMTJ素子Mへの書き込みを停止するための準備をする。演算処理回路100は、ロウレベルのイネーブルバー信号/ $\overline{EN}$ の出力を開始してから所定の期間(MTJ素子Mの抵抗状態が変化するまでの時間よりも十分短い時間、例えば数ナノ秒)、ハイレベルのイネーブルバー信号/ $\overline{EN}$ の出力を継続する。所定の期間が経過すると、演算処理回路100は、ロウレベルのイネーブルバー信号/ $\overline{EN}$ の出力を停止し、ハイレベルのイネーブルバー信号/ $\overline{EN}$ の出力を開始する。図5(d)に示す例では、ロウレベルのイネーブルバー信号/ $\overline{EN}$ は、時間 t_1 から時間 t_1' の期間、時間 t_4 から時間 t_4' の期間、出力されている。

[0042] PチャネルMOSFET111とNチャネルMOSFET112がオフ、NチャネルMOSFET113がオンの状態であるとき、ノード114に蓄えられた電荷によってハイレベルの書き込み制御信号WCが駆動信号供給部12に供給される。

[0043] PチャネルMOSFET111がオフ、NチャネルMOSFET112とNチャネルMOSFET113がオンの状態であるとき、PチャネルMOSFET111NチャネルMOSFET112との間の領域(ノード114)に蓄えられた電荷は接地線GNDに放電される。従って、ロウレベルの書き込み制御信号WCが駆動信号供給部12に供給される。

[0044] 駆動信号供給部12は、演算処理回路100から供給された書き込みデータDを表す信号と、制御信号供給部11から供給された書き込み制御信号WCと、に応じた書き込み駆動信号WRを書き込み駆動部20に出力する。

[0045] 駆動信号供給部12は、ハイレベルの書き込み制御信号WCが供給されている間、有効な書き込み駆動信号WRを書き込み駆動部20に出力する。具体的には、駆動信号供給部12は、書き込みデータDに応じて、書き込み駆動信号WR0及び/ $\overline{WR0}$ 、又は、書き込み駆動信号WR1及び/ $\overline{WR1}$ 、

の一方をアクティブレベルとし、他方を非アクティブレベルとする。

[0046] また、駆動信号供給部 12 は、ロウレベルの書き込み制御信号 WC が供給されている間は、書き込みデータ D が「0」及び「1」のいずれであっても、非アクティブレベルの書き込み駆動信号 WR を書き込み駆動部 20 に出力する。

[0047] 駆動信号供給部 12 は、インバータ 121、122、125、126 と、NOR ゲート 123、124 とを備える。

[0048] 駆動信号供給部 12 は、書き込みデータ D が「1」であり、ハイレベルの書き込み制御信号 WC が供給されている場合、インバータ 121、122、125 と、NOR ゲート 123 とによって、ハイレベルの書き込み駆動信号 WR1 及びロウレベルの書き込み駆動信号 /WR1 を書き込み駆動部 20 に供給する。なお、書き込み駆動信号 WR0 はロウレベル、書き込み駆動信号 /WR0 はハイレベルである。

[0049] また、駆動信号供給部 12 は、書き込みデータ D が「0」であり、ハイレベルの書き込み制御信号 WC が供給されている場合、インバータ 121、126 と、NOR ゲート 124 とによって、ハイレベルの書き込み駆動信号 WR0 及びロウレベルの書き込み駆動信号 /WR0 を書き込み駆動部 20 に供給する。なお、書き込み駆動信号 WR1 はロウレベル、書き込み駆動信号 /WR1 はハイレベルである。

[0050] 次に、図 4 を参照して、書き込み駆動部 20 及び書き込み終了検出部 30 の回路構成を説明する。

[0051] 書き込み駆動部 20 は、ビットライン駆動部 21 と、ビットラインバー駆動部 22 とを備える。

[0052] ビットライン駆動部 21 はビットライン BL に接続されている。ビットラインバー駆動部 22 はビットラインバー /BL に接続されている。また、ビットライン駆動部 21 及びビットラインバー駆動部 22 は、信号線で書き込み制御部 10 に接続されている。ビットライン駆動部 21 及びビットラインバー駆動部 22 は、書き込み制御部 10 から供給された書き込み駆動信号 W

Rの信号レベルに基づいてMTJ素子Mに書き込み電流Iを流す。

- [0053] ビットライン駆動部21は、PチャネルMOSFET211と、NチャネルMOSFET212とを備える。
- [0054] PチャネルMOSFET211の、ソースが電源線VDDを介して電源に、ドレインがビットラインBLに、ゲートが信号線を介して書き込み制御部10に接続されている。ゲートには書き込み制御部10から書き込み駆動信号／WR0が入力される。
- [0055] NチャネルMOSFET212の、ソースが接地線GNDに、ドレインがビットラインBLに、ゲートが信号線を介して書き込み制御部10に接続されている。ゲートには書き込み制御部10から書き込み駆動信号WR1が入力される。
- [0056] ビットラインバー駆動部22は、NチャネルMOSFET221と、PチャネルMOSFET222とを備える。
- [0057] NチャネルMOSFET221の、ソースが接地線GNDに、ドレインがビットラインバー／BLに、ゲートが信号線を介して書き込み制御部10に接続されている。ゲートには書き込み制御部10から書き込み駆動信号WR0が入力される。
- [0058] PチャネルMOSFET222の、ソースが電源線VDDを介して電源に、ドレインがビットラインバー／BLに、ゲートが信号線を介して書き込み制御部10に接続されている。ゲートには書き込み制御部10から書き込み駆動信号／WR1が入力される。
- [0059] 書き込み制御部10が、ロウレベルの書き込み駆動信号／WR0、ハイレベルの書き込み駆動信号WR0を出力すると、PチャネルMOSFET211及びNチャネルMOSFET221はオンの状態となる。これにより、電源線VDDから、PチャネルMOSFET211、ビットラインBL、MTJ素子M、ビットラインバー／BL、NチャネルMOSFET221、接地線GNDの順に書き込み電流I（順方向電流）が流れる。このように、書き込みデータD「0」がMTJ素子Mに書き込まれる。

[0060] また、書き込み制御部 10 が、ハイレベルの書き込み駆動信号 WR 1、ロウレベルの書き込み駆動信号 /WR 1 を出力すると、Nチャネル MOSFET 212 及び Pチャネル MOSFET 222 はオンの状態となる。これにより、電源線 VDD から、Pチャネル MOSFET 222、ビットラインバー /BL、MTJ 素子 M、ビットライン BL、Nチャネル MOSFET 212、接地線 GND の順に書き込み電流 I（逆方向電流）が流れる。このように、書き込みデータ D「1」が MTJ 素子 M に書き込まれる。

[0061] 書き込み制御部 10 が、ハイレベルの書き込み駆動信号 /WR 0、ロウレベルの書き込み駆動信号 WR 0、ロウレベルの書き込み駆動信号 WR 1、ハイレベルの書き込み駆動信号 /WR 1 を出力すると、Pチャネル MOSFET 211 及び Nチャネル MOSFET 221、Nチャネル MOSFET 212 及び Pチャネル MOSFET 222 はオフの状態となる。この場合には MTJ 素子 M に書き込み電流 I は流れない。

[0062] 書き込み終了検出部 30 は、書き込みデータ D に応じて、ノード SN 0 又は SN 1 のいずれかを選択し、選択したノードの電圧に基づいてデータの書き込みの終了を検出する。そして、書き込み終了検出部 30 は、書き込み終了信号 DONE を書き込み制御部 10 に出力する。

[0063] 書き込み終了検出部 30 は、インバータ 31、32、33、34 と、マルチプレクサ 35 と、XNOR ゲート 36 とを備える。

インバータ 31、32 と、インバータ 33、34 は、それぞれバッファとして機能する。

[0064] 図 5 を参照する。MTJ 素子 M にデータを書き込んだときのノード SN 0、SN 1 の電圧の変化を説明する。ここでは、あらかじめ MTJ 素子 M に「1」が記憶されているものとする。

[0065] まず、図 5（f）に示すように、時間 t 1 から時間 t 2 の間、MTJ 素子に「0」を書き込むための書き込み電流 I を流した。電流閾値以上の書き込み電流 I が MTJ 素子 M に流れることで、MTJ 素子の抵抗状態が変化し、図 5（a）に示すように、時間 t 2 で、MTJ 素子 M の抵抗値が低くなって

いる。つまり、MTJ素子Mへの「0」の書き込みが終了した。

[0066] 図5（b）及び（c）に示すように、ノードSNOの電圧 V_0 、ノードSN1の電圧 V_1 は、時間 t_2 において、MTJ素子Mが高抵抗状態から低抵抗状態に変化すると、下がる。このときの電圧の変化の度合は、ノードSNOの電圧 V_0 の方がノードSN1の電圧 V_1 よりも大きい。

[0067] つぎに、図5（f）に示すように、時間 t_4 から時間 t_5 の間、MTJ素子に「1」を書き込むための書き込み電流 I を流した。図5（a）に示すように、時間 t_5 で、MTJ素子Mの抵抗値が高くなっている。つまり、MTJ素子Mへの「1」の書き込みが終了した。

[0068] 図5（b）及び（c）に示すように、ノードSN1の電圧 V_1 、ノードSNOの電圧 V_0 は、時間 t_5 において、MTJ素子Mが低抵抗状態から高抵抗状態に変化すると、上がる。なお、このときの電圧の変化の度合は、ノードSN1の電圧 V_1 の方がノードSNOの電圧 V_0 よりも大きい。

[0069] また、MTJ素子Mが高抵抗状態から低抵抗状態に変化するときの電圧 V_0 の最小値は、MTJ素子Mが低抵抗状態から高抵抗状態に変化するときの電圧 V_0 の最大値よりも大きい。また、MTJ素子Mが低抵抗状態から高抵抗状態に変化するときの電圧 V_1 の最小値は、MTJ素子Mが高抵抗状態から低抵抗状態に変化するときの電圧 V_1 の最大値よりも大きい。

[0070] これらの事象に基づき、インバータ31には書き込みデータ「0」の書き込み終了を検出するための閾値 V_{th0} が設定される。インバータ33には書き込みデータ「1」の書き込み終了を検出するための閾値 V_{th1} が設定される。

[0071] 例えば図6に示すように、インバータ31がCMOS（Complementary MOS：相補型MOS）から構成された場合、PチャネルMOSFET31a及びNチャネルMOSFET31bのサイズ（ゲート幅、ゲート長）、または、PチャネルMOSFET31a及びNチャネルMOSFET31bに添加される不純物の濃度を調整することにより、以下の式に示されるような閾値 V_{th0} がインバータ31に設定される。

$$V_{0p} < V_{th0} < V_{0ap}$$

V_{0ap} : M T J 素子 M が高抵抗状態のときのノード S N 0 の電圧

V_{0p} : M T J 素子 M が低抵抗状態のときのノード S N 0 の電圧

インバータ 33 には、以下の式に示されるような閾値 V_{th1} が設定される。

$$V_{1p} < V_{th1} < V_{1ap}$$

V_{1ap} : M T J 素子 M が高抵抗状態のときのノード S N 1 の電圧

V_{1p} : M T J 素子 M が低抵抗状態のときのノード S N 1 の電圧

具体的には、閾値 V_{th0} 、 V_{th1} は、以下の式に示されるような値とする。

$$V_{th0} = (V_{0ap} + V_{0p}) / 2$$

$$V_{th1} = (V_{1ap} + V_{1p}) / 2$$

[0072] 図 4 を参照する。ビットライン B L の電圧 V_0 (ノード S N 0 の電圧) が閾値 V_{th0} より大きい場合、インバータ 31、32 を介して、マルチプレクサ 35 にハイレベルの信号が供給される。一方、ビットライン B L の電圧 V_0 が閾値 V_{th0} より小さい場合、マルチプレクサ 35 には、ロウレベルの信号が供給される。

[0073] また、ビットライン B L の電圧 V_1 (ノード S N 1 の電圧) が閾値 V_{th1} より小さい場合、インバータ 33、34 を介して、マルチプレクサ 35 にロウレベルの信号が供給される。一方、ビットライン B L の電圧 V_1 が閾値 V_{th1} より大きい場合、マルチプレクサ 35 には、ハイレベルの信号が供給される。

[0074] マルチプレクサ 35 には、インバータ 32 及びインバータ 34 の出力信号、演算処理回路 100 から供給された書き込みデータ D を表す信号が入力される。マルチプレクサ 35 は、インバータ 32 とインバータ 34 の出力信号のうち、書き込みデータ D に対応する信号を選択して X N O R ゲート 36 に供給する。例えば、書き込みデータ D が「0」の場合、マルチプレクサ 35 は、インバータ 32 の出力信号を X N O R ゲート 36 に供給する。書き込みデータ D が「1」の場合、マルチプレクサ 35 は、インバータ 34 の出力信号を X N O R ゲート 36 に供給する。

[0075] X N O R ゲート 36 は、演算処理回路 100 から供給された書き込みデー

タDを表す信号とマルチプレクサ35の出力信号とを入力とするXNOR（否定排他的論理和）を、書き込み終了信号DONEとして出力する。

[0076] 書き込みデータDが「0」（信号レベルはロウレベル）で、ノードSN0の電圧 V_0 が閾値 V_{th0} を上回っていると、マルチプレクサ35はハイレベルの信号を出力する。この場合、XNORゲート36は、ロウレベルの書き込み終了信号DONEを出力する。

[0077] 書き込みデータDが「0」（信号レベルはロウレベル）で、ノードSN0の電圧 V_0 が閾値 V_{th0} を下回っていると、マルチプレクサ35はロウレベルの信号を出力する。この場合、XNORゲート36は、ハイレベルの書き込み終了信号DONEを出力する。

[0078] また、書き込みデータDが「1」（信号レベルはハイレベル）で、ノードSN1の電圧 V_1 が閾値 V_{th1} を下回っていると、マルチプレクサ35はロウレベルの信号を出力する。この場合、XNORゲート36は、ロウレベルの書き込み終了信号DONEを出力する。

[0079] 書き込みデータDが「1」（信号レベルはハイレベル）で、ノードSN1の電圧 V_1 が閾値 V_{th1} を上回っていると、マルチプレクサ35はハイレベルの信号を出力する。この場合、XNORゲート36は、ハイレベルの書き込み終了信号DONEを出力する。

このようにして、書き込み終了検出部30から出力された書き込み終了信号DONEが、書き込み制御部10に供給される。

[0080] 以上のように構成されたデータ書き込み装置1は、演算処理回路100から受け取った書き込みデータD及びイネーブルバー信号/ $\overline{EN}$ に基づいて、MTJ素子Mにデータ「0」または「1」を書き込む。

[0081] 以下、図7から図9を参照して、データ書き込み装置1の書き込み動作を説明する。ここでは、データ「1」が記憶されているMTJ素子M、即ち、高抵抗状態のMTJ素子Mに、書き込みデータD「0」を書き込む例を説明する。

[0082] 図7を参照する。演算処理回路100はロウレベルのイネーブルバー信号

／ENを所定の期間出力する（データの書き込みの要求）。ロウレベルのイネーブルバー信号／ENにより、制御信号供給部11のPチャンネルMOSFET111はオン、NチャンネルMOSFET113はオフの状態になる。書き込み終了検出部30は、一つ前のデータの書き込みの終了を検出してからハイレベルの書き込み終了信号DONEを出力している。このため、NチャンネルMOSFET112はオンの状態を維持している。つまり、演算処理回路100からのロウレベルのイネーブルバー信号／ENの供給により、初期化状態（PチャンネルMOSFET111とNチャンネルMOSFET112がオン、NチャンネルMOSFET113がオフ）となる。初期化状態では、電源線VDDの電圧によってPチャンネルMOSFET111とNチャンネルMOSFET113との間の領域（ノード144）に電荷が蓄えられる。従って、ノード114に蓄えられた電荷によって、ハイレベルの書き込み制御信号WCが駆動信号供給部12に供給される。

[0083] さらに、駆動信号供給部12には、演算処理回路100から供給された書き込みデータ「0」を表す信号（ロウレベル）が入力される。駆動信号供給部12は、ハイレベルの書き込み制御信号WCと書き込みデータ「0」を表す信号とが供給されると、ハイレベルの書き込み駆動信号WRO及びロウレベルの書き込み駆動信号／WRO（アクティブレベルの書き込み駆動信号WR）を書き込み駆動部20に供給する。なお、書き込み駆動信号WR1はロウレベル、書き込み駆動信号／WR1はハイレベルである。

[0084] 従って、図8に示すように、ビットライン駆動部21のPチャンネルMOSFET211と、ビットラインバー駆動部22のNチャンネルMOSFET221はオンの状態となる。即ち、破線矢印で示す、電源線VDD、PチャンネルMOSFET211、ビットラインBL、MTJ素子M、ビットラインバー／BL、NチャンネルMOSFET221から形成される電流パスに書き込み電流I（順方向電流）が流れる。

[0085] また、このときのノードSNOの電圧 V_o はインバータ31の閾値 V_{th0} よりも大きい。この場合、XNORゲート36には、演算処理回路100から

供給された書き込みデータD「0」を表す信号（ロウレベル）と、マルチプレクサ35から供給されたハイレベルの信号とが入力され、XNORゲート36はロウレベルの書き込み終了信号DONEを出力する。つまり、高抵抗状態の（データ「1」が記憶されている）MTJ素子Mに書き込みデータ「0」の書き込みが開始されたとき、書き込み終了検出部30は、書き込み制御部10にロウレベルの書き込み終了信号DONEの供給を開始する。図5（d）及び（e）に示すように、イネーブルバー信号／ENがロウレベルとなって書き込みデータの書き込みを開始した直後、書き込み終了信号DONEはロウレベルとなる。

[0086] 図7を参照する。ロウレベルの書き込み終了信号DONEの供給により、制御信号供給部11のNチャネルMOSFET112はオフの状態になる。一方、PチャネルMOSFET111はオン、NチャネルMOSFET113はオフの状態を維持する。このときも、ノード114に蓄えられた電荷によって、ハイレベルの書き込み制御信号WCが駆動信号供給部12に供給され続けている。そして、駆動信号供給部12は、ハイレベルの書き込み駆動信号WR0及びロウレベルの書き込み駆動信号／WR0、ロウレベルの書き込み駆動信号WR1及びハイレベルの書き込み駆動信号／WR1を書き込み駆動部20に供給している。つまり、書き込み制御部10は、ロウレベルの書き込み終了信号DONEを書き込み終了検出部30から受け取ったときも、引き続き、書き込み駆動部20にアクティブレベルの書き込み駆動信号WRを供給する。

[0087] 演算処理回路100は、ローレベルのイネーブルバー信号／ENの供給を開始してから、所定の期間が経過すると、ローレベルのイネーブルバー信号／ENの供給を停止する。そして、演算処理回路100は、ハイレベルのイネーブルバー信号の供給を開始する。ハイレベルのイネーブルバー信号／ENの供給により、PチャネルMOSFET111はオフ、NチャネルMOSFET113はオンの状態となる。一方、NチャネルMOSFET112はオフの状態を維持する。このときも、ノード114に蓄えられた電荷によっ

て、ハイレベルの書き込み制御信号WCが駆動信号供給部12に供給され続けている。そして、駆動信号供給部12は、ハイレベルの書き込み駆動信号WR0及びロウレベルの書き込み駆動信号／WR0、ロウレベルの書き込み駆動信号WR1及びハイレベルの書き込み駆動信号／WR1を書き込み駆動部20に供給する。つまり、書き込み制御部10は、ハイレベルのイネーブルバー信号／ENを演算処理回路100から受け取ったときも、引き続き、書き込み駆動部20にアクティブレベルの書き込み駆動信号WRを供給する。

[0088] そして、図8に示した高抵抗状態であるMTJ素子Mのフリー層MFからピン層MPの方向に電流閾値以上の書き込み電流Iが流れると、MTJ素子Mは、図2(b)に示したように低抵抗状態にスイッチする。このとき、図5(a)及び(b)に示したように、ノードSNOの電圧 V_0 はインバータ31の閾値 V_{th0} よりも小さくなる。この場合、XNORゲート36には、演算処理回路100から供給された書き込みデータD「0」を表す信号（ロウレベル）と、マルチプレクサ35から供給されたロウレベルの信号が入力される。よって、XNORゲート36はハイレベルの書き込み終了信号DONEを出力する。つまり、MTJ素子Mが高抵抗状態から低抵抗状態に変化したときに、書き込み終了検出部30は、書き込み制御部10にハイレベルの書き込み終了信号DONEの供給を開始する。

[0089] 図9を参照する。ハイレベルの書き込み終了信号DONEの供給により、NチャネルMOSFET112はオンの状態になる。このとき、PチャネルMOSFET111がオフ、NチャネルMOSFET112とNチャネルMOSFET113がオンの状態となり、PチャネルMOSFET111とNチャネルMOSFET112との間の領域（ノード144）に蓄えられた電荷は接地線GNDに放電される。

[0090] このため、制御信号供給部11から駆動信号供給部12に供給される書き込み制御信号WCはロウレベルとなる。従って、書き込み駆動信号WR0はロウレベル、書き込み駆動信号／WR0はハイレベルとなる。つまり、図5

(e) 及び (f) に示すように、書き込み制御部 10 は、ハイレベルの書き込み終了信号 D O N E を受け取ったときに、書き込み駆動部 20 に書き込み電流 I の供給を停止させる。以上により、MTJ 素子 M への書き込みデータ D「0」の書き込みが終了する。

[0091] 次に、図 10 から図 12 を参照して、データ「0」が記憶されている MTJ 素子 M、即ち、低抵抗状態である MTJ 素子 M に、書き込みデータ D「1」を書き込む場合のデータ書き込み装置 1 の動作を説明する。書き込み電流 I の方向は、書き込みデータ D「1」を書き込む場合と書き込みデータ D「0」を書き込む場合とで向きが逆である。しかし、基本的な書き込み動作は上述の例と同様である。

[0092] 図 10 を参照する。書き込みデータ D「0」を書き込むときと同様に、演算処理回路 100 は、ロウレベルのイネーブルバー信号 / E N を所定の期間出力する（データの書き込みの要求）。従って、P チャネル MOS F E T 111 はオン、N チャネル MOS F E T 112 はオン、及び N チャネル MOS F E T 113 はオフ（初期化状態）となる。そして、ノード 114 に蓄えられた電荷によってハイレベルの書き込み制御信号 W C が駆動信号供給部 12 に供給される。

[0093] さらに、駆動信号供給部 12 には、演算処理回路 100 から供給された書き込みデータ D「1」を表す信号（ハイレベル）が入力される。駆動信号供給部 12 は、ハイレベルの書き込み制御信号 W C と書き込みデータ D「1」を表す信号の供給により、ハイレベルの書き込み駆動信号 W R 1 及びロウレベルの書き込み駆動信号 / W R 1（アクティブレベルの書き込み駆動信号 W R）を書き込み駆動部 20 に供給する。なお、駆動信号 W R 0 はローレベル、書き込み駆動信号 / W R 0 はハイレベルである。

[0094] 従って、図 11 に示す破線矢印で示す、電源線 V D D から、P チャネル MOS F E T 222、ビットラインバー / B L、MTJ 素子 M、ビットライン B L、N チャネル MOS F E T 212 の順に書き込み電流 I（逆方向電流）が流れる。

[0095] また、このときのノードSN1の電圧 V_1 はインバータ33の閾値 V_{th1} よりも小さい。この場合、XNORゲート36はロウレベルの書き込み終了信号DONEの出力を開始する。つまり、低抵抗状態の（データ「0」が記憶されている）MTJ素子Mに書き込みデータ「1」の書き込みが開始されたとき、書き込み終了検出部30は、書き込み制御部10にロウレベルの書き込み終了信号DONEの出力を開始する。

[0096] 図10を参照する。書き込み終了検出部30からロウレベルの書き込み終了信号DONEが入力されると、制御信号供給部11のNチャネルMOSFET112はオフの状態になる。一方、PチャネルMOSFET111はオン、MチャネルMOSFET113はオフの状態を維持する。このときも、書き込み制御部10は、引き続き、アクティブレベルの書き込み駆動信号WRを書き込み駆動部20に供給する。

[0097] 演算処理回路100は、ローレベルのイネーブルバー信号／ENの供給を開始してから、所定の期間が経過すると、ローレベルのイネーブルバー信号／ENの供給を停止する。そして、演算処理回路100は、ハイレベルのイネーブルバー信号／ENの供給を開始する。ハイレベルのイネーブルバー信号／ENの供給により、PチャネルMOSFET111はオフ、NチャネルMOSFET113はオンの状態となる。一方、NチャネルMOSFET112は、オフの状態を維持する。このときも、書き込み制御部10は、引き続き、書き込み駆動部20にアクティブレベルの書き込み駆動信号WRを供給する。

[0098] そして、図11に示した低抵抗状態であるMTJ素子Mのピン層MPからフリー層MFの方向に電流閾値以上の書き込み電流Iが流れると、MTJ素子Mは、図2（a）に示したように高抵抗状態にスイッチする。このとき、図5（a）及び（c）に示したように、ノードSN1の電圧 V_1 はインバータ33の閾値 V_{th1} よりも大きくなる。この場合、XNORゲート36には、演算処理回路100から供給された書き込みデータD「1」を表す信号（ハイレベル）と、マルチプレクサ35から供給されたハイレベルの信号と、が入

力され、XNORゲート36はハイレベルの書き込み終了信号DONEを出力する。つまり、MTJ素子Mが低抵抗状態から高抵抗状態に変化したときに書き込み終了検出部30は、書き込み制御部10にハイレベルの書き込み終了信号DONEの供給を開始する。

[0099] 図12を参照する。ハイレベルの書き込み終了信号DONEが書き込み制御部10のNチャネルMOSFET112のゲートに入力されると、NチャネルMOSFET112はオンの状態になる。このとき、PチャネルMOSFET111がオフ、NチャネルMOSFET112とNチャネルMOSFET113がオンの状態となり、PチャネルMOSFET111とNチャネルMOSFET112との間の領域（ノード114）に蓄えられた電荷は接地線GNDに放電される。

[0100] 図5（e）及び（f）に示したように、書き込み制御部10は、ハイレベルの書き込み終了信号DONEを受け取ったときに、書き込み駆動部20に書き込み電流Iの供給を停止させる。以上により、MTJ素子Mへの書き込みデータD「1」の書き込みが終了する。

[0101] 以上説明したように、本実施形態に係るデータ書き込み装置1は、書き込みデータDに応じて、ビットラインBL、ビットラインバー／BLのノードSN0、SN1のうちのいずれかのノードの電圧を連続的に監視する。監視対象のノードの電圧が閾値条件を満たすと、データ書き込み装置1は、MTJ素子MへのデータDの書き込みの終了を検出する。このような構成により、高い書き込み終了検出マージンを有し、かつ単純な回路構成によりデータ書き込み時の電力消費を低減できる。

[0102] 上記実施形態では、MTJ素子Mに記憶されているデータと異なるデータの書き込みを行う場合を説明した。また、MTJ素子Mに記憶されているデータと同じデータの書き込みを行う場合には、書き込み制御部10は演算処理回路100からハイレベルのイネーブルバー信号／ENを受け取ると、データの書き込みを終了する。

[0103] MTJ素子Mに記憶されているデータが「0」である場合を具体的に説明

する。書き込み駆動部20によってMTJ素子Mに書き込み電流Iが供給されると、書き込み終了検出部30のXNORゲート36にはマルチプレクサ35からロウレベルの信号が供給される。そのため、XNORゲート36はハイレベルの書き込み終了信号DONEを出力する。つまり、演算処理回路100からの要求に従って、MTJ素子Mに記憶されているデータと同じデータの書き込みを開始した場合には、書き込み終了検出部30から書き込み制御部10に供給される書き込み終了信号DONEの信号レベルはハイレベルのまま変化しない。そして、その後、演算処理回路100から制御信号供給部11にハイレベルのイネーブルバー信号／ENが入力されると、PチャネルMOSFET111がオフ、NチャネルMOSFET112、NチャネルMOSFET113がオンの状態となる。これにより、制御信号供給部11から駆動信号供給部12に供給される書き込み制御信号WCはロウレベルとなり、書き込み駆動部20によるMTJ素子Mへの書き込み電流Iの供給は停止する。このように、MTJ素子Mに記憶されているデータと同じデータの書き込みが行われた場合には、MTJ素子Mへの書き込み電流Iの供給を即座に停止できるので、無駄な電力消費を抑えることができる。さらに、所望の書き込みデータに応じて自動的に電圧変化を検出するノードを切り替えるため、書き込み電流の印加方向に関わらず高い書き込み終了検出マージンを得ることが可能となる。

[0104] なお、上記実施形態の書き込み終了検出部30は、4つのインバータ31、32、33、34をそれぞれ2段ずつ備える。あるいは、書き込み終了検出部30は、ノードSN0、SN1の電圧 V_0 、 V_1 が閾値条件を満たしたことを検出する2つのバッファをそれぞれ備えてもよい。また、書き込み終了検出部30は、ノードSN0、SN1の電圧 V_0 、 V_1 が閾値条件を満たしたことを検出する4つ以上のインバータをそれぞれ複数段ずつ備えてもよい。

[0105] また、書き込み終了検出部30は、ノードSN0の電圧 V_0 が閾値 V_{th0} を下回ったとき、または、ノードSN1の電圧 V_1 が閾値 V_{th1} を上回ったとき（ノードSN0、SN1の何れかが閾値条件を満たしたとき）にハイレベル

の書き込み終了信号D O N Eを出力し、それ以外はロウレベルの書き込み終了信号D O N Eを出力するのであれば、書き込み終了検出部30の回路構成は適宜に変更可能である。この場合、インバータ31～34、マルチプレクサ35、X N O Rゲート36を適宜に省略または他の構成に変更してもよい。また、この場合、演算処理回路100は書き込み終了検出部30への書き込みデータDの供給をしなくてもよい。

[0106] また、図13に示すように、メモリセルMCは一对のM T J素子Mを備えてもよい。一对のM T J素子Mの抵抗状態は、相補的に設定されており、一方が高抵抗状態、他方が低抵抗状態である。一对のM T J素子Mの抵抗状態の組み合わせが、データD「1」又は「0」と対応付けられる。この場合も、データ書き込み装置1は、書き込みデータDに応じてノードS N 0とS N 1の何れかの電圧を監視する。データ書き込み装置1は、書き込みデータDに応じたノードの電圧が閾値条件を満たしたと判別すると、メモリセルMC（一对のM T J素子M）へのデータの書き込みの終了を検出する。

[0107] また、記憶回路が複数のメモリセルから構成される場合には、各メモリセルMCを選択するワードライン駆動部110をデータ書き込み装置1に備えることにより、各メモリセルMCについてデータの書き込みの終了を検出できる。

[0108] 図14に、複数のメモリセルMCを有する記憶回路を示す。複数のメモリセルMCはマトリクス状に配置されており、書き込み駆動部20及び書き込み終了検出部30は、行毎に配置されている。各メモリセルMCにはメモリセルMCを個々に選択するためのワードラインW L Cと、複数のメモリセルMCをセクション毎に選択するためのワードラインW L Sとが接続されている。ワードライン駆動部110は、演算処理回路100から書き込み対象のメモリセルMCの位置を示す情報（座標値等）を受け取る。ワードライン駆動部110は、受け取った位置を示す情報（座標値等）をデコードしてメモリセルMCの位置（行及び列）を特定する。ワードライン駆動部110は、特定したメモリセルMCの位置を基にメモリセルMCに接続されたワードラ

インWLS、WLCにアクティブレベルの信号を出力する。ワードライン駆動部110は、書き込み先のメモリセルMCに接続されたワードラインWLS、WLCをアクティブにすることでメモリセルMCを書き込み可能な状態にする。例えば、ワードライン駆動部110は、メモリセルMC1の位置を特定した場合、メモリセルMC1に接続されたワードラインWLS及びワードラインWLC1にアクティブレベルの信号を出力し、メモリセルMC1を書き込み可能な状態にする。書き込み制御部10は、特定したメモリセルMCの行に対応する書き込み駆動部20にアクティブレベルの書き込み駆動信号を供給する。

[0109] この状態で、書き込み駆動部20は、上記実施形態と同様に、書き込み制御部10から受け取ったアクティブレベルの書き込み駆動信号を基に、書き込みデータに対応する方向の書き込み電流を、ビットラインBL、ビットラインバー／BLに供給する。これにより、メモリセルMC1のMTJ素子Mに書き込み電流が流れ、MTJ素子Mに書き込みデータが書き込まれる。

[0110] そして、書き込み駆動部20と同じ行に配置された書き込み終了検出部30では、書き込みデータ（例えばデータ「0」）に対応する接続ノード（ノードSNO）の電圧が閾値（ V_{th0} ）を超えた場合にデータの書き込みが終了したことを検出し、ハイレベルの書き込み終了信号DONEを書き込み制御部10に供給する。書き込み制御部10は、書き込み終了検出部30からハイレベルの書き込み終了信号DONEが供給された場合、書き込み駆動部20に書き込み電流の供給を停止させる。これにより、メモリセルMC1のMTJ素子Mへのデータの書き込みが終了する。

[0111] その他、書き込みデータを書き込む記憶素子は、MTJ素子に限定されず、ReRAM（Resistance Random Access Memory）等の抵抗変化型の記憶素子であればよい。

[0112] 以上、本発明は、上記実施形態の説明および図面によって限定されるものではなく、上記実施形態および図面に適宜変更等を加えることは可能である。

[0113] 本発明は、2014年3月24日に出願された日本国特許出願2014-60901号に基づく。本発明中に日本国特許出願2014-60901号の明細書、特許請求、図面全体を参照として取り込むものとする。

産業上の利用可能性

[0114] 本発明によれば、抵抗変化型記憶素子へのデータ書き込みについて、高い書き込み終了検出マージンを有し、かつ単純な回路構成によりデータ書き込み時の電力消費を低減できる。

符号の説明

[0115] 1 データ書き込み装置
10 書き込み制御部
11 制御信号供給部
12 駆動信号供給部
111 PチャネルMOSFET
112, 113 NチャネルMOSFET
114 ノード
121, 122, 125, 126 インバータ
123, 124 NORゲート
20 書き込み駆動部
21 ビットライン駆動部
22 ビットラインバー駆動部
211, 222 PチャネルMOSFET
212, 221 NチャネルMOSFET
30 書き込み終了検出部
31, 32, 33, 34 インバータ
35 マルチプレクサ
36 XNORゲート
MC メモリセル
M MTJ素子

MF フリー層

MI 絶縁層

MP ピン層

BL ビットライン

/BL ビットラインバー

SN0, SN1 ノード

DONE 書き込み終了信号

WR, WR0, /WR0, WR1, /WR1 書き込み駆動信号

D 書き込みデータ

/EN イネーブルバー信号

WC 書き込み制御信号

I 書き込み電流

請求の範囲

[請求項1]

第1のPMOSトランジスタのドレイン端に第1のNMOSトランジスタのドレイン端が接続され、前記第1のPMOSトランジスタのドレイン端と前記第1のNMOSトランジスタのドレイン端とを接続する第1接続ノードに、抵抗変化型の記憶素子の一方の端が接続され、

第2のNMOSトランジスタのドレイン端に第2のPMOSトランジスタのドレイン端が接続され、前記第2のPMOSトランジスタのドレイン端と前記第2のPMOSトランジスタのドレイン端とを接続する第2接続ノードに前記記憶素子の他方の端が接続され、

書き込み対象のデータに応じ、前記第1のPMOSトランジスタと前記記憶素子と前記第2のNMOSトランジスタを含む電流路、または、前記第2のPMOSトランジスタと前記記憶素子と前記第1のNMOSトランジスタとを含む電流路に電流を流し、前記記憶素子にデータを書き込む書き込み手段と、

前記記憶素子へのデータの書き込みを開始してから、書き込み対象のデータに応じ、前記第1接続ノード、または、前記第2接続ノードの電圧を監視し、この一端の電圧を基に前記データの書き込みが終了したことを検出し、前記データの書き込みが終了したことを表す書き込み終了信号を供給する書き込み終了検出手段と、

前記書き込み終了検出手段によって供給された前記書き込み終了信号に応答して、前記書き込み手段による前記記憶素子への前記データの書き込みを停止させる書き込み制御手段と、を備える、

ことを特徴とする抵抗変化型記憶素子のデータ書き込み装置。

[請求項2]

前記書き込み終了検出手段は、前記記憶素子の一端の電圧が予め設定された閾値を上回ったとき、あるいは下回ったときに前記書き込み終了信号を供給する、

ことを特徴とする請求項1に記載の抵抗変化型記憶素子のデータ書

き込み装置。

[請求項3]

前記書き込み終了検出手段は、インバータを備え、

前記インバータは、前記記憶素子の一端の電圧が前記インバータに設定された閾値を上回ったとき、あるいは下回ったときに前記書き込み終了信号を出力する、

ことを特徴とする請求項1または2に記載の抵抗変化型記憶素子のデータ書き込み装置。

[請求項4]

前記書き込み終了検出手段は、

前記書き込み手段により、前記記憶素子に第1のデータが書き込まれて、前記記憶素子が、抵抗が低い状態から高い状態に変化したことにより、前記記憶素子の第1の端の電圧が第1の閾値より小さい値から大きい値に変化したとき、及び、

前記書き込み手段により、前記記憶素子に第2のデータが書き込まれて、前記記憶素子が、抵抗が高い状態から低い状態に変化したことにより、前記記憶素子の第2の端の電圧が第2の閾値より大きい値から小さい値に変化したとき、に前記書き込み終了信号を出力する、

ことを特徴とする請求項1、2または3に記載の抵抗変化型記憶素子のデータ書き込み装置。

[請求項5]

前記書き込み終了検出手段は、

前記書き込み対象のデータに応じて、前記書き込み手段の第1の端の電圧と第2の端の電圧の一方を選択する手段を備える、

ことを特徴とする請求項1から4の何れか1項に記載の抵抗変化型記憶素子のデータ書き込み装置。

[請求項6]

前記書き込み制御手段は、

第1のデータまたは第2のデータの書き込みの要求を受け付ける書き込み要求受付部と、

前記書き込み要求受付部が受け付けた前記第1のデータの書き込みの要求に従って、前記記憶素子への前記第1のデータの書き込みを前

記書き込み手段に実行させる第1の書き込み制御部と、

前記書き込み要求受付部が受け付けた前記第2のデータの書き込みの要求に従って、前記記憶素子への前記第2のデータの書き込みを前記書き込み手段に実行させる第2の書き込み制御部と、を備え、

前記第1の書き込み制御部は、前記書き込み終了検出手段から供給された前記第1のデータに対応する書き込み終了信号に応答して、前記書き込み手段による前記記憶素子への前記第1のデータの書き込みを停止させ、

前記第2の書き込み制御部は、前記書き込み終了検出手段から供給された前記第2のデータに対応する書き込み終了信号に応答して、前記書き込み手段による前記記憶素子への前記第2のデータの書き込みを停止させる、

ことを特徴とする請求項1から5の何れか1項に記載の抵抗変化型記憶素子のデータ書き込み装置。

[請求項7]

複数の前記記憶素子が配置され、

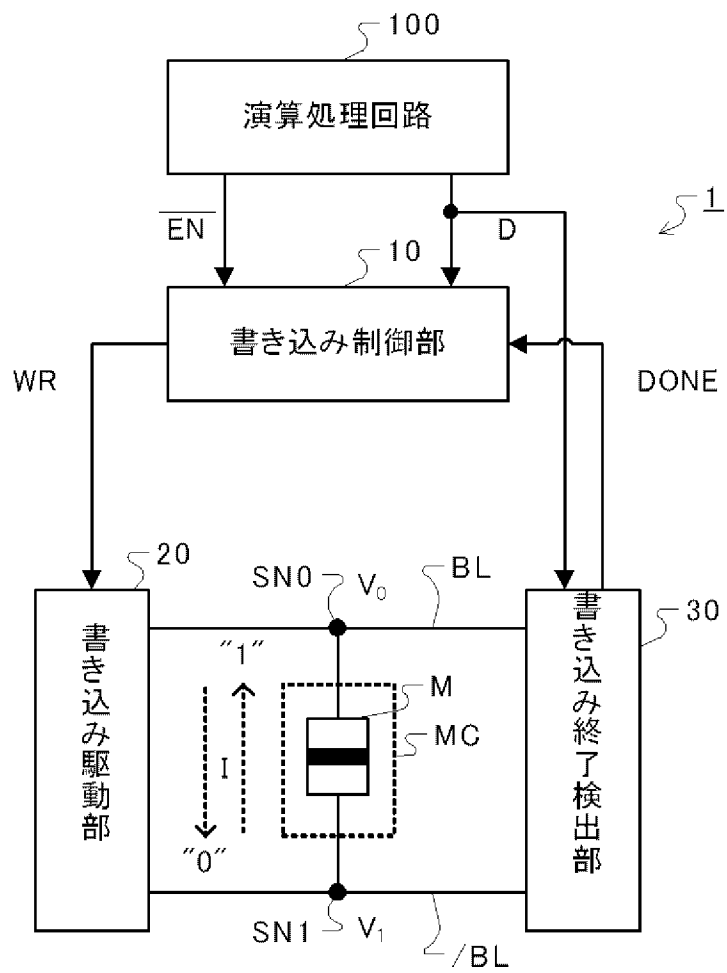
前記各記憶素子の端部は、選択用のトランジスタを介して一对のビットラインに接続されており、

前記書き込み手段は、前記一对のビットラインを介して選択された記憶素子に前記書き込み対象のデータを書き込み、

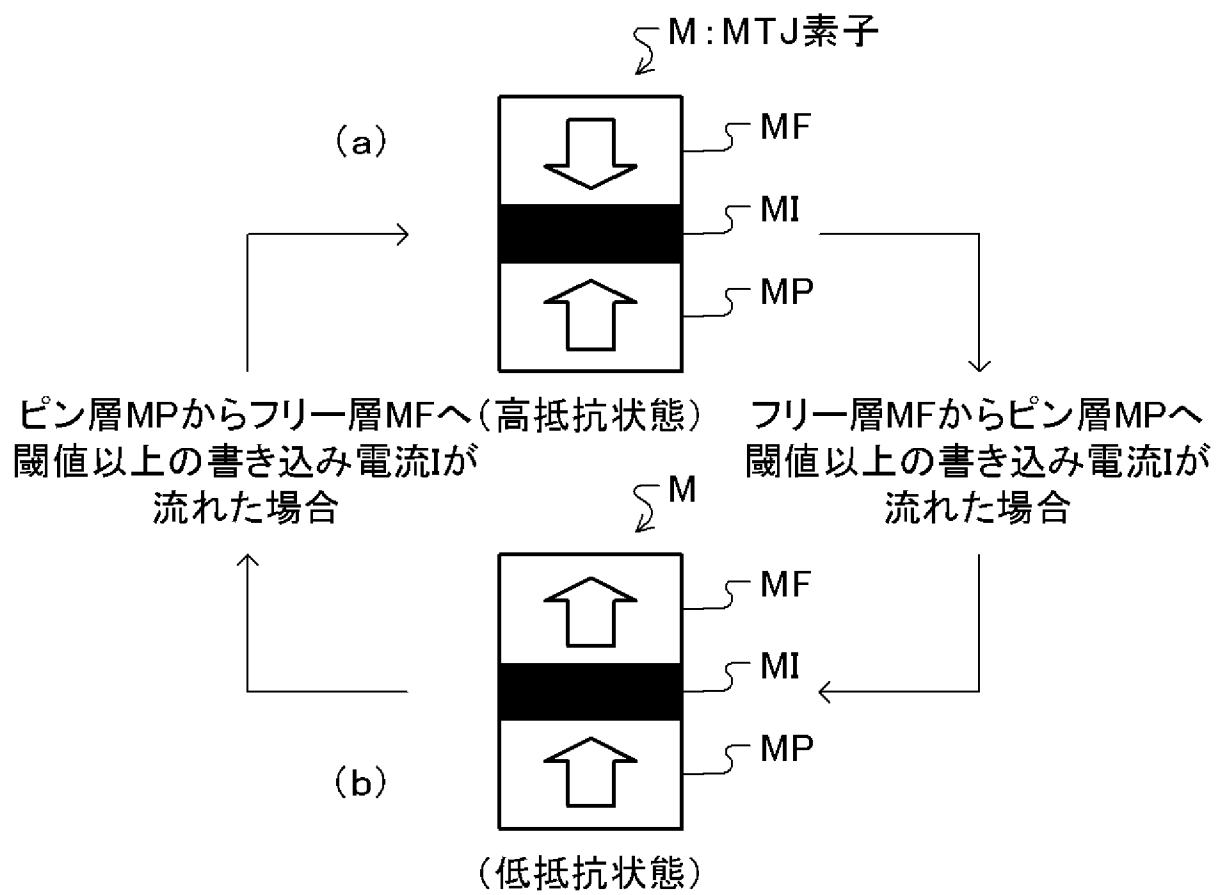
前記書き込み終了検出手段は、前記選択された記憶素子の一端が接続された一方の前記ビットラインの電圧に基づいて、前記データの書き込みが終了したことを検出する、

ことを特徴とする請求項1から6の何れか1項に記載の抵抗変化型記憶素子のデータ書き込み装置。

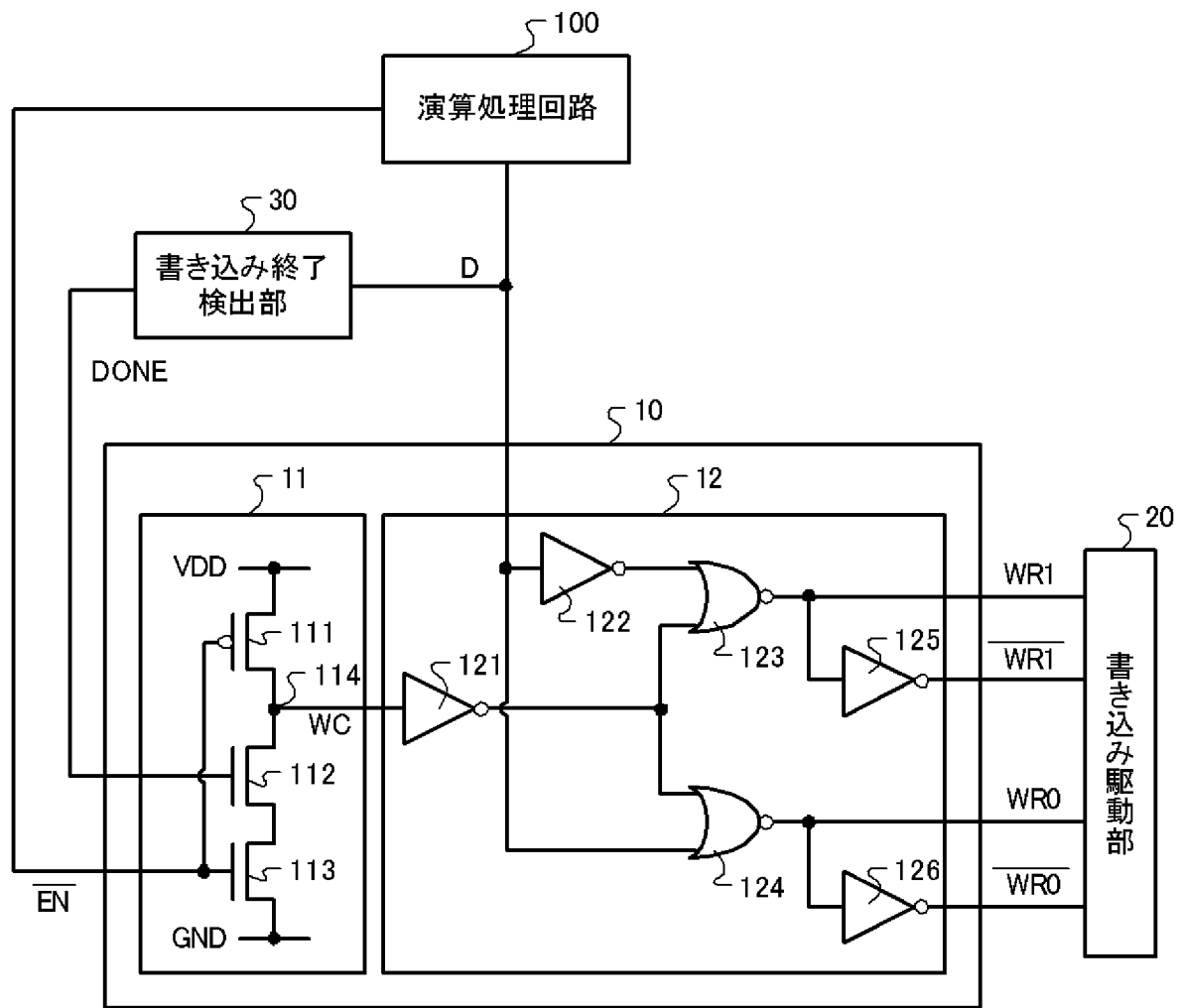
[図1]



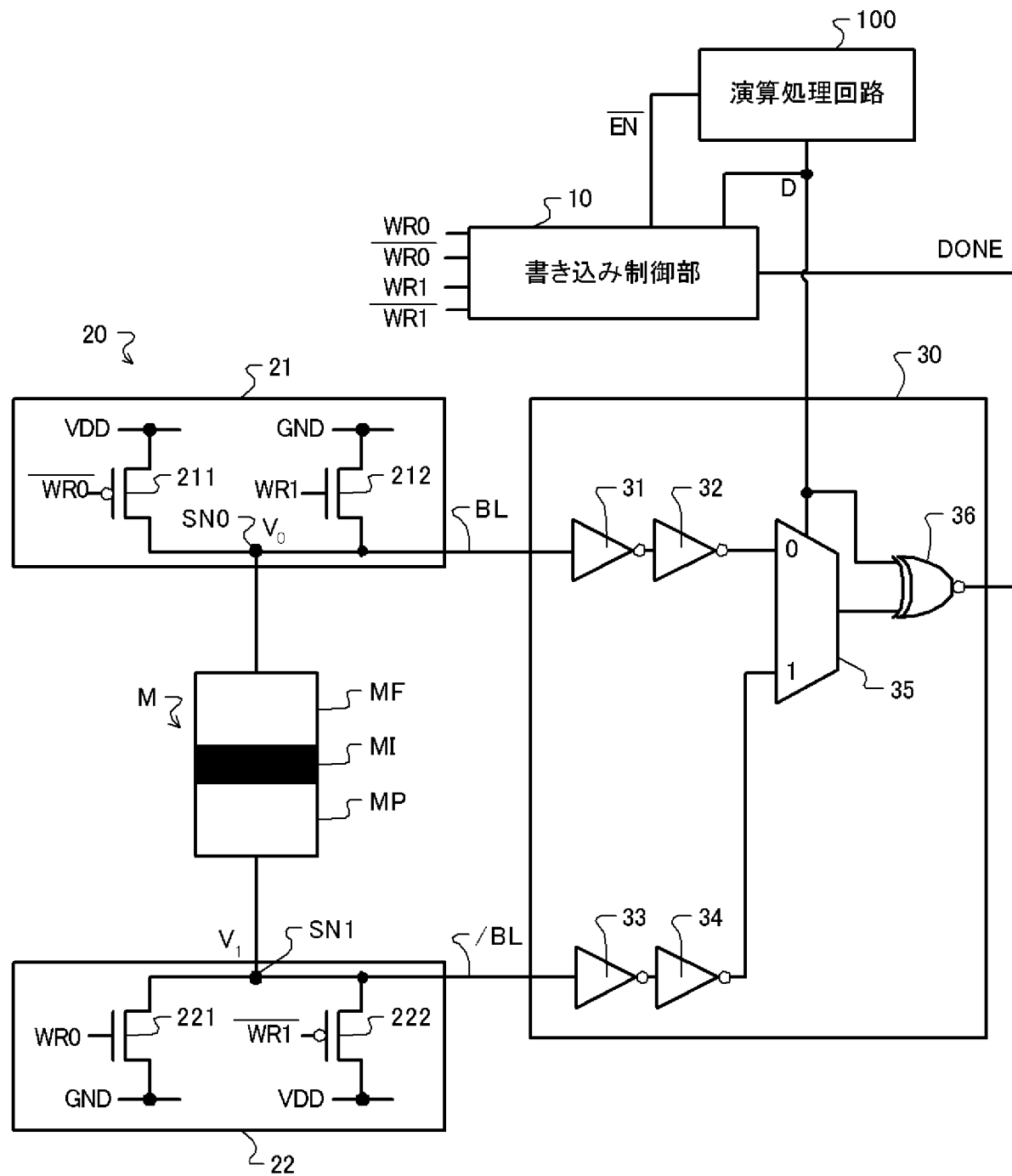
[図2]



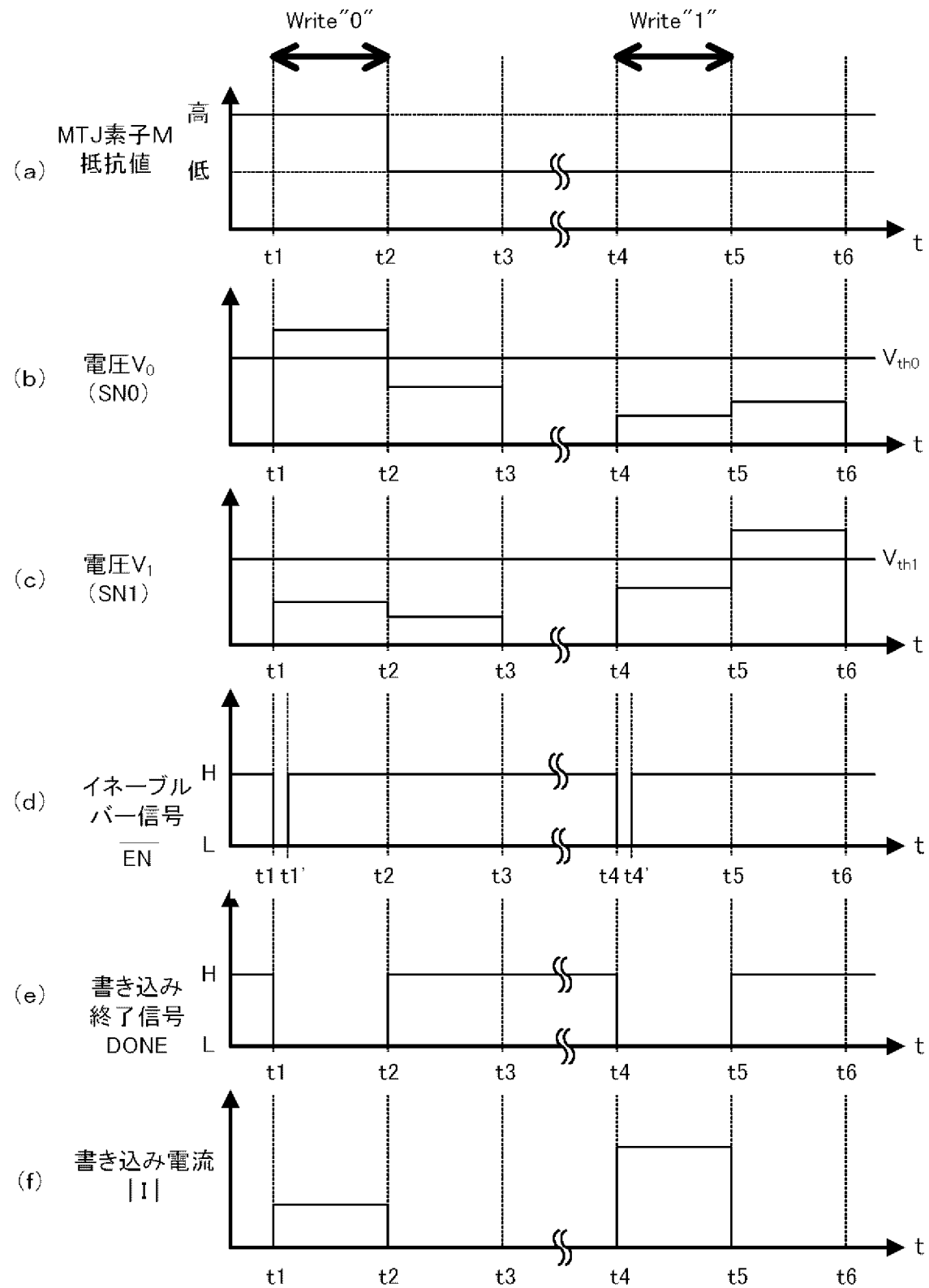
[図3]



[図4]



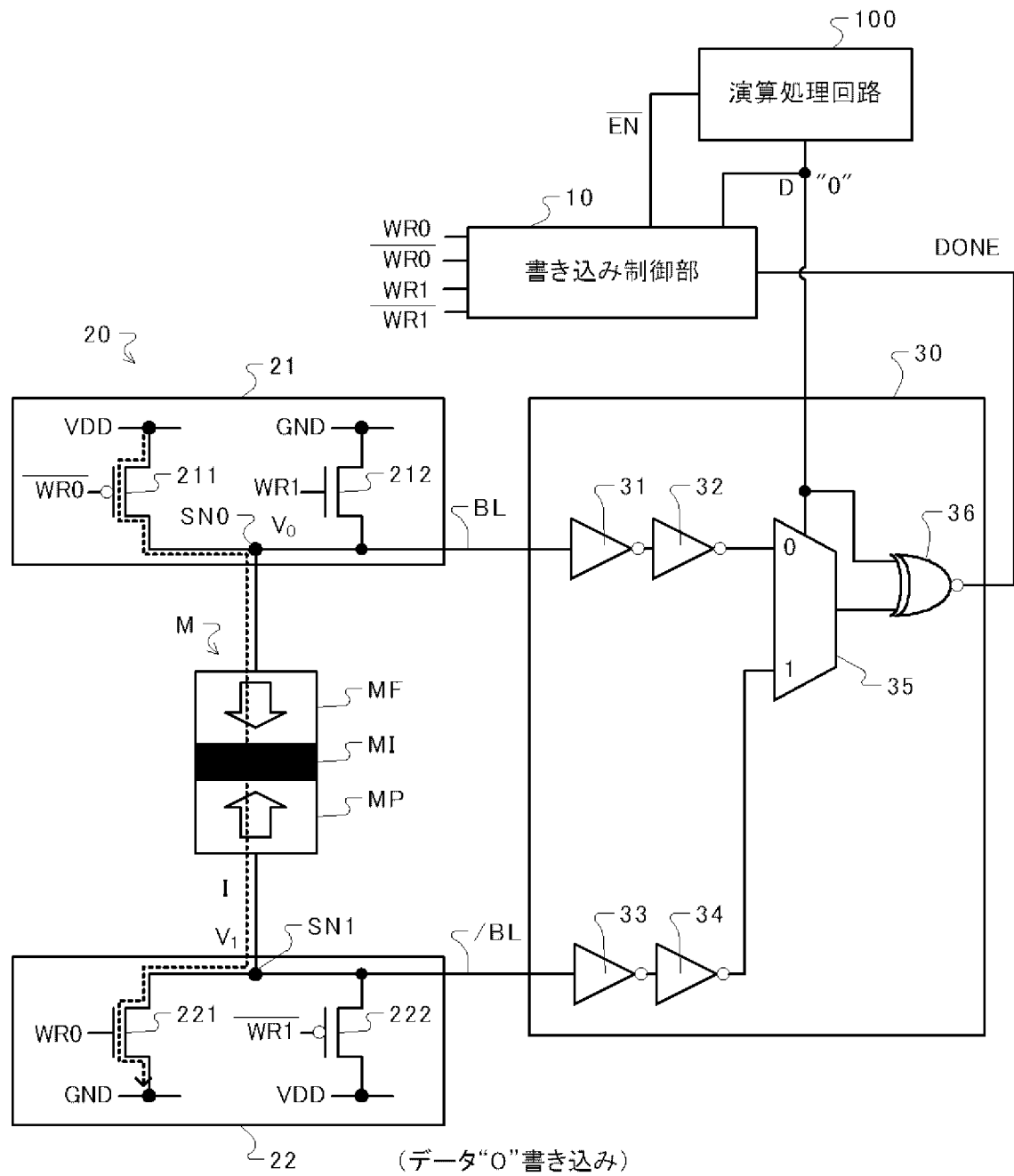
[図5]



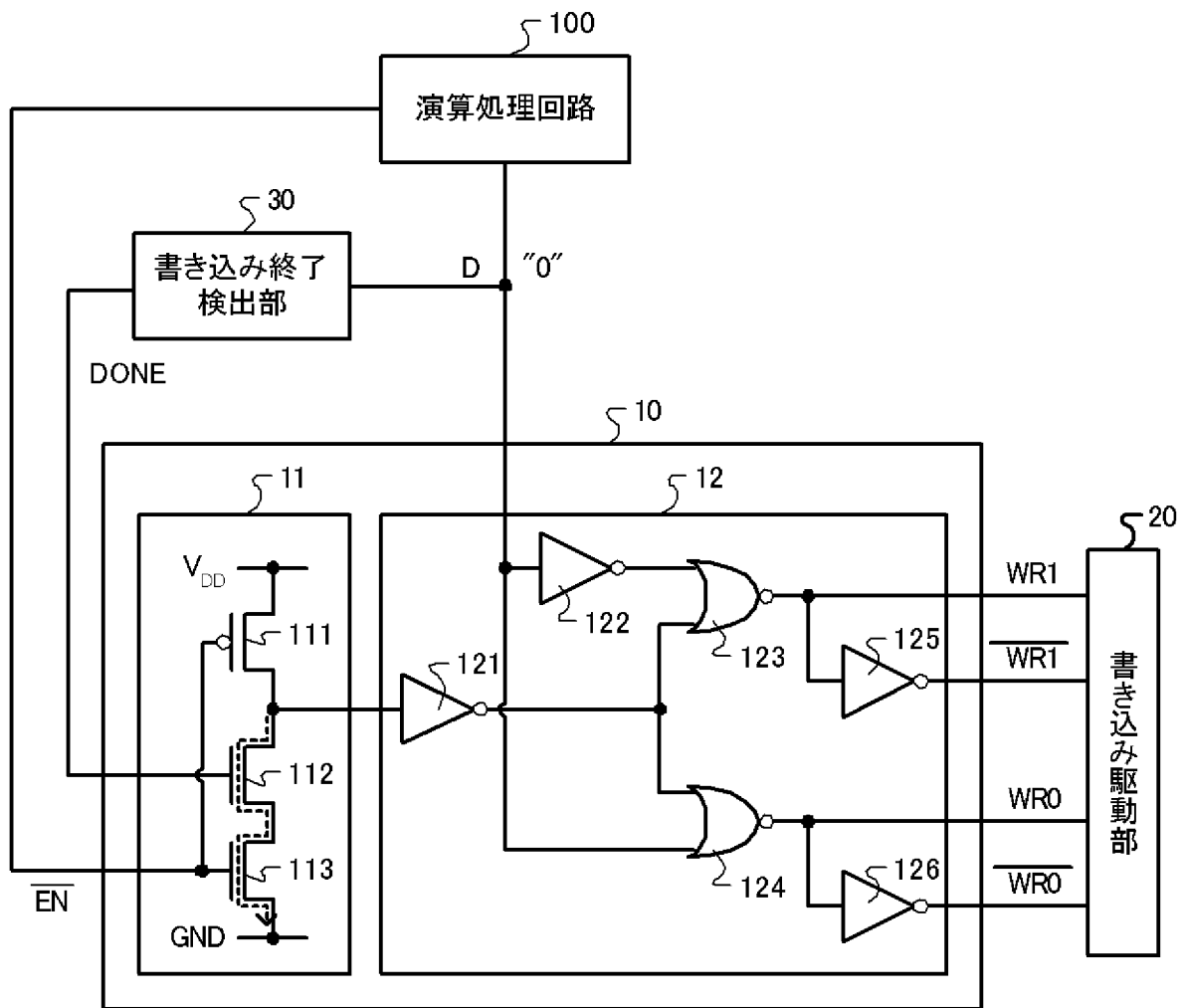
The diagram shows a CMOS inverter circuit, labeled 31. It consists of two transistors: a PMOS transistor (31a) and an NMOS transistor (31b). The PMOS transistor (31a) has its source connected to VDD and its gate connected to the input. The NMOS transistor (31b) has its source connected to GND and its gate connected to the input. The drains of both transistors are connected together to form the output node. The input is labeled '入力' and the output is labeled '出力'.

(データ“0”書き込み)

[図8]

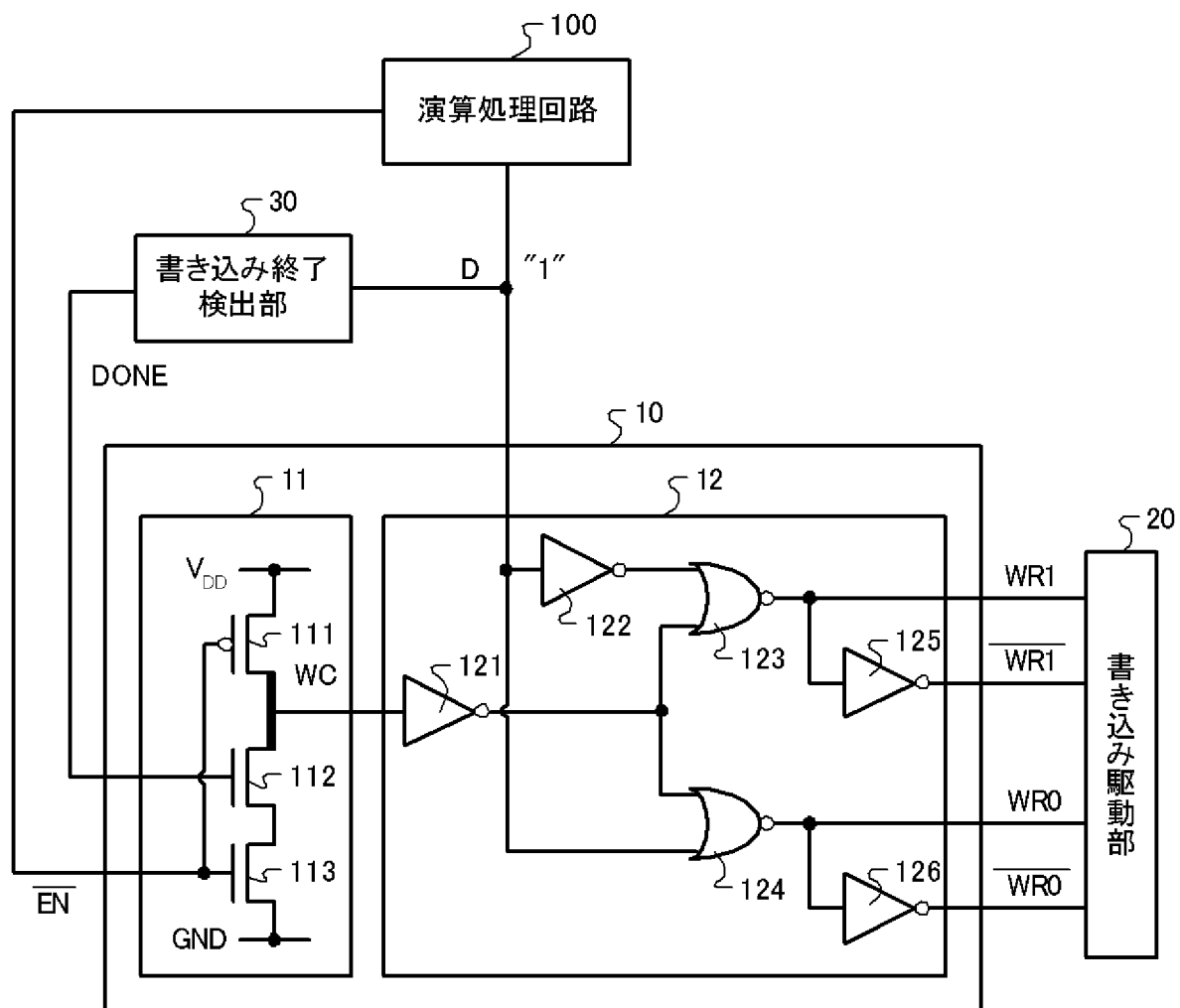


[図9]

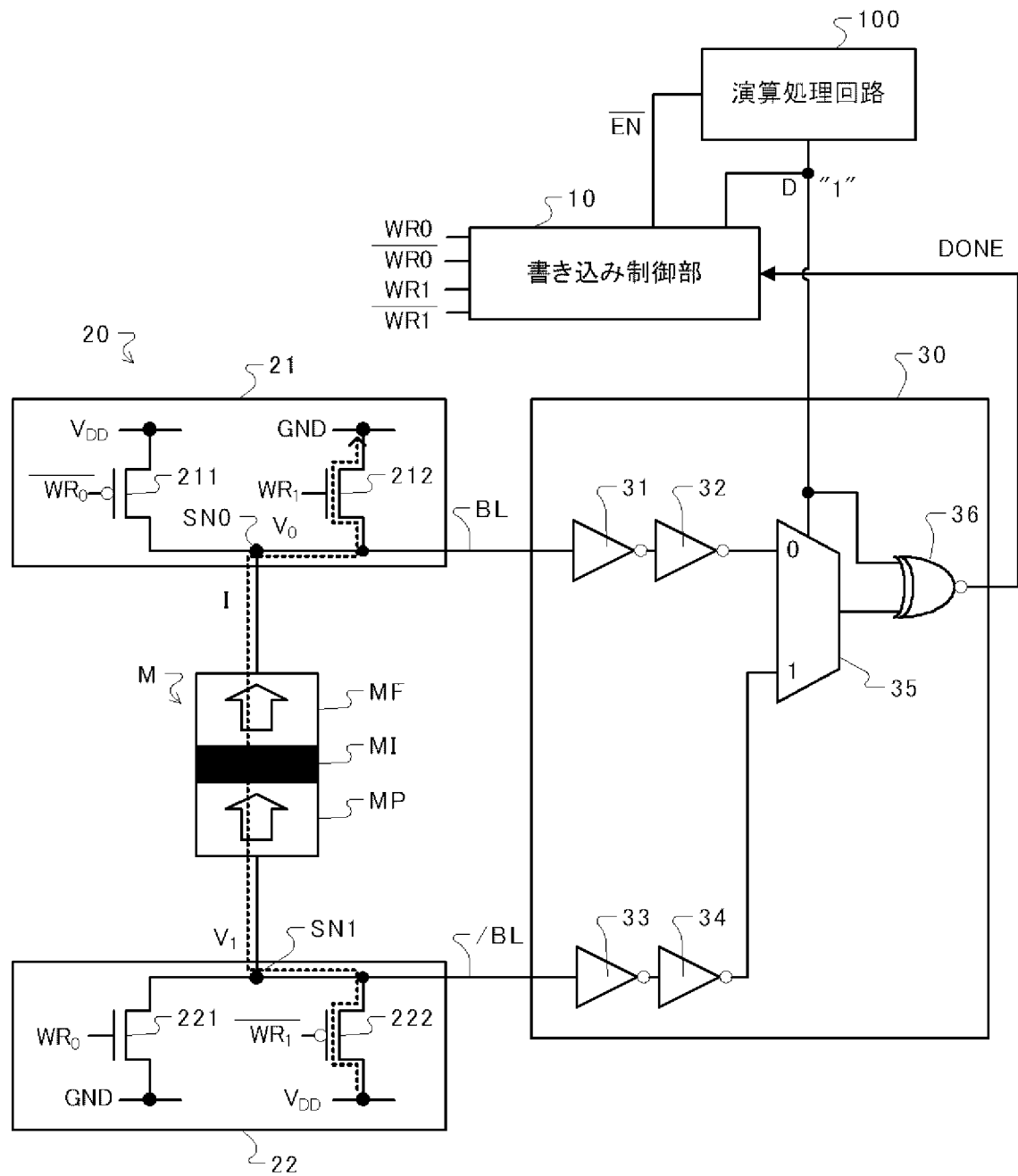


(データ"0"書き込み)

(データ“1”書き込み)

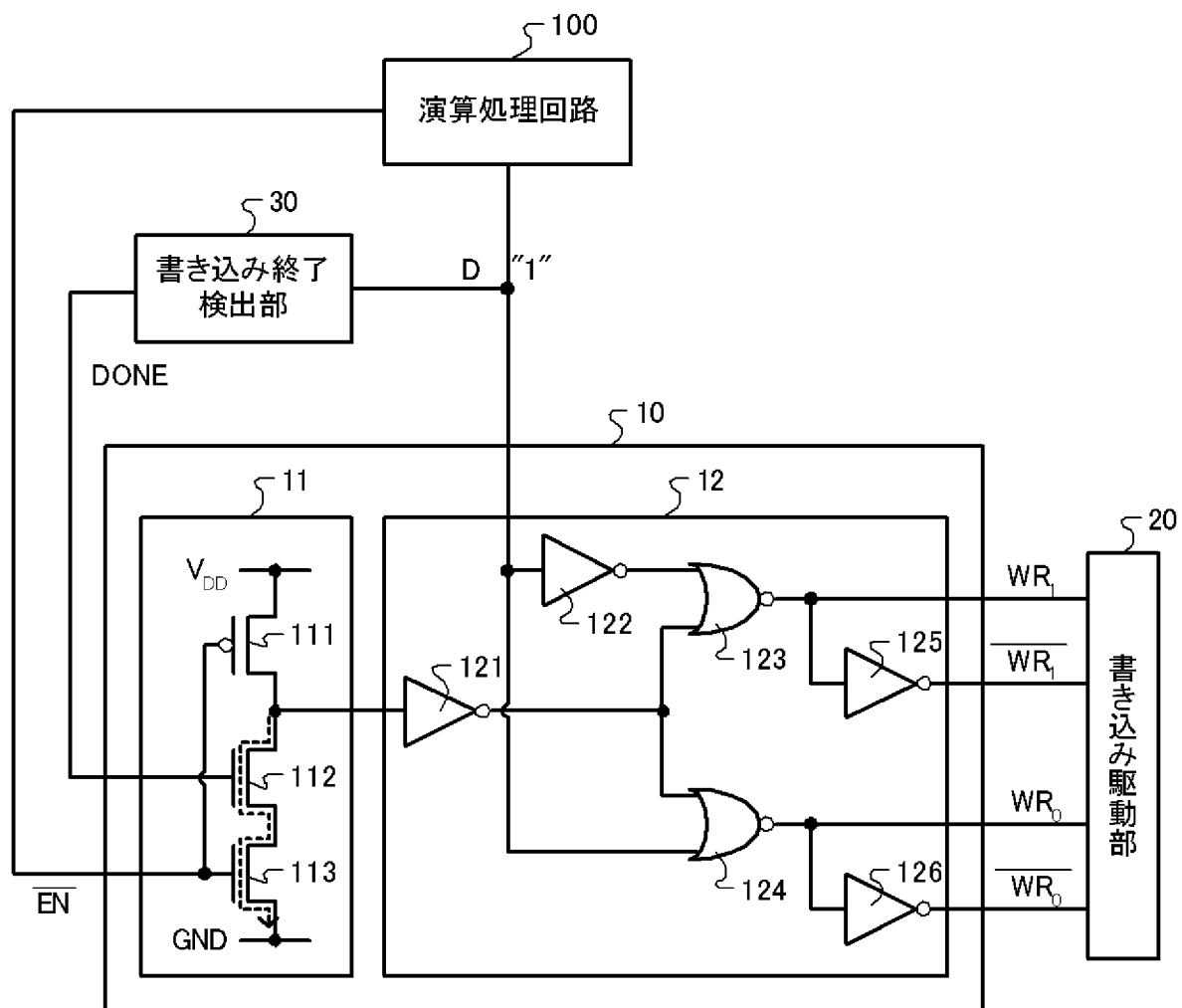


[図11]

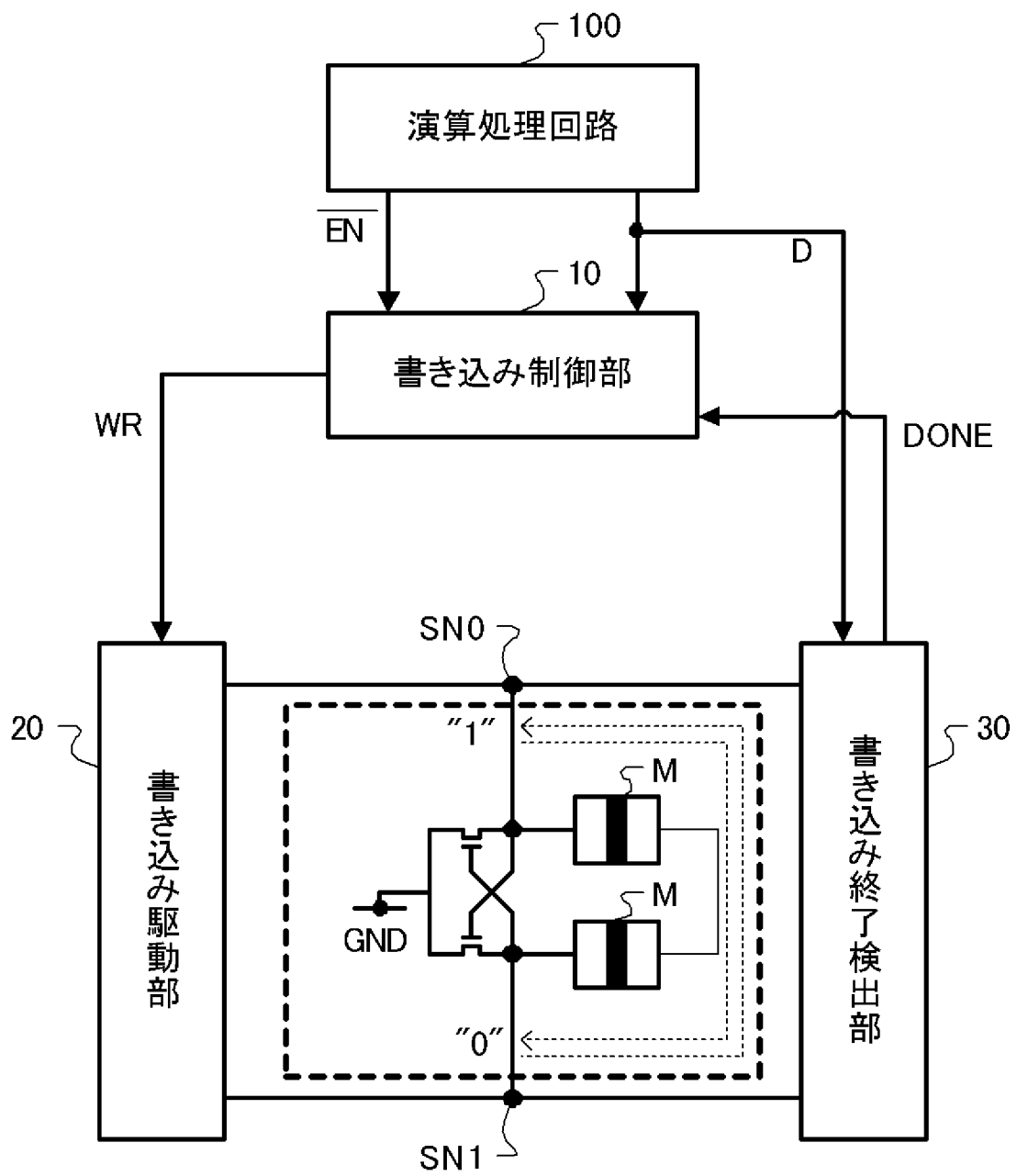


(データ“1”書き込み)

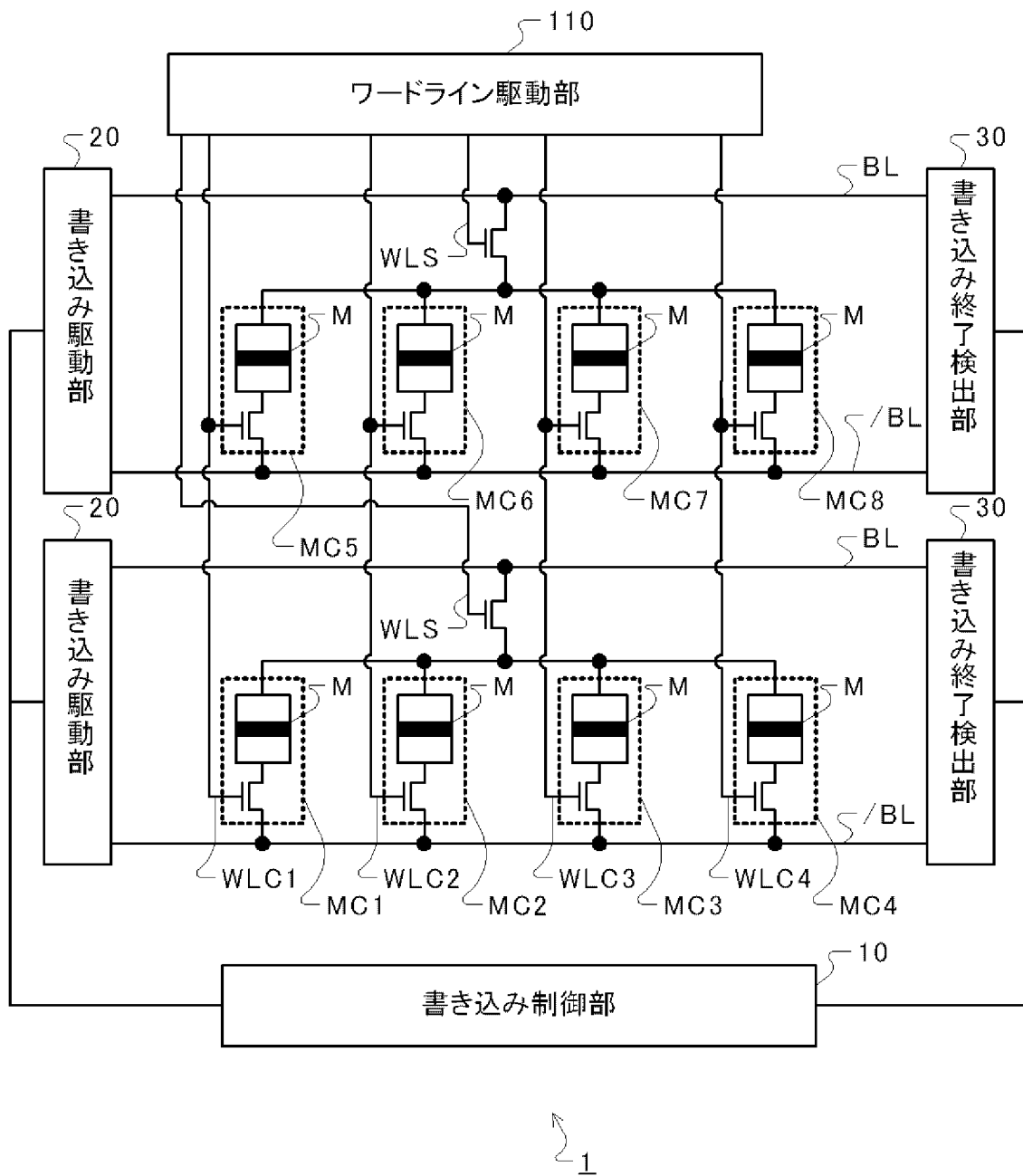
(データ“1”書き込み)



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/058988

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/15(2006.01)i, G11C13/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/15, G11C11/16, G11C13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-80901 A (Toshiba Corp.), 16 April 2009 (16.04.2009), paragraphs [0013] to [0024]; fig. 2 to 4 (Family: none)	1-7
A	WO 2007/015358 A1 (NEC Corp.), 08 February 2007 (08.02.2007), paragraphs [0037] to [0056]; fig. 3 to 6 & US 2009/0109736 A1 & JP 4911318 B2	1-7
A	WO 2008/012871 A1 (Fujitsu Ltd.), 31 January 2008 (31.01.2008), paragraphs [0036] to [0123]; fig. 4 to 9 & JP 5012802 B2	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 April 2015 (17.04.15)

Date of mailing of the international search report
28 April 2015 (28.04.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C11/15(2006.01)i, G11C13/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C11/15, G11C11/16, G11C13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-80901 A（株式会社東芝）2009.04.16, 段落【0013】－【0024】、図2－4（ファミリーなし）	1-7
A	WO 2007/015358 A1（日本電気株式会社）2007.02.08, 段落[0037]－[0056]、図3－6 & US 2009/0109736 A1 & JP 4911318 B2	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 4 . 2 0 1 5

国際調査報告の発送日

2 8 . 0 4 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 彰

5 U

4 2 2 6

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/012871 A1 (富士通株式会社) 2008.01.31, 段落 [0 0 3 6] - [0 1 2 3]、図 4 - 9 & JP 5012802 B2	1-7