

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 3 月 17 日 (2005.3.17)

【公開番号】特開 2002-110973 (P2002-110973A)

【公開日】平成 14 年 4 月 12 日 (2002.4.12)

【出願番号】特願 2000-299546 (P2000-299546)

【国際特許分類第 7 版】

H 0 1 L 29/78

H 0 1 L 21/316

H 0 1 L 21/318

H 0 1 L 21/8238

H 0 1 L 27/092

【F I】

H 0 1 L 29/78 3 0 1 G

H 0 1 L 21/316 S

H 0 1 L 21/316 M

H 0 1 L 21/318 M

H 0 1 L 21/318 C

H 0 1 L 27/08 3 2 1 D

【手続補正書】

【提出日】平成 16 年 4 月 12 日 (2004.4.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 1

【補正方法】変更

【補正の内容】

【0 0 2 1】

引き続き図 1 ( d ) に示すように、前記ゲート電極膜 4 ( a ) をパターンニングし、エッチング除去によりトランジスタのゲート電極膜 4 ( b ) を形成し、以下公知の技術により、トランジスタのソース/ドレイン 5、層間絶縁膜 6、コンタクトホール 7、およびメタル配線 8 を形成して M O S トランジスタを製造する。