

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4756746号  
(P4756746)

(45) 発行日 平成23年8月24日 (2011. 8. 24)

(24) 登録日 平成23年6月10日 (2011. 6. 10)

(51) Int. Cl.

F I

H O 1 L 21/82 (2006. 01)

H O 1 L 21/82 D

G O 6 F 17/50 (2006. 01)

G O 6 F 17/50 6 5 8 M

H O 1 L 21/76 (2006. 01)

H O 1 L 21/76 L

H O 1 L 23/52 (2006. 01)

H O 1 L 21/88 S

H O 1 L 21/3205 (2006. 01)

H O 1 L 27/04 A

請求項の数 12 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2001-12789 (P2001-12789)  
 (22) 出願日 平成13年1月22日 (2001. 1. 22)  
 (65) 公開番号 特開2002-9161 (P2002-9161A)  
 (43) 公開日 平成14年1月11日 (2002. 1. 11)  
 審査請求日 平成20年1月4日 (2008. 1. 4)  
 (31) 優先権主張番号 特願2000-117629 (P2000-117629)  
 (32) 優先日 平成12年4月19日 (2000. 4. 19)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
 (74) 代理人 100064746  
 弁理士 深見 久郎  
 (74) 代理人 100085132  
 弁理士 森田 俊雄  
 (74) 代理人 100083703  
 弁理士 仲村 義平  
 (74) 代理人 100096781  
 弁理士 堀井 豊  
 (74) 代理人 100109162  
 弁理士 酒井 将行  
 (74) 代理人 100111246  
 弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に、  
 活性領域パターンと、  
 ウエルと、  
 複数の第一活性ダミーパターンと、  
 複数の第二活性ダミーパターンと、  
 前記活性領域パターン、前記複数の第一活性ダミーパターン、及び前記複数の第二活性  
 ダミーパターンとを取り囲むような分離領域と、を有し、  
 前記複数の第一活性ダミーパターンそれぞれの形状と面積は等しく、  
 前記複数の第二活性ダミーパターンそれぞれの形状と面積は等しく、  
 前記ウエルの内部と外部にはそれぞれ前記第一活性ダミーパターンが配置され、  
 第一の方向に第一ピッチで前記第一活性ダミーパターンが複数配置され、  
 前記第一の方向と異なる第二の方向に前記第一ピッチで前記第一活性ダミーパターンが  
 複数配置され、  
 前記第一ピッチよりも大きな第二ピッチで前記第二活性ダミーパターンが複数配置され  
 、  
 前記第一活性ダミーパターンの面積は前記第二活性ダミーパターンの面積よりも小さい  
 ことを特徴とする半導体装置。

【請求項 2】

前記ウエルの内部と外部にはそれぞれ前記第二活性ダミーパターンが配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第一の方向に前記第二ピッチで前記第二活性ダミーパターンが複数配置され、  
前記第二の方向に前記第二ピッチで前記第二活性ダミーパターンが複数配置されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記ウエル境界には前記第一及び第二活性ダミーパターンは配置されないことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

ゲート電極を更に有し、  
平面視において前記ゲート電極と前記第一及び第二活性ダミーパターンは重ならないことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

ゲート電極と、  
第一ダミーゲートパターンと、  
第二ダミーゲートパターンとをさらに有し、  
前記複数の第一ダミーゲートパターンそれぞれの形状と面積は等しく、  
前記複数の第二ダミーゲートパターンそれぞれの形状と面積は等しく、  
前記ウエルの内部と外部にはそれぞれ前記第一ダミーゲートパターンが配置され、  
第三の方向に第三ピッチで前記第一ダミーゲートパターンが複数配置され、  
前記第三の方向と異なる第四の方向に前記第三ピッチで前記第一ダミーゲートパターンが複数配置され、  
前記第三ピッチよりも大きな第四ピッチで前記第二ダミーゲートパターンが複数配置され、  
前記第一ダミーゲートパターンの面積は前記第二ダミーゲートパターンの面積よりも小さいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

配線パターンと、  
第一ダミー配線パターンと、  
第二ダミー配線パターンとをさらに有し、  
前記複数の第一ダミー配線パターンそれぞれの形状と面積は等しく、  
前記複数の第二ダミー配線パターンそれぞれの形状と面積は等しく、  
第五の方向に第五ピッチで前記第一ダミー配線パターンが複数配置され、  
前記第五の方向と異なる第六の方向に前記第五ピッチで前記第一ダミー配線パターンが複数配置され、  
前記第五ピッチよりも大きな第六ピッチで前記第二ダミー配線パターンが複数配置され、  
前記第一ダミー配線パターンの面積は前記第二ダミー配線パターンの面積よりも小さいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

半導体基板にマスクを用いてパターニングを行い、溝を形成する工程と、  
前記溝に絶縁層を埋め込む工程と、  
前記絶縁層が埋め込まれた前記半導体基板をCMP法により研磨して平坦化することにより、活性領域パターンと、複数の第一活性ダミーパターンと、複数の第二活性ダミーパターンと、分離領域とを形成する工程とを有する半導体装置の製造方法であって、  
分離領域は前記活性領域パターン、前記複数の第一活性ダミーパターン、及び前記複数の第二活性ダミーパターンとを取り囲むように形成され、  
前記複数の第一活性ダミーパターンそれぞれの形状と面積は等しく、  
前記複数の第二活性ダミーパターンそれぞれの形状と面積は等しく、

ウエルの内部と外部にはそれぞれ前記第一活性ダミーパターンが配置され、  
第一の方向に第一ピッチで前記第一活性ダミーパターンが複数配置され、  
前記第一の方向と異なる第二の方向に前記第一ピッチで前記第一活性ダミーパターンが  
複数配置され、

前記第一ピッチよりも大きな第二ピッチで前記第二活性ダミーパターンが複数配置され、

前記第一活性ダミーパターンの面積は前記第二活性ダミーパターンの面積よりも小さい  
ことを特徴とする半導体装置の製造方法。

【請求項 9】

前記ウエルの内部と外部にはそれぞれ前記第二活性ダミーパターンが配置されることを  
特徴とする請求項 8 に記載の半導体装置の製造方法。

10

【請求項 10】

前記第一の方向に前記第二ピッチで前記第二活性ダミーパターンが複数配置され、  
前記第二の方向に前記第二ピッチで前記第二活性ダミーパターンが複数配置されること  
を特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記ウエル境界には前記第一及び第二活性ダミーパターンは配置されないことを特徴と  
する請求項 8 に記載の半導体装置の製造方法。

【請求項 12】

平面視においてゲート電極と前記第一及び第二活性ダミーパターンは重ならないことを  
特徴とする請求項 9 に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、製造中のパターンの疎密に起因する段差を低減するためのダミーパターンを有  
する半導体装置およびダミーパターンの配置方法に関する。

【0002】

【従来の技術】

従来から、CMP (Chemical Mechanical Polishing) 工程において、本来形成される  
べき素子形成領域のパターンの疎密に起因して素子分離領域の分離絶縁膜に生じる平坦性  
の低下の問題を抑制するために、素子分離領域にダミーパターンを配置する半導体装置は  
知られている。

30

【0003】

たとえば、特開平 8 - 213396 号公報では、配線層におけるダミーパターンの例が、  
また、特開平 9 - 181159 号公報では、素子形成領域パターンを分離するために、STI  
(Shallow Trench Isolation)、すなわち、シャロウトレンチ分離を用いたときのダ  
ミーパターンの例が開示されている。

【0004】

また、近年用いられている半導体装置においては、その製造工程を簡略化するため、全  
ての素子間の分離を STI で行なっている。そのため、図 18 に示すように、素子分離領域  
103 は非常に広い領域となる。

40

【0005】

図 18 に示すように、半導体基板 101 の素子分離領域 103 にトレンチ 103a、103  
b を形成し、このトレンチ 103a、103b を覆うように絶縁膜 102 を堆積する。  
その後、CMP やエッチバックを行なって平坦化を行なう。

【0006】

このとき、図 19 に示すように、広いトレンチ 103a 内に形成された分離絶縁膜 102  
a の表面は、狭いトレンチ 103b 内に形成された分離絶縁膜 102b の表面に比較して  
大きく窪んでしまう。

【0007】

50

この大きな窪みを抑制する手段として、図 20 に示すように、広いトレンチ 103a 内にダミーパターン 105 を形成した後に絶縁膜 102 を堆積して CMP 等を実行する方法がある。

#### 【0008】

この方法によれば、図 21 に示すように、CMP 等を実行した後に広いトレンチ 103a 内に残る分離絶縁膜 102a の表面は大きく窪むことがない。そのため、ダミーパターン 105 を設けずに CMP 等を行なった図 19 に示す場合と比較して、広いトレンチ 103a 内に形成された分離絶縁膜 102a 表面の平坦性は向上する。つまり、半導体装置の平坦性を向上することができる。

#### 【0009】

##### 【発明が解決しようとする課題】

ところで、半導体装置の平坦性や寸法制御性をさらに向上するには、ダミーパターン 105 のピッチ（幅）を小さくすることが有効である。それにより、半導体装置全体に網羅的にダミーパターン 105 を配置することができ、寸法制御性を向上しながら半導体装置の平坦性をも向上することができる。

#### 【0010】

しかしながら、従来のダミーパターン 105 は、CAD（Calculation Automatic Design）処理により自動的に配置され、またダミーパターン 105 のピッチは一定であったため、半導体装置全体に網羅的にピッチの小さいダミーパターン 105 を配置することが困難であった。

#### 【0011】

それは、ダミーパターン 105 のピッチを小さくして半導体装置全体に網羅的にダミーパターン 105 を配置すると、CAD 処理時間が増大するばかりでなく、CAD 処理容量が増大して処理できなくなる場合が生じるからである。

#### 【0012】

また、次のような問題もあった。すなわち、半導体装置全体に一様にダミーパターン 105 を配置した場合、もともとパターンが密であった領域にもダミーパターン 105 が配置されることとなり、十分な平坦性向上効果が得られないという問題もあった。

#### 【0013】

本発明は、上記のような課題を解決するためになされたものであり、その目的は、半導体装置の平坦性を向上するとともに、ダミーパターン配置のための CAD 処理時間を短縮し、かつ CAD 処理容量を低減することにある。

#### 【0014】

##### 【課題を解決するための手段】

本発明に係る半導体装置は、1つの局面では、半導体基板上に形成された素子パターンと、素子パターンと同一レイヤに配置される第1ダミーパターンと、素子パターンと同一レイヤに配置され第1ダミーパターンと異なるピッチの第2ダミーパターンとを備える。ここで、同一レイヤとは、たとえば図 13 において隣合うダミーパターン 5a, 5b のように、半導体基板あるいは半導体基板上においてほぼ同一高さの位置に存在する層あるいは部分のことを称する。また、素子パターンとは、素子を構成するパターンのことを称し、後述するように活性領域パターンや、配線パターン等を含む概念である。

#### 【0015】

上記のように異なるピッチの第1および第2ダミーパターンを設けることにより、たとえば素子分離領域における広い領域には相対的に大きいピッチの第1ダミーパターンを配置し、比較的狭い領域には相対的に小さいピッチの第2ダミーパターンを配置することができる。それにより、半導体装置全体に網羅的にダミーパターンを配置することができる。また、たとえばピッチの大きい順に第1および第2ダミーパターンを配置することにより、小さいピッチのダミーパターン配置のための処理領域を実質的に削減することができ、全領域に小さいピッチのダミーパターンを配置する場合と比較して、CAD 処理時間の短縮および CAD 処理容量の低減が可能となる。

10

20

30

40

50

## 【 0 0 1 6 】

なお、上記素子パターンは、半導体基板に素子分離領域によって分離形成された素子形成領域パターン（活性領域パターン）を含む。この場合、第1および第2ダミーパターンは、素子分離領域に配置される。

## 【 0 0 1 7 】

また上記素子パターンは、半導体基板上に形成された配線パターンをも含む。この場合、第1および第2ダミーパターンは、配線パターンの周囲に配置される。

## 【 0 0 1 8 】

上記のいずれの場合にも、半導体装置全体に網羅的にダミーパターンを配置することができる。

10

## 【 0 0 1 9 】

本発明に係る半導体装置は、他の局面では、半導体基板上の複数のメッシュ領域（分割領域）と、メッシュ領域内に位置する素子パターンと、メッシュ領域の面積に対する素子パターンの面積である素子パターンの占有率に応じた占有率となるようにメッシュ領域内に配置されたダミーパターンとを備える。

## 【 0 0 2 0 】

このように半導体基板上の領域を複数に分割するメッシュ領域内における素子パターンの占有率に応じてダミーパターンを配置することにより、素子パターンの疎密に応じて各メッシュ領域内にダミーパターンを適切に配置することができる。それにより、半導体装置全体に網羅的にダミーパターンを配置できるとともに各メッシュ領域間における凸部の割合のばらつきを小さくすることができ、結果として半導体装置の平坦性を向上することができる。また、素子パターンの疎密に応じて適切な大きさのダミーパターンを配置することにより、C A D処理時間の短縮およびC A D処理容量の低減が可能となる。

20

## 【 0 0 2 1 】

上記ダミーパターンは、好ましくは、ピッチの異なる第1および第2ダミーパターンを含む。それにより、半導体装置の平坦性をさらに向上することができる。

## 【 0 0 2 2 】

なお、いずれの局面においても、第1ダミーパターンの配置と、第2ダミーパターンの配置とを別ステップで行なうことが好ましい。また、半導体装置が第1ダミーパターンが配置される第1領域と、第2ダミーパターンが配置される第2領域とを有する場合、第1領域への第1ダミーパターンの配置と、第2領域への第2ダミーパターンの配置とを別ステップで行なうことが好ましい。さらに、ピッチの大きいダミーパターンから順に配置することが好ましい。

30

## 【 0 0 2 3 】

このように異なるピッチのダミーパターンの配置を別ステップで行なうことにより、C A D処理時間の短縮およびC A D処理容量の低減が可能となる。

## 【 0 0 2 4 】

本発明に係るダミーパターンの配置方法は、1つの局面では、同一レイヤに配置された相対的にピッチの大きい第1ダミーパターンと相対的にピッチの小さい第2ダミーパターンとを備えた半導体装置におけるダミーパターンの配置方法であって、第1ダミーパターンの配置と第2ダミーパターンを配置とを別ステップで行なう。

40

## 【 0 0 2 5 】

それにより、上述のようにC A D処理時間の短縮およびC A D処理容量の低減が可能となる。

## 【 0 0 2 6 】

上記半導体装置の素子分離領域に第1および第2ダミーパターンを配置し、素子分離領域を、第1ダミーパターンが配置される第1領域と、第2ダミーパターンが配置される第2領域とに区分する。この場合、第1領域に第1ダミーパターンを配置した後に、第2領域に第2ダミーパターンを配置することが好ましい。

## 【 0 0 2 7 】

50

また、半導体装置の配線パターンの周囲に第1および第2ダミーパターンを配置し、配線パターン間の領域を、第1ダミーパターンが配置される第1領域と、第2ダミーパターンが配置される第2領域とに区分する。この場合、第1領域に第1ダミーパターンを配置した後に、第2領域に第2ダミーパターンを配置することが好ましい。

【0028】

このように第1および第2ダミーパターンの形成領域を区分することにより、第2ダミーパターンの配置の際に第2領域の処理を行えばよくなる。それにより、CAD処理領域を低減することができ、CAD処理時間の短縮およびCAD処理容量の低減に寄与し得る。

【0029】

第1ダミーパターンは、第1上層ダミーパターンと、第1下層ダミーパターンとを有し、第2ダミーパターンは、第2上層ダミーパターンと、第2下層ダミーパターンとを有する。この場合、第1および第2下層ダミーパターンの配置データを、第1および第2上層ダミーパターンの配置データとして流用する。

【0030】

このように下層のダミーパターンの配置データを流用することも、CAD処理時間の短縮およびCAD処理容量の低減に寄与し得る。

【0031】

本発明に係るダミーパターンの配置方法は、他の局面では、下記の各ステップを備える。半導体チップ領域を複数のメッシュ領域に分割する。メッシュ領域の面積に対するメッシュ領域内に位置する素子パターンの面積である第1占有率に基いて、メッシュ領域の面積に対するメッシュ領域内に配置するダミーパターン面積である第2占有率を決定する。メッシュ領域におけるダミーパターンの占有率が第2占有率となるようにダミーパターンをメッシュ領域内に配置する。

【0032】

上記のようにメッシュ領域における素子パターンの第1占有率に基いてダミーパターンを配置することにより、メッシュ領域間における凸部の割合のばらつきを小さくすることができ、半導体装置の平坦性を向上することができる。また、上記の第1占有率に基いて適切な大きさのダミーパターンを配置することにより、CAD処理時間の短縮およびCAD処理容量の低減が可能となる。

【0033】

上記ダミーパターンの配置ステップは、メッシュ領域におけるダミーパターンの占有率が第2占有率となるようにダミーパターンの大きさを調整するステップを含む。それにより、ダミーパターンの大きさを適正化することができ、CAD処理時間の短縮およびCAD処理容量の低減が可能となる。

【0034】

第2占有率を決定するステップは、第1占有率を求めた後、フーリエ変換して半導体チップ領域全体の占有率分布を求めるステップを含むものであってもよい。この場合、ダミーパターンの配置ステップは、上記占有率分布に従ってダミーパターンを配置するステップを含む。

【0035】

また、第2占有率を決定するステップは、各々のメッシュ領域について第1占有率を求めた後、複数のメッシュ領域の占有率を平均した平均占有率を求めるステップを含むものであってもよい。この場合、ダミーパターンの配置ステップは、上記平均占有率に従ってダミーパターンを配置するステップを含む。

【0036】

上記のようにして第2占有率を求めることで、より効果的にダミーパターンの選択配置が可能となる。

【0037】

上記の第1占有率が大きいほど第2占有率を小さくすることが好ましい。それにより、メ

10

20

30

40

50

ッシュ領域間における凸部の割合のばらつきを小さくすることができる。

【0038】

上記第2占有率を決定するステップは、好ましくは、下層における第1占有率を加算して第2占有率を求めるステップを含む。ここで、「加算」とは、第1占有率を考慮して第2占有率を決定することを意味し、下層の第1占有率を単純に加える場合のみならず、下層の第1占有率から得られる所定の係数を第2占有率に乘じる場合等も含まれる。

【0039】

このように下層の段差を考慮して上記第2占有率を決定することにより、パターンの密部同士あるいは疎部同士が積層された場合においても、半導体装置における段差を低減することができる。

10

【0040】

上記のいずれの局面においても、第1ダミーパターンを第1セル領域内に配置し、第2ダミーパターンを第2セル領域内に配置し、第1セル領域のピッチを第2セル領域のピッチよりも大きくしてもよい。この場合、第2セル領域内における第2ダミーパターンの占有率を、第1セル領域内における第1ダミーパターンの占有率よりも高くする。

【0041】

それにより、第1ダミーパターンを配置できない小さい領域に第2ダミーパターンを配置することができ、メッシュ領域間における凸部の割合のばらつきをさらに小さくすることができる。

【0042】

20

【発明の実施の形態】

以下、図1から図17を用いて本発明の実施の形態を説明する。

【0043】

(実施の形態1)

まず、図1から図11を用いて、本実施の形態1における半導体装置の設計フローを説明する。

【0044】

図1に示すように、領域60内に直交するグリッドで仕切られたセル領域6が複数配置され、このセル領域6内にダミーパターン5が配置される。図2に、図1における領域7の拡大図を示す。

30

【0045】

図2に示すように、セル領域6の内側にある個々のダミーパターン5は、CADデータ上では2頂点で形成できる長方形からなる形状となっている。それにより、CAD上のデータ量を最小限に抑えることや、領域60内におけるダミーパターンの占有率を容易に制御することができる。また、セル領域6内部の構成は、図3～図6に示すような複数の長方形で構成されていてもよい。

【0046】

次に、このようなダミーパターン5が配置されたセル領域6を複数有する領域60に、素子形成領域パターン4、ウェル8、ゲート電極12等を配置していくCADフローを、図7～図11を用いて説明する。なお、アルミニウム配線層の形成工程等は省略している。

40

【0047】

まず、フロー1として、半導体装置を構成する領域(CADチップ)60全面に、ダミーパターン5を有するセル領域6をピッチAのグリッド上に配置する。

【0048】

その後、図7に示すように、領域60内に、ウェル8(pウェルまたはnウェル)、素子形成領域パターン4およびゲート電極12を配置する。

【0049】

次に、フロー2として、図8に示すように、素子形成領域パターン4と交差するセル領域6を削除する。このとき、素子形成領域パターン4に対して所望のオーバーサイズをかけておく。すなわち、少し大きめの素子形成領域パターン4を想定してセル領域6を削除す

50

る。それにより、素子形成領域パターン４とダミーパターン５との間の分離特性を十分に保つことができる。

【００５０】

次に、フロー３として、図９に示すように、ウェル８の境界線と交差するセル領域６を削除する。このとき、ウェル８に対して所望のオーバーサイズした図形からアンダーサイズした図形を差し引いた図形と交差するセル領域６を削除する。すなわち、実際のウェル８の境界線よりも少し大き目の領域の内側と、実際のウェル８より少し小さ目の領域の外側との間に位置する領域と交差するセル領域６を削除する。それにより、ウェル８の境界における分離特性を保つことができる。

【００５１】

さらに、フロー４として、図１０に示すように、ゲート電極１２が形成される領域と交差するセル領域６を削除する。このとき、ゲート電極１２を形成する領域に対しても所望のオーバーサイズをかけて、セル領域６を除去しておく。それにより、アライメントずれ等に対するマージン、すなわち、重ね合せ誤差に対する余裕を確保できる。

【００５２】

上記のフロー４を設けることで、ゲート電極１２の配線容量の増加、ゲート絶縁膜の信頼性に対する面積増加を伴わずに、ダミーパターンによる効果を得ることができる。

【００５３】

次に、ダミーパターン５を有しセル領域６のピッチＡよりも小さいピッチＢのセル領域６ａをグリッド上に配置する。そして、上記のセル領域６が残存する領域（第１領域）を禁止レイヤに加え、このセル領域６と交差するセル領域６ａを削除する。それにより、領域（第２領域）９内にのみ小さいピッチＢのセル領域６ａが残ることとなる。

【００５４】

その後、セル領域６ａについて上記のフロー２～４を行ない、図１１に示すようにセル領域６が形成されていない領域９内に小さいピッチのセル領域６ａを配置する。つまり、小さいピッチのダミーパターン５を領域９内に配置する（フロー５）。以上のフローを経て、ピッチの異なる複数のセル領域（ダミーパターン）を別ステップで順次配置することができる。

【００５５】

上記のフロー１～５を経て残ったセル領域６，６ａと素子形成領域パターン４とをマージする。すなわち、ＯＲ処理を行なってセル領域６，６ａと素子形成領域パターン４とを平面的に一体の形状とみなす。そして、同一のマスク（レチクル）に開口パターンを作り込む（フロー６）。

【００５６】

このマスクを用いて半導体基板に素子形成領域パターン４およびそれと同一レイヤのダミーパターン５を形成する。また、同様の手法で、ゲート電極１２およびそれと同一レイヤのダミーパターン５を形成する。

【００５７】

なお、上記のフロー２～４については、順不同であり、フロー３およびフロー４については、プロセスにより省くことも可能である。また、それぞれのダミーパターン５の削除処理は、素子形成領域パターン４、ウェル８、ゲート電極１２を形成する領域を所望のサイズに処理した後、マージして一括処理してもよい。また、上記のフローの思想は、３種類以上のピッチのダミーパターンを配置する際にも適用可能である。

【００５８】

上記の設計フローによれば、大ピッチから微小ピッチに至る種々のピッチのダミーパターン５を適切な位置に形成することができる。それにより、素子分離領域の大きさに応じた最適なピッチのダミーパターン５を形成することができる。その結果、半導体装置全体に網羅的にダミーパターンを形成することができ、半導体装置の平坦性をさらに向上することができる。

【００５９】

10

20

30

40

50



また、大きいピッチのセル領域 6 から順に配置することにより、小さいピッチのセル領域 6 a を配置する領域を、ピッチの大きいセル領域 6 が配置されていない領域 9 内のみとすることができる。つまり、大きいピッチのダミーパターンが配置されていない領域 9 内のみ小さいピッチのダミーパターンが配置されることとなる。それにより、小さいピッチのダミーパターン配置のための C A D 処理領域を縮小することができ、全領域に小さいピッチのダミーパターンを配置する場合と比較して、C A D 処理時間の短縮およびメモリ使用量の低減が可能となる。

【 0 0 6 0 】

その結果、ピッチの異なる複数種類のダミーパターン 5 の自動配置が可能となり、半導体装置を製造するためのマスクの形成がより簡単となる。

10

【 0 0 6 1 】

( 実施の形態 2 )

次に、本発明における半導体装置の一例を、図 1 2 および図 1 3 を用いて説明する。

【 0 0 6 2 】

図 1 2 および図 1 3 に示すように、本実施の形態における半導体装置は、素子形成領域パターン 4、ピッチの異なる第 1 および第 2 活性領域 ( A / A : Active Area ) ダミーパターン 5 a , 5 b と、素子分離領域に形成されたトレンチと、トレンチ内に埋め込まれた分離絶縁膜 2 a と、ゲート絶縁膜 1 1 と、ゲート電極 1 2 と、ピッチの異なる第 1 および第 2 ゲートダミーパターン 1 3 a , 1 3 b とを備える。

20

【 0 0 6 3 】

第 1 および第 2 A / A ダミーパターン 5 a , 5 b は、素子形成領域パターン 4 と同一レイヤに設けられる。図 1 2 および図 1 3 に示す態様では、第 1 A / A ダミーパターン 5 a のピッチ L 1 は、第 2 A / A ダミーパターン 5 b のピッチ L 2 よりも大きい。

【 0 0 6 4 】

第 1 および第 2 A / A ダミーパターン 5 a , 5 b を形成するには、素子形成領域パターン 4 を形成するためのマスクに、前述のフローに従って第 1 および第 2 A / A ダミーパターン 5 a , 5 b 用の開口を設ける。そして、このマスクを用いて、素子形成領域パターン 4 の形成と同時に、第 1 および第 2 A / A ダミーパターン 5 a , 5 b をも形成する。

【 0 0 6 5 】

第 1 および第 2 ゲートダミーパターン 1 3 a , 1 3 b は、ゲート電極 1 2 と同一レイヤに設けられる。図 1 2 および図 1 3 に示すように、第 1 ゲートダミーパターン 1 3 a のピッチ L 1 は、第 2 ゲートダミーパターン 1 3 b のピッチ L 2 よりも大きい。

30

【 0 0 6 6 】

第 1 および第 2 ゲートダミーパターン 1 3 a , 1 3 b を形成するには、前述のフローに従ってゲート電極 1 2 を形成するためのマスクに、第 1 および第 2 ゲートダミーパターン 1 3 a , 1 3 b 用の開口を設ける。

【 0 0 6 7 】

そして、このマスクを用いて、ゲート絶縁膜 1 1 上に、ゲート電極 1 2 の形成と同時に第 1 および第 2 ゲートダミーパターン 1 3 a , 1 3 b を形成する。この第 1 および第 2 ゲートダミーパターン 1 3 a , 1 3 b は、第 1 および第 2 A / A ダミーパターン 5 a , 5 b の直上に形成される。

40

【 0 0 6 8 】

このように第 1 および第 2 ゲートダミーパターン 1 3 a , 1 3 b とゲート電極 1 2 を同時に形成することによって、ゲート電極 1 2 を形成するための導電層のエッチングが、ゲート電極 1 2 となる部分だけでなく、半導体基板の表面全体で略均等に行われる。それにより、半導体基板の表面全体でエッチングガス等の分布が略均一になるため、ゲート電極 1 2 のエッチングによる寸法制御性が向上する。

【 0 0 6 9 】

また、下層である第 1 および第 2 A / A ダミーパターン 5 a , 5 b と、上層である第 1 および第 2 ゲートダミーパターン 1 3 a , 1 3 b とを同一パターンとしているので、第 1 お

50

よび第2 A / A ダミーパターン 5 a , 5 b のパターンデータを利用して第1 および第2 ゲートダミーパターン 13 a , 13 b データを得ることができる。

【0070】

つまり、第1 および第2 A / A ダミーパターン 5 a , 5 b のパターンデータと、ゲート電極 12 のパターンデータとをマージして同一のマスクにパターンを作り込むことができる。それにより、CAD 処理の負荷増加なく、ゲート電極形成工程における寸法制御性の向上を図ることができる。

【0071】

(実施の形態3)

次に、図14～図16を用いて、本発明の実施の形態3について説明する。

10

【0072】

本実施の形態4では、図14に示すように、CADチップ(半導体チップ領域)全面をたとえば10～1000μm程度の長さあるいは幅を有する複数のメッシュ領域14に区切り、各メッシュ領域14ごとに素子形成領域パターン(A/Aパターン)4の占有率を求める。この素子形成領域パターン占有率は、(各メッシュ領域内の素子形成領域パターン面積)/(各メッシュ領域の面積)で求める。

【0073】

ここで、図15および図16を用いて、上記占有率についてより詳しく説明する。具体的には、A/AダミーパターンのA/A占有率について説明する。図15および図16は、トレンチ15の形成後に埋込絶縁膜16を形成した半導体装置の断面模式図である。

20

【0074】

図15は、たとえばプラズマCVD装置で堆積されたTEOS酸化膜のように凹凸に対してコンフォーマルに堆積された例を示し、図16は、たとえばHDP-CVDで堆積された酸化膜のようにエッチングと堆積とを繰り返し、凸部上に斜め45度に埋込絶縁膜16が延びる例を示す。

【0075】

図15および図16において、tはトレンチ15の深さ、dは埋込絶縁膜16の堆積膜厚、xはA/A凸部のA/Aに対するサイジング量、nはA/A凸部を判定する高さに対する係数を示す。

【0076】

30

CMPで研磨、平坦化を行なう場合、凸部の占有率が広い範囲で異なると、CMP研磨布の面圧の違いにより、研磨レートが異なり、絶対段差が残るという問題がある。具体的には、凸部の占有率が20%以上異なると、有意段差が認められる。

【0077】

そこで、凸部占有率を以下のように定義する。まず、図15のように埋込絶縁膜16がコンフォーマルに堆積された例では、xを、 $x = t \times \cos(\sin^{-1}(n))$ 、図16のように斜め45度に埋込絶縁膜16が延びる例では、xを、 $x = t \times n$ で表す。

【0078】

nの値は研磨レートにより異なるが、0.5前後であるので、0.5と近似する。このとき、各A/Aに対してxだけサイジングしたA/A凸部の面積を、セル全体の面積で除したものを凸部の占有率(A/Aパターン占有率)とする。

40

【0079】

上記のようにして各メッシュ領域14ごとにA/Aパターン占有率を求めた(フロー1)後、実施の形態1のフロー1～4と同様のフロー2～5を行なう。このフロー2～5を経て残ったセル領域6と素子形成領域パターン4とをマージし、同一のマスクにパターンを形成する(フロー6)。

【0080】

次に、各メッシュ領域14内のセル領域6を下記の表1に従ってオーバーサイジング(拡大)あるいはアンダーサイジング(縮小)する。それにより、各メッシュ領域14内のA/Aダミーパターンの占有率を所望の値とする(フロー7)。

50

【 0 0 8 1 】

【表 1】

メッシュ領域内における素子形成領域パターン占有率 (%)	メッシュ領域内におけるダミーパターン占有率 (%)	ダミーセルサイズ ( $\mu\text{m}$ )	サイジング量 ( $\mu\text{m}$ )
0 ~ 20	64	8	0
20 ~ 50	36	6	-1
50 ~ 100	0	0	-4

10

【 0 0 8 2 】

表 1 に示すように、各メッシュ領域 14 内における素子形成領域パターン 4 の占有率が低い場合には、高いダミーパターン占有率を有するセル領域 6 を配置し、素子形成領域パターン 4 の占有率が高い場合には、低いダミーパターン占有率を有するセル領域 6 を配置する。

【 0 0 8 3 】

以上の処理を、セル領域 6 よりも面積が小さく狭いピッチ B (ピッチ A > ピッチ B) のセル領域 6a について行ない、同一のマスクにパターンを形成する。このとき、セル領域 6 におけるダミーパターン占有率よりもセル領域 6a におけるダミーパターン占有率を高くする。

20

【 0 0 8 4 】

上記のように各素子形成領域パターン (素子パターン) 4 の占有率に従って所望の占有率を有する A / A ダミーパターンを配置することで、A / A ダミーパターンを半導体装置全体に網羅的に配置することができ、半導体装置を平坦化することができる。

【 0 0 8 5 】

なお、上記のフロー 3 ~ 5 は順不問であり、フロー 4, 5 については省略可能である。また、各 A / A ダミーパターンの削除処理は、素子形成領域パターン 4、ウェル領域 8 の境界、ゲート電極 12 を所望のサイジング処理後マージして、一括処理してもよい。また、フロー 1, 7 についても、フロー 2 の後、フロー 1, 7 の順で行なえばよく、上述の順に限らない。

30

【 0 0 8 6 】

(実施の形態 4)

次に、本発明の実施の形態 4 について説明する。上記の実施の形態 3 では、A / A におけるダミーパターンの配置について説明したが、実施の形態 3 の思想はメタル配線等の配線パターンの周囲にダミーパターンを配置する場合にも適用できる。

【 0 0 8 7 】

まず、実施の形態 3 の場合と同様に CAD チップを複数のメッシュ領域 14 に区切り、各メッシュ領域 14 ごとにメタル配線パターンのパターン占有率を求める。メタル配線パターン占有率は、(各メッシュ領域 14 内におけるメタル配線パターンの面積) / (各メッシュ領域 14 の面積) で求める (フロー 1)。

40

【 0 0 8 8 】

次に、CAD チップ全面に、メタル配線ダミーパターンを有するセル領域 6 を直交するピッチ A のグリッド上にアレイ状に配置する (フロー 2)。そして、メタル配線パターンと交差するセル領域 6 を削除する (フロー 3)。このとき、メタル配線パターンに対し所望のオーバーサイズをかけておくことにより、メタル配線パターンとメタル配線ダミーパターンとの分離を保つことができる。

【 0 0 8 9 】

以上のフローを経て残ったセル領域 6 とメタル配線パターンとをマージして同一のマスクにパターンを作り込む (フロー 4)。

【 0 0 9 0 】

50

次に、実施の形態 3 の場合と同様に下記の表 2 に従って、所望の占有率のメタル配線ダミーパターンを有するセル領域 6 を各メッシュ領域 1 4 内に配置する（フロー 5）。

【 0 0 9 1 】

【表 2】

メッシュ領域内におけるメタル配線パターン占有率 (%)	メッシュ領域内におけるダミーパターン占有率 (%)	ダミーセルサイズ ( $\mu\text{m}\square$ )	サイジング量 ( $\mu\text{m}$ )
0 ~ 20	64	8	0
20 ~ 50	36	6	-1
50 ~ 100	0	0	-4

10

【 0 0 9 2 】

以上のフロー 1 ~ 5 を、ピッチ B（ピッチ A > ピッチ B）のセル領域 6 a について行ない、同一のマスクにパターンを作り込む（フロー 6）。このとき、セル領域 6 におけるメタル配線ダミーパターン占有率よりもセル領域 6 a におけるメタル配線ダミーパターン占有率を高くする。

【 0 0 9 3 】

以上のようにメタル配線パターン（素子パターン）の占有率に従って所望の占有率を有するメタル配線ダミーパターンを配置することにより、メタル配線ダミーパターンを半導体装置全体に網羅的に配置することができ、半導体装置を平坦化することができる。なお、メタル配線パターン以外の配線パターンにも、本実施の形態の思想は適用可能である。

20

【 0 0 9 4 】

（実施の形態 5）

次に、本発明の実施の形態 5 について説明する。本実施の形態 5 では、実施の形態 3，4 において各メッシュ領域 1 4 ごとに A / A パターンやメタル配線パターン等の素子パターンのパターン占有率を求めた後、フーリエ変換してチップ全体の占有率分布を求める。

【 0 0 9 5 】

そして、この占有率分布に従い、実施の形態 3 のフロー 7 や実施の形態 4 のフロー 5 のようなサイジング処理を行なう。それにより、より効果的にダミーパターンの選択配置が可能となる。

30

【 0 0 9 6 】

（実施の形態 6）

次に、本発明の実施の形態 6 について説明する。本実施の形態 6 では、実施の形態 3，4 において各メッシュ領域 1 4 ごとに A / A パターンやメタル配線パターン等の素子パターンのパターン占有率を求めた後、各メッシュ領域 1 4 の占有率として、当該メッシュ領域 1 4 と周辺 n（たとえば 2 以上 10 以下の整数）個のメッシュ領域 1 4 の占有率を平均した値を求める。

【 0 0 9 7 】

そして、この平均占有率に従い、実施の形態 3 のフロー 7 や実施の形態 4 のフロー 5 のようなサイジング処理を行なう。それにより、より効果的にダミーパターンの選択配置が可能となる。

40

【 0 0 9 8 】

（実施の形態 7）

次に、本発明の実施の形態 7 について説明する。多層配線工程では、配線が積層されるので、下層での段差が重畳される。よって、配線が密である領域同士あるいは配線が疎である領域同士が積層された場合、深刻な段差が生じることとなる。

【 0 0 9 9 】

そこで、本実施の形態 7 では、実施の形態 4 ~ 6 において、各メッシュ領域 1 4 における素子パターンの占有率を求めた後、この占有率に各メッシュ領域 1 4 下における下層配線

50

の占有率を加算し、この値を各メッシュ領域 14 の占有率とする。

【0100】

加算するには、次のような係数 a を各メッシュ領域 14 の占有率に乘じる。係数 a は、下層配線の残存段差（前工程平坦後段差）／当該配線層の段差（通常配線層の厚み）で求める。

【0101】

上記の係数 a を乗じた各メッシュ領域 14 の占有率に従って、実施の形態 3 のフロー 7 や実施の形態 4 のフロー 5 のようなサイジング処理を行なう。それにより、より効果的にダミーパターンの選択配置が可能となる。

【0102】

（実施の形態 8）

次に、本発明の実施の形態 8 について説明する。本実施の形態 8 では、上記のような占有率を求めることなくダミーパターンを配置する。

【0103】

本実施の形態のフローは、実施の形態 1 のフロー 1 ～ 6 と基本的に同様であるが、本実施の形態では、ピッチの小さいセル領域 6 a を配置する際の条件を実施の形態 1 よりも具体的に規定している。

【0104】

すなわち、図 17 に示すように n 回目に配置されるダミーパターンである第 1 ダミーパターン 20（長方形でも正方形でもよい）のサイズを  $d \times 1 \times d y 1$  とし、n + 1 回目に配置されるダミーパターンである第 2 ダミーパターン 21（長方形でも正方形でもよい）のサイズを  $d \times 2 \times d y 2$ 、n 回目に配置されるセル領域である第 1 セル領域 18 のピッチを  $p \times 1 \times p y 1$ 、n + 1 回目に配置されるセル領域である第 2 セル領域 19 のピッチを  $p \times 2 \times p y 2$ 、第 1 セル領域 18 の削除時の A / A オーバーサイズ量を  $x 1$ 、第 2 セル領域 19 の削除時の A / A オーバーサイズ量を  $x 2$  とした場合、下記の条件で第 1 および第 2 ダミーパターン 20、21 を配置する。

【0105】

条件は、 $p \times 1 > p \times 2$ 、 $p y 1 > p y 2$ 、 $p \times 1 - d \times 1 - 2 \times x 2 < d \times 2$ 、 $p y 1 - d y 1 - 2 \times x 2 < d y 2$ 、 $(d \times 1 \times d y 1) / (p \times 1 \times p y 1) < (d \times 2 \times d y 2) / (p \times 2 \times p y 2)$  である。

【0106】

n 回目にダミーパターンが配置されなかった領域は、もともとパターンの密な領域か、パターンは疎であるが離散的に配置されてダミーパターンサイズおよび削除時のオーバーサイズ量が大きくダミーパターンを配置できなかった領域でありダミーパターンの占有率が低い領域である。

【0107】

そこで、上記のような条件で n + 1 回目以降のダミーパターンの配置を行なうことで、後者のようにダミーパターンの占有率が低い領域にダミーパターンを配置することができ、当該領域におけるダミーパターン占有率を高めることができる。

【0108】

以上のように何段階かに分けてダミーパターンを配置する際に、前段でダミーパターンが配置されなかったダミーパターン占有率の低い箇所に、該占有率の高いセル領域を配置することで、A / A ダミーパターンを半導体装置全体に網羅的に配置することができ、半導体装置を平坦化することができる。また、CAD 処理時間も低減できる。

【0109】

（実施の形態 9）

上記の実施の形態 8 では A / A におけるダミーパターン 5 の配置について説明したが、実施の形態 8 の思想はメタル配線等の配線パターン形成工程にも適用できる。

【0110】

CAD チップ全面にメタル配線ダミーパターンを、直交するピッチ A のグリッド上にアレ

10

20

30

40

50

イ状に配置し（フロー１）、メタル配線パターンと交差するメタル配線ダミーセルを削除する（フロー２）。このときメタル配線パターンに所望のオーバーサイズをかけ、メタル配線パターンとメタル配線ダミーパターンとの分離を確保する。

【０１１１】

以上のフローを経て残ったメタル配線ダミーセルと所望のメタル配線パターンとをマージし、同一のマスクにパターンを作り込む（フロー３）。

【０１１２】

上記のフロー１～３を、さらに面積の小さいメタル配線ダミーパターンを有する狭いピッチのセル領域６aについて行ない、同一のマスクにパターンを作り込む（フロー４）。このとき、実施の形態８と同様の条件でメタル配線ダミーパターンを配置する。

10

【０１１３】

それにより、実施の形態８の場合と同様に、メタル配線ダミーパターンを半導体装置全体に網羅的に配置することができ、半導体装置を平坦化することができる。また、ＣＡＤ処理時間も低減できる。

【０１１４】

なお、以上の各実施の形態の特徴を適宜組合せることも可能である。また、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【０１１５】

20

【発明の効果】

以上説明したように、本発明によれば、半導体装置全体に網羅的にダミーパターンを配置することができるので、半導体装置の平坦性を向上することができる。また、ダミーパターン配置のためのＣＡＤ処理時間を短縮し、かつＣＡＤ処理容量を低減することができるので、異なるピッチの複数種類のダミーパターンを自動配置することができる。

【図面の簡単な説明】

【図１】 実施の形態１の半導体装置において、ダミーパターンを有するセル領域が、直交するグリッド上に規則的に配置された状態を示す図である。

【図２】 図１の領域７を拡大した図である。

【図３】 セル領域の中に長方形のダミーパターンが複数配置された一例を示す図である。

30

【図４】 セル領域の中に長方形のダミーパターンが複数配置された他の例を示す図である。

【図５】 セル領域の中に長方形のダミーパターンが複数配置された他の例を示す図である。

【図６】 セル領域の中に長方形のダミーパターンが複数配置された他の例を示す図である。

【図７】 実施の形態１のＣＡＤフロー１を模式的に示す図である。

【図８】 実施の形態１のＣＡＤフロー２を模式的に示す図である。

【図９】 実施の形態１のＣＡＤフロー３を模式的に示す図である。

40

【図１０】 実施の形態１のＣＡＤフロー４を模式的に示す図である。

【図１１】 実施の形態１のＣＡＤフロー５を模式的に示す図である。

【図１２】 本発明の実施の形態２におけるダミーパターンを有する半導体装置の平面図である。

【図１３】 図１２に示す半導体装置の１００－１００線断面図である。

【図１４】 実施の形態３のＣＡＤフロー１を模式的に示す図である。

【図１５】 本発明の凸部占有率を説明するための図である。

【図１６】 本発明の凸部占有率を説明するための図である。

【図１７】 （a）および（b）は、本発明の実施の形態８における特徴的なフローを説明するための図である。

50

【図 18】 従来のダミーパターンを有しない半導体装置において、分離絶縁膜形成用の絶縁膜を形成した状態の断面図である。

【図 19】 従来のダミーパターンを有しない半導体装置において、CMPで分離絶縁膜を形成した状態を示す図である。

【図 20】 従来のダミーパターンを有する半導体装置において、分離絶縁膜形成用の絶縁膜を形成した状態の断面図である。

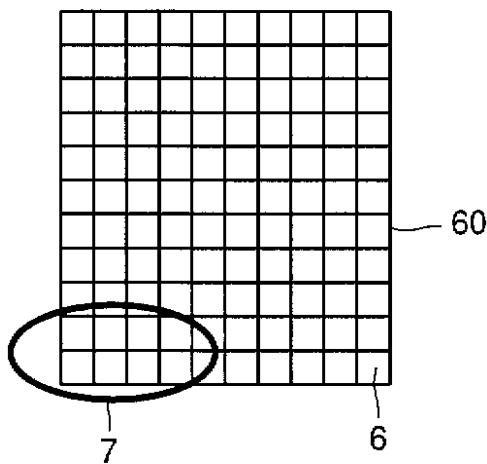
【図 21】 従来のダミーパターンを有する半導体装置において、CMPで分離絶縁膜を形成した状態を示す図である。

【符号の説明】

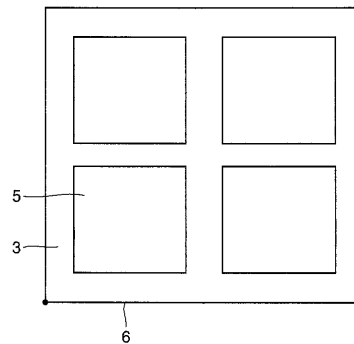
1 半導体基板、2 絶縁膜、2 a 分離絶縁膜、3 素子分離領域、4 素子形成領域  
パターン、5 ダミーパターン、5 a 第 1 A / A ダミーパターン、5 b 第 2 A / A ダ  
ミーパターン、6 , 6 a セル領域、7 , 9 , 6 0 領域、8 ウェル、1 1 ゲート絶  
縁膜、1 2 ゲート電極、1 3 a 第 1 ゲートダミーパターン、1 3 b 第 2 ゲートダミ  
ーパターン、1 4 メッシュ領域、1 5 トレンチ、1 6 埋込絶縁膜、1 7 活性領域  
、1 8 第 1 セル領域、1 9 第 2 セル領域、2 0 第 1 ダミーパターン、2 1 第 2 ダ  
ミーパターン。

10

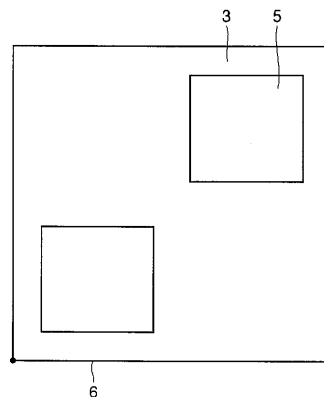
【図 1】



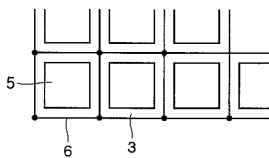
【図 3】



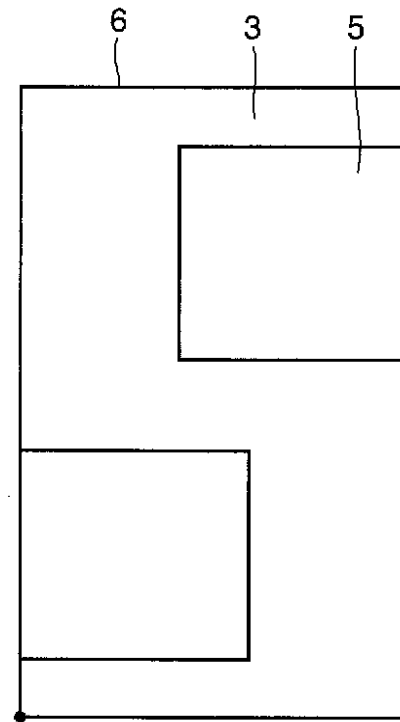
【図 4】



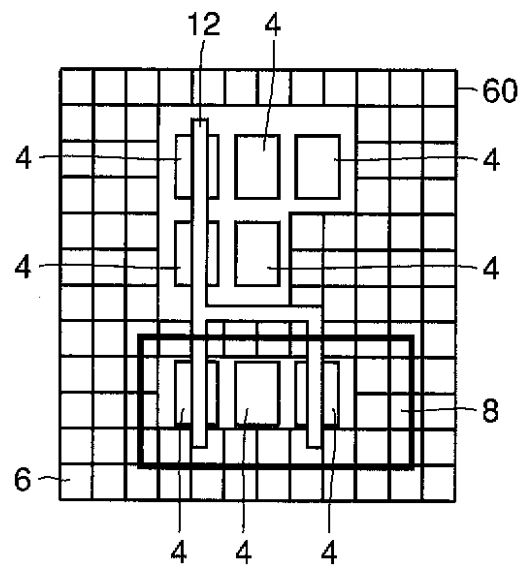
【図 2】



【 図 6 】

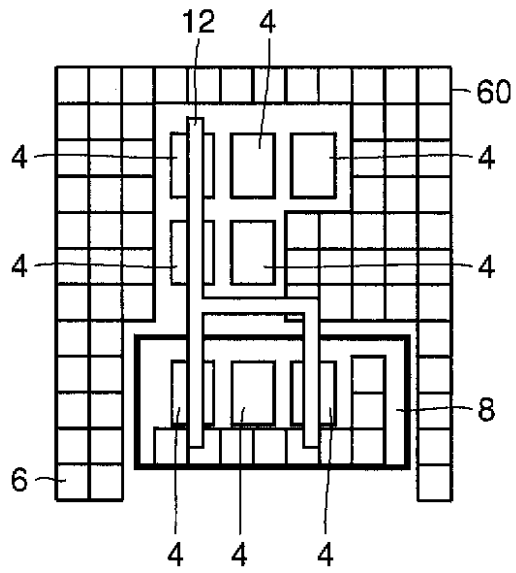


【 図 8 】

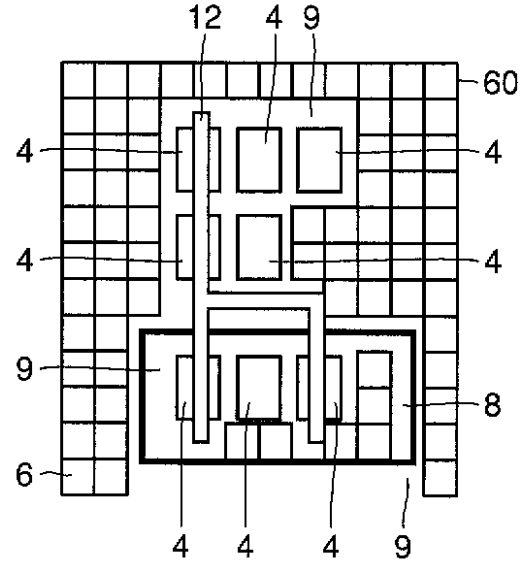




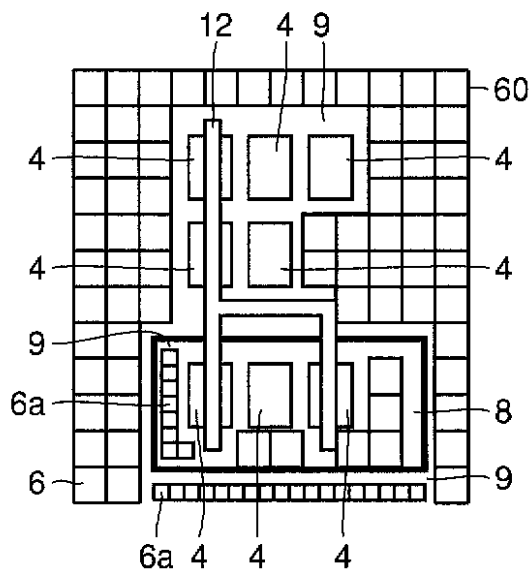
【図 9】



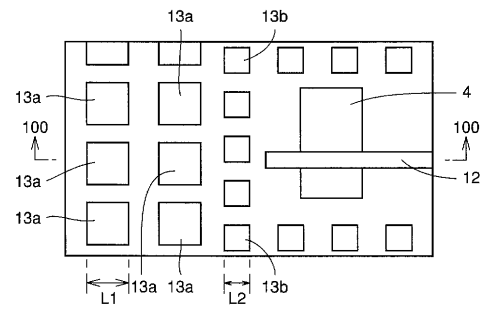
【図 10】



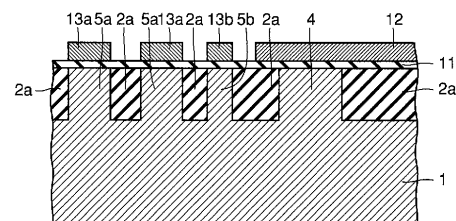
【図 11】



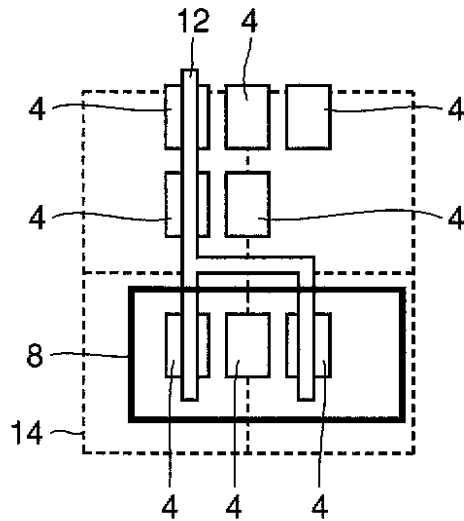
【図 12】



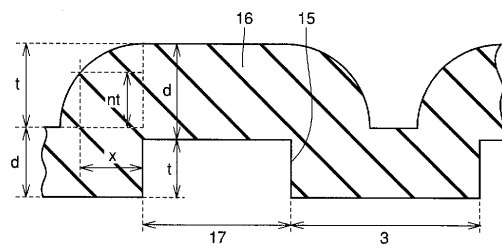
【図 13】



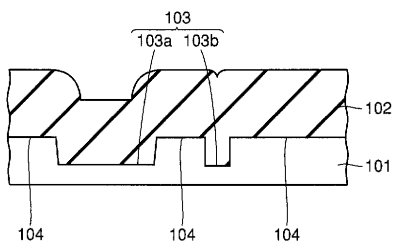
【図 14】



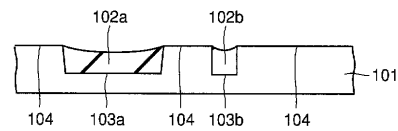
【図 15】



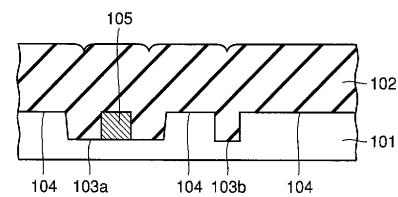
【図 18】



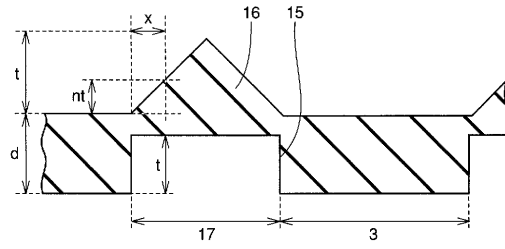
【図 19】



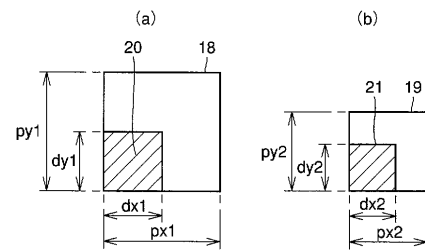
【図 20】



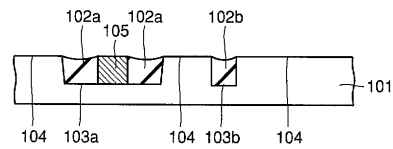
【図 16】



【図 17】



【図 21】



## フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 川島 光

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 岡田 昌和

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 木谷 剛

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 五十嵐 元繁

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 田代 吉成

(56)参考文献 特開2001-144171(JP,A)

特開平10-092921(JP,A)

特開平09-306996(JP,A)

特開平10-050843(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/82

G06F 17/50

H01L 21/3205

H01L 21/76

H01L 21/822

H01L 23/52

H01L 27/04