

(43) 国際公開日
2006年8月24日 (24.08.2006)

PCT

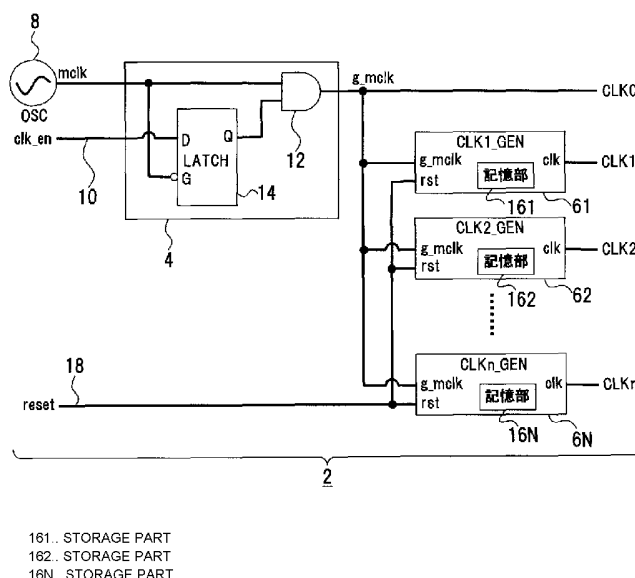
(10) 国際公開番号
WO 2006/087806 A1

- (51) 国際特許分類:
G06F 11/22 (2006.01) *G06F 1/04* (2006.01)
- (21) 国際出願番号: PCT/JP2005/002615
- (22) 国際出願日: 2005年2月18日 (18.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 古本 滋久 (KOMOTO, Shigehisa) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 エフ・ジェイ・モバイルコア・テクノロジー株式会社内 Kanagawa (JP).
- (74) 代理人: 畝本 正一 (UNEMOTO, Shoichi); 〒1670032 東京都杉並区天沼三丁目29番9号 畝本特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

[続葉有]

(54) Title: CLOCK GENERATING APPARATUS, CLOCK GENERATING METHOD, CLOCK GENERATING PROGRAM, OPERATION TESTING APPARATUS, OPERATION TESTING METHOD, AND OPERATION TESTING PROGRAM

(54) 発明の名称: クロック生成装置、クロック生成方法、クロック生成プログラム、動作検証装置、動作検証方法及び動作検証プログラム



(57) Abstract: There are included one or more clock generating parts (61-6N) for generating a plurality of clock signals (CLK1, CLK2...CLKn). Each of the clock generating parts, when returning to its active state of clock generating operation from its inactive state, generates a clock signal the phase of which corresponds to the phase at the halting of the clock generating part. Using such clock signals to halt or resume the operation of an apparatus (72) to be tested causes no changes in the conditions and hence allows information of operation over a continuous long time interval to be obtained and recorded.

(57) 要約: 複数のクロック信号 (CLK1、CLK2・・・CLKn) を生成する1つ以上のクロック生成部 (61～6N) を備え、該クロック生成部は、クロック生成動作を停止状態から動作状態に復帰

[続葉有]



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

させた際に、停止時の位相に相当する前記クロック信号を生成させる。このようなクロック信号を用いて検証対象
装置（72）の動作の停止又は動作再開を行っても、状態変化を生じさせることがないので、連続した長時間に亘
る動作情報を取得し、記録することが可能になる。

明 細 書

クロック生成装置、クロック生成方法、クロック生成プログラム、動作検証装置、動作検証方法及び動作検証プログラム

技術分野

[0001] 本発明は、LSI (Large Scale Integration)、FPGA (Field Program able Gate Arrays) 等のハードウェアの長時間に亘る動作検証に好適なクロック生成装置、クロック生成方法、クロック生成プログラム、動作検証装置、動作検証方法及び動作検証プログラムに関する。

背景技術

[0002] LSIやFPGA等のハードウェアは、大規模化やSOC (System On Chip) 化により、複数の非同期クロックで動作させるものが一般的である。このようなハードウェアの動作を検証するには、その動作を実現するためのテスト信号を加えることによりハードウェアを動作させ、ハードウェアの内部信号や外部出力信号等、各種の動作信号を観測する必要がある。しかしながら、複数の非同期クロックを必要とするハードウェアの動作検証は、観測時間、観測信号、複数の非同期クロックの位相関係等の条件維持から非常に複雑である。

[0003] 従来、この種の動作検証では、検証対象装置にシグナルジェネレータ、クロック生成装置、ロジックアナライザ等を接続して検証システムが構成され、シグナルジェネレータで生成される信号や、クロック生成装置で生成される複数のクロック信号を検証対象装置に加え、検証対象装置から生成される内部信号、出力信号を信号記憶装置に記録している。そして、この検証に用いられるクロック信号には、検証対象装置の実際の速度を持つクロック信号、又は検証が行い易い低い速度のクロック信号が用いられ、しかも、そのクロック信号は1回の検証期間中、連続して検証対象装置に付与されている。

[0004] ところで、この種の動作検証に関し、特許文献によれば、検証対象である記憶装置の書込みスペースがなくなったとき、外部から記憶装置に付与しているクロックを停止させ、記憶装置の読出し完了の後、クロックを再開させるマイクロプログラムトレース装

置(特許文献1)や、非同期の複数のクロックで動作するマイクロコントローラのインターキットエミュレータ(特許文献2)等が存在している。

特許文献1:特開昭58-181154

特許文献2:特開平11-259329

発明の開示

発明が解決しようとする課題

- [0005] ところで、検証動作を継続すると、検証対象装置から得られる信号の記憶量が膨大になり、また、記憶信号数によっても記憶量が膨大になるので、検証結果の記録時間は自ずと制限されることになる。記憶信号数を一定にしても、信号記録時間を長くするには、信号を記憶する記憶装置の記憶容量を増やす必要がある。
- [0006] また、高速で動作する検証対象装置から得られる信号を記録するには、その高速動作に対応する半導体メモリ等、高速デバイスが必要となるとともに、記憶容量が制限される。このため、信号の記憶容量が不足する場合には同様の検証を繰り返し行い、要求される検証時間を分割して信号記憶を行う必要がある。
- [0007] また、検証対象装置の出力信号を小容量の記憶装置に記憶し、その記憶容量の限界時点で、クロックの供給を停止して検証対象装置の動作を休止させ、その記憶装置から大容量の記憶装置に記憶信号を転送させ、再び、クロック供給を再開して動作を継続させることが考えられる。複数のクロックで動作する検証対象装置においては、単純にクロック供給の停止やその再開を行うと、クロック供給の再開時点で複数のクロック間の位相関係が崩れ、クロック再開後の動作が、クロックを停止させなかった本来の動作と異なってしまうおそれがある。このような動作検証は無意味であり、クロック停止及び再開を安易に行うことはできない。
- [0008] クロック供給の再開時に、複数のクロックの位相関係を保持したクロックを生成させるには、クロック停止時の各クロックの位相を記憶し、その再開時に記憶した位相からクロック供給を再開すればよいが、実用的に高速なクロック速度で斯かる動作を実現することはできない。
- [0009] このような課題に関し、特許文献1にはその開示や示唆はなく、また、特許文献2では特定の場合のみの開示や示唆であり、特許文献1、2に開示された発明では斯か

る課題を解決することはできない。

[0010] そこで、本発明は、複数のクロック信号の休止、再開に関し、各クロック信号の休止時と再開時の位相関係の不連続化を防止することを第1の目的とする。

[0011] また、本発明は、複数のクロック信号を必要とする動作検証に関し、長時間に亘る動作信号の記録を実現することを第2の目的とする。

課題を解決するための手段

[0012] 上記目的を達成するため、本発明に係るクロック生成装置は、複数のクロック信号を生成する1つ以上のクロック生成部を備え、該クロック生成部は、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる構成である。

[0013] 斯かる構成によれば、1つ以上のクロック生成部のクロック生成動作を任意に停止、その動作の再開を行わせてクロック信号を生成させることができるとともに、その停止、生成再開に関係なく、クロック信号の位相関係を保持することができる。このようなクロック信号を必要とする各種装置に対し、その動作条件を変更することなく、動作の停止、その再開を行わせることができる。

[0014] 上記目的を達成するため、本発明に係るクロック生成装置は、複数のクロック信号を生成する1つ以上のクロック生成部を備え、該クロック生成部は、制御信号によりクロック生成動作が切り換えられ、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる構成としてもよい。斯かる構成によれば、制御信号を用いてクロック信号の生成動作の停止、再開を行わせることができる。しかも、クロック信号の停止、再開に伴う位相関係は制御に関係なく維持することができる。

[0015] 上記目的を達成するためには、本発明に係るクロック生成装置において、前記クロック生成部は、前記クロック生成動作の停止時の前記クロック信号の位相を記憶する記憶部を備え、この記憶部に記憶した前記位相を元に前記クロック信号を継続して生成する構成としてもよい。

[0016] 上記目的を達成するため、本発明に係るクロック生成装置は、マスタークロック信号を発生するマスタークロック発生部と、このマスタークロック発生部の前記マスタークロ

ック信号により複数のクロック信号を生成する1つ以上のクロック生成部とを備え、該クロック生成部は、制御信号によりクロック生成動作が切り換えられ、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる構成としてもよい。

[0017] 上記目的を達成するため、本発明に係るクロック生成方法は、複数のクロック信号を生成する1つ以上のクロック生成部を備え、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる処理を含む構成である。斯かる構成によれば、1つ以上のクロック生成部のクロック生成動作を任意に停止、その動作の再開を行わせてクロック信号を生成させることができるとともに、その停止、生成再開に関係なく、クロック信号の位相関係を保持することができる。

[0018] 上記目的を達成するため、本発明に係るクロック生成方法は、マスタークロック発生部にマスタークロック信号を発生させる処理と、1つ以上のクロック生成部に、前記マスタークロック信号により複数のクロック信号を生成させる処理と、制御信号によりクロック生成動作を切り換え、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を前記クロック生成部に継続して生成させる処理とを含む構成としてもよい。

[0019] 上記目的を達成するため、本発明に係るクロック生成プログラムは、複数のクロック信号を生成する1つ以上のクロック生成部を備え、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させるステップをコンピュータに実行させる構成である。斯かる構成によれば、1つ以上のクロック生成部のクロック生成動作を任意に停止、その動作の再開を行わせてクロック信号を生成させることができるとともに、その停止、生成再開に関係なく、クロック信号の位相関係を保持することができる。このようなクロック信号を必要とする各種装置に対し、その動作条件を変更することなく、動作の停止、その再開を行わせることができる。

[0020] 上記目的を達成するため、本発明に係るクロック生成プログラムは、マスタークロック発生部にマスタークロック信号を発生させるステップと、1つ以上のクロック生成部に

、前記マスタークロック信号により複数のクロック信号を生成させるステップと、制御信号によりクロック生成動作を切り換え、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を前記クロック生成部に継続して生成させるステップとをコンピュータに実行させる構成としてもよい。

[0021] 上記目的を達成するため、本発明に係る動作検証装置は、検証対象装置が必要とするクロック信号及び入力信号を付与し、前記検証対象装置の動作を検証する動作検証装置であって、前記検証対象装置が必要とする前記入力信号を生成する入力信号生成部と、前記検証対象装置が必要とする複数のクロック信号を生成するクロック生成装置と、前記検証対象装置から得られる出力信号を記憶する出力信号記憶部とを備え、前記クロック生成装置が、複数のクロック信号を生成する1つ以上のクロック生成部を備え、前記クロック生成部は、制御信号によりクロック生成動作が制御され、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる構成である。

[0022] 斯かる構成によれば、既述のクロック信号の生成動作、その停止、生成動作の再開によって検証対象装置の動作を停止させ、その動作を再開させることができ、しかも、動作条件に変更が加えられることがないので、検証対象装置の検証動作の連続性を維持することができ、長時間に亘る動作記録が可能になり、動作検証の信頼性の向上が図られる。

[0023] 上記目的を達成するためには、本発明に係る動作検証装置において、前記検証対象装置に加える入力信号を記憶する記憶部を前記入力信号生成部に備え、前記入力信号生成部が、前記記憶部に対する入力信号の読出し、読込みに対応して前記クロック生成装置に前記制御信号を付与することにより、前記クロック生成動作を制御する構成としてもよい。

[0024] 上記目的を達成するためには、本発明に係る動作検証装置において、前記出力信号記憶部は、前記検証対象装置の出力信号の読込み又は読出しに対応して前記クロック生成装置に前記制御信号を付与し、前記クロック生成動作を制御する構成としてもよい。

[0025] 上記目的を達成するため、本発明に係る動作検証方法は、検証対象装置が必要と

するクロック信号及び入力信号を付与し、前記検証対象装置の動作を検証する動作検証方法であって、入力信号生成部に前記検証対象装置が必要とする前記入力信号を生成させる処理と、クロック生成装置に前記検証対象装置が必要とする複数のクロック信号を生成させる処理と、出力信号記憶部に前記検証対象装置から得られる出力信号を記憶させる処理と、前記クロック生成装置に備える1つ以上のクロック生成部に複数のクロック信号を生成させる処理と、前記クロック生成部に、制御信号によりクロック生成動作を制御し、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる処理とを含む構成である。斯かる構成によれば、既述のクロック信号の生成動作、その停止、生成動作の再開によって検証対象装置の動作を停止させ、その動作を再開させることができ、しかも、動作条件に変更が加えられることがないので、検証対象装置の検証動作の連続性を維持することができ、長時間に亘る動作記録が可能になり、動作検証の信頼性の向上が図られる。

[0026] 上記目的を達成するためには、本発明に係る動作検証方法において、前記検証対象装置に加える入力信号を記憶する記憶部を前記入力信号生成部に備え、前記入力信号生成部が、前記記憶部に対する入力信号の読出し、読込みに対応して前記クロック生成装置に前記制御信号を付与することにより、前記クロック生成動作を制御する処理を含む構成としてもよい。

[0027] 上記目的を達成するためには、本発明に係る動作検証方法において、前記出力信号記憶部が、前記検証対象装置の出力信号の読込み又は読出しに対応して前記クロック生成装置に前記制御信号を付与し、前記クロック生成動作を制御する処理を含む構成としてもよい。

[0028] 上記目的を達成するため、本発明に係る動作検証プログラムは、検証対象装置が必要とするクロック信号及び入力信号を付与し、前記検証対象装置の動作を検証する動作検証プログラムであって、入力信号生成部に前記検証対象装置が必要とする前記入力信号を生成させるステップと、クロック生成装置に前記検証対象装置が必要とする複数のクロック信号を生成させるステップと、出力信号記憶部に前記検証対象装置から得られる出力信号を記憶させるステップと、前記クロック生成装置に備え

る1つ以上のクロック生成部に複数のクロック信号を生成させるステップと、前記クロック生成部に、制御信号によりクロック生成動作を制御し、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させるステップとをコンピュータに実行させる構成である。斯かる構成によれば、既述のクロック信号の生成動作、その停止、生成動作の再開によって検証対象装置の動作を停止させ、その動作を再開させることができ、しかも、動作条件に変更が加えられることがないので、検証対象装置の検証動作の連続性を維持することができ、長時間に亘る動作記録が可能になり、動作検証の信頼性の向上が図られる。

[0029] 上記目的を達成するためには、本発明に係る動作検証プログラムにおいて、前記検証対象装置に加える入力信号を記憶する記憶部を前記入力信号生成部に備え、前記入力信号生成部が、前記記憶部に対する入力信号の読出し、読込みに対応して前記クロック生成装置に前記制御信号を付与することにより、前記クロック生成動作を制御する処理を含む構成としてもよい。

[0030] 上記目的を達成するためには、本発明に係る動作検証プログラムにおいて、前記出力信号記憶部が、前記検証対象装置の出力信号の読込み又は読出しに対応して前記クロック生成装置に前記制御信号を付与し、前記クロック生成動作を制御する処理を含む構成としてもよい。

発明の効果

[0031] 本発明によれば、次のような効果が得られる。

[0032] (1) 本発明に係るクロック生成装置、クロック生成方法又はクロック生成プログラムによれば、複数のクロック信号が得られるとともに、各クロック信号を停止させた際の位相関係を、各クロック信号の生成再開時に維持させることができ、クロック信号の生成、その停止、生成再開に関係なく、各クロック信号の位相関係を維持することができる。

[0033] (2) 本発明に係る動作検証装置、動作検証方法又は動作検証プログラムによれば、検証対象装置の通常動作に必要な複数のクロック信号の供給、その停止及びその再開を行っても生成されるクロック信号の位相関係が保持される、つまり、クロックの停止時間を除く任意の時間の間で各クロックの必要とされるクロック数の関係が保た

れるので、クロック信号の供給、その停止及びその再開によって検証対象装置の動作が停止し、その動作を再開しても、その動作の連続性を維持することができ、動作を中断しないで動作検証記録を行った場合と同等の長時間に亘る動作記録を行うことができる。

[0034] そして、本発明の他の目的、特徴及び利点は、添付図面及び各実施の形態を参照することにより、一層明確になるであろう。

図面の簡単な説明

[0035] [図1]本発明の第1の実施の形態に係るクロック生成装置を示す回路図である。

[図2]ゲート部の入出力関係を示すタイミングチャートである。

[図3]クロック信号の生成タイミングを示すタイミングチャートである。

[図4]ハードウェア記述言語で記述されたクロック生成部の構成例を示すリストである。

[図5]クロック生成部の構成例を示す回路図である。

[図6]クロック生成部のクロック信号の生成動作を表すフローチャートである。

[図7]クロック生成部のクロック信号の生成動作を表すフローチャートである。

[図8]ハードウェア記述言語で記述されたクロック生成部の構成例を示すリストである。

[図9]クロック生成部の構成例を示す回路図である。

[図10]クロック生成部のクロック信号の生成動作を表すフローチャートである。

[図11]本発明の第2の実施の形態に係るクロック生成装置の構成例を示すリストである。

[図12]動作や生成クロック信号を表すタイミングチャートである。

[図13]クロック生成装置のハードウェアの構成例を示す回路図である。

[図14]クロックゲーティング動作を示すフローチャートである。

[図15]クロックゲーティング動作を示すフローチャートである。

[図16]クロックゲーティング動作を示すフローチャートである。

[図17]クロック生成部のクロック信号の生成動作を示すフローチャートである。

[図18]クロック生成部のクロック信号の生成動作を示すフローチャートである。

[図19]クロック生成部のクロック信号の生成動作を示すフローチャートである。

[図20]本発明の第3の実施の形態に係る動作検証装置を示すブロック図である。

[図21]制御動作シーケンスを示す図である。

[図22]本発明の第4の実施の形態に係る動作検証システムを示すブロック図である。

[図23]検証制御PCの構成例を示すブロック図である。

[図24]検証対象装置の一例を示すブロック図である。

[図25]本発明の第4の実施の形態に係る動作検証システムの変形例を示すブロック図である。

符号の説明

[0036] 2 クロック生成装置

61～6N クロック生成部

8 クロック発振器

161～16N 記憶部

70 動作検証装置

78 入力信号生成部

86 出力信号記憶部

発明を実施するための最良の形態

[0037] 第1の実施の形態

[0038] 本発明の第1の実施の形態について、図1を参照して説明する。図1は第1の実施の形態に係るクロック生成装置2を示す回路図である。

[0039] このクロック生成装置2には、ゲート部4とともに、1つ以上のクロック生成部としてこの実施の形態では、複数のクロック生成部(CLK1__GEN、CLK2__GEN・・・CLKn__GEN)61、62・・・6Nが設置されている。ゲート部4の前段には、クロック発振器(OSC)8が設置され、このOSC8からマスタークロック信号mclkがゲート部4に与えられ、制御入力端子10からクロック生成制御信号clk_enが加えられている。クロック生成部61、62・・・6Nには、ゲート部4から得られたゲーティングマスタークロック信号g_mclkを基礎として、複数の生成クロック信号CLK1、CLK2・・・CLKnが得られる。また、ゲート部4に得られるゲーティングマスタークロック信号g_mclkは、ゲー

ト部4から直接にクロック信号CLK0として取り出される。従って、このクロック生成装置2では、CLK0、CLK1、CLK2・・・CLKnが得られる。

- [0040] ここで、g_mclk(ゲーティングマスタークロック信号)と各CLK0、CLK1、CLK2・・・CLKn(生成クロック信号)との関係については、g_mclkとCLK0とは共通のクロック信号であり、各CLK0、CLK1、CLK2・・・CLKnは独立したクロック周波数であり、単位時間あたりに必要とされるクロック数がそれぞれ異なっている。このように単位時間あたりが異なるクロック数で、g_mclkに対して異なるCLK1、CLK2・・・CLKnは、後述の例えば、携帯電話機等の検証対象装置の動作検証に必要なクロック信号として用いる等の用途に対応させるためである。
- [0041] このクロック生成装置2において、ゲート部4は例えば、AND回路12及びラッチ回路(LATCH)14で構成されている。LATCH14は、その入力Dにclk_en(クロック生成制御信号)、その反転入力Gにmclk(マスタークロック信号)が与えられている。クロック生成制御信号clk_enは、例えば、高低(H/L)2レベルのスウィッチング信号であり、mclkの通過を制御する制御信号である。
- [0042] クロック生成部61～6Nは、ゲート部4からg_mclkを受け、このg_mclkに基づき、CLK1、CLK2・・・CLKn(生成クロック信号)を生成する。ここで、クロック生成部61～6Nでは、g_mclkの各立上り又は立下りいずれか又は双方の時点で、クロックサイクルを更新し、各クロックサイクル内に生成するクロックが本来一定クロック幅のクロックであれば、クロックパルスが発生するかを判断し、クロックを生成する場合には、g_mclkの変化タイミングに合わせてクロックパルスを生成し、CLK1、CLK2・・・CLKn(生成クロック信号)を生成させる。そして、各クロック生成部61～6Nにはそれぞれ記憶部161、162・・・16Nが設置されており、各記憶部161～16NにはCLK1、CLK2・・・CLKnの位相情報が格納される。即ち、clk_enが解除されてg_mclkが解除されると、CLK1、CLK2・・・CLKnの生成が停止されるが、その停止の際、CLK1、CLK2・・・CLKnの位相情報は記憶部161～16Nに格納されて保持され、クロック生成の再開時の位相情報となる。また、各クロック生成部61～6Nには、リセット入力端子18を通して共通のリセット信号resetが与えられ、このresetにより記憶部161～16Nの位相情報が初期値にリセットされる。即ち、クロック生成部61～6Nの初期

化が行われる。リセット回路は必ずしも必要ない。

[0043] 次に、クロック生成装置2の動作について、図2を参照して説明する。図2はゲート部4の入出力関係を示すタイミングチャートである。

[0044] ゲート部4には図2のAに示すmclk(マスタークロック信号)が与えられるとともに、図2のBに示すclk_en(クロック生成制御信号)が与えられる。この場合、clk_enはmclkの周期Taより長い区間TbをHレベルとする信号である。このような入力関係においては、LATCH14では、図2のCに示す出力Qが得られる。そして、この出力QとmclkとがAND回路12に加わると、出力QのHレベル区間Tcの時間内においてmclkがゲーティングされて出力され、図2のDに示すg_mclkが得られる。このg_mclkは、CLK0(生成クロック信号)として取り出されるとともに、クロック生成部61～6Nに与えられ、CLK1、CLK2・・・CLKn(生成クロック信号)を生成させる基礎になる。

[0045] そこで、clk_enのHレベル区間Tbにおいて、クロック生成部61～6NからCLK1、CLK2・・・CLKnが生成される。各CLK1、CLK2・・・CLKnの既述のg_mclkに対する位相情報は記憶部161～16Nに記憶され、clk_enがLレベルに移行してg_mclkが停止された際、その時点の各CLK1、CLK2・・・CLKnの位相情報が記憶部161～16Nに記憶されて保持される。この記憶状態はreset(リセット信号)によってリセットされない限り保持される。

[0046] そして、clk_enがHレベルに移行してg_mclkが再開された際には、記憶部161～16Nに保持されている位相情報を以て各CLK1、CLK2・・・CLKnの生成が再開され、同時にCLK0も生成される。

[0047] このようなゲート部4及びクロック生成部61～6Nの動作について、図3を参照して説明する。図3は一般的に利用される一定周期のクロック信号CLK1_0、CLK2_0、クロック生成部61、62に生成させた各CLK1、CLK2を示すタイミングチャートである。CLK1_0、CLK2_0は説明上の仮想的なクロック信号である。

[0048] 図3において、Aに示すCLK0は、g_mclkと等価であり、例えば、生成クロック幅(サイクル幅)T0が10[ns]の生成クロック信号である。B1に示すCLK1_0は生成クロックサイクル時間T1が12[ns]の一定周期のクロック信号であり、B2に示すCLK1は、B1に対応する本実施の形態によるクロック信号である。また、C1に示すCLK2

__0は生成クロックサイクル時間T2 が24[ns]の一定周期のクロック信号であり、C2に示すCLK2は、C1に対応する本実施の形態によるクロック信号である。

[0049] このような時間設定においてCLK0、CLK1__0、CLK2__0のパルスのエッジが一致する時点は、T0 (=10[ns])、T1 (=12[ns])、T2 (=24[ns])の最小公倍数である時間幅Tx(=120[ns])となる。この時間幅Txにより、CLK0、CLK1__0、CLK2__0の各クロック数N0、N1、N2は、

$$N0 = Tx / T0 = 120[ns] / 10[ns] = 12 \quad \dots(1)$$

$$N1 = Tx / T1 = 120[ns] / 12[ns] = 10 \quad \dots(2)$$

$$N2 = Tx / T2 = 120[ns] / 24[ns] = 5 \quad \dots(3)$$

となる。これは、一定時間当たりのクロック数を表している。このクロック数Nの値は一例であって、サイクル幅を任意に設定することにより、クロック数Nを所望の値に設定することができる。

[0050] そして、この単位時間あたりに必要とされるクロック数Nと同じクロック数Nを持つCLK1(図3のB2)、CLK2(図3のC2)がクロック生成部61、62で生成されている。また、CLK1(図3のB2)、CLK2(図3のC2)は、一定周期のg__mclk(ゲーティングマスタークロック信号)に対して歯抜け状クロック信号となり、個々のクロックパルスはマスタークロックの整数倍となるが、クロック周期の最小公倍数である任意の時間帯においては各クロック周波数に必要なクロック数のクロックが得られることから、位相とクロック数が一致しているとみなせるので、これらの波形上の相違点は何ら問題にならない。

[0051] このようなCLK1、CLK2について、CLK0に対する位相、つまり、クロックエッジの時間差情報は各記憶部161、162に記憶され、g__mclkが停止された際には、その関係情報はg__mclkが供給再開されるまで保持され、その再開時にはスタート情報となる。

[0052] また、このクロック生成装置2においては、一番高い周波数のクロック信号をmclk(マスタークロック信号)とする。mclkはゲート部4でclk__enによってゲーティングされ、CLK0、CLK1、CLK2...CLKn(生成クロック信号)の生成又は停止が行われる。CLK0はゲート部4から生成され、CLK1、CLK2...CLKnは、g__mclkからクロッ

ク生成部61〜6Nで生成される。clk_enによってg_mclkの発生、停止が制御され、CLK0とともにCLK1、CLK2・・・CLKnも停止し、g_mclkが供給されると、その時点からCLK0、CLK1、CLK2・・・CLKnが生成される。

[0053] そして、既述したように、クロック生成部61〜6Nでは、g_mclkの各立上り又は立下りのいずれか又は双方の時点で、クロックサイクルを更新し、各クロックサイクル内に生成するクロックが本来一定クロック幅のクロックであればクロックパルスが発生するかを判断しており、クロック信号を生成する場合には、g_mclkの変化タイミングに合わせてクロックパルスを生成し、CLK1、CLK2・・・CLKnを生成させている。

[0054] 従って、このクロック生成装置2によれば、複数のCLK0、CLK1、CLK2・・・CLKn(生成クロック信号)が位相関係を保ったままその生成、停止、再開を行うことができる。また、一般的には各クロックは一定周期のクロック信号が使用され、この実施の形態では、歯抜け状クロック信号として得られているが、実用上は、何ら問題にならない。

[0055] このような機能を持つクロック生成装置2によれば、一定のサイクル幅を持つmclk(マスタークロック信号)を用いて各クロック周波数に対応した1つ以上のクロック信号CLK1、CLK2・・・CLKnを生成できるとともに、mclkの停止／再開によっても、再開時に生成する各CLK1、CLK2・・・CLKnとCLK0との位相関係や生成クロック数に何らの不連続性を生ずることなく、1つ以上のCLK0、CLK1、CLK2・・・CLKnが継続して生成される。

[0056] 次に、クロック生成装置2のクロック生成部61の実施の形態について、図4及び図5を参照して説明する。図4はハードウェア記述言語(一例としてVerilog HDL)で記述されたクロック生成部61の構成例を示すリスト、図5はクロック生成部61の構成例を示す回路図である。

[0057] このクロック生成部61の構成例は、生成されるクロック信号CLK1の周波数($f=1/T$)がマスタークロック信号mclkの $1/2$ を超える場合を示している。これらの関係について、図3に示すタイミングチャートを参照すれば、図3のAに示すように、クロック信号CLK0のサイクル幅 T_0 は10[ns]、図3のB1、B2に示すように、クロック信号CLK1_0、CLK1は、サイクル幅 T_1 が12[ns]であるから、クロック信号CLK1のサ

イクル幅 $T1$ はクロック信号CLK0のサイクル幅 $T0$ の2倍より小さい値($T1 < 2T0$)となっているので、既述の条件に合致している。

[0058] この条件に合致するように構成されるクロック生成部61をハードウェア記述言語(Verilog HDL)で記述すれば以下の通りである(図4)。このリストは、行番号とともに、処理内容を記述したものである。

```
1 reg[11:0]pos ; /* clkの立上り変化点 */
2 reg out ; /* clkのGating Register */
3 wire clk /* clk信号 */
4 (空白)
5 always @ (posedge rst or negedge g_mclk) begin
6   if (rst==1) begin
7     pos <= clk幅/2 ; /* 変化点初期値 */
8     out <= 0 ;
9   end
10  else if (pos <= mclk の幅)begin
11    out <= 1 ; /* clk パルス出力設定 */
12    pos <= pos+ (clk幅-mclk の幅) ; /* 変化点の更新 */
13  end
14  else begin
15    out <= 0 ; /* Clock パルス非出力設定 */
16    pos <= pos-mclk 幅 ; /* 変化点の更新 */
17  end
18 end
19 assign clk = g_mclk && out ; /* Clock Gating */
```

[0059] このリストにおいて、行番号1〜3はレジスタ、信号の宣言であり、行番号5〜19は処理を示している。「[11:0]」は12ビット構成を表し、「pos」は、一定のクロック幅のクロック信号の立上りの変化点(時刻)を表すレジスタであって、既述の記憶部161を構成している。「out」は、マスタークロック信号mclkをゲーティングするレジスタである。

「rst」は、既述のリセット信号resetである。「clk」は、生成されるクロック信号である。「g_mclk」は、ゲーティングされたマスタークロック信号を表している。「if」は、比較を表す。

[0060] このリストで表されたクロック生成部61では、rstが入力されると、レジスタ(pos)に設定される変化点を生成クロック幅の1/2に初期設定し、レジスタ(out)を「0」(クロック生成しない状態)に設定する。レジスタ(pos)の初期値は、生成クロック幅以下であればよい。g_mclkの立下りで、レジスタ(pos)の出力値がマスタークロック信号mclkのクロック信号幅以下か否かを判断し(10行目)、クロック信号幅以下の場合、レジスタ(out)は「1」(パルス生成する)が設定され、レジスタ(pos)の出力値に(生成クロック信号幅－マスタークロック信号mclkのクロック幅)を加算し、レジスタ(pos)の値を更新する(11、12行目)。レジスタ(pos)の出力値がマスタークロック信号mclkのクロック幅を超えていた場合、レジスタ(out)は「0」に設定され、レジスタ(pos)からマスタークロック信号mclkのクロック幅を減算する(15、16行目)。生成クロック信号(clk)は、g_mclkをレジスタ(out)でゲーティングしたもの(19行目)となる。

[0061] このようなハードウェア記述言語(Verilog HDL)で記述されたものからハードウェアに変換すると、図5に示すように、クロック生成部61が構成されることになる。

[0062] このクロック生成部61では、記憶部161を構成するレジスタ(pos)20が設置され、このレジスタ20は多ビットのD-FFで構成されている。このレジスタ20のCLK入力にはg_mclkが反転されて与えられている。このレジスタ20のD入力側にはセクタ(SEL)22、出力Q側には比較器24が設置される。セクタ22の前段には加算器26及び減算器28が設置され、これら加算器26及び減算器28の出力が比較器24の出力値によって選択され、その選択出力がレジスタ20に与えられる。比較器24ではレジスタ20の出力値pos[11:0]とマスタークロック信号幅mclkwとの比較が行われ、出力値posがクロック信号幅mclkw以内であるか否かを判断し、クロック信号幅mclkw以内の場合、セクタ22は「1」側(パルス生成する)が選択され、クロック信号幅mclkwを超えていた場合、セクタ22は「0」側が選択される。「1」が選択された場合には加算器26の出力値、「0」が選択された場合には減算器28の出力値がレジスタ20に与えられる。加算器26では、レジスタ20の出力値posと、(生成クロック信号幅－マ

タクロック信号幅)の値($\text{clkw}-\text{mclkw}$)とが加算され、また、減算器28ではレジスタ20の出力値 pos からマスタークロック信号幅 mclkw が減算される。また、リセット時には、レジスタ20には初期値として生成クロック信号幅の2分の1の値($\text{clkw}/2$)が設定される。 $\text{clkw}-\text{mclkw}$ は加算器26の前段に設置された定数出力部30、 mclkw は減算器28の前段に設置された定数出力部32、 $\text{clkw}/2$ は定数出力部34によって与えられている。そして、レジスタ20には rst (リセット信号= reset)が与えられている。

[0063] また、比較器24の出力側にはレジスタ(out) 36が設置され、このレジスタ36のD入力に比較器24の出力が与えられ、CLK入力にはゲーティングマスタークロック信号 g_mclk が反転されて入力され、RST入力には rst (リセット信号= reset)が与えられている。このレジスタ36の出力側にはAND回路38が設置され、このAND回路38にはレジスタ36の出力Qと g_mclk とが与えられている。AND回路38から生成クロック信号 clk (=CLK1)が得られる。

[0064] 次に、クロック生成部61の動作について、図6及び図7を参照して説明する。図6及び図7は、図4及び図5に示すクロック生成部61のクロック信号の生成動作を表すフローチャートである。

[0065] クロック生成部61が動作を開始すると、 rst の立上り又は g_mclk の立下り(エッジ)の到来を待つ(ステップS11)。この場合、 rst の実行を「1」、 rst の解除を「0」とし、その判定が行われる(ステップS12)。 $\text{rst}=1$ の場合、レジスタ20、36のリセット処理が実行され、レジスタ20、36の設定値が初期化される(ステップS13)。この場合、定数出力部34により、レジスタ20に $\text{clkw}/2$ が設定されるとともに、レジスタ36に $\text{out}=0$ が設定された後、ステップS11に戻る。そして、 $\text{rst}=1$ が解除され、 g_mclk の立下りが到来すると、ステップS12を経て比較器24の比較処理が実行される(ステップS14)。レジスタ20の出力値 pos とマスタークロック信号幅 mclkw とが比較される。この比較処理は、次の mclkw で clk を発生させるか否かの判断を表している。そして、 $\text{pos} \leq \text{mclkw}$ の場合には、 $\text{out}=1$ が設定され、 $\text{pos}=\text{pos}+(\text{clkw}-\text{mclkw})$ が設定される(ステップS15)。また、 $\text{pos} > \text{mclkw}$ の場合には、 $\text{out}=0$ が設定され、 $\text{pos}=\text{pos}-\text{mclkw}$ が設定される(ステップS16)。このような処理により、クロック生成部61よりCLK

1が生成される。

[0066] そして、CLK1は、AND回路38による、g_mclkとレジスタ36の出力値outとの論理積で与えられるから、図7に示す処理が実行され、この処理(ステップS20)は、g_mclk又はoutの何れかが変化すると、CLK1がその論理和に変化することを表している。

[0067] 次に、クロック生成装置2のクロック生成部62の実施の形態について、図8及び図9を参照して説明する。図8はハードウェア記述言語(Verilog HDL)で記述されたクロック生成部62の構成例を示すリスト、図9はクロック生成部62の構成例を示す回路図である。

[0068] このクロック生成部62の構成例は、生成されるクロック信号CLK2の周波数($f=1/T$)がマスタークロック信号mclkの $1/2$ 以下の場合を想定している。これらの関係について、図3に示すタイミングチャートを参照すれば、図3のAに示すように、クロック信号CLK0のサイクル幅 T_0 は10[ns]、図3のC1、C2に示すように、クロック信号CLK2_0、CLK2は、サイクル幅 T_2 が24[ns]であるから、クロック信号CLK2のサイクル幅 T_2 はクロック信号CLK0のサイクル幅 T_0 の2倍より大きい値($T_2 > 2T_0$)となっているので、既述の条件に合致している。

[0069] この条件に合致するように構成されるクロック生成部62をハードウェア記述言語(Verilog HDL)で記述すれば以下の通りである(図8)。このリストは、既述のクロック生成部61の場合と同様に、行番号とともに、処理内容を記述したものである。

```
1 reg[11:0]pos; /* clkの変化点 */
2 reg clk; /* clk信号 */
3 (空白)
4 always @ (posedge rst or posedge g_mclk) begin
5   if (rst==1) begin
6     pos<=clk幅/2 ; /* 変化点初期値 */
7     clk<=0;
8   end
9   else if (pos<=mclk の幅)begin
```

```
10  clk<=!clk ; / * clk を反転 */  
11  pos<=pos+(clk の幅/2-mclk の幅); /* 変化点の更新 */  
12  end  
13  else begin / * clk 変化なし */  
14  pos<=pos-mclk の幅; / * 変化点の更新 */  
15  end  
16  end
```

[0070] このリストにおいて、行番号1、2はレジスタ、信号の宣言であり、行番号4〜16は処理を示している。「[11:0]」は12ビット構成を表し、「pos」は、一定のクロック幅のクロック信号の立上り、又は立下りの変化点(時刻)を表すレジスタであって、既述の記憶部162を構成している。「out」は、マスタークロック信号mclkをゲーティングするレジスタである。「rst」は、既述のリセット信号resetである。「clk」は、生成されるクロック信号である。「g_mclk」は、ゲーティングされたマスタークロック信号を表している。「if」は、比較を表す。

[0071] このリストで表されたクロック生成部62では、rstが入力されると、posを生成クロック幅の $1/2$ に初期設定し、clkを「0」(パルス生成しない)に設定する。posの初期値は、クロック生成部61と同様に生成クロック幅の $1/2$ 以外であってもよい。

[0072] g_mclkの立上りで、posがマスタークロック信号mclkのクロック信号幅以下か否かを判断し(9行目)、posがクロック信号幅mclkw以下の場合には、clkを反転し、posに(生成クロック信号幅 $/2$ −mclkのクロック幅)を加算して、posの値を更新する(10、11行目)。posがmclkのクロック信号幅を超えていた場合、posからmclkのクロック信号幅を減算する(14行目)。

[0073] このクロック生成部62では、mclkのサイクル毎に、生成クロック信号の立上り、立下り時刻をチェックするので、クロック生成部61に比較して生成クロック信号のデューティは50%に近くなる。

[0074] このようなハードウェア記述言語(Verilog HDL)で記述されたものからハードウェアに変換すると、図9に示すように、クロック生成部62が構成されることになる。

[0075] このクロック生成部62では、記憶部162を構成するレジスタ(pos)40が設置され、

このレジスタ40は多ビットのD-FFで構成されている。このレジスタ40のCLK入力にはゲーティングマスタークロック信号g_mclkが与えられている。このレジスタ40のD入力側にはセクタ42、出力Q側には比較器44が設置される。セクタ42の前段には加算器46及び減算器48が設置され、これら加算器46及び減算器48の出力が比較器44の出力値によって選択され、その選択出力がレジスタ40に与えられる。比較器44ではレジスタ40の出力値pos[11:0]とマスタークロック信号幅mclkwとの比較が行われ、出力値posがマスタークロック信号幅mclkw以下か否かを判断し、クロック信号幅mclkw以下の場合、セクタ42は「1」側(パルス生成する)が選択され、クロック信号幅mclkwを超えていた場合、セクタ42は「0」側が選択される。「1」が選択された場合には加算器46の出力値、「0」が選択された場合には減算器48の出力値がレジスタ40に与えられる。加算器46では、レジスタ40の出力値posと、(生成クロック信号幅/2-マスタークロック信号幅)の値($\text{clkw}/2 - \text{mclkw}$)とが加算され、また、減算器48ではレジスタ40の出力値posからマスタークロック信号幅mclkwが減算される。また、リセット時には、レジスタ40には初期値として生成クロック信号幅の2分の1の値($\text{clkw}/2$)が設定される。 $\text{clkw}/2 - \text{mclkw}$ は加算器46の前段に設置された定数出力部50、mclkwは減算器48の前段に設置された定数出力部52、 $\text{clkw}/2$ は定数出力部54によって与えられている。そして、レジスタ40にはrst(リセット信号=reset)が与えられている。

[0076] また、比較器44の出力側にはレジスタ(clk) 56が設置され、このレジスタ56のCE入力に比較器44の出力が与えられ、CLK入力にはゲーティングマスタークロック信号g_mclkが入力され、RST入力にはリセット信号rstが与えられている。このレジスタ56の出力Qが生成クロック信号CLK2として取り出されるとともに、インバータ58で反転されてレジスタ56のD入力に与えられている。

[0077] 次に、クロック生成部62の動作について、図10を参照して説明する。図10は、図8及び図9に示すクロック生成部62のクロック信号の生成動作を表すフローチャートである。

[0078] クロック生成部62が動作を開始すると、rstの立上り又はg_mclkの立上り(エッジ)の到来を待つ(ステップS31)。この場合、rst動作を「1」、rstの解除を「0」とし、その

判定が行われる(ステップS32)。rst=1の場合、レジスタ40、56のリセット処理が行われ、レジスタ40、56の設定値が初期化される(ステップS33)。この場合、定数出力部54により、レジスタ40にclk_w/2が設定されるとともに、レジスタ56にclk=0が設定された後、ステップS31に戻る。そして、rst=1が解除され、g_mclkの立上りが到来すると、ステップS32を経て比較器44の比較処理が実行される(ステップS34)。レジスタ40の出力値posとマスタークロック信号幅mclk_wとが比較される。この比較処理は、次のmclkでclkを反転させるか否かの判断を表している。そして、pos ≤ mclk_wの場合には、clk = ! clk (clkの反転) が設定され、pos = pos + (clk_w/2 - mclk_w) が設定される(ステップS35)。また、pos > mclk_wの場合には、pos = pos - mclk_w が設定される(ステップS36)。このような処理により、クロック生成部62よりCLK2が生成される。

[0079] 第2の実施の形態

[0080] 次に、本発明の第2の実施の形態について、図11及び図12を参照して説明する。図11はハードウェア記述言語(一例としてVerilog HDL)で記述されたクロック生成装置2の構成例を示すリスト、図12はその動作や生成クロック信号を表すタイミングチャートである。

[0081] このクロック生成装置2は、rst(リセット信号)及びclk_en(クロック生成制御信号)を入力することにより、クロック信号clk0、clk1、clk2を生成させ、clk0は10[ns]、clk1は12[ns]、clk2は24[ns]のクロック幅を持つクロック信号を生成するVerilog HDLの記述例である。このリストでは、行番号を省略して処理内容を記述している。

```
[0082]  `timescale 1ns / 1ns
module clk_gen(rst, clk_en, clk0, clk1, clk2);
    input rst ; / *reset */
    input clk_en ; / *clk_en */
    output clk0 ; / *100MHz Master Clock 10ns */
    output clk1 ; / *83.3MHz 12ns */
    output clk2 ; / *41.7MHz 24ns */
    wire mclk;
```

```
reg en ;
reg [11:0]pos1;
reg [11:0]pos2;
reg out1;
reg clk2;
osc iosk(mclk); / *OSC */
always @ (mclk or clk_en) if(mclk==1'b0)en <= clk_en;
assign g_mclk = mclk && en ;
assign clk0 = g_mclk ;
always @ (posedge rst or negedge g_mclk) begin
  if (rst==1) begin
    pos1 <= 12/2 ;
    out1 <= 0 ;
  end
  else if (pos1 <= 10)begin
    out1 <= 1 ;
    pos1 <= pos1+(12-10) ;
  end
  else begin
    out1 <= 0 ;
    pos1 <= pos1-10 ;
  end
end
assign clk1 = g_mclk && out1 ;
always @ (posedge rst or posedge g_mclk) begin
  if (rst==1) begin
    pos2 <= 24/2 ;
    clk2 <= 0 ;
```

```
end  
else if (pos2 <= 10)begin  
    clk2 <= !clk2 ;  
    pos2 <= pos2+(24/2-10) ;  
end  
else begin  
    pos2 <= pos2-10 ;  
end  
end  
endmodule
```

- [0083] この記述例において、「clk0」は、生成クロック信号であるとともに、g__mclk(ゲーティングマスタークロック信号)に相当する。“osc iosc(mclk);”の記述は、mclk(マスタークロック信号)を発振する発振器モジュールを示す。2番目の「always」記述文(begin～end)と、その次の「assign」記述文で、clk1(生成クロック信号、既述のCLK1に相当する)が生成される。また、3番目の「always」記述文(begin～end)と、その次の「assign」記述文で、clk2(生成クロック信号、既述のCLK2に相当する)が生成される。
- [0084] このようなクロック生成装置2において、mclkを図12のA、clk__enを図12のE、rstを図12のFのように設定すれば、clk0(図12のB)、clk1(図12のC)、clk2(図12のD)となる。
- [0085] 次に、第2の実施の形態に係るクロック生成装置2の構成例について、図13を参照して説明する。図13は、ハードウェア記述言語で記載されたクロック生成装置2のハードウェアの構成例を示す回路図である。この実施の形態において、第1の実施の形態のクロック生成装置2(図1)、クロック生成部61(図5)、クロック生成部62(図9)と共通部分には共通符号を付してある。
- [0086] このクロック生成装置2は、ゲート部4とともに複数のクロック生成部61、62で構成され、ゲート部4は、図1に示すゲート部4と同一構成であり、クロック生成部61は、図5に示すクロック生成部61と同一構成であり、また、クロック生成部62は、図9に示すク

ロック生成部62と同一構成である。

[0087] このクロック生成部61は、既述した通り、記憶部161を構成するレジスタ(pos1) 20が設置され、このレジスタ20は多ビットのD-FFで構成されている。このレジスタ20のCLK入力にはg_mclkが反転されて与えられている。このレジスタ20のD入力側にはセクタ22、出力Q側には比較器24が設置される。セクタ22の前段には加算器26及び減算器28が設置され、これら加算器26及び減算器28の出力が比較器24の出力値によって選択され、その選択出力がレジスタ20に与えられる。比較器24ではレジスタ20の出力値pos1[11:0]とマスタークロック信号幅mclkwとの比較が行われ、出力値pos1がマスタークロック信号mclkのクロック信号幅mclkw以内であるかを判断し、クロック信号幅mclkw以内の場合、セクタ22は「1」側(パルス生成する)が選択され、クロック信号幅mclkwを超えていた場合、セクタ22は「0」側が選択される。「1」が選択された場合には加算器26の出力値、「0」が選択された場合には減算器28の出力値がレジスタ20に与えられる。加算器26では、レジスタ20の出力値pos1と、(生成クロック信号幅-マスタークロック信号幅)の値($\text{clkw} - \text{mclkw}$)とが加算され、また、減算器28ではレジスタ20の出力値pos1からマスタークロック信号幅mclkwが減算される。また、リセット時には、レジスタ20には初期値として生成クロック信号幅の2分の1の値($\text{clkw} / 2$)が設定される。 $\text{clkw} - \text{mclkw}$ は加算器26の前段に設置された定数出力部30、mclkwは減算器28の前段に設置された定数出力部32、 $\text{clkw} / 2$ は定数出力部34によって与えられている。そして、レジスタ20にはrst(リセット信号=reset)が与えられている。

[0088] 比較器24の出力側には、既述したように、レジスタ(out1) 36が設置され、このレジスタ36のD入力に比較器24の出力が与えられ、CLK入力にはゲーティングマスタークロック信号g_mclkが反転されて入力され、RST入力にはリセット信号resetが与えられている。このレジスタ36の出力側にはAND回路38が設置され、このAND回路38にはレジスタ36の出力Qとg_mclkとが与えられている。AND回路38から生成クロック信号clk1(=CLK1)が得られている。

[0089] また、クロック生成部62には同様に、記憶部162を構成するレジスタ(pos2) 40が設置され、このレジスタ40は多ビットのD-FFで構成されている。このレジスタ40のC

LK入力にはゲーティングマスタークロック信号g_mclkが与えられている。このレジスタ40のD入力側にはセクタ42、出力Q側には比較器44が設置される。セクタ42の前段には加算器46及び減算器48が設置され、これら加算器46及び減算器48の出力が比較器44の出力値によって選択され、その選択出力がレジスタ40に与えられる。比較器44ではレジスタ40の出力値pos2[11:0]とマスタークロック信号幅mclkwとの比較が行われ、レジスタ40の出力値pos2がマスタークロック信号mclkのクロック信号幅mclkw以内か否かを判断し、クロック信号幅mclkw以内の場合、セクタ42は「1」側(クロック反転)が選択され、クロック信号幅mclkwを超えていた場合、セクタ42は「0」側が選択される。「1」が選択された場合には加算器46の出力値、「0」が選択された場合には減算器48の出力値がレジスタ40に与えられる。加算器46では、レジスタ40の出力値pos2と、(生成クロック信号幅/2-マスタークロック信号幅)の値($\text{clkw}/2 - \text{mclkw}$)とが加算され、また、減算器48ではレジスタ40の出力値pos2からマスタークロック信号幅(mclkw)が減算される。また、リセット時には、レジスタ40には初期値として生成クロック信号幅の2分の1の値($\text{clkw}/2$)が設定される。 $\text{clkw}/2 - \text{mclkw}$ は加算器46の前段に設置された定数出力部50、mclkwは減算器48の前段に設置された定数出力部32(図9の定数出力部52に相当)、 $\text{clkw}/2$ は定数出力部54によって与えられている。そして、レジスタ40にはリセット信号resetが与えられている。

[0090] また、比較器44の出力側にはレジスタ(clk2) 56が設置され、このレジスタ56のCE入力に比較器44の出力が与えられ、CLK入力にはゲーティングマスタークロック信号g_mclkが入力され、RST入力にはリセット信号resetが与えられている。このレジスタ56の出力Qが生成クロック信号clk2として取り出されるとともに、インバータ58で反転されてレジスタ56のD入力に与えられている。

[0091] 次に、この実施の形態に係るクロック生成装置2の動作について、図14～図19を参照して説明する。図14は、mclkのゲート動作を示すフローチャートである。図15及び図16は、論理回路の動作を示すフローチャートである。図17及び図18はクロック生成部61のクロック信号の生成動作を示すフローチャートである。図19はクロック生成部62のクロック信号の生成動作を示すフローチャートである。

- [0092] 図14に示すように、mclk(マスタークロック信号)又はclk_en(クロック生成制御信号)の変化を待つ(ステップS41)。
- [0093] そこで、mclkの値、即ち、mclk=0であるか否かを判定し(ステップS42)、mclk≠0の場合には、ステップS41に戻る。また、mclk=0の場合には、イネーブル信号enとしてclk_enを入力し(ステップS43)、ステップS41に戻る。即ち、mclkが0の状態を前提としてclk_enがenに与えられる。これにより、クロック生成動作の信頼性が高められる。
- [0094] また、図15に示すように、clk0はゲート部4を通過するg_mclkで設定され(ステップS50)、また、図16に示すように、g_mclkはmclkとイネーブル信号en(=clk_en)との論理積で与えられる(ステップS60)。この処理はAND回路12(図13)の動作を示し、mclkをenでゲーティングしている。
- [0095] この場合、g_mclkのパルスが得られない場合には、g_mclkが停止された時点の状態が各クロック生成部61、62に保持されている。
- [0096] そして、クロック生成部61のクロック生成処理では、図17に示すように、rstの立上り又はg_mclkの立下りを待ち(ステップS71)、rstが到来したか否かを判定し(ステップS72)、rst=1の場合には、リセットであるから、レジスタ20をpos1=12/2に設定するとともに、レジスタ36をout1=0に設定(初期化)し(ステップS73)、ステップS71に戻る。
- [0097] ステップS72において、rst=0の場合には、pos1≤10であるか否かを判定し(ステップS74)、この判定では次のmclkでクロック信号clkを発生させるか否かを判定している。ここで、pos1≤10の場合には、out1=1及びpos1=pos1+(12-10)を設定し(ステップS75)、ステップS71に戻る。pos1は、レジスタ20の出力、out1は、レジスタ36の出力、(12-10)は、既述のサイクル幅(T1-T0)を示している。
- [0098] また、ステップS74において、pos1>10の場合には、out1=0及びpos1=pos1-10を設定し(ステップS76)、ステップS71に戻る。「10」は、既述のサイクル幅T0を示している。
- [0099] この場合、図18に示すように、clk1はg_mclkとout1との論理積で与えられる(ステップS80)。この処理はAND回路38(図13)の動作を示している。

- [0100] また、クロック生成部62のクロック生成処理では、図19に示すように、rstの立上り又はg_mclkの立上りを待ち(ステップS91)、rstが到来したか否かを判定し(ステップS92)、rst=1の場合には、リセットであるから、レジスタ40をpos2=24/2に設定するとともに、レジスタ56をclk2=0に設定(初期化)し(ステップS93)、ステップS91に戻る。
- [0101] ステップS92において、rst=0の場合には、pos2≤10であるか否かを判定し(ステップS94)、この判定では次のmclkでクロック信号clkを反転させるか否かを判定している。ここで、pos2≤10の場合には、clk2=! clk2(clk2の反転)を設定するとともに、pos2=pos2+(24/2-10)を設定し(ステップS95)、ステップS91に戻る。pos2は、レジスタ40の出力、clk2は、レジスタ56の出力、「10」は、既述のサイクル幅T0を示し、(24/2-10)は、既述のサイクル幅(T2/2-T0)を示している。
- [0102] また、ステップS94において、pos2>10の場合には、pos2=pos2-10を設定し(ステップS96)、ステップS91に戻る。
- [0103] このような処理により、既述の生成クロック信号clk0、clk1、clk2(図12)を生成させることができる。
- [0104] 第3の実施の形態
- [0105] 本発明の第3の実施の形態について、図20及び図21を参照して説明する。図20は、第3の実施の形態に係る動作検証装置70を示すブロック図、図21は、制御動作シーケンスを示している。
- [0106] この動作検証装置70は、携帯電話機等の検証対象装置72の動作検証に用いられる。この動作検証装置70には、検証対象装置72に対応する既述のクロック生成装置2、入力信号生成装置74及び出力信号記憶装置76が設置されている。
- [0107] 入力信号生成装置74は、入力信号生成部78及び入力信号バッファ80を備えている。入力信号生成部78は、検証対象装置72が必要とする入力信号in1、in2・・・innを発生し、入力信号バッファ80はRAM(Random-Access Memory)等で構成され、入力信号生成部78に発生させた入力信号を記憶する。この入力信号バッファ80から読み出された入力信号が検証対象装置72に与えられる。また、入力信号生成装置74は、入力信号バッファ80の入力信号の記憶、読出しに応じてクロック生成装置2の

クロック生成動作を制御するクロック生成制御信号clk__stop1を発生する。このclk__stop1はNOR回路82に与えられ、出力信号記憶装置76からのクロック生成制御信号clk__stop2と論理和が取られ、反転される。NOR回路82の出力(clk__en)がクロック生成装置2に与えられ、クロック生成装置2のクロック生成動作が制御される。入力信号バッファ80からの入力信号の読出しが終了すると、clk__stop1をHレベル(クロック停止)としてクロック生成装置2のクロック生成動作を停止させ、入力信号バッファ80からの入力信号の読出しを再開させるには、clk__stop1をLレベル(クロック再開)に変化させればよい。但し、clk__enは、clk__stop1及びclk__stop2のNORなので、いずれかの入力が高レベルになるとLとなり、クロック生成は停止する。入力信号バッファ80は、入力信号の読出しを完了すると、リセットし、入力信号生成部78から新たな入力信号が書き込まれる。

[0108] クロック生成装置2は、図1又は図13に記載された構成を備え、検証対象装置72が必要とする複数のクロック信号CLK0、CLK1、CLK2・・・CLKnを生成する。また、入力信号バッファ80には読出し制御信号として例えば、クロック信号CLK0が与えられている。また、クロック生成装置2は、NOR回路82を通して入力されるclk__enにより、既述のクロック生成動作が制御される。即ち、clk__enが高レベルの場合にクロック生成、clk__enがLレベルの場合にクロック生成の停止となる。

[0109] 出力信号記憶装置76は、出力信号バッファ84及び出力信号記憶部86を備えている。出力信号バッファ84には、検証対象装置72の出力信号(観測信号)O1、O2・・・Onが取り込まれる。この出力信号バッファ84は入力信号バッファ80と同様にRAM等で構成され、検証対象装置72が発生した出力信号を記憶する。この出力信号バッファ84には書き込み制御信号として例えば、クロック信号CLK0が与えられている。また、出力信号記憶装置76は、検証対象装置72の出力信号の記憶又は記憶信号の転送に応じてクロック生成装置2のクロック生成動作を制御するクロック生成制御信号clk__stop2を発生する。このclk__stop2は、同様に、NOR回路82に与えられ、クロック生成装置2のクロック生成動作の制御に用いられる。この場合、出力信号バッファ84の記憶容量が例えば、限界量に達すると、clk__stop2を高レベルに変化させることにより、クロック生成装置2の動作を停止させ、出力信号バッファ84の記憶を再開さ

せるには、clk__stop2をLレベル(クロック再開)に変化させればよい。

- [0110] そして、出力信号記憶部86は例えば、ハードディスク記憶装置等で構成され、出力信号バッファ84が記憶している出力信号(観測信号)の転送を受け、その出力信号を記憶する。このデータ転送の後、出力信号バッファ84はリセットされ、次の出力信号を記憶する。
- [0111] このような動作検証装置70によれば、入力信号生成装置74では、入力信号生成部78で生成させた入力信号を入力信号バッファ80に記憶可能な時間幅の入力信号を一括して生成させ、それを入力信号バッファ80に転送し、記憶させる。このような入力信号の生成及び転送の処理の間、入力信号生成装置74から出力されているclk__stop1をHレベル(クロック停止)とすることにより、クロック生成装置2のクロック生成動作の停止を指示し、検証対象装置72の動作を停止させる。
- [0112] 入力信号生成装置74は、入力信号バッファ80に必要な量の入力信号が転送された時点で、clk__stop1をLレベル(クロック再開)に変化させ、クロック生成動作の再開を指示する。clk__stop1、clk__stop2が共にLとなれば、クロック生成装置2から検証対象装置72にCLK0、CLK1、CLK2・・・CLKnが供給される。
- [0113] 入力信号生成装置74は、入力信号バッファ80の入力信号の読出しが終了した場合、即ち、読み出すべき入力信号がない場合には、クロック生成装置2にクロック停止を指示するとともに、入力信号生成部78に入力信号を生成させ、それを入力信号バッファ80に転送させ、これが終了した時点で、入力信号の生成を開始させる。この場合、前回の入力信号バッファ80への入力信号の転送終了後、入力信号の生成の開始を検証対象装置72の動作と並行させてもよい。
- [0114] このような動作を検証対象装置72の動作検証に必要な全ての入力信号の生成を完了するまで繰り返し行う。そして、出力信号記憶装置76では、検証対象装置72の出力信号(観測信号)O1、O2・・・Onを検証対象装置72の動作と並行して出力信号バッファ84に取り込み、蓄積する。出力信号記憶装置76は、出力信号バッファ84の記憶容量が所定量例えば、限界量に到達すると、clk__stop2をHレベル(クロック停止)に変化させ、クロック生成装置2にクロック停止を指示し、検証対象装置72の動作を停止させる。出力信号バッファ84に記憶されている出力信号O1、O2・・・Onは出

力信号記憶部86に転送され、その転送が終了した時点で、出力信号バッファ84もリセットする。このとき、clk__stop2をLレベル(クロック再開)に変化させることにより、クロック生成装置2にクロック生成動作を再開させるとともに、検証対象装置72の動作を再開させる。

- [0115] 出力信号バッファ84のデータ転送の際に、クロック生成装置2のクロック生成動作が停止するので、入力信号バッファ80に対する読出し制御信号も停止される。そして、クロック生成装置2にクロック生成動作を再開させるとともに、検証対象装置72の動作開始に対応し、入力信号バッファ80から入力信号の読出しも再開される。
- [0116] この場合、クロック生成装置2では、検証対象装置72の一番高い周波数のクロックに対応するクロックをmclkとし、このmclkにおいて、clk__enによってゲーティングすることによって、CLK0、CLK1、CLK2・・・CLKnを生成させ、停止させることができる。
- [0117] このような動作検証装置70について、検証動作を図21を参照して説明する。入力信号生成部78では、予め設定された検証時間の満了を監視するため、終了時刻が到来したか否かを判定し(ステップS101)、終了時刻が到来している場合には、入力信号の生成を終了させる(ステップS102)。終了時刻が到来していなければ、入力信号を生成し(ステップS103)、この入力信号を入力信号バッファ80に転送し(ステップS104)、割込み待ち(ステップS105)を維持し、ステップS101に戻る。
- [0118] 入力信号バッファ80では、入力信号生成部78の入力信号生成(ステップS103)に対応して入力信号の生成を待ち(ステップS201)、入力信号生成部78からの入力信号を受け、それを記憶する(ステップS202)。入力信号バッファ80は検証対象装置72に入力信号を出力し(ステップS203)、その入力信号バッファ80の入力信号が完了した場合、待機している入力信号生成部78に対し(ステップS105)、割込みを生成し(ステップS204)、入力信号の終了を通知し、ステップS201に戻る。
- [0119] クロック生成装置2では、入力信号が入力信号バッファ80に記憶されたこと(ステップS202)を受け、クロック生成を開始、又は再開し(ステップS301)、クロック信号を生成する(ステップS302)。生成されたクロック信号CLK0、CLK1、CLK2・・・CLKnは検証対象装置72に与えられ、クロック信号CLK0は入力信号バッファ80や出力

信号バッファ84にも供給される。そして、入力信号バッファ80からの割込み(ステップS204)を受け、そのクロック信号の生成を停止し(ステップS303)、ステップS301に戻る。

[0120] 出力信号バッファ84では、検証対象装置72からの出力信号を取り込み、蓄積し(ステップS401)、その記憶容量が限界に達したとき、割込みを生成し(ステップS402)、記憶している出力信号を出力信号記憶部86(図20)に送信し(ステップS403)、転送完了を待ち(ステップS404)、転送完了の後、ステップS401に戻る。

[0121] 出力信号記憶部86では、割込み待ちで待機し(ステップS501)、出力信号バッファ84からの割込み(ステップS402)を受け、出力信号バッファ84からの出力信号を受信し(ステップS502)、この出力信号は外部記憶装置等に保存され(ステップS503)、動作検証に用いられる。

[0122] 第4の実施の形態

[0123] 次に、本発明の第4の実施の形態について、図22及び図23を参照して説明する。図22は、第4の実施の形態に係る動作検証システム90を示すブロック図、図23は検証制御PCの構成例を示すブロック図である。この実施の形態において、第1の実施の形態(図1)、第3の実施の形態(図20)と同一部分には同一符号を付してある。

[0124] この動作検証システム90には動作検証部92及びパーソナルコンピュータ(PC)94が設置され、動作検証部92とPC94とはバス96を以て接続されている。動作検証部92は、検証対象装置72の動作を検証するものであって、この実施の形態では、検証対象装置72として例えば、LSI(Large Scale Integration Circuit)98が設置されている。

[0125] 動作検証部92には、検証信号処理部100、入力信号バッファ80としてメモリ102、出力信号バッファ84としてメモリ104、106が設置されている。検証信号処理部100は例えば、FPGA(Field Programmable Gate Arrays)によりPCインターフェイスを構成するとともに、クロック信号生成、入力メモリ制御、出力メモリ制御等の各種の処理を実行する。この検証信号処理部100では、PCインターフェイス(I/F)108、クロック生成装置2、入力メモリ制御部110、出力メモリ制御部112が設置されている。PC-I/F108にはバス96を介してPC94が接続されてPC94との信号やデータの授受

に用いられるとともに、OSC8からマスタークロック信号mclkが与えられている。クロック生成装置2は、LSI98等の動作に必要なクロック信号を生成し、その構成は、既述の通りである(図1、図11、図13)。入力メモリ制御部110は、メモリ102への書込みや読出しを制御し、PC94に発生させた入力信号(DATA)をメモリ102に格納し、その読出し等のメモリ制御を行う。出力メモリ制御部112は、メモリ104、106に対する出力信号の書込みや読出しを制御し、メモリ104、106に記憶されている出力信号(DATA)のPC94への転送制御を行う。

[0126] そして、PC94は、入力信号生成プログラムを備えるとともに、入力データ転送、出力データ転送、出力データの記憶等を実行し、具体的には、動作検証部92の検証動作制御とともに、既述の入力信号生成部78及び出力信号記憶部86を構成する。その構成は例えば、図23に示すように、CPU(Central Processing Unit)等で構成されるプロセッサ114、記憶部116、インターフェイス(I/F)118、表示部120及びキーボード(KB)122等を備え、記憶部116は、検証制御プログラムを格納するとともに、既述の出力信号記憶部86を構成している。入力信号生成部78は、プロセッサ114等で構成される。

[0127] このような動作検証システム90によれば、既述の制御動作シーケンス(図21)と同様の動作がPC94によって実行され、複数のクロック信号で動作するLSI98等の検証対象装置72について、動作に必要な複数のクロック信号の供給、その停止又は再開を制御するとともに、このクロック信号の制御に対応して入力信号の供給又はその停止を制御し、検証対象装置72から得られる出力信号を記憶することができる。また、このような動作検証において、クロック生成装置2では、クロック信号の停止から再開に至る時点で、複数のクロック信号の位相関係は保持され、その位相関係を保持したままでクロック信号の供給を開始することができるので、検証対象装置72の動作条件を変更させることがなく、検証対象装置72に供給する入力信号、検証対象装置72から得られる出力信号は連続して、長時間に亘って記憶することができる。しかも、実用的な速度で動作するクロック生成を実現することができる。

[0128] また、クロック信号の位相関係がクロック信号の停止、再開によって影響されないの
で、入力信号を記憶する入力信号バッファ80、出力信号を記憶する出力信号バッフ

ァ84の記憶容量は実用的な大きさに設定し、入力信号及び出力信号の連続時間はその記憶容量に応じて定めることができ、連続した動作と同一の動作状態を以て長時間に亘る動作記録が可能である。記憶容量は極端に大きくする必要がないので、入力信号バッファ80や出力信号バッファ84に用いるメモリは比較的安価なものを用いることができ、経済的である。

[0129] 次に、検証対象装置72の一例について、図24を参照して説明する。図24は、検証対象装置72の一例であるモバイルフォンディジタルベースバンドLSI(MOBILE PHONE DBB LSI) 124及び周辺回路を示すブロック図である。

[0130] この検証対象装置72であるLSI124には、CPU(Central Processing Unit) 126、モデム(MODEM) 128、コーデック(CODEC) 130、出力バスインターフェイス(EXTBUS_I/F) 132、USBインターフェイス(USB_I/F) 134、LCD(Liquid Crystal Display) インターフェイス(LCD_I/F) 136、キーボードインターフェイス(KB_I/F) 138が備えられ、MODEM128にはDSP(Digital Signal Processor) 140が内蔵されている。

[0131] このLSI124を動作させるためには、CPU126にはCPUクロック信号CPUCLKとして例えば、CLK0、USB_I/F134にはUSBクロック信号USBCLKとして例えば、CLK1、MODEM128にはモデムクロック信号MODEMCLKとして例えば、CLK2を必要としている。これらはクロック生成装置2から供給される。

[0132] そして、USB_I/F134にはUSBホスト(USB_HOST) 142が接続され、LCD_I/F136にはLCD144が接続され、また、KB_I/F138にはキーボード(KB) 146が接続され、これらの外部回路や機器から入力信号が加えられる。この入力信号は入力信号生成装置74から供給される。

[0133] また、EXTBUS_I/F132には外部記憶素子としてSDRAM(Synchronous Dynamic Random-Access Memory) 148が接続され、MODEM128にはアナログベースバンド部(ABB) 150が接続され、このABB150には無線部(RF) 152が接続されている。154はアンテナである。即ち、LSI124の出力信号は、これらの外部回路や機器に対して供給されるが、出力信号記憶装置76に取り込まれて記憶される。

[0134] このような検証対象装置72であるLSI124について、既述した動作検証装置70を

以てクロック信号及び入力信号を供給し、一連の動作によって得られる出力信号の記憶を長時間に亘って行うことができ、信頼性の高い動作検証を実現することができる。

[0135] 次に、以上説明した各実施の形態について、特徴事項、利点及び変形例を列挙して説明する。

[0136] (1) 第3の実施の形態において、出力信号バッファ84は、検証対象装置72に組み込んだ構成としてもよい。

[0137] (2) 上記実施の形態では、検証対象装置72としてLSI98、124を例示したが、複数のクロック信号を用いる電子機器であれば、検証対象装置として用いることができ、実施の形態のLSI98、124に限定されるものではない。

[0138] (3) 第4の実施の形態では、PC94で入力信号生成部78を構成したが、図25に示すように、検証信号処理部100に入力信号生成部78を設置し、この検証信号処理部100をPC94側で制御し、同様の検証動作を行うようにしてもよい。

[0139] (4) 上記実施の形態では、出力信号バッファ84が出力信号記憶装置76に設置されているが、検証対象装置72内に組み込む構成としてもよい。斯かる構成とすれば、検証対象装置72から動作検証データを直接取り出すことができ、動作検証の容易化が図られる。

[0140] (5) 上記実施の形態において、クロック生成部61〜6Nは、マスタークロック信号mc1kのクロックサイクル毎に、一定クロック幅のクロック信号のエッジが前記クロック信号内にあるかを判断し、ある場合はマスタークロック信号のエッジで変化する不定クロック幅のクロック信号をその代替クロックとして生成させることができる。

[0141] 以上述べたように、本発明の最も好ましい実施の形態等について説明したが、本発明は、上記記載に限定されるものではなく、請求の範囲に記載され、又は発明を実施するための最良の形態に開示された発明の要旨に基づき、当業者において様々な変形や変更が可能であることは勿論であり、斯かる変形や変更が、本発明の範囲に含まれることは言うまでもない。

産業上の利用可能性

[0142] 本発明によれば、複数のクロック信号が得られるとともに、各クロック信号を停止させ

た際の位相関係を、各クロック信号の生成再開時に維持させることができ、クロック信号の生成、その停止、生成再開に関係なく、各クロック信号の位相関係を維持することができ、例えば、動作検証装置に用いて、検証対象装置の動作の連続性を維持し、長時間に亘る動作記録が可能になる。

請求の範囲

- [1] 複数のクロック信号を生成する1つ以上のクロック生成部を備え、該クロック生成部は、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる構成としたことを特徴とするクロック生成装置。
- [2] 複数のクロック信号を生成する1つ以上のクロック生成部を備え、該クロック生成部は、制御信号によりクロック生成動作が切り換えられ、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる構成としたことを特徴とするクロック生成装置。
- [3] 前記クロック生成部は、前記クロック生成動作の停止時の前記クロック信号の位相を記憶する記憶部を備え、この記憶部に記憶した前記位相を元に前記クロック信号を継続して生成する構成としたことを特徴とする請求の範囲1又は2記載のクロック生成装置。
- [4] マスタークロック信号を発生するマスタークロック発生部と、
このマスタークロック発生部の前記マスタークロック信号により複数のクロック信号を生成する1つ以上のクロック生成部とを備え、
該クロック生成部は、制御信号によりクロック生成動作が切り換えられ、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる構成としたことを特徴とするクロック生成装置。
- [5] 検証対象装置が必要とするクロック信号及び入力信号を付与し、前記検証対象装置の動作を検証する動作検証装置であって、
前記検証対象装置が必要とする前記入力信号を生成する入力信号生成部と、
前記検証対象装置が必要とする複数のクロック信号を生成するクロック生成装置と、
、
前記検証対象装置から得られる出力信号を記憶する出力信号記憶部とを備え、
前記クロック生成装置が、複数のクロック信号を生成する1つ以上のクロック生成部を備え、
前記クロック生成部は、制御信号によりクロック生成動作が制御され、クロック生成

動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる構成としたことを特徴とする動作検証装置。

- [6] 前記検証対象装置に加える入力信号を記憶する記憶部を前記入力信号生成部に備え、前記入力信号生成部が、前記記憶部に対する入力信号の読出し、読込みに対応して前記クロック生成装置に前記制御信号を付与することにより、前記クロック生成動作を制御する構成としたことを特徴とする請求の範囲5記載の動作検証装置。
- [7] 前記出力信号記憶部は、前記検証対象装置の出力信号の読込み又は読出しに対応して前記クロック生成装置に前記制御信号を付与し、前記クロック生成動作を制御する構成としたことを特徴とする請求の範囲5記載の動作検証装置。
- [8] 複数のクロック信号を生成する1つ以上のクロック生成部を備え、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる処理を含むことを特徴とするクロック生成方法。
- [9] マスタークロック発生部にマスタークロック信号を発生させる処理と、
1つ以上のクロック生成部に、前記マスタークロック信号により複数のクロック信号を生成させる処理と、
制御信号によりクロック生成動作を切り換え、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を前記クロック生成部に継続して生成させる処理と、
を含む構成としたことを特徴とするクロック生成方法。
- [10] 検証対象装置が必要とするクロック信号及び入力信号を付与し、前記検証対象装置の動作を検証する動作検証方法であって、
入力信号生成部に前記検証対象装置が必要とする前記入力信号を生成させる処理と、
クロック生成装置に前記検証対象装置が必要とする複数のクロック信号を生成させる処理と、
出力信号記憶部に前記検証対象装置から得られる出力信号を記憶させる処理と、
前記クロック生成装置に備える1つ以上のクロック生成部に複数のクロック信号を生成させる処理と、

前記クロック生成部に、制御信号によりクロック生成動作を制御し、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させる処理と、

を含む構成としたことを特徴とする動作検証方法。

[11] 前記検証対象装置に加える入力信号を記憶する記憶部を前記入力信号生成部に備え、前記入力信号生成部が、前記記憶部に対する入力信号の読出し、読込みに対応して前記クロック生成装置に前記制御信号を付与することにより、前記クロック生成動作を制御する処理を含む構成としたことを特徴とする請求の範囲10記載の動作検証方法。

[12] 前記出力信号記憶部が、前記検証対象装置の出力信号の読込み又は読出しに対応して前記クロック生成装置に前記制御信号を付与し、前記クロック生成動作を制御する処理を含む構成としたことを特徴とする請求の範囲10記載の動作検証方法。

[13] 複数のクロック信号を生成する1つ以上のクロック生成部を備え、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させるステップをコンピュータに実行させることを特徴とするクロック生成プログラム。

[14] マスタークロック発生部にマスタークロック信号を発生させるステップと、
1つ以上のクロック生成部に、前記マスタークロック信号により複数のクロック信号を生成させるステップと、
制御信号によりクロック生成動作を切り換え、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を前記クロック生成部に継続して生成させるステップと、

をコンピュータに実行させることを特徴とするクロック生成プログラム。

[15] 検証対象装置が必要とするクロック信号及び入力信号を付与し、前記検証対象装置の動作を検証する動作検証プログラムであって、

入力信号生成部に前記検証対象装置が必要とする前記入力信号を生成させるステップと、

クロック生成装置に前記検証対象装置が必要とする複数のクロック信号を生成させ

るステップと、

出力信号記憶部に前記検証対象装置から得られる出力信号を記憶させるステップと、

前記クロック生成装置に備える1つ以上のクロック生成部に複数のクロック信号を生成させるステップと、

前記クロック生成部に、制御信号によりクロック生成動作を制御し、クロック生成動作を停止状態から動作状態に復帰させた際に、停止時の位相に相当する前記クロック信号を継続して生成させるステップと、

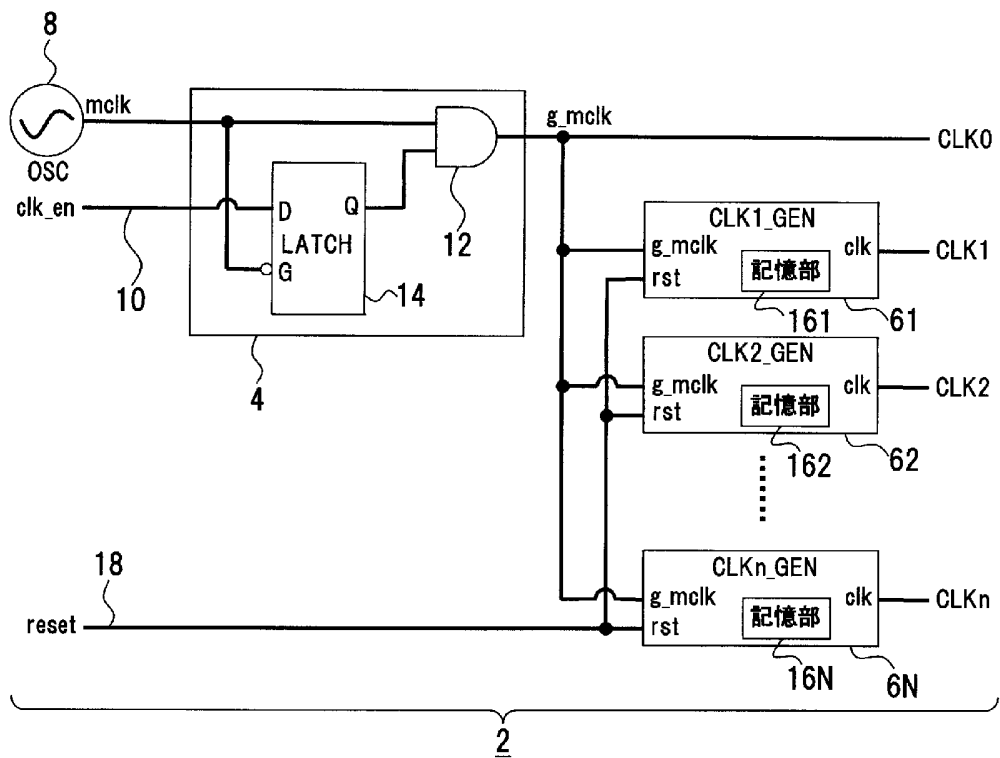
をコンピュータに実行させることを特徴とする動作検証プログラム。

- [16] 前記検証対象装置に加える入力信号を記憶する記憶部を前記入力信号生成部に備え、前記入力信号生成部が、前記記憶部に対する入力信号の読出し、読込みに対応して前記クロック生成装置に前記制御信号を付与することにより、前記クロック生成動作を制御する処理を含む構成としたことを特徴とする請求の範囲15記載の動作検証プログラム。

- [17] 前記出力信号記憶部が、前記検証対象装置の出力信号の読込み又は読出しに対応して前記クロック生成装置に前記制御信号を付与し、前記クロック生成動作を制御する処理を含む構成としたことを特徴とする請求の範囲15記載の動作検証プログラム。

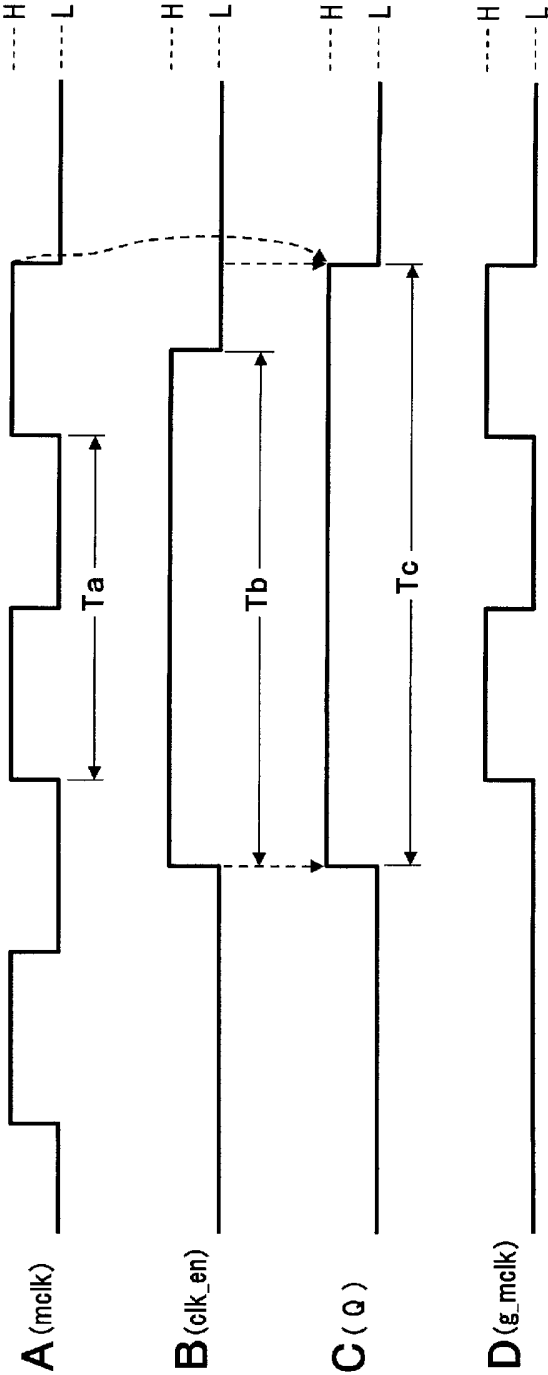
[図1]

図 1



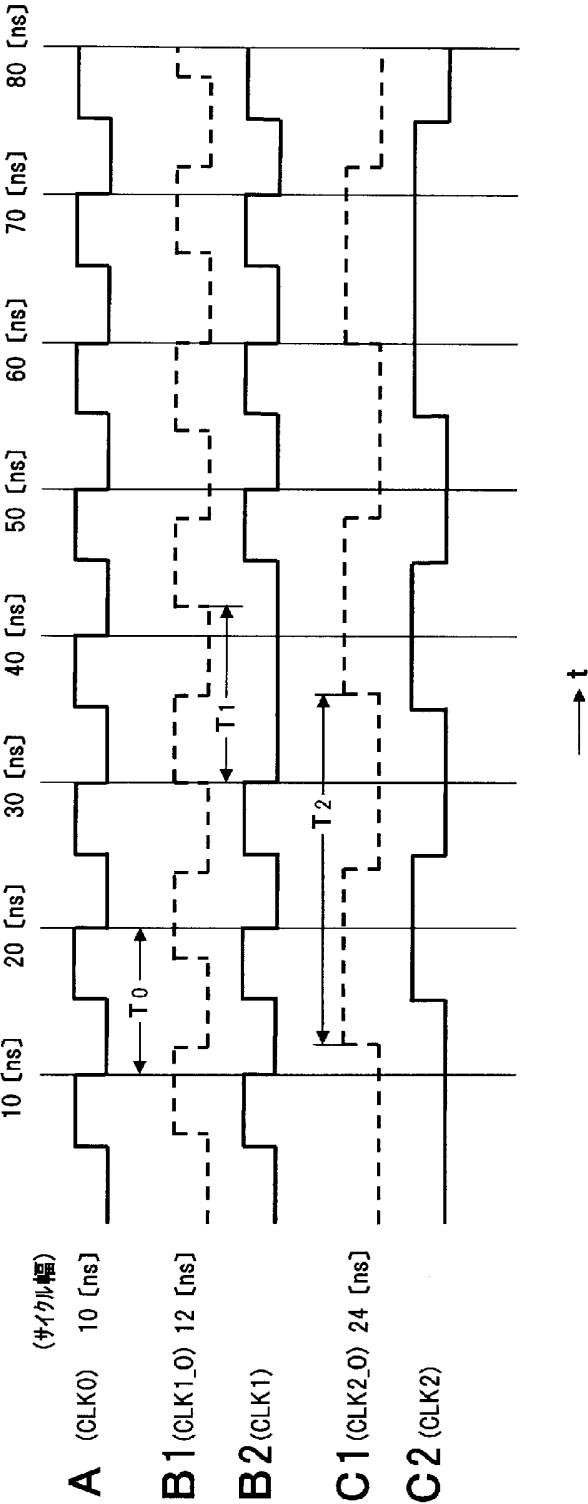
[図2]

図 2



[図3]

図 3



[図4]

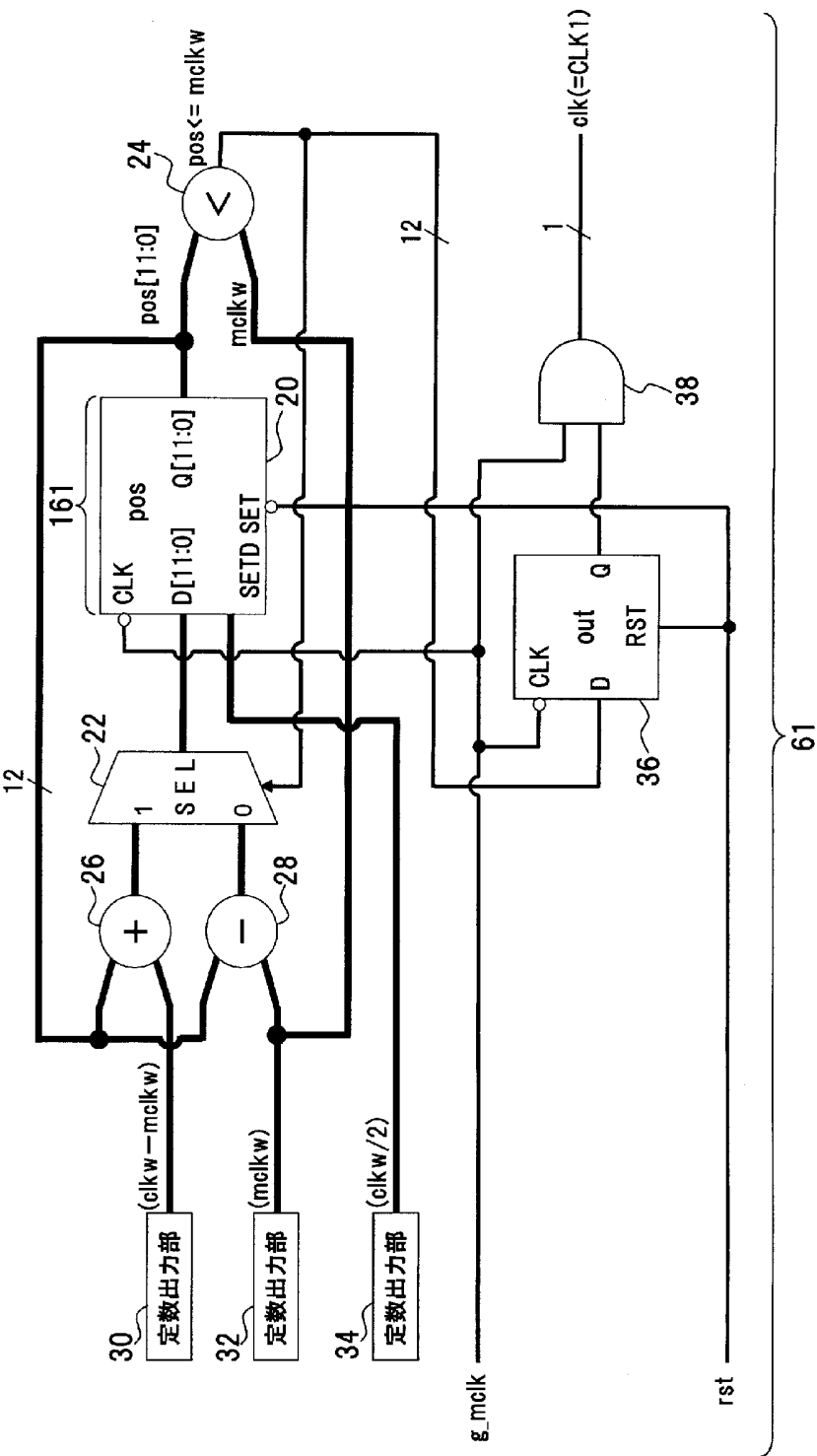
図 4

行番号

```
1 reg [11:0] pos ; /* clk の立上り変化点 */
2 reg out ; /* clk の Gating Register */
3 wire clk /* clk 信号 */
4
5 always @(posedge rst or negedge g_mclk) begin
6   if (rst==1) begin
7     pos<= clk 幅/2 ; /* 変化点初期値 */
8     out<=0 ;
9   end
10  else if (pos<=mclk の幅) begin
11    out<= 1 ; /* clk パルス出力設定 */
12    pos<=pos+(clk 幅-mclk の幅) ; /* 変化点の更新 */
13  end
14  else begin
15    out<= 0 ; /* Clock パルス非出力設定 */
16    pos<= pos-mclk 幅 ; /* 変化点の更新 */
17  end
18 end
19 assign clk = g_mclk && out ; /* Clock Gating */
```

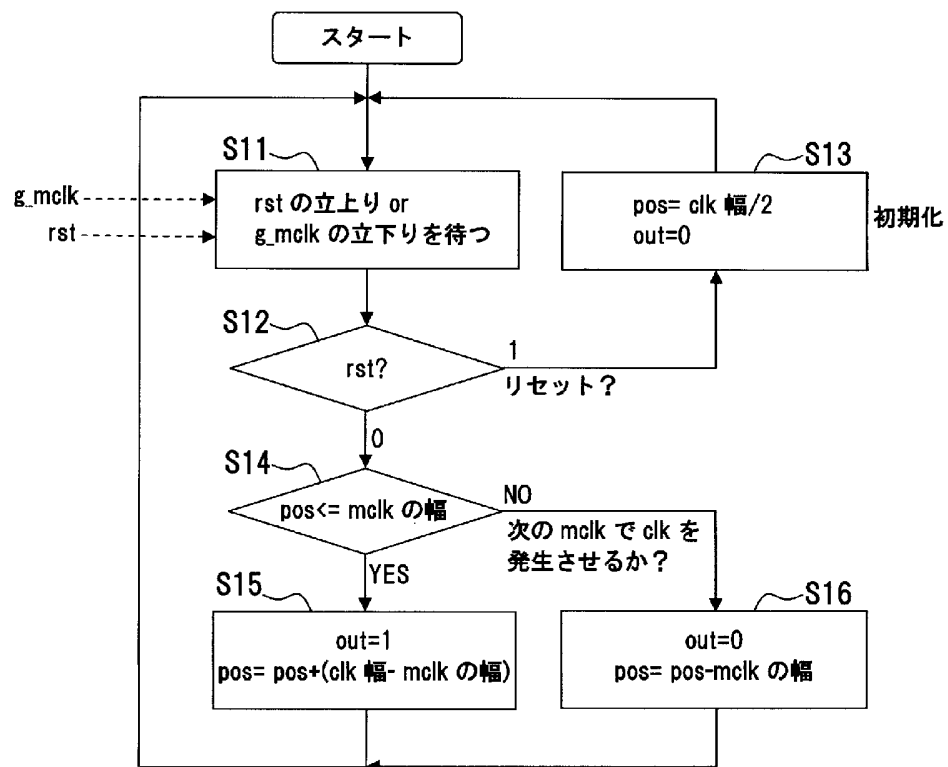
[図5]

図 5



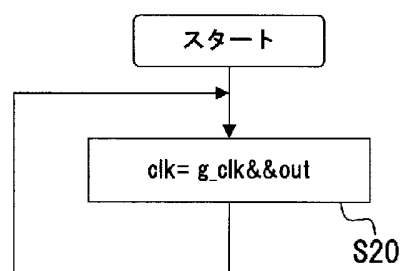
[図6]

図 6



[図7]

図 7



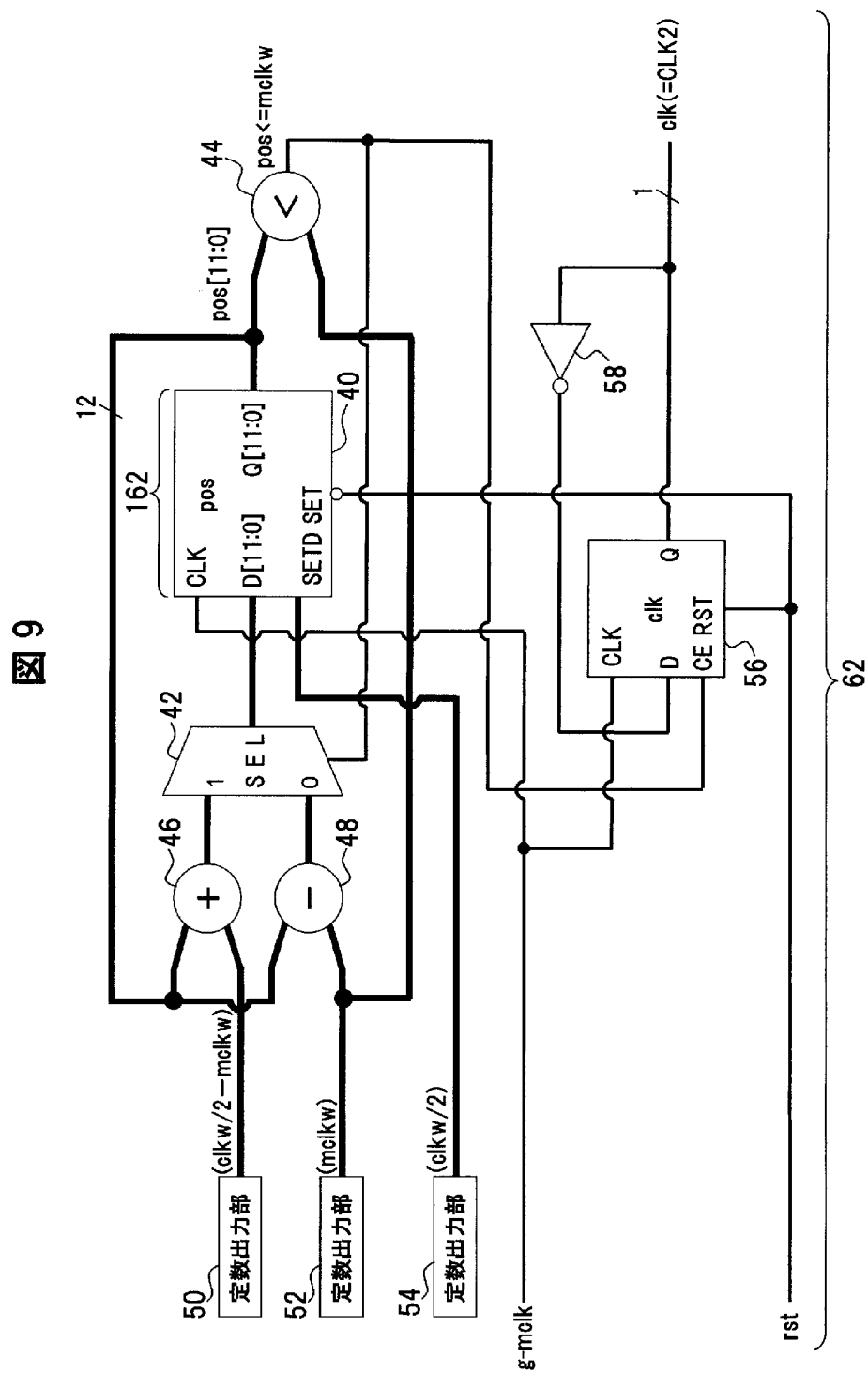
[図8]

図 8

行番号

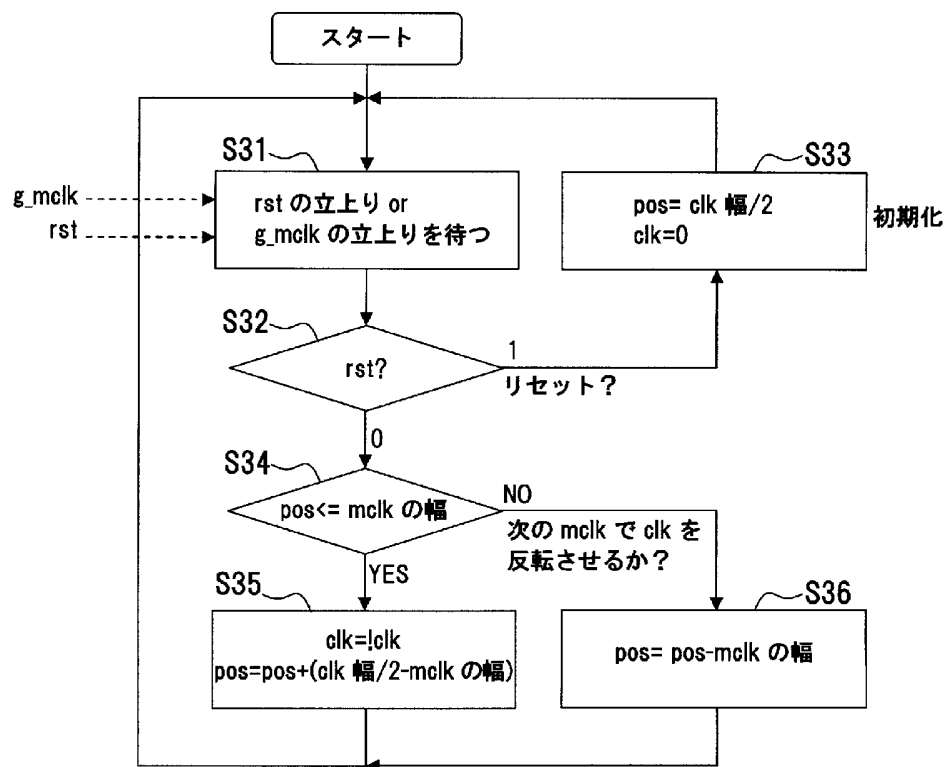
```
1 reg [11:0] pos ; /* clk の変化点 */
2 reg clk ; /* clk 信号 */
3
4 always @(posedge rst or posedge g_mclk) begin
5   if (rst==1) begin
6     pos<= clk 幅/2 ; /* 変化点初期値 */
7     clk<=0 ;
8   end
9   else if (pos<=mclk の幅) begin
10    clk<= !clk ; /* clk を反転 */
11    pos<=pos+(clk の幅/2-mclk の幅) ; /* 変化点の更新 */
12  end
13  else begin /* clk 変化点なし */
14    pos<= pos-mclk 幅 ; /* 変化点の更新 */
15  end
16 end
```

[図9]



[図10]

図 10



[図11]

図 11

```
`timescale 1ns /1ns
module clk_gen(rst,clk_en,clk0,clk1,clk2)
input rst ; /* RESET */
input clk_en ; /* CLK_EN */
output clk0 ; /* 100MHz Master Clock 10ns*/
output clk1 ; /* 83.3MHz 12ns */
output clk2 ; /* 41.7MHz 24ns */

wire mclk ;
reg en : [11 : 0] pos1 ;
reg en : [11 : 0] pos2 ;
reg out1 ;
reg clk2 ;

osc iosk(mclk) ; /* OSC */

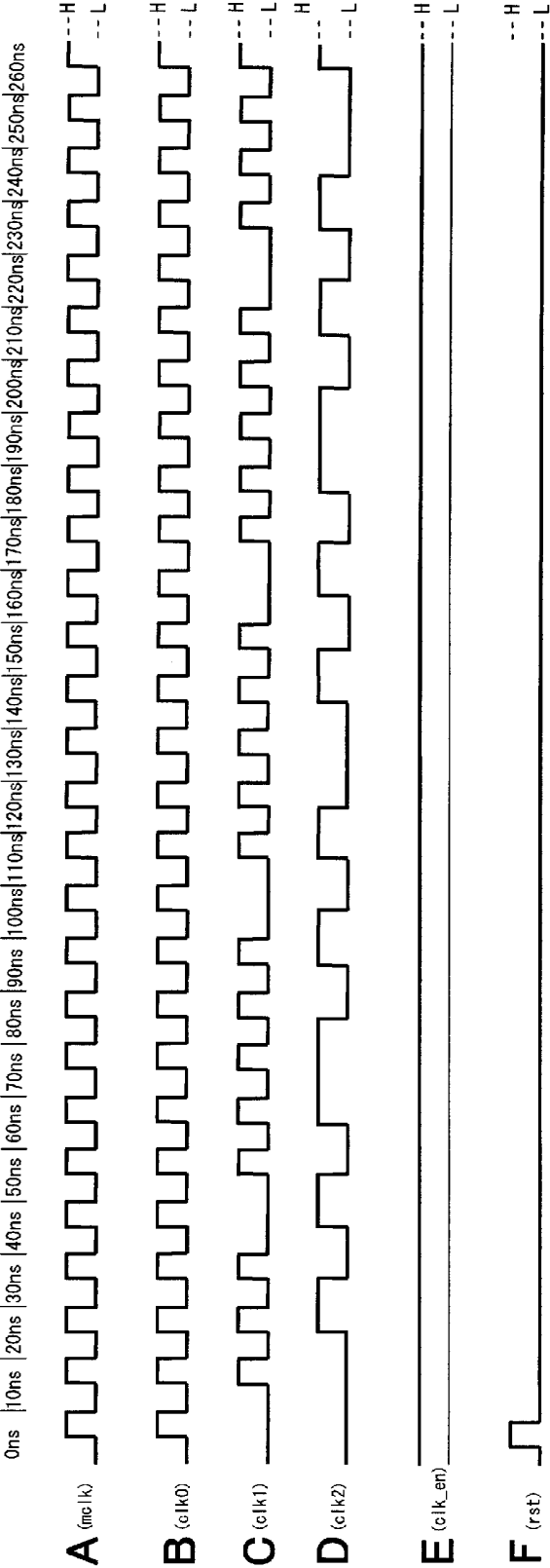
always @(mclk or clk_en) if(mclk==1'b0) en <=clk_en ;
assign g_mclk = mclk && en ;
assign clk0 = g_mclk ;

always @(posedge rst or negedge g_mclk) begin
if (rst==1) begin
pos1 <= 12/2 ;
out1 <= 0 ;
end
else if(pos1<=10) begin
out1 <= 1 ;
pos1 <= pos1+(12-10) ;
end
else begin
out1 <= 0 ;
pos1 <= pos1-10 ;
end
end
assign clk1 = g_mclk && out1 ;

always @(posedge rst or posedge g_mclk) begin
if (rst==1) begin
pos2 <= 24/2 ;
clk2 <= 0 ;
end
else if(pos2<=10) begin
clk2 <= !clk2 ;
pos2 <= pos2+(24/2-10) ;
end
else begin
pos2 <= pos2-10 ;
end
end
endmodule
```

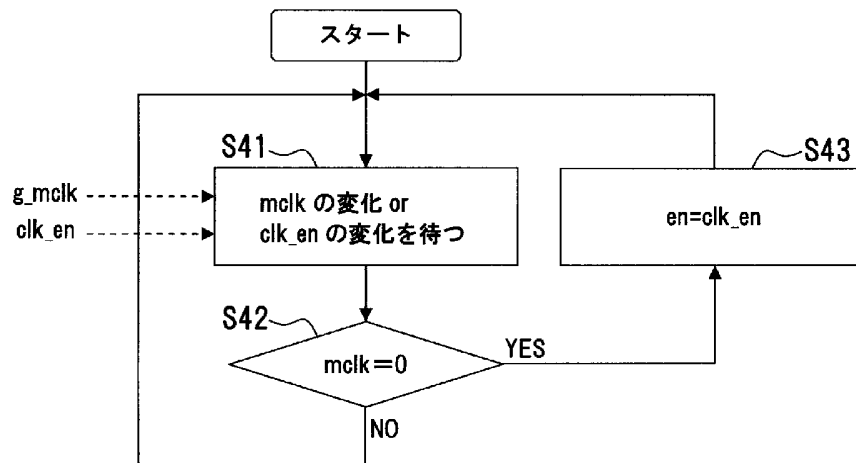
[図12]

図 12



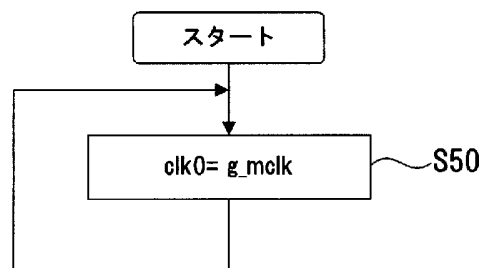
[図14]

図 14



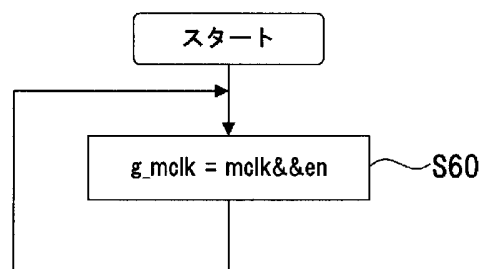
[図15]

図 15



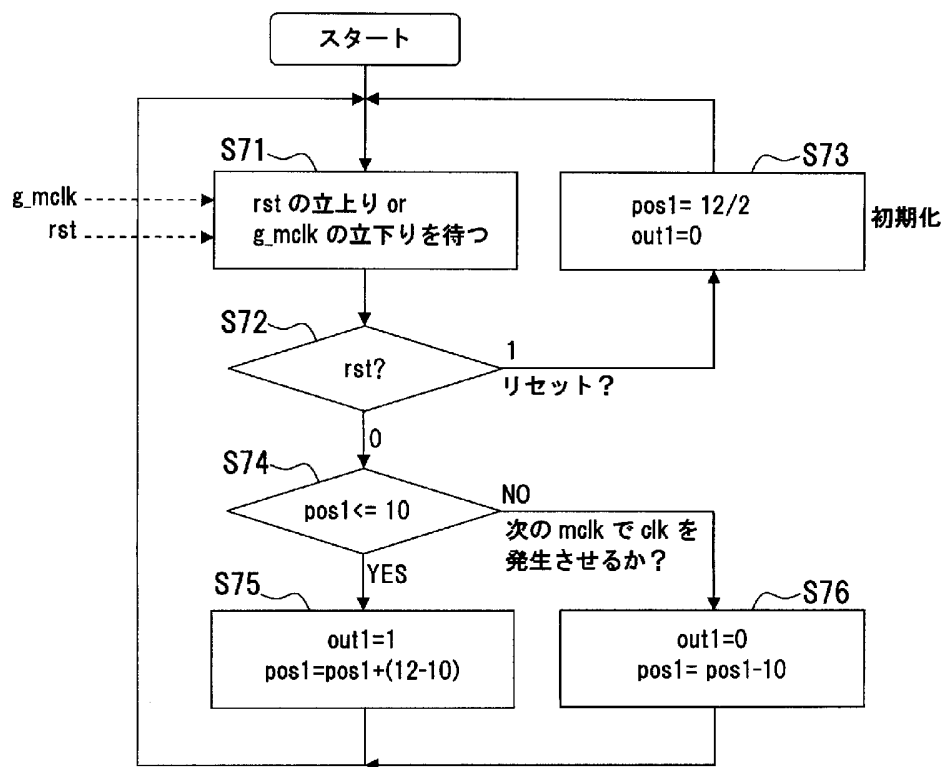
[図16]

図 16



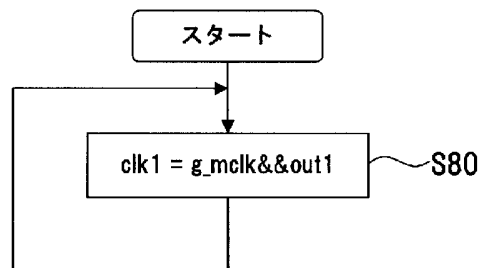
[図17]

図 17



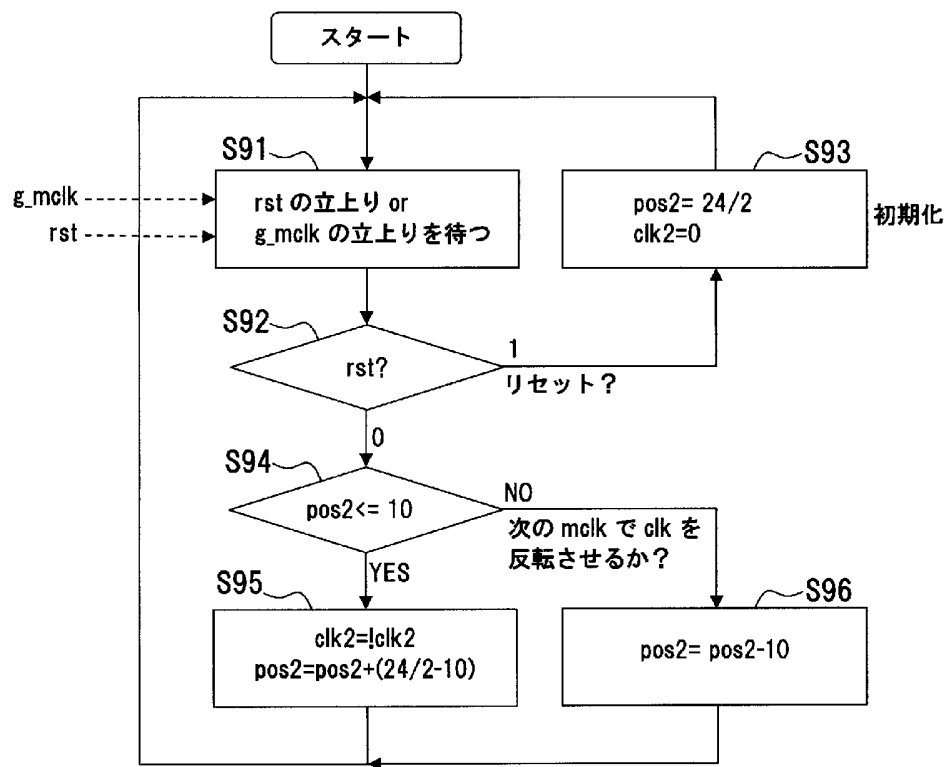
[図18]

図 18

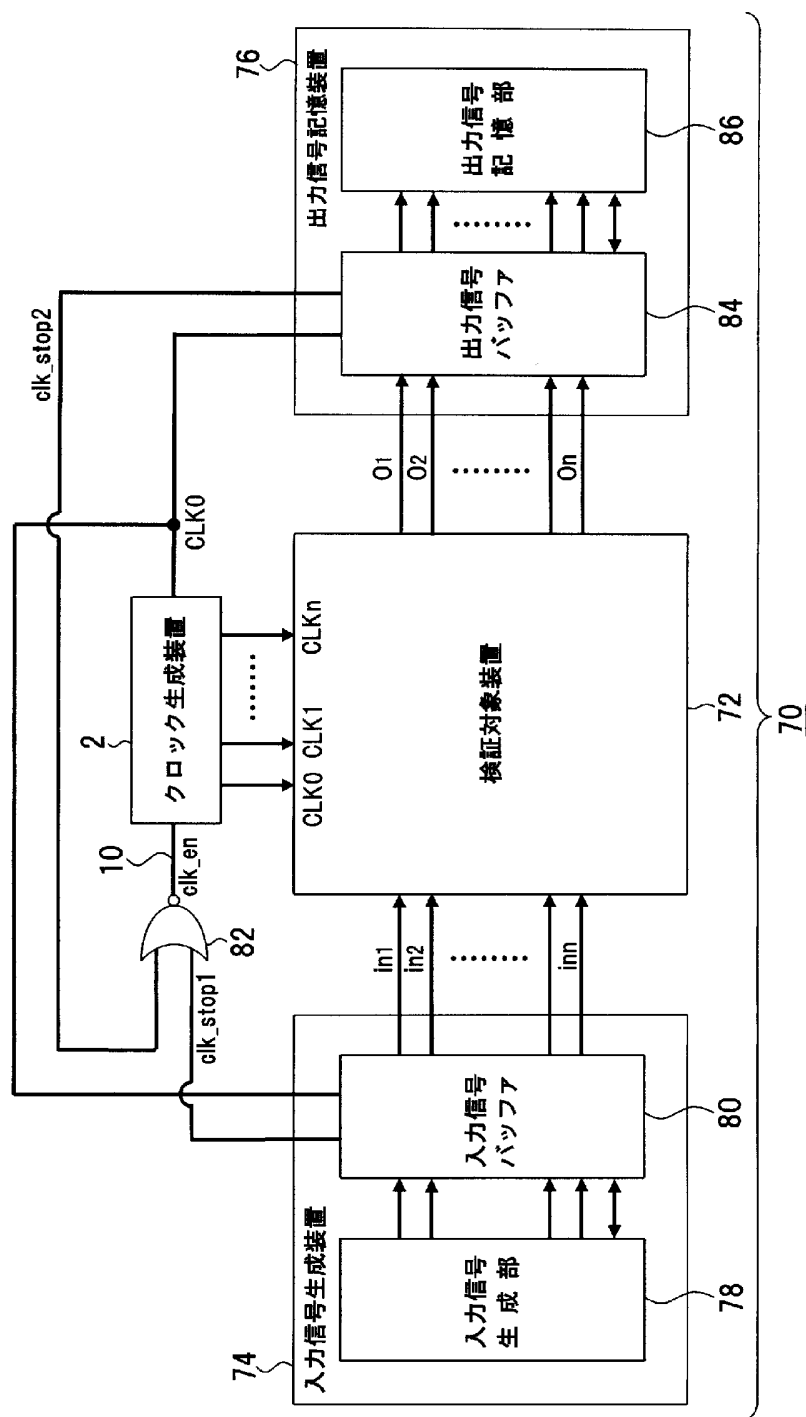


[図19]

図 19

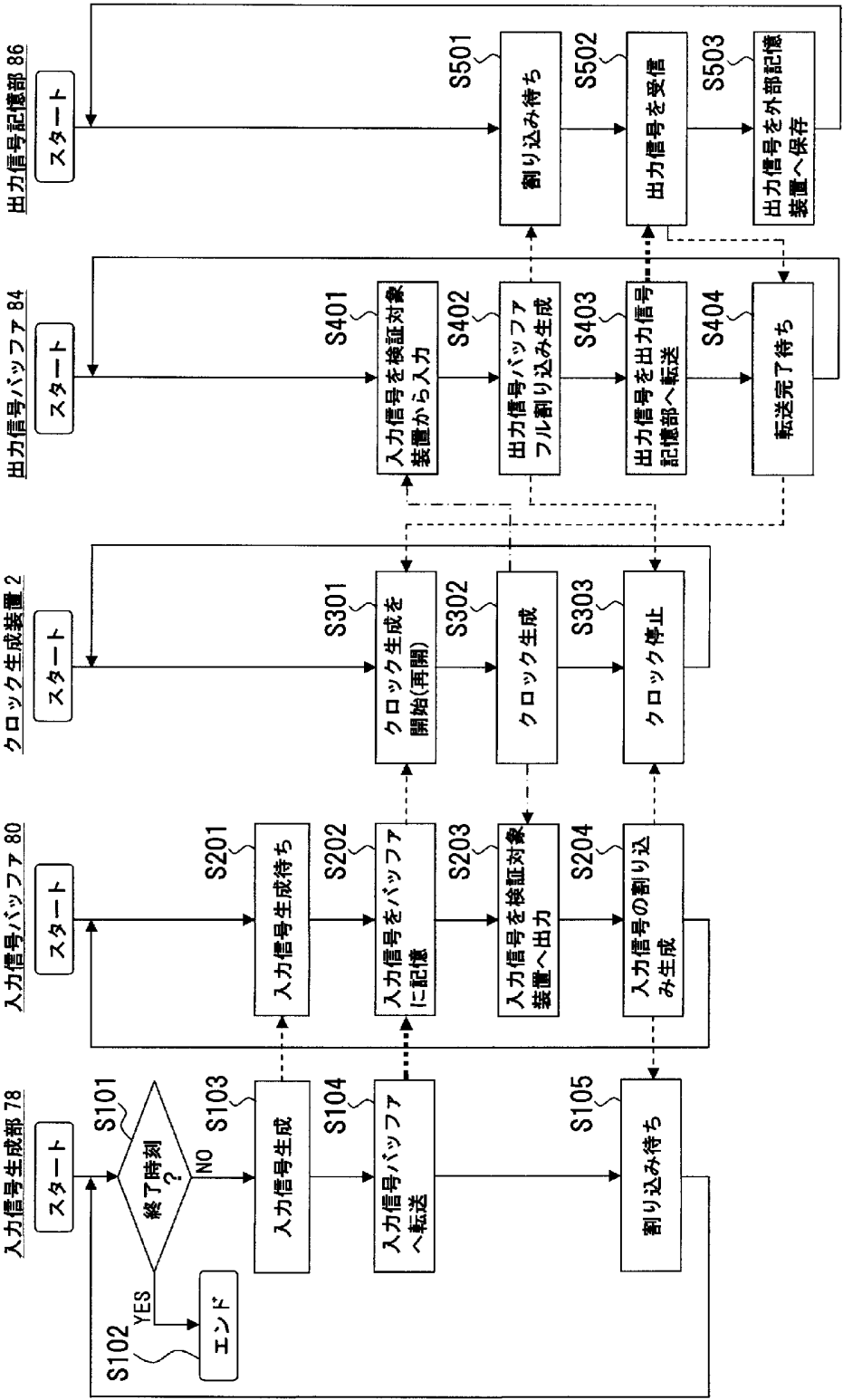


[図20]

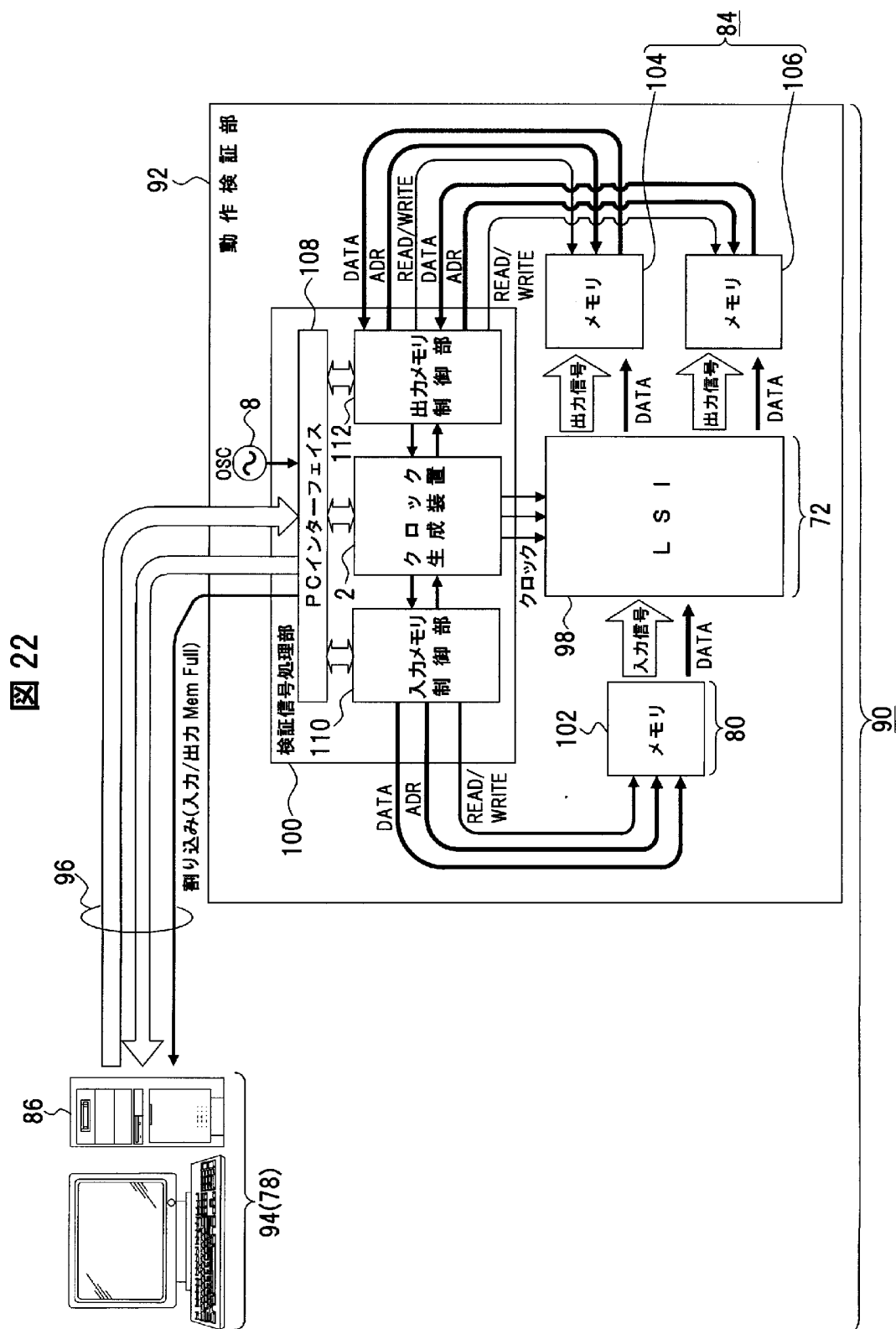


[図21]

図 21

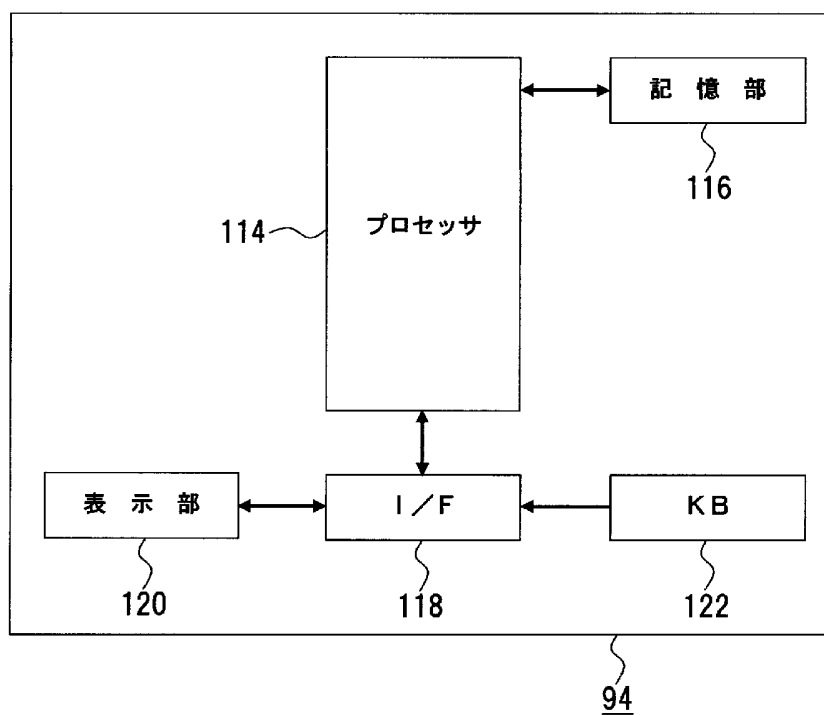


[図22]

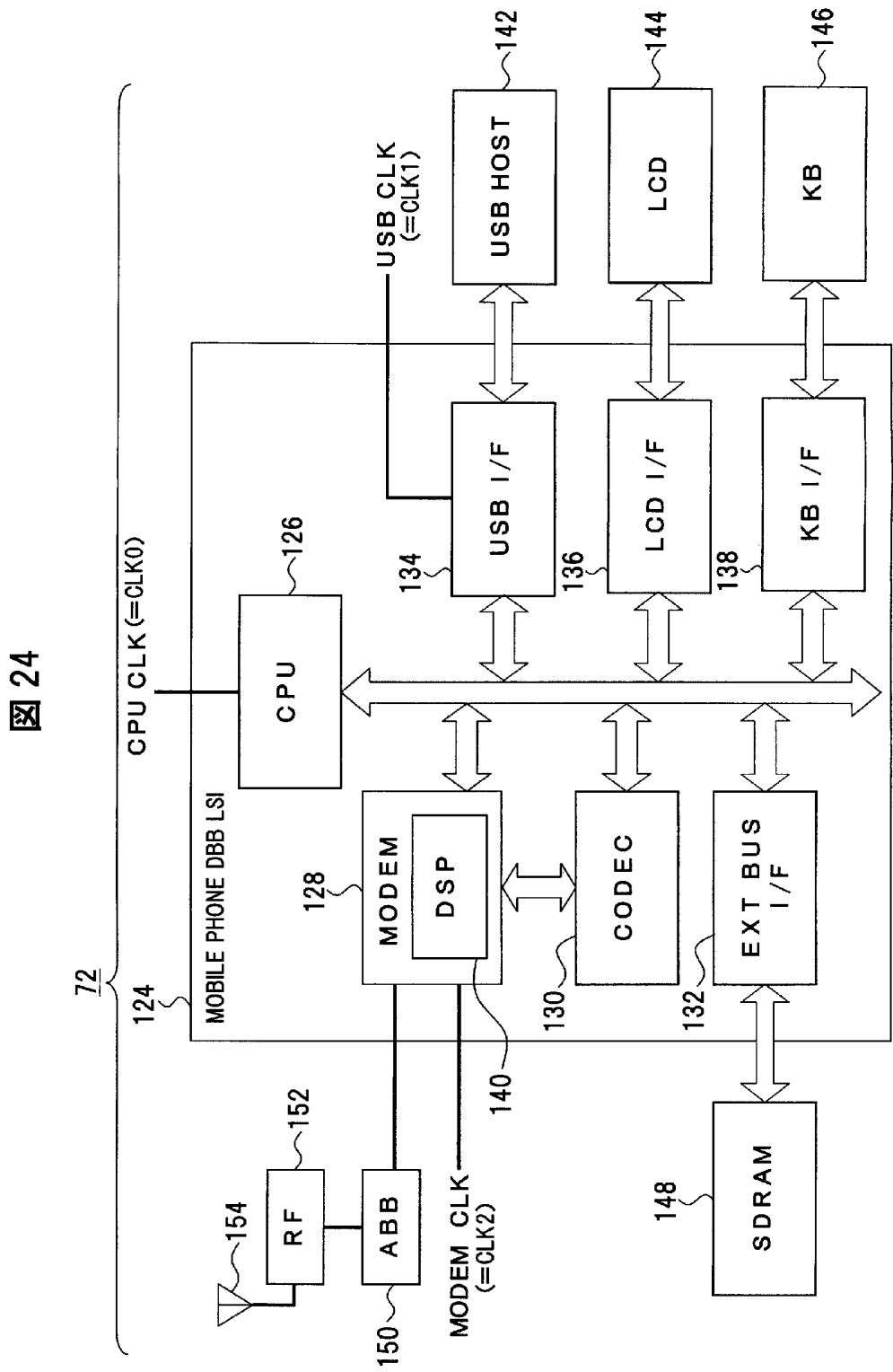


[図23]

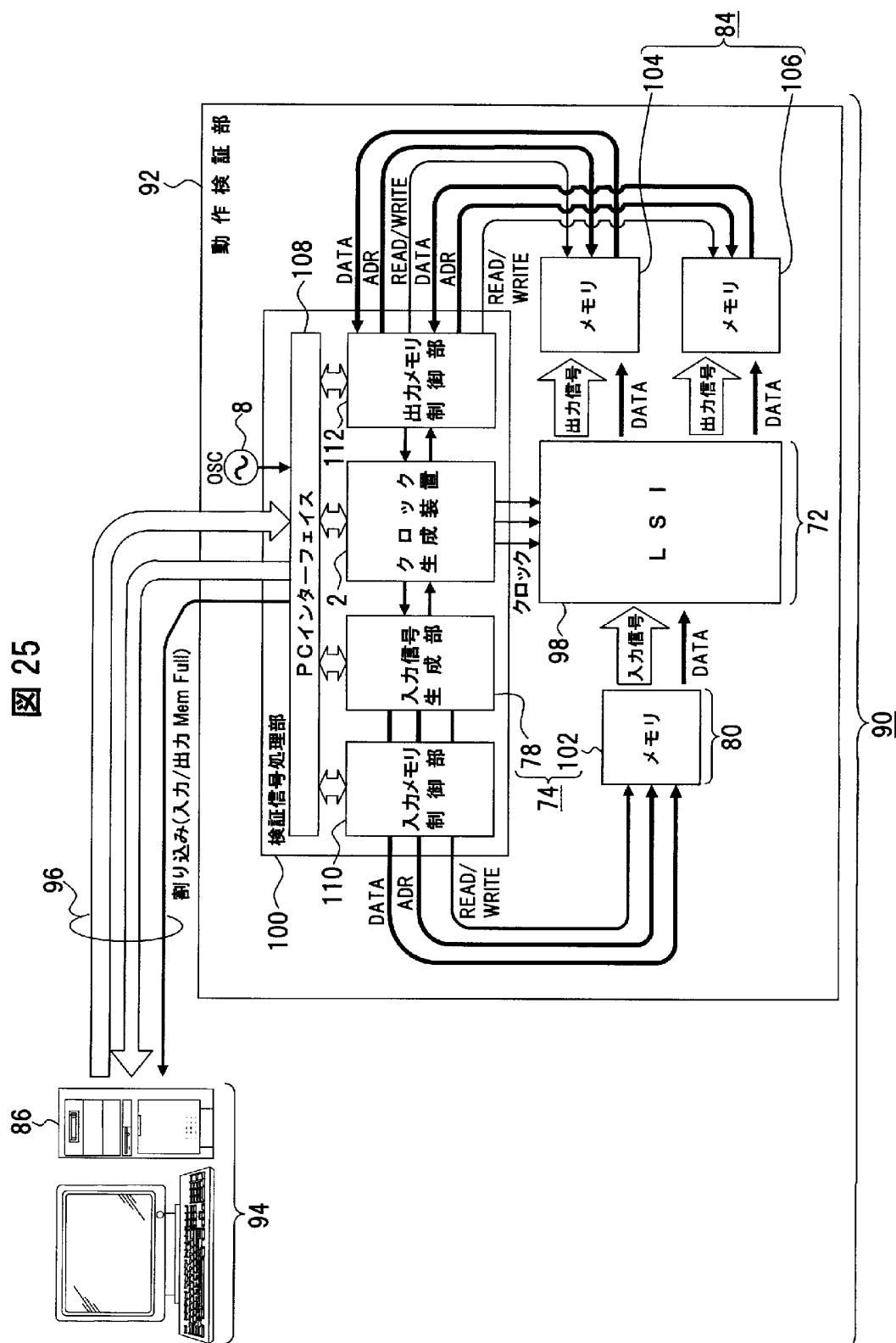
図 23



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002615

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F11/22, 1/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F11/22, 1/04, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-259329 A (Oki Micro Design Co., Ltd.), 24 September, 1999 (24.09.99), Full text; all drawings (Family: none)	1-17
A	JP 58-181154 A (NEC Corp.), 22 October, 1983 (22.10.83), Full text; all drawings (Family: none)	1-17
A	JP 8-202629 A (Fujitsu Ltd.), 09 August, 1996 (09.08.96), Full text; all drawings & US 5701436 A	1-17

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
12 May, 2005 (12.05.05)

Date of mailing of the international search report
31 May, 2005 (31.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G06F11/22, 1/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G06F11/22, 1/04, G01R31/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 11-259329 A (株式会社沖マイクロデザイン) 1999. 09. 24, 全文, 全図 (ファミリーなし)	1-17
A	J P 58-181154 A (日本電気株式会社) 1983. 10. 22, 全文, 全図 (ファミリーなし)	1-17
A	J P 8-202629 A (富士通株式会社) 1996. 08. 09, 全文, 全図 & US 5701436 A	1-17

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12. 05. 2005

国際調査報告の発送日

31. 5. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久保 正典

電話番号 03-3581-1101 内線 3546

5B

9642