

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5552256号
(P5552256)

(45) 発行日 平成26年7月16日 (2014. 7. 16)

(24) 登録日 平成26年5月30日 (2014. 5. 30)

(51) Int. Cl.

F I

HO 1 L 27/04 (2006. 01)
 HO 1 L 21/822 (2006. 01)
 HO 1 L 29/417 (2006. 01)
 HO 1 L 29/49 (2006. 01)
 HO 1 L 29/423 (2006. 01)

HO 1 L 27/04 H
 HO 1 L 27/04 D
 HO 1 L 27/04 A
 HO 1 L 29/50 M
 HO 1 L 29/58 G

請求項の数 8 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2009-100063 (P2009-100063)
 (22) 出願日 平成21年4月16日 (2009. 4. 16)
 (65) 公開番号 特開2009-278078 (P2009-278078A)
 (43) 公開日 平成21年11月26日 (2009. 11. 26)
 審査請求日 平成24年2月29日 (2012. 2. 29)
 (31) 優先権主張番号 特願2008-108896 (P2008-108896)
 (32) 優先日 平成20年4月18日 (2008. 4. 18)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (74) 代理人 110001379
 特許業務法人 大島特許事務所
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 穴戸 英明
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の誘電体と、

第 2 の誘電体と、

第 1 電源電位が印加される一端を有するコイル状の第 1 配線と、

前記第 1 の誘電体を介して前記第 1 配線に隣接して形成され、第 2 電源電位が印加される一端を有するコイル状の第 2 配線と、

複数の半導体素子を含み、前記第 1 配線および前記第 2 配線のそれぞれの他端に電氣的に接続され、前記第 1 配線および前記第 2 配線に取り囲まれている集積回路と、

前記第 2 の誘電体を介して前記第 1 配線および前記第 2 配線と重なり、電氣的に浮遊状態とされている少なくとも 1 つの半導体膜または導電膜と、を有することを特徴とする半導体装置。

10

【請求項 2】

第 1 電源電位が印加される第 1 配線と、

第 2 電源電位が印加される第 2 配線と、

第 1 絶縁膜と、

前記第 1 絶縁膜上に形成されている第 2 絶縁膜と、

前記第 1 配線に含まれ、前記第 1 電源電位が印加される一端を有するコイル状をなすように前記第 1 絶縁膜上に形成されている第 1 導電膜と、

前記第 2 配線に含まれ、前記第 2 電源電位が印加される一端を有するコイル状をなすよ

20

うに前記第 2 絶縁膜を介して前記第 1 導電膜と隣接して前記第 1 絶縁膜上に形成されている第 2 導電膜と、

複数の半導体素子を含み、前記第 1 導電膜および前記第 2 導電膜に取り囲まれ、前記第 1 導電膜および前記第 2 導電膜のそれぞれ他端に電氣的に接続されることで前記第 1 導電膜を経て前記第 1 電源電位が印加され、前記第 2 導電膜を経て前記第 2 電源電位が印加される集積回路と、

前記第 1 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜に重なり、電氣的に浮遊状態とされている少なくとも 1 つの半導体膜または第 3 導電膜と、を有することを特徴とする半導体装置。

【請求項 3】

第 1 電源電位が印加される第 1 配線と、

第 2 電源電位が印加される第 2 配線と、

第 1 絶縁膜と、

前記第 1 絶縁膜上に形成されている第 2 絶縁膜と、

前記第 2 絶縁膜上に形成されている第 3 絶縁膜と、

前記第 1 配線に含まれ、前記第 1 電源電位が印加される一端を有するコイル状をなすように前記第 1 絶縁膜上に形成されている第 1 導電膜と、

前記第 2 配線に含まれ、前記第 2 電源電位が印加される一端を有するコイル状をなすように前記第 2 絶縁膜を介して前記第 1 導電膜に隣接して前記第 1 絶縁膜上に形成されている第 2 導電膜と、

前記第 1 配線に含まれ、前記第 1 電源電位が印加される一端を有するコイル状をなすように前記第 2 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜上に形成されている第 3 導電膜と、

前記第 2 配線に含まれ、前記第 2 電源電位が印加される一端を有するコイル状をなすように前記第 3 絶縁膜を介して前記第 3 導電膜に隣接し、前記第 2 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜上に形成されている第 4 導電膜と、

複数の半導体素子を含み、前記第 1 導電膜乃至前記第 4 導電膜に取り囲まれ、前記第 1 導電膜乃至前記第 4 導電膜のそれぞれ他端に電氣的に接続されることで前記第 1 導電膜および前記第 3 導電膜を経て前記第 1 電源電位が印加され、前記第 2 導電膜および前記第 4 導電膜を経て前記第 2 電源電位が印加される集積回路と、

前記第 1 導電膜乃至前記第 4 導電膜に重なり、前記第 1 絶縁膜に覆われ、電氣的に浮遊状態とされている少なくとも 1 つの半導体膜または第 5 導電膜と、を有することを特徴とする半導体装置。

【請求項 4】

第 1 電源電位が印加される第 1 配線と、

第 2 電源電位が印加される第 2 配線と、

第 1 絶縁膜と、

前記第 1 絶縁膜上に形成されている第 2 絶縁膜と、

前記第 1 配線に含まれ、前記第 1 電源電位が印加される一端を有するコイル状をなすように前記第 1 絶縁膜上に形成されている第 1 導電膜と、

前記第 2 配線に含まれ、前記第 2 電源電位が印加される一端を有するコイル状をなすように前記第 2 絶縁膜を介して前記第 1 導電膜と隣接して前記第 1 絶縁膜上に形成されている第 2 導電膜と、

複数の半導体素子を含み、前記第 1 導電膜および前記第 2 導電膜に取り囲まれ、前記第 1 導電膜および前記第 2 導電膜のそれぞれ他端に電氣的に接続されることで前記第 1 導電膜を経て前記第 1 電源電位が印加され、前記第 2 導電膜を経て前記第 2 電源電位が印加される集積回路と、を有することを特徴とする半導体装置。

【請求項 5】

第 1 電源電位が印加される第 1 配線と、

第 2 電源電位が印加される第 2 配線と、

第 1 絶縁膜と、
 前記第 1 絶縁膜上に形成されている第 2 絶縁膜と、
 前記第 2 絶縁膜上に形成されている第 3 絶縁膜と、
前記第 1 配線に含まれ、前記第 1 電源電位が印加される一端を有するコイル状をなすように前記第 1 絶縁膜上に形成されている第 1 導電膜と、
前記第 2 配線に含まれ、前記第 2 電源電位が印加される一端を有するコイル状をなすように前記第 2 絶縁膜を介して前記第 1 導電膜に隣接して前記第 1 絶縁膜上に形成されている第 2 導電膜と、
前記第 1 配線に含まれ、前記第 1 電源電位が印加される一端を有するコイル状をなすように前記第 2 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜上に形成されている第 3 導電膜と、
前記第 2 配線に含まれ、前記第 2 電源電位が印加される一端を有するコイル状をなすように前記第 3 絶縁膜を介して前記第 3 導電膜に隣接し、前記第 2 絶縁膜を介して前記第 1 導電膜および前記第 2 導電膜上に形成されている第 4 導電膜と、
 複数の半導体素子を含み、前記第 1 導電膜乃至前記第 4 導電膜に取り囲まれ、前記第 1 導電膜乃至前記第 4 導電膜のそれぞれの他端に電氣的に接続されることで前記第 1 導電膜および前記第 3 導電膜を経て前記第 1 電源電位が印加され、前記第 2 導電膜および前記第 4 導電膜を経て前記第 2 電源電位が印加される集積回路と、を有することを特徴とする半導体装置。

10

【請求項 6】

20

請求項 3 又は請求項 5 において、
 前記第 1 導電膜と前記第 4 導電膜は、前記第 2 絶縁膜を介して隣接し、
 前記第 2 導電膜と前記第 3 導電膜は、前記第 2 絶縁膜を介して隣接していることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項において、
 前記集積回路は、
 光電変換素子と、
 前記光電変換素子を通る電流を増幅する増幅回路と、
 を有することを特徴とする半導体装置。

30

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項において、
 前記集積回路は、ガラス基板上に形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路を含む半導体装置に関する。

【背景技術】

【0002】

集積回路の不良の大きな原因の 1 つに、ESD（静電気放電）による半導体素子、電極などの破壊がある。そこで、ESD による集積回路の破壊防止のため、外部回路との接続端子、電源端子と集積回路の間に保護回路を挿入している。保護回路は、ESD によって発生した過剰な電圧または電流が集積回路に供給されることを防ぐ回路である。保護回路に用いられる代表的な素子には、抵抗素子、容量素子、ダイオードがある（特許文献 1 および 2 参照）。

40

【0003】

例えば、特許文献 1（特開 2001-339051 号公報）には、隣接する 2 つの入出力端子の間にポリシリコン膜を挿入することで抵抗素子を形成し、ゲート絶縁膜を介して、一方の入出力端子とポリシリコン膜の端部を重ねることで容量素子を形成することが記載されている。さらに、特許文献 1 には、隣接する 2 つの入出力端子の間に、ポリシリコ

50

ン膜を用いたダイオードを挿入し、かつ、一方の入出力端子とこのポリシリコン膜の端部を重ねることで容量素子を形成することが記載されている。

【 0 0 0 4 】

特許文献 2 (特公平 5 - 1 1 6 6 7 号公報) では、ボンディングパッドと内部回路の初段のトランジスタとの間に、保護回路として多結晶シリコン膜でなる配線を抵抗素子として挿入している。特許文献 2 では、E S D により多結晶シリコン層と半導体基板が短絡することを防止するために、多結晶シリコン膜と半導体基板の間に電氣的に浮遊状態の導電層を設けている。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 1 - 3 3 9 0 5 1 号公報

【 特許文献 2 】 特公平 5 - 1 1 6 6 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

集積回路の集積度が高くなると、端子間の距離が短くなるので、特許文献 1、2 のように配線を抵抗素子として用いる場合、その抵抗値を大きくすることが困難になる。そのため、抵抗素子により E S D による過剰な電圧を低下させる効果を十分に得ることができなくなる。

20

【 0 0 0 7 】

そこで、本発明の一態様は、集積回路の高集積化を妨げることなく、E S D による集積回路の破壊を抑えることを課題の 1 つとする。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一態様に係る半導体装置は、誘電体と、第 1 電源電位が印加される第 1 配線と、誘電体を介して第 1 配線に隣接して形成され、第 2 電源電位が印加される第 2 配線と、複数の半導体素子を含み、第 1 配線および第 2 配線に電氣的に接続され、第 1 配線および第 2 配線に取り囲まれている集積回路と、を有する。

【 0 0 0 9 】

30

上記態様に係る半導体装置において、第 1 配線および第 2 配線は、別の誘電体を介して、電氣的に浮遊状態とされている少なくとも 1 つの半導体膜または導電膜と重なっていてもよい。

【 0 0 1 0 】

また、本発明の他の一態様に係る半導体装置は、第 1 電源電位が印加される第 1 配線と、第 2 電源電位が印加される第 2 配線と、第 1 絶縁膜と、第 1 絶縁膜上に形成されている第 2 絶縁膜と、第 1 配線に含まれ、第 1 絶縁膜上に形成されている第 1 導電膜と、第 2 配線に含まれ、第 2 絶縁膜を介して第 1 導電膜と隣接して第 1 絶縁膜上に形成されている第 2 導電膜と、複数の半導体素子を含み、第 1 導電膜および第 2 導電膜に取り囲まれ、第 1 導電膜を経て第 1 電源電位が印加され、第 2 導電膜を経て第 2 電源電位が印加される集積回路と、を有する。

40

【 0 0 1 1 】

上記態様に係る半導体装置は、第 1 絶縁膜を介して第 1 導電膜および第 2 導電膜に重なって形成され、電氣的に浮遊状態とされている少なくとも 1 つの半導体膜または第 3 導電膜を有していてもよい。

【 0 0 1 2 】

また、本発明の他の一態様に係る半導体装置は、第 1 電源電位が印加される第 1 配線と、第 2 電源電位が印加される第 2 配線と、第 1 絶縁膜と、第 1 絶縁膜上に形成されている第 2 絶縁膜と、第 2 絶縁膜上に形成されている第 3 絶縁膜と、第 1 配線に含まれ、第 1 絶縁膜上に形成されている第 1 導電膜と、第 2 配線に含まれ、第 2 絶縁膜を介して第 1 導電

50

膜に隣接して第1絶縁膜上に形成されている第2導電膜と、第1配線に含まれ、第2絶縁膜を介して第1導電膜および第2導電膜上に形成されている第3導電膜と、第2配線に含まれ、第3絶縁膜を介して第3導電膜に隣接し、第2絶縁膜を介して第1導電膜および第2導電膜上に形成されている第4導電膜と、複数の半導体素子を含み、第1導電膜乃至第4導電膜に取り囲まれ、第1導電膜および第3導電膜を経て第1電源電位が印加され、第2導電膜および第4導電膜を経て第2電源電位が印加される集積回路と、を有する。

【0013】

上記態様に係る半導体装置は、第1導電膜乃至第4導電膜に重なり、第1絶縁膜に覆われ、電氣的に浮遊状態とされている少なくとも1つの半導体膜または第5導電膜を有していてもよい。

【発明の効果】

【0014】

上述した本発明の半導体装置の各実施形態は、集積回路の高集積化を妨げることなく、ESDによる集積回路の破壊を抑えることを可能にする。また、これらの本発明の実施形態は、集積回路を構成する半導体素子および配線のレイアウトを変更することなく、ESDによる集積回路の破壊を抑えることを可能にする。

【図面の簡単な説明】

【0015】

【図1】A：本発明の一態様に係る半導体装置のレイアウトを説明する平面図。B：図1AのX-Y切断線による断面図。

【図2】図1Aの第1配線および第2配線の電氣的な機能を示す回路図である。

【図3】A：本発明の一態様に係る半導体装置のレイアウトを説明する平面図。B：図3AのX-Y切断線による断面図。

【図4】本発明の一態様に係る半導体装置のレイアウトを説明する平面図。

【図5】A：本発明の一態様に係る半導体装置のレイアウトを説明する平面図。B：図5AのX-Y切断線による断面図。

【図6】A：図5Aの第1配線および第2配線を構成する導電膜（2層目）のレイアウトを説明する平面図。B：図5Aの第1配線および第2配線を構成する導電膜（1層目）のレイアウトを説明する平面図。

【図7】A：本発明の一態様に係る半導体装置のレイアウトを説明する平面図。B：図7AのX-Y切断線による断面図。

【図8】図7Aの第1配線および第2配線を構成する導電膜のレイアウトを説明する平面図。

【図9】本発明の一態様に係る光検出装置の集積回路の回路図。

【図10】図9の光検出装置のレイアウトを説明する平面図。

【図11】図9の光検出装置を構成する膜の積層構造を説明する断面図。

【図12】図9の光検出装置の第1配線を構成する導電膜の平面図。

【図13】図9の光検出装置の第2配線を構成する導電膜の平面図。

【図14】A-D：図9の光検出装置に含まれるトランジスタの作製方法の一例を説明する断面図。

【図15】A-D：図14Dの工程以降のトランジスタの作製方法を説明する断面図。

【図16】A-C：図15Dの工程以降の光検出装置の作製方法を説明する断面図。

【図17】A、B：図16Cの工程以降の光検出装置の作製方法を説明する断面図。

【図18】A、B：図17Bの工程以降の光検出装置の作製方法を説明する断面図。

【図19】図18Bの工程以降の光検出装置の作製方法を説明する断面図。

【図20】本発明の一態様に係る光検出装置の外観図。

【図21】A-C：図20の光検出装置の作製方法を説明する断面図。

【図22】A、B：図21Cの工程以降の光検出装置の作製方法を説明する断面図。

【図23】図22Bの工程以降の光検出装置の作製方法を説明する断面図。

【図24】A-G：本発明の一態様に係るSOI基板の作製方法を説明する断面図。

10

20

30

40

50

【図 25】A、B：本発明の一態様に係る携帯電話の外観図。C：本発明の一態様に係るコンピュータの外観図。D：本発明の一態様に係る表示装置の外観図。E、F：本発明の一態様に係るデジタルカメラの外観図。

【発明を実施するための形態】

【0016】

図面を用いて、本発明の実施形態を説明する。ただし、本明細書に開示される発明は多くの異なる態様で実施することが可能であり、本発明の趣旨およびその範囲から逸脱することなく、その態様および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本明細書に開示される発明は実施形態の記載内容に限定して解釈されるものではない。また、実施形態の説明で使用される図面において、異なる図面間で同じ参照番号を付した要素は、同様の要素を示している。そのため、このような要素について、重複する説明を省略している。

10

【0017】

(実施形態1)

図1Aおよび図1Bを用いて、本実施形態の半導体装置の構成を説明する。図1Aは、本実施形態の半導体装置のレイアウトを説明する平面図であり、図1Bは図1AのX-Y切断線による断面図である。

【0018】

図1Aに示すように、半導体装置は、複数の半導体素子を含む集積回路101、高電源電位VDDが印加される第1端子102、低電源電位VSSが印加される第2端子103、第1端子102と集積回路101とを電気的に接続する第1配線111、および第2端子103と集積回路101を電気的に接続する第2配線112を有する。

20

【0019】

集積回路101は、第1配線111に電気的に接続される接続部105、第2配線112に電気的に接続される接続部106、接続部105に電気的に接続される内部配線107、および接続部106に電気的に接続される内部配線108を有する。また、第1配線111は接続部105との接続部111aを有し、第2配線112は接続部106との接続部112aを有する。

【0020】

第1端子102および第2端子103は、集積回路101に電源を供給するための端子である。ここでは、2つの電源電位が集積回路101に供給される。電位が高い方の電源電位が高電源電位VDDであり、低い方が低電源電位VSSである。例えば、低電源電位VSSは接地電位とすることができる。第1端子102は、高電源電位VDDが印加される端子であり、第2端子103は低電源電位VSSが印加される端子である。そこで、以下の説明において、第1端子102を「VDD端子102」と呼び、第2端子103を「VSS端子103」と呼ぶことにする。また、高電源電位VDDを「電源電位VDD」と呼び、低電源電位VSSを「電源電位VSS」と呼ぶことにする。このような各要素の電気的な接続により、電源電位VDD、VSSは、それぞれ、第1配線111および第2配線112を経て、集積回路101の接続部105、106に印加される。

30

【0021】

図1Aに示すように、電源電位VDDが印加される第1配線111は、VDD端子102と接続部105間の距離よりも長く形成されている。電源電位VSSが印加される第2配線112も同様であり、第2配線112はVSS端子103と接続部106間の距離よりも長く形成されている。このことにより、集積回路の接続部105、106に抵抗を付加することができる。図1Aに示す例では、第1配線111、第2配線112は、集積回路101を取り囲むように形成された、コイル状の配線である。また、図1Aに示すように、第1配線111と第2配線112は隣接している。第1配線111と第2配線112の間には、誘電体(図1Aでは図示されていない)が設けられていることにより、第1配線111と第2配線112の間に容量を付加することができる。

40

【0022】

50

図2は、第1配線111および第2配線112の電気的な機能を示す回路図である。上述したように、第1配線111、第2配線112を長く形成することで、それぞれの配線抵抗が高くなる。このような構造により、図2に示すように、VDD端子102と接続部105に直列に接続された複数の抵抗素子131が挿入され、VSS端子103と接続部106の間に直列に接続された複数の抵抗素子132が挿入される。また、誘電体を介して第1配線111と第2配線112を隣接させることで、第1配線111と第2配線112の間に容量素子133が挿入される。したがって、ESDなどにより第1配線111または第2配線112に、過剰な電圧が印加される、または過剰な電流が流れた際には、抵抗素子131、抵抗素子132および容量素子133により、過剰な電圧または電流のエネルギーが消費されるため、集積回路101の半導体素子が破壊される確率を下げる
10

【0023】

第1配線111および第2配線112を集積回路101を取り囲むように形成することで、集積回路101の高集積化を妨げることなく、また集積回路101を構成する半導体素子、配線などのレイアウトの設計変更を必要とせずに、第1配線111および第2配線112を長く形成することができる。つまり、本実施形態により、集積回路101の高集積化を妨げることなく、また集積回路101のレイアウトを変更せずに、集積回路101のESDによる破壊を抑えることが可能になる。

【0024】

図1Aに示すように、本実施形態では、VDD端子102と第1配線111は1つの導電膜201で形成され、VSS端子103と第2配線112は1つの導電膜202で形成されている。また、接続部105と内部配線107も1つの導電膜203で形成され、接続部106と内部配線108も1つの導電膜204で形成されている。なお、VDD端子102、VSS端子103は、それぞれ、導電膜201、202と異なる導電膜で形成することができる。また、接続部105、106もそれぞれ導電膜203、204と異なる導電膜で形成することができる。
20

【0025】

また、図1Bに示すように、半導体装置は基板10を有する。基板10上に集積回路101が形成される。なお、基板10がシリコンウエハなどの半導体基板の場合には、基板10の一部が、集積回路101の半導体素子の半導体層、内部配線などを構成する。基板10の上面は絶縁膜21で覆われている。なお、基板10と絶縁膜21の間に半導体膜、導電膜などの他の膜が存在してもよい。
30

【0026】

絶縁膜21上に、導電膜203が形成されている。図1Bには図示されていないが、導電膜204も導電膜203と同様に絶縁膜21上に形成されている。導電膜203、204を覆って絶縁膜22が形成され、絶縁膜22上に導電膜201および導電膜202が形成されている。

【0027】

絶縁膜22には、導電膜203の接続部105を構成する部分に達する少なくとも1つの開口が形成されている。この開口において、導電膜203（接続部105）と導電膜201（第1配線111の接続部111a）が電気的に接続されている。さらに絶縁膜22には、導電膜204の接続部106を構成する部分に達する少なくとも1つの開口も形成されており、この開口において、導電膜204（接続部106）と導電膜202（第2配線112の接続部112a）が電気的に接続されている。
40

【0028】

導電膜201および導電膜202を覆って、絶縁膜23が形成されている。絶縁膜23は導電膜201と導電膜202を電気的に絶縁するための絶縁膜（誘電体）として機能する。図1Bに示すように、導電膜201と導電膜202が絶縁膜23を介して隣接していることで、導電膜201と導電膜202は容量結合することになる。つまり、絶縁膜23は、第1配線111と第2配線112の間に付加された容量素子133の誘電体を構成し
50

ている。なお、図1Bの例では、VDD端子102およびVSS端子103にそれぞれ電源電位VDD、VSSを印加するために、絶縁膜23には、VDD端子102に達する開口、およびVSS端子103に達する開口が、それぞれ、少なくとも1つ形成されている。

【0029】

基板10には、半導体基板、ガラス基板、石英基板、サファイア基板、セラミック基板、ステンレス基板、金属基板、樹脂基板、樹脂フィルム、炭素繊維やガラス繊維の織物に樹脂をしみこませたシート（例えば、プリプレグ）などの基板を用いることができる。半導体基板としては、インゴットをスライスしたシリコンウエハ、絶縁層を介して半導体層が基板上に形成されているSOI基板などを用いることができる。ガラス基板としては、無アルカリガラス基板が好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス基板、アルミノホウケイ酸ガラス基板、バリウムホウケイ酸ガラス基板などがある。

10

【0030】

絶縁膜21-23は単層構造でも積層構造でもよい。絶縁膜21-23を構成する膜には、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化ゲルマニウム膜、窒化ゲルマニウム膜、酸化窒化ゲルマニウム膜、窒化酸化ゲルマニウム膜などのシリコンまたはゲルマニウムを組成に含む絶縁膜を用いることができる。また、酸化アルミニウム、酸化タンタル、酸化ハフニウムなどの金属の酸化物でなる絶縁膜、窒化アルミニウムなどの金属の窒化物でなる絶縁膜、酸化窒化アルミニウム膜などの金属の酸化窒化物でなる絶縁膜、窒化酸化アルミニウム膜などの金属の窒化酸化物でなる絶縁膜を用いることもできる。さらに、有機化合物でなる絶縁膜を用いることもできる。このような有機化合物としては、アクリル、ポリイミド、ポリアミド、ポリイミドアミド、ベンゾシクロブテンなどがある。

20

【0031】

これら絶縁膜の形成方法の代表例は次の方法があり、PECVD（プラズマ励起CVD）法・熱CVD法などのCVD法（化学気相成長法）、スパッタ法・蒸着法などのPVD法（物理気相成長法）、ALD法（原子層堆積法）、スピコート法・液滴吐出法・ディップコート法などの液体状またはペースト状の材料から膜を形成する方法、プラズマや熱などによる固相酸化処理、ならびに、プラズマや熱などによる固相窒化処理などである。

30

【0032】

なお、本明細書では、酸化窒化物とは、窒素よりも酸素の含有量が多い物質のことをいい、窒化酸化物とは酸素よりも窒素の含有量が多い物質のことをいうこととする。例えば、酸化窒化シリコンには、組成としてO、N、SiおよびHを含み、それぞれの濃度が、Oは50-70原子%、Nは0.5-15原子%、Siは25-35原子%、Hは0.1-10原子%である物質が挙げられる。また、窒化酸化シリコンとしては、組成としてO、N、SiおよびHを含み、それぞれの濃度が、Oは5-30原子%、Nは20-55原子%、Siは25-35原子%、Hは10-25原子%である物質が挙げられる。なお、各元素の濃度は、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）、および水素前方散乱法（HFS：Hydrogen Forward Scattering）を用いて測定した値である。もちろん、各元素の濃度の合計は100原子%を越えず、酸化窒化シリコンまたは窒化シリコンを構成する元素の合計を100%としたときに、O、N、SiおよびHの濃度は、それぞれ、上記の範囲にある。

40

【0033】

また、導電膜201-204はそれぞれ、単層構造または積層構造でもよい。導電膜201-204を構成する膜には、例えば、タンタル、タングステン、チタン、モリブデン、アルミニウム、クロム、ニオブ、金、銀、銅、プラチナ等から選択された単体金属を主成分とする膜、これらの金属を主成分とする合金膜、およびこれら金属の金属化合物膜等がある。また、ならびに、ドナーまたはアクセプタを含むシリコン、ゲルマニウムおよび

50

シリコンゲルマニウムなどの半導体膜を用いることもできる。例えば、合金膜には、アルミニウム - 銅合金膜、アルミニウム - ネオジム合金膜などがある。金属化合物膜には、窒化チタン膜、窒化タングステン膜などの金属窒化物膜、ニッケルシリサイド膜、コバルトシリサイド膜などのシリサイド膜がある。これらの導電膜は、スパッタ法・蒸着法などのPVD法、印刷法・液滴吐出法・ディップコート法などの液体状またはペースト状の材料から膜を形成する方法、ハンダ法、ならびに、メッキ法などで形成することができる。

【0034】

導電膜201と導電膜202は同じ導電膜から形成することができる。例えば、スパッタ法などで絶縁膜22上面を覆って導電膜を形成し、この導電膜をエッチングすることで、導電膜201および導電膜202を絶縁膜22上に形成することができる。また、この形成方法で、導電膜203と導電膜204を絶縁膜21上面に形成された同じ導電膜から形成することができる。

10

【0035】

ここでは、VDD端子102を第1配線111と同じ導電膜201で形成しているが、別の導電膜で形成することもできる。この場合は、例えば、絶縁膜23上に、VDD端子102を構成する導電膜を形成し、絶縁膜23に形成した開口で、この導電膜と導電膜201を電氣的に接続すればよい。同様に、VSS端子103も第2配線112を構成する導電膜202と別の導電膜で形成することができる。

【0036】

本実施形態では、図1Aに示すように、集積回路101を取り囲むように第1配線111（導電膜201）および第2配線112（導電膜202）を配置しているため、集積回路101のレイアウトを変更する必要はなく、また集積回路101の高集積化を妨げることがない。つまり、本実施形態は、集積回路101のレイアウト変更を行わずに、また、集積回路101の高集積化を妨げることなく、ESDによる集積回路101の破壊を抑えることが可能であり、本実施形態の第1配線111（導電膜201）、第2配線112（導電膜202）および誘電体（絶縁膜23）は、ESDに対する保護装置として、非常に汎用性が高い。

20

【0037】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。例えば、導電膜201 - 204、絶縁膜21 - 23などの膜の種類、膜の形成方法などは、他の実施形態の導電膜、絶縁膜の形成方法に適用することができる。

30

【0038】

（実施形態2）

図3Aおよび図3Bを用いて、本実施形態の半導体装置の構成を説明する。図3Aは、本実施形態の半導体装置のレイアウトを説明する平面図であり、図3Bは図3AのX-Y切断線による断面図である。

【0039】

図3Aに示すように、本実施形態の半導体装置には、電源電位VDDが印加される第1配線111、および電源電位VSSが印加される第2配線112と重なる半導体膜250が設けられている。半導体膜250は、導電膜201、202と同様に、集積回路101を取り囲むように形成されている。ここでは、半導体膜250の形状を集積回路101と重なる部分に開口を有する四角形としている。

40

【0040】

図3Bに示すように、半導体膜250は、基板10と絶縁膜21の間に形成されている。半導体膜250は、基板10上面を覆う絶縁膜25上に形成され、かつ、絶縁膜21、22に覆われている。また、半導体膜250は、半導体装置のいずれの配線および端子などにも電氣的に接続されていなく、電氣的に浮遊状態とされている。

【0041】

つまり、第1配線111（導電膜201）および第2配線112（導電膜202）は、絶縁膜21、22を介して、電氣的に浮遊状態の半導体膜250と重なっている。このよ

50

うな構造により、第1配線111(導電膜201)および第2配線112(導電膜202)の間に、それぞれ、寄生容量がさらに付加されることになる。よって、ESDなどにより過剰な電圧または電流がVDD端子102またはVSS端子103に供給された場合、この寄生容量でも過剰な電圧または電流のエネルギーを消費させることができるため、集積回路101が破壊される確率をさらに下げることができる。

【0042】

半導体膜250は単層構造でも積層構造でもよい。半導体膜250を構成する膜としては、シリコン膜、ゲルマニウム膜、およびシリコンゲルマニウム膜、炭化シリコン膜などの第14族元素でなる半導体膜、GaAs膜、InP膜、GaN膜などの化合物半導体膜、酸化亜鉛、酸化スズなどの酸化物半導体などが挙げられる。半導体膜250を構成する膜は、非晶質の膜でも結晶質(単結晶、多結晶、微結晶)の膜でもよい。また、半導体膜250は、リン、ボロン、ヒ素などのドナーまたはアクセプタとなる不純物元素を含んでもよい。つまり、半導体膜250を構成する膜には、i型半導体膜、n型半導体膜およびp型半導体膜のいずれの膜も用いることが可能である。また、半導体膜250には、導電型が異なる領域が部分的に形成されていてもよい。例えば、n型シリコン膜に部分的にp型の領域が設けられていてもよい。

10

【0043】

また、図4に示すように、複数の半導体膜を第1配線111および第2配線112に重なるように設けることができる。図4に、電氣的に浮遊状態の複数の半導体膜が設けられた半導体装置のレイアウトを説明する平面図を示す。ここでは、4つの半導体膜251-254を第1配線111と第2配線112に重なるように設けている。各半導体膜251-254は、図3Bの半導体膜250と同様に絶縁膜25上に形成されており、絶縁膜21、22を介して導電膜201、202と重なっている。

20

【0044】

また、本実施形態において、半導体膜250-254の代わりに、電氣的に浮遊状態な導電膜を設けてもよい。この導電膜には、導電膜201-204と同様の導電膜を用いることができる。

【0045】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。

【0046】

(実施形態3)

本実施形態では、第1配線111、および第2配線112をそれぞれ、絶縁膜を介して積層された2つの導電膜で形成する例を示す。図5A、図5B、図6Aおよび図6Bを用いて、本実施形態の半導体装置の構成を説明する。図5Aは、本実施形態の半導体装置のレイアウトを説明する平面図であり、図5Bは図5AのX-Y切断線による断面図である。また、図6Aおよび図6Bは、それぞれ、第1配線111および第2配線112を構成する導電膜のレイアウトを説明する平面図であり、図6Aは2層目の導電膜の平面図であり、図6Bは1層目の導電膜の平面図である。

30

【0047】

図5Aに示すように、第1配線111は、導電膜201と接続部105を構成する導電膜203とで構成されている。また、第2配線112は、導電膜202と接続部106を構成する導電膜204とで構成されている。図6Aに示すように、導電膜201、202のレイアウトは図1Aと同様である。図6Bに示すように、導電膜203は、接続部105および内部配線107と共に、第1配線111、VDD端子102との接続部111bを含んでいる。また、導電膜204は、接続部106および内部配線108と共に、第2配線112、VSS端子103との接続部112bを含んでいる。

40

【0048】

図5Bに示すように、導電膜203の第1配線111を構成する部分は、絶縁膜22を介して、導電膜202の第2配線112を構成する部分と重なっている。さらに、導電膜204の第2配線112を構成する部分は、絶縁膜22を介して、導電膜201の第1配

50

線 1 1 1 を構成する部分と重なっている。また、図示していないが、絶縁膜 2 2 に設けられた開口において、導電膜 2 0 3 の接続部 1 1 1 b は V D D 端子 1 0 2 に電氣的に接続され、導電膜 2 0 4 の接続部 1 1 2 b は V S S 端子 1 0 3 に電氣的に接続されている。このような構造により、膜が積層されている方向で、第 1 配線 1 1 1 と第 2 配線 1 1 2 が誘電体（絶縁膜 2 2）を介して隣接することになる。すなわち、本実施形態によって、第 1 配線 1 1 1 と第 2 配線 1 1 2 の間に付加される容量の容量値を大きくすることができる。

【 0 0 4 9 】

本実施形態では、第 1 配線 1 1 1 および第 2 配線 1 1 2 を、それぞれ、絶縁膜（誘電体）を介して積層されている 2 つの導電膜で形成したが、3 つ以上の導電膜で形成することもできる。

10

【 0 0 5 0 】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。例えば、実施形態 2 と組み合わせ、誘電体（絶縁膜）を介して第 1 配線 1 1 1 および第 2 配線 1 1 2 と重なり、かつ電氣的に浮遊状態の単数または複数の半導体膜（または導電膜）を形成することができる。

【 0 0 5 1 】

（実施形態 4）

実施形態 1 では、図 1 A に示すように第 1 配線 1 1 1 および第 2 配線 1 1 2 は、V D D 端子 1 0 2、V S S 端子 1 0 3 を起点として、内巻きに集積回路 1 0 1 を取り囲むように形成したが、これらを、それぞれ、V D D 端子 1 0 2、V S S 端子 1 0 3 を起点にして、外巻きに集積回路 1 0 1 を取り囲むように形成することもできる。本実施形態では、第 1 配線 1 1 1 および第 2 配線 1 1 2 を、V D D 端子 1 0 2、V S S 端子 1 0 3 を起点に外巻きに集積回路 1 0 1 を取り囲むように形成する例を説明する。図 7 A は、本実施形態の半導体装置のレイアウトを説明する平面図であり、図 7 B は図 7 A の X - Y 切断線による断面図である。

20

【 0 0 5 2 】

図 7 A に示すように、第 1 配線 1 1 1 および第 2 配線 1 1 2 は、V D D 端子 1 0 2、V S S 端子 1 0 3 を起点に外巻きに集積回路 1 0 1 を取り囲むように形成されている。本実施形態では、第 1 配線 1 1 1 を集積回路 1 0 1 の接続部 1 0 5 に電氣的に接続するための配線 1 4 1 が導電膜 2 0 3 で形成されている。同様に、第 2 配線 1 1 2 を集積回路 1 0 1 の接続部 1 0 6 に電氣的に接続するための配線 1 4 2 が導電膜 2 0 4 で形成されている。

30

【 0 0 5 3 】

また、第 1 配線 1 1 1 は導電膜 2 0 1 で形成された接続部 1 1 1 c を有し、配線 1 4 1 は導電膜 2 0 3 で形成された接続部 1 4 1 a を有する。図 7 B に示すように、絶縁膜 2 2 に形成された開口で接続部 1 1 1 c と接続部 1 4 1 a が電氣的に接続されている。このような構成により、V D D 端子 1 0 2 に印加された電源電位 V D D が集積回路 1 0 1 に供給される。

【 0 0 5 4 】

また、第 2 配線 1 1 2 は導電膜 2 0 2 で形成された接続部 1 1 2 c を有し、配線 1 4 2 は導電膜 2 0 4 で形成された接続部 1 4 2 a を有する。絶縁膜 2 2 に形成された開口部で、接続部 1 1 2 c と接続部 1 4 2 a も電氣的に接続されている。このような構成により、V S S 端子 1 0 3 に印加された電源電位 V S S が集積回路 1 0 1 に供給される。

40

【 0 0 5 5 】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。例えば、実施形態 2 と組み合わせ、誘電体（絶縁膜）を介して第 1 配線 1 1 1 および第 2 配線 1 1 2 と重なり、かつ電氣的に浮遊状態の単数または複数の半導体膜（または導電膜）を形成することができる。あるいは、実施形態 3 と組み合わせ、第 1 配線 1 1 1 および第 2 配線 1 1 2 と絶縁膜を挟んで重なる複数の導電膜で形成することができる。

【 0 0 5 6 】

（実施形態 5）

50

図1Aの半導体装置において、第1配線111および第2配線112が、集積回路101と重なる部分を含んでいてもよい。本実施形態では、集積回路101と重なる部分を含んだ第1配線111および第2配線112を有する半導体装置について説明する。図8は、第1配線111および第2配線112のレイアウトを説明する平面図である。

【0057】

図8に示すように、第1配線111および第2配線112は、コイル状の配線であり、それぞれ、集積回路101と重なる部分を有する。また、第1配線111および第2配線112は、それぞれ、実施形態1と同様に、導電膜201、導電膜202により形成され、かつ、誘電体（絶縁膜）を介して、隣接して設けられている。

【0058】

また、第1配線111の接続部111a、第2配線112の接続部112aは、集積回路101と重なって形成されている。各接続部111a、112aは、それぞれ、絶縁膜に形成された開口により、集積回路101の接続部105、106に電氣的に接続されている。

【0059】

本実施形態でも、第1配線111および第2配線112は、図2に示す回路と同様の電氣的な機能を有する。すなわち、誘電体を介して第1配線111および第2配線112が隣接して設けられていることによって、ESDなどによって過剰な電圧または電流が第1配線111または第2配線112に供給された際に、集積回路101をこのような過剰な電圧および電流によって破壊される確率を抑えることができる。

【0060】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。例えば、実施形態2と組み合わせ、第1配線111および第2配線112と誘電体（絶縁膜）を介して重なり、かつ、電氣的に浮遊状態の単数または複数の半導体膜（または導電膜）を形成することができる。あるいは、実施形態3と組み合わせ、第1配線111および第2配線112を、絶縁膜を挟んで積層された複数の導電膜で形成することができる。

【0061】

（実施形態6）

本実施形態では、半導体装置の一具体例として光検出装置について説明する。まず、図9 - 図11を用いて、光検出装置の構成を説明する。図9は、本実施形態の光検出装置の回路図である。図10は、同光検出装置のレイアウトを説明する平面図である。図11は、同光検出装置の積層構造を説明する断面図である。

【0062】

図9に示すように、本実施形態の集積回路は、電源電位VDDが供給される接続部301、電源電位VSSが供給される接続部302、光電変換素子304および増幅回路305を有する。接続部301は、第1配線111に電氣的に接続され、接続部302は第2配線112に電氣的に接続される。

【0063】

光電変換素子304は受光した光を電気信号に変換する素子であり、ここではフォトダイオードで構成されている。増幅回路305は、光電変換素子304の出力を増幅するための回路である。本実施形態の光検出装置では、光電変換素子304および増幅回路305で構成される回路が、図1の集積回路101に相当する。また、ここでは、増幅回路305をカレントミラー回路で構成することにする。このカレントミラー回路は、1つのトランジスタ307と、並列に接続された複数のトランジスタ308を有する。本実施形態では、増幅回路305のトランジスタ307およびトランジスタ308は共にnチャネル型トランジスタとするが、トランジスタ307、308を共にpチャネル型トランジスタとすることもできる。トランジスタ308の数に応じて、トランジスタ307の増幅率が調節される。よって、光電変換素子304の出力を100倍にするには、例えば、1つのトランジスタ307に対して、100個のトランジスタ308を並列に接続すればよい。

【0064】

10

20

30

40

50

光電変換素子 304 に光が当たると光電変換素子 304 の抵抗値が低下する。電源電位 VDD が第 1 配線 111 に供給され、電源電位 VSS が第 2 配線 112 に供給されることで、光電変換素子 304 の抵抗値に相当する電流が光電変換素子 304 に流れる。トランジスタ 307 にこの電流が流れると、トランジスタ 307 のゲートにトランジスタ 307 のチャネル抵抗に相当する電圧が発生し、複数のトランジスタ 308 の各ゲートにこの電圧が印加される。ドレインに電源電位 VDD を印加し、ソースに電源電位 VSS を印加することで、複数のトランジスタ 308 にそれぞれ電流が流れ、光電変換素子 304 を流れる電流が増幅され、増幅された電流が増幅回路 305 から出力される。つまり、増幅回路 305 の出力電流値が光電変換素子 304 の受光量を反映する。

【0065】

本実施形態では、増幅回路 305 の代わりに、光電変換素子 304 の出力電流を減衰する減衰回路を設けることができる。この減衰回路はカレントミラー回路で構成することができる。このようなカレントミラー回路は、トランジスタ 307 の数をトランジスタ 308 よりも多くすればよい。例えば、光電変換素子 304 の出力を 1 / 100 倍にする場合、100 個の並列接続されたトランジスタ 307 に対して、1 つのトランジスタ 308 を設ければよい。

【0066】

次に、図 10 を用いて、本実施形態の光検出装置のレイアウトを説明する。図 10 には、光電検出装置を構成する半導体膜および第 1 層目 - 第 3 層目の導電膜が図示されている。また、本実施形態では、実施形態 4 の第 1 配線 111 および第 2 配線 112 を光検出装置に適用している。

【0067】

図 10 において、2 点鎖線で示す領域に増幅回路 305 が形成されている。増幅回路 305 には、トランジスタ 307 およびトランジスタ 308 を構成する半導体膜 340 が設けられている。本実施形態では、トランジスタ 307 および複数のトランジスタ 308 それぞれのソース領域、ドレイン領域およびチャネル形成領域を 1 つの半導体膜 340 に形成している。半導体膜 340 上には、絶縁膜を介して第 1 層目の導電膜である 1 つの導電膜 351 が形成されている。導電膜 351 は、トランジスタ 307 およびトランジスタ 308 のゲート配線を構成する。

【0068】

導電膜 351 上には、絶縁膜を介して第 2 層目の導電膜が形成されている。ここでは、第 2 層目の導電膜として、導電膜 361 - 364 が各 1 つずつ形成されている。導電膜 361 は、トランジスタ 307 のドレイン配線を構成する。導電膜 362 はトランジスタ 307、トランジスタ 308 それぞれのソース配線を構成する。導電膜 363 はトランジスタ 307 のドレイン電極を構成し、導電膜 363 によって、トランジスタ 307 のゲート電極はドレイン電極に電氣的に接続される。導電膜 364 は、光電変換素子 304 と増幅回路 305 を電氣的に接続するための電極を構成する。また、導電膜 364 は導電膜 351 に電氣的に接続されており、このことによりトランジスタ 307 およびトランジスタ 308 それぞれのゲート電極が光電変換素子 304 に電氣的に接続される。

【0069】

第 2 層目の導電膜 364 上には光電変換層 370 が形成されている。光電変換層 370 は光電変換素子 304 (フォトダイオード) を構成する。光電変換層 370 は導電膜 364 に接して形成されている。

【0070】

第 2 層目の導電膜 361 - 364 および光電変換層 370 を覆う絶縁膜が形成され、この絶縁膜上に第 3 層目の導電膜として、導電膜 381 および導電膜 382 が形成されている。図 12 は導電膜 381 の平面図であり、図 13 は導電膜 382 の平面図である。導電膜 381 の集積回路を取り囲む部分は電源電位 VDD が印加される第 1 配線 111 を構成し、導電膜 382 の集積回路を取り囲む部分は、電源電位 VSS が印加される第 2 配線 112 を構成する。

10

20

30

40

50

【0071】

また、導電膜381の一方の端部381A(図12の1点鎖線で囲んだ部分)は、絶縁膜に形成された複数の開口において光電変換層370に電氣的に接続されている。また、この端部381Aにおいて、導電膜361と重なる領域は、VDD端子102との接続部301を構成する。さらに、端部381Aは、光電変換素子304に対する遮光膜としても機能する。つまり、端部381Aにより、光電変換層370の上方から入射する光を遮光することができる。また、導電膜381のもう一方の端部381B(図12の1点鎖線で囲んだ部分)は、絶縁膜に形成された複数の開口において2層目の導電膜361の端部361Aに電氣的に接続されている。

【0072】

また、導電膜382の一方の端部382A(図13の1点鎖線で囲んだ部分)は、電源が接続されるVSS端子103との接続部302を構成する。他方の端部382B(図13の1点鎖線で囲んだ部分)は、絶縁膜に形成された複数の開口において2層目の導電膜362の端部362Aに電氣的に接続されている。

【0073】

光検出装置は、さらに、4層目の導電膜を有する。図11に示すように、4層目の導電膜は、VDD端子102およびVSS端子103を構成する。本実施形態では、VDD端子102およびVSS端子103は4層構造の導電膜で形成され、VDD端子102は、導電膜381の端部381Aと電氣的に接続され、VSS端子103は導電膜382の端部382Aに電氣的に接続されている。

【0074】

このような構成により、VDD端子102に印加された電源電位VDDは、導電膜381(第1配線111)を介して、光電変換素子304の陰極、および増幅回路305のトランジスタ308のドレイン配線に供給される。また、VSS端子103に印加された電源電位VSSは、導電膜382(第2配線112)を介して、増幅回路305のトランジスタ307、308それぞれのソース配線に供給される。

【0075】

なお、図11は光検出装置を構成する膜の積層構造、および異なる層に形成された導電膜との電氣的な接続を説明するための断面図であり、図10の平面図を特定の切断線で切った断面図ではないことを断っておく。図11において、a-b間には、導電膜382の両方の端部382A、382B、および第1配線111、第2配線112の断面構造を主として図示している。b-c間には、増幅回路305の断面として、トランジスタ308を図示している。c-d間には、光電変換素子304、導電膜381の両方の端部381A、381B、第1配線111および第2配線112それぞれの断面構造を主として図示している。

【0076】

本実施形態では、集積回路が形成される基板にガラス基板310が用いられる。ガラス基板310を通過した光303が光電変換素子304に入射することで、光電変換素子304において光信号が電気信号に変換される。この電気信号は増幅回路305で増幅されて、VDD端子102およびVSS端子103から出力される。本実施形態では、ガラス基板310の光303が入射する側に、所定の波長域の光を選択的に透過させるための着色層(カラーフィルター層)を形成することができる。着色層としては、例えば、顔料を分散させた樹脂などを用いることができる。

【0077】

次に、光検出装置の作製方法、および光検出装置の断面構造を説明する。まず、ガラス基板310上に増幅回路305を構成するトランジスタ307、308を作製する。図14A-図15Dの断面図を用いて、トランジスタ307、308の作製方法を説明する。

【0078】

ガラス基板310を用意する。ガラス基板310は無アルカリガラス基板が好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス基板、アルミノホウケイ

10

20

30

40

50

酸ガラス基板、バリウムホウケイ酸ガラス基板などがある。ガラス基板 310 の代わりに、石英基板を用いることができる。

【0079】

次に、ガラス基板 310 上に、半導体膜 340 の厚さ 50 - 300 nm の下地絶縁膜、および半導体膜 340 を構成する厚さ 20 - 100 nm の半導体膜を構成する。ここでは、図 14 A に示すように、下地絶縁膜として窒化酸化シリコン膜 311 および酸化窒化シリコン膜 312 の 2 層の絶縁膜を形成し、半導体膜として非晶質シリコン膜 313 を形成する。

【0080】

下地絶縁膜は、ガラス基板 310 に含まれるアルカリ金属（代表的には Na）やアルカリ土類金属が拡散して、トランジスタなどの半導体素子の電気的特性に悪影響を及ぼすのを防ぐために設ける。下地絶縁膜は、単層構造でも積層構造でもよいが、少なくとも 1 層アルカリ金属およびアルカリ土類金属の拡散を防止するためのバリア膜を設けることが望ましい。本実施形態では、バリア膜として窒化酸化シリコン膜 311 を設けている。バリア膜としては、窒化酸化シリコン膜などの窒化酸化物膜、および、窒化シリコン膜、窒化アルミニウム膜などの窒化物膜が好適である。トランジスタ 307、308 を構成する半導体膜 340 と下地絶縁膜との界面準位密度を低減するために、酸化窒化シリコン膜 312 は形成されている。

【0081】

本実施形態では、厚さ 140 nm の窒化酸化シリコン膜 311、厚さ 100 nm の酸化窒化シリコン膜 312 および厚さ 50 nm の非晶質シリコン膜 313 を、1 台の PECVD 装置で連続して形成する。窒化酸化シリコン膜 311 のソースガスは SiH_4 、 N_2O 、 NH_3 および H_2 である。酸化窒化シリコン膜 312 のソースガスは SiH_4 および N_2O である。非晶質シリコン膜 313 のソースガスは SiH_4 および H_2 である。ソースガスを変えることで、1 つのチャンバー内で 3 つの膜を連続して形成することができる。

【0082】

本実施形態では、非晶質シリコン膜 313 を結晶化して、結晶性シリコン膜 314 を形成し（図 14 B 参照）、結晶性シリコン膜 314 で半導体膜 340 を形成する。半導体膜の結晶化方法には、ランプアニール装置や炉を用いた固相成長方法、レーザー光を照射して半導体膜を溶融させて結晶化させる方法などを用いることができる。ここでは、非晶質シリコン膜 313 を固相成長させて結晶化する。また、600 以下の加熱温度で、短時間に固相成長させるため、非晶質シリコン膜 313 に金属元素を導入している。以下に、非晶質シリコン膜 313 の結晶化方法について具体的に説明する。

【0083】

まず、非晶質シリコン膜 313 の表面をオゾン水で処理して、極薄い（数 nm 程度）酸化膜を形成し、非晶質シリコン膜 313 表面の濡れ性を向上させる。次いで、重量換算で 10 ppm のニッケルを含む酢酸ニッケル溶液を、スピナーで非晶質シリコン膜 313 の表面に塗布する。

【0084】

次に、炉において、非晶質シリコン膜 313 を加熱して、結晶性シリコン膜 314 を形成する。例えば、この非晶質シリコン膜 313 を結晶化させるには、例えば、500、1 時間の加熱処理を行い、引き続き 550、4 時間の加熱処理を行えばよい。ニッケルの触媒的な作用により、短時間、かつ低温で結晶性シリコン膜 314 を形成することができる。また、ニッケルの触媒的な作用により、結晶粒界にダングリングボンドが少ない結晶性シリコン膜 314 を形成することができる。シリコンの結晶化を助長する金族元素としては、Ni の他、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt 等がある。

【0085】

これらの金属元素を非晶質シリコン膜 313 に導入する方法には、これらの金属元素の溶液を塗布する方法の他に、金属元素を主成分とする膜を非晶質シリコン膜 313 表面に形成する方法、プラズマドーピング法などにより金属元素を非晶質シリコン膜 313 に添

10

20

30

40

50

加する方法などがある。

【0086】

次に、結晶性シリコン膜314の結晶欠陥を修復する、結晶化率を向上させるため、レーザー光を結晶性シリコン膜314に照射する。レーザー光は波長400nm以下のビームが好ましい。このようなレーザー光には、例えば、XeClエキシマレーザー光(XeCl:波長308nm)、YAGレーザーの第2高調波又は第3高調波などがある。レーザー光を照射する前に、結晶性シリコン膜314の表面に形成されている酸化膜を希フッ酸などで除去することが好ましい。

【0087】

本実施形態では、結晶化のために導入したニッケルを結晶性シリコン膜314からゲッタリングするための処理を行う。ニッケルは非晶質シリコン膜313の結晶化には有用であるが、ニッケルが結晶性シリコン膜314に高濃度に存在していると、トランジスタ307、308のリーク電流を増加させるなど、トランジスタ307、308の電気的特性を低下させる要因になるからである。以下、ゲッタリング処理の一例を説明する。

【0088】

まず、オゾン水で結晶性シリコン膜314の表面を120秒程度処理して、結晶性シリコン膜314表面に厚さ1-10nm程度の酸化膜を形成する。オゾン水による表面処理の代わりに、UV光を照射してもよい。次に、酸化膜を介して、結晶性シリコン膜314表面にArを含む非晶質シリコン膜を厚さ10-400nm程度形成する。この非晶質シリコン膜中のArの濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下が好ましい。また、Arの代わりに、他の第18族元素を非晶質シリコン膜に添加してもよい。

【0089】

第18族元素を非晶質シリコン膜に添加する目的は、非晶質シリコン膜に歪みを与えて、非晶質シリコン膜中にゲッタリングサイトを形成することである。第18族元素の添加により歪みが生じる原因は2種類ある。1つは、第18族元素の添加により結晶にダングリングボンドが形成されることによるものであり、もう1つは、結晶格子間に第18族元素が添加されることによるものである。

【0090】

例えば、PECVD法で、Arを含む非晶質シリコン膜(以下、「Ar:a-Si膜」と呼ぶ。)を形成するには、 SiH_4 、 H_2 およびArをソースガスに用いればよい。Arに対する SiH_4 の流量比(SiH_4/Ar)を $1/999$ 以上 $1/9$ 以下とすることが好ましい。また、プロセス温度は300-500℃が好ましい。ソースガスを励起させるためのRFパワー密度は、 0.0017 W/cm^2 以上 0.48 W/cm^2 以下とすることが好ましい。プロセス圧力は、1.333Pa以上66.65Pa以下が好ましい。

【0091】

例えば、スパッタリング法で、Ar:a-Si膜を形成するには、ターゲットに単結晶シリコンを用い、スパッタ用ガスにArを用いればよい。Arガスをグロー放電させ、Arイオンで単結晶シリコンターゲットをスパッタリングすることで、Arを含んだ非晶質シリコン膜を形成することができる。非晶質シリコン膜中のArの濃度は、グロー放電させるためのパワー、圧力、温度などにより調節することができる。プロセス圧力は、0.1Pa以上5Pa以下とすればよい。圧力は低いほど、非晶質シリコン膜中のArの濃度を高くすることができ、1.5Pa以下が好ましい。プロセス中にガラス基板310を特段加熱する必要はなく、プロセス温度を300℃以下とすることが好ましい。

【0092】

Ar:a-Si膜を形成した後、ゲッタリングのために、炉において、650℃、3分の加熱処理を行う。この加熱処理により、結晶性シリコン膜314に含まれているNiはAr:a-Si膜に析出し、捕獲される。この結果、結晶性シリコン膜314のNiの濃度を低下させることができる。加熱処理の完了後、エッチング処理によりAr:a-Si膜を除去する。このエッチング処理では、酸化膜がエッチングストッパとして機能する。

10

20

30

40

50

Ar : a - Si 膜を除去した後、結晶性シリコン膜 3 1 4 の表面の酸化膜を希フッ酸などで除去する。以上により、Ni が低減された結晶性シリコン膜 3 1 4 が形成される。

【 0 0 9 3 】

次いで、結晶性シリコン膜 3 1 4 上にレジストマスクを形成し、レジストマスクを用いて、結晶性シリコン膜 3 1 4 をエッチングして、図 1 4 C に示すように半導体膜 3 4 0 を形成する。本実施形態では、図 1 0 に示すように、トランジスタ 3 0 7 および複数のトランジスタ 3 0 8 に対応して 1 つの半導体膜 3 4 0 が形成されている。1 つの半導体膜 3 4 0 で複数のトランジスタを形成することで、それぞれのソース領域同士の接続、およびドレイン領域同士の接続を容易にしている。半導体膜 3 4 0 には、各トランジスタ 3 0 7 、3 0 8 のチャンネル形成領域を分割するために複数の開口が形成されている。なお、図 1 4 C - 図 1 5 C の断面図ではトランジスタごとに半導体膜 3 4 0 が設けられているように図示しているが、これは、トランジスタの構造の理解を容易にするためである。この点は、図 1 1 の断面図も同様である。

10

【 0 0 9 4 】

ここでは、結晶性シリコン膜 3 1 4 をエッチングする前に、結晶性シリコン膜 3 1 4 にアクセプタとなる元素を添加する。これは、トランジスタ 3 0 7 、3 0 8 のしきい値電圧を制御するためである。例えば、アクセプタとなる元素としてボロンを用い、結晶性シリコン膜 3 1 4 に、 $1 \times 10^{16} - 5 \times 10^{17} \text{ atoms / cm}^3$ の濃度でボロンを含ませるとよい。

【 0 0 9 5 】

20

なお、本実施形態では、半導体膜 3 4 0 をシリコンで形成したが、ゲルマニウム、シリコン - ゲルマニウム、炭化シリコンなど他の第 1 4 族でなる半導体で形成することができる。また、GaAs、InP、SiC、ZnSe、GaN、SiGe などの化合物半導体、酸化亜鉛、酸化スズなどの酸化物半導体を用いることができる。

【 0 0 9 6 】

次に、図 1 4 C に示すように、半導体膜 3 4 0 上にゲート絶縁膜、および導電膜 3 5 1 を構成する導電膜を形成する。ここでは、ゲート絶縁膜として、厚さ 3 0 nm の酸化窒化シリコン膜 3 4 1 を形成する。この酸化窒化シリコン膜 3 4 1 は、PECVD 法で、ソースガスに SiH_4 および N_2O を用いて形成される。また、導電膜として、厚さ 3 0 nm の窒化タンタル膜 3 1 5 と、厚さ 1 7 0 nm のタングステン膜 3 1 6 でなる 2 層構造の導電膜を形成する。窒化タンタル膜 3 1 5 とタングステン膜 3 1 6 はスパッタ法で形成される。窒化タンタル膜 3 1 5 とタングステン膜 3 1 6 の積層膜の代わりに、例えば、窒化タングステン膜とタングステン膜の積層膜、または窒化モリブデン膜とモリブデン膜の積層膜を形成することができる。本実施形態では、導電膜 3 5 1 を用いて、半導体膜 3 4 0 に自己整合的にソース領域、ドレイン領域および低濃度不純物領域を形成するため、上面から見た大きさが上層の導電膜の方が下層の導電膜よりも小さくなるようにする。そのため、上層の導電膜に対して下層の導電膜のエッチング選択比が大きいことが望ましい。この点で、窒化タンタル膜 3 1 5 とタングステン膜 3 1 6 の積層膜は好ましい。

30

【 0 0 9 7 】

次に、タングステン膜 3 1 6 上に、レジストマスク 3 1 7 を形成する。このレジストマスク 3 1 7 を用いて、2 回のエッチング処理を行う。まず、図 1 4 D に示すように、レジストマスク 3 1 7 を用いて窒化タンタル膜 3 1 5 およびタングステン膜 3 1 6 をエッチングする。この 1 回目のエッチングで、窒化タンタル膜 3 1 5 およびタングステン膜 3 1 6 でなる積層膜の断面の形状は、テーパ状に加工される。このエッチング処理は、例えば、エッチング用ガスに CF_4 、 Cl_2 および O_2 の混合ガスを用い、ICP (誘導結合型プラズマ) エッチング装置で行うことができる。

40

【 0 0 9 8 】

さらに、レジストマスク 3 1 7 を用い、図 1 5 A に示すように、上層のタングステン膜 3 1 6 を選択的にエッチングする。このエッチング処理は異方性エッチング処理であり、例えば、エッチング用ガスに Cl_2 、 SF_6 および O_2 の混合ガスを用い、ICP エッチ

50

ング装置で行うことができる。この2回のエッチング処理により、導電膜351が形成される。導電膜351において、タングステン膜316の端部は、窒化タンタル膜315上面にあり、上面から見た場合、タングステン膜316の形状は、窒化タンタル膜315よりも小さい。

【0099】

レジストマスク317を除去した後、半導体膜340にドナー元素を添加し、n型のソース領域、ドレイン領域、および低濃度不純物領域を形成する。ここでは、ドナー元素としてリンを添加する。まず、低濃度不純物領域を形成するため、低ドーズ量、高加速電圧の条件下でリンを添加する。リンのソースガスには PH_3 を用いることができる。この条件下では、導電膜351の窒化タンタル膜315のみで構成されている部分を通して、リンが半導体膜340に添加され、低濃度不純物領域321および低濃度不純物領域322が形成される。また、窒化タンタル膜315およびタングステン膜316が積層している部分に対応して、チャネル形成領域320も自己整合的に形成される。

10

【0100】

次に、ソース領域およびドレイン領域を形成するため、高ドーズ量、低加速電圧の条件下でリンを添加する。この条件下では、導電膜351全体がマスクとして機能し、図15Cに示すように、半導体膜340にソース領域323、およびドレイン領域324が自己整合的に形成される。

【0101】

次に、導電膜351を覆ってガラス基板310上に第1層間絶縁膜を形成する。本実施形態では、第1層間絶縁膜を3層構造としている。1層目は、厚さ30nmの酸化窒化シリコン膜342であり、2層目は厚さ165nmの窒化酸化シリコン膜343であり、3層目は厚さ600nmの酸化窒化シリコン膜344である。これらの膜342-344は、PECVD装置で形成される。まず、 SiH_4 および N_2O をソースガスに用いて、酸化窒化シリコン膜342を形成する。そして、加熱処理を行い、半導体膜340に添加したリンを活性化する。

20

【0102】

活性化のための加熱処理の完了後、PECVD装置で窒化酸化シリコン膜343、および酸化窒化シリコン膜344を形成する。窒化酸化シリコン膜343のソースガスには、 SiH_4 、 N_2O 、 NH_3 および H_2 を用い、窒化酸化シリコン膜343の水素濃度が高くなるようにする。酸化窒化シリコン膜344のソースガスには SiH_4 および N_2O が用いられる。酸化窒化シリコン膜344の形成後、加熱処理を行い、窒化酸化シリコン膜343の水素を拡散させ、半導体膜340の不對結合手を水素により終端させる。この加熱処理は、300-550の温度で行うことができる。

30

【0103】

以降の工程は、図16A-図19の断面図を用いて説明する。図16A-図19の図示の方法は、図11と同様である。

【0104】

レジストのマスクを用いて、酸化窒化シリコン膜341、酸化窒化シリコン膜342、窒化酸化シリコン膜343および酸化窒化シリコン膜344でなる積層膜をエッチングして、コンタクトホールとなる開口を形成する。開口を形成する部分は、導電膜361と各半導体膜340のドレイン領域324との接続部、導電膜362と各半導体膜340のソース領域323との接続部、導電膜363と導電膜351の接続部、および導電膜364と導電膜351との接続部である。

40

【0105】

次に、酸化窒化シリコン膜344上に、導電膜361-364を構成する導電膜を形成する。ここでは、スパッタ法で厚さ400nmのチタン膜を形成する。このチタン膜上にレジストのマスクを形成し、このマスクを用いてチタン膜をエッチングして、導電膜361-364を形成する(図11、図16A参照)。図11に示すように、導電膜381および導電膜382を隣接させて、集積回路を取り囲むように形成することで、電源電位V

50

DDが入力されるVDD端子102と光電変換素子304および増幅回路305の間、ならびに、電源電位VSSが入力されるVSS端子103と増幅回路305の間に、それぞれ、抵抗を付加することができる。

【0106】

なお、2層目の導電膜361-364、および3層目の導電膜381、382は、チタン、チタン合金、チタン化合物、モリブデン、モリブデン合金、またはモリブデン化合物でなる膜が好ましい。これらの導電性材料でなる膜は耐熱性が高いこと、シリコン膜との接触によって電蝕されにくいこと、マイグレーションが起こりにくいことなどの長所があるからである。

【0107】

次に、図16Aに示すように、酸化窒化シリコン膜344上に、光電変換素子304を構成する光電変換層370を形成する。ここではpin接合を有するフォトダイオードで、光電変換素子304を構成するため、光電変換層370をp型の導電性を示す半導体膜（以下、「p型半導体膜」と呼ぶ。）、i型の導電性を示す半導体膜（以下、「i型半導体膜」と呼ぶ。）、およびn型の導電性を示す半導体膜（以下、「n型半導体膜」と呼ぶ。）でなる3層の積層膜で構成する。ここでは、光電変換層370として、PECVD装置を用いて非晶質シリコン膜を形成する。なお、光電変換層370を構成する半導体膜は、微結晶シリコン膜でもよいし、単結晶シリコン膜でもよい。

【0108】

まず、酸化窒化シリコン膜344上に導電膜361-364を覆って、PECVD装置により厚さ60nmのp型非晶質シリコン膜371、厚さ400nmのi型非晶質シリコン膜372、および厚さ80nmのn型非晶質シリコン膜373を連続して形成する。p型非晶質シリコン膜371のソースガスにSiH₄、H₂およびB₂H₆を用いて、ボロンを添加することで、非晶質シリコン膜371にp型の導電性を付与している。i型非晶質シリコン膜372のソースガスにはSiH₄およびH₂を用い、ドナーおよびアクセプタとなる不純物元素を意図的に添加しないことで、非晶質シリコン膜372にi型の導電性を付与している。n型非晶質シリコン膜373のソースガスにSiH₄、H₂およびPH₃を用いて、リンを添加することで、非晶質シリコン膜373にn型の導電性を付与している。次いで、レジストのマスクを用いて、非晶質シリコン膜371-373でなる積層膜をエッチングして、光電変換層370を形成する（図11、図16A参照）。

【0109】

なお、1枚のガラス基板310上には、複数の集積回路（具体的には、図9の回路図で表される回路）が同時に作製される。この集積回路が完成した後は、光検出装置のサイズに合わせてガラス基板310を切断し、1つずつの集積回路に分割する。ここでは、分割した後の集積回路の側面を良好にパッシベーションするため、図16Bに示すように、集積回路の周囲（点線346で示す部分）の酸化窒化シリコン膜344を除去する。この工程は、エッチング処理で行うことができる。

【0110】

次に、窒化酸化シリコン膜343、酸化窒化シリコン膜344、導電膜361-364および光電変換層370を覆って、層間絶縁膜を形成する。ここでは、図16Cに示すように、厚さ100nmの窒化酸化シリコン膜375および厚さ800nmの酸化シリコン膜376でなる2層の絶縁膜を形成する。

【0111】

窒化酸化シリコン膜375は、PECVD装置でソースガスにSiH₄、N₂O、NH₃およびH₂を用いて形成する。窒化酸化シリコン膜354はパッシベーション膜として機能する。窒化酸化シリコン膜354の代わりに窒化シリコン膜を形成してもよい。窒化シリコン膜はPECVD装置でソースガスにSiH₄、NH₃およびH₂を用いて形成することができる。また、酸化シリコン膜376は、ソースガスに、O₂、およびテトラエトキシシラン（略称TEOS、化学式Si(OC₂H₅)₄）を用いて、PECVD装置で形成する。酸化シリコン膜376の代わりに、PECVD装置で酸化窒化シリコン膜を

10

20

30

40

50

形成してもよい。

【0112】

次に、レジストのマスクを用いて、窒化酸化シリコン膜375および酸化シリコン膜376でなる積層膜をエッチングして、コンタクトホールとなる開口を形成する。開口が形成される部分は、導電膜361の端部361Aと導電膜381の端部381Bとの接続部、光電変換層370（n型非晶質シリコン膜373）と導電膜381の端部381Aとの接続部、および導電膜362の端部362Aと導電膜382の端部382Bとの接続部である。

【0113】

次に、酸化シリコン膜376上に、導電膜381、382を構成する導電膜を形成する。ここでは、スパッタ法で厚さ200nmのチタン膜を形成する。このチタン膜上にレジストのマスクを形成し、このマスクを用いてチタン膜をエッチングして、導電膜381、382を形成する（図11、図17A参照）。以上の工程により、集積回路が完成する。

【0114】

次に、図17Bに示すように、窒化酸化シリコン膜311を残して、集積回路の周囲（点線377で示す部分）から、残りの絶縁膜（312、341、342、343、375、376）を除去する。この工程は、エッチング処理で行うことができる。このように、集積回路の周囲から絶縁膜を除去するのは、図16Bの工程で、酸化窒化シリコン膜344を除去したのと同様に、分割した後の集積回路の側面を良好にパッシベーションするためである。

【0115】

次に、図18Aに示すように、厚さ100nmの窒化酸化シリコン膜384を形成する。窒化酸化シリコン膜384は、PECVD装置でソースガスに SiH_4 、 N_2O 、 NH_3 および H_2 を用いて形成する。窒化酸化シリコン膜384はパッシベーション膜として機能する。窒化酸化シリコン膜384によって、3層目の導電膜381、382、全ての絶縁膜（311、341-343、点線377で示す部分）の露出している面が覆われる。したがって、集積回路は、ガラス基板310側はバリア層である窒化酸化シリコン膜311でパッシベーションされ、かつ、VDD端子102、VSS端子103が形成される側は窒化酸化シリコン膜384でパッシベーションされている。このような構造により、集積回路に水分または有機物等の不純物が侵入することを防ぐことができる。

【0116】

次に、図18Bに示すように、封止膜385を形成する。封止膜385により、第1配線111、第2配線112と共に集積回路の上面および側面が封止される。封止膜385の厚さは1μm以上が好ましく、1-30μm程度とする。このように厚く形成するため、封止膜385は樹脂膜で形成することが好ましい。ここでは、印刷法により、感光性のエポキシ-フェノール系樹脂膜を形成することで、VDD端子102、およびVSS端子103との接続部に開口を有する封止膜385を形成する。

【0117】

図18Bに示すように、第1配線111（導電膜381）および第2配線112（導電膜382）は、窒化酸化シリコン膜384および封止膜385を介して隣接するため、第1配線111および第2配線112の間に容量を付加することができる。

【0118】

次に、レジストのマスクを用いて窒化酸化シリコン膜384をエッチングし、導電膜381の端部381AとVDD端子102との接続部、および導電膜382の端部382AとVSS端子103との接続部を除去する（図19参照）。

【0119】

次に、VDD端子102を構成する導電膜391、およびVSS端子103を構成する導電膜392を形成する。ここでは、導電膜391、392の形成にはスクリーン印刷法などの印刷法を用いる。導電性ペーストを所定の位置に印刷し、焼成することで導電膜391、392を形成する。本実施形態では、ニッケル粒子を含む導電性ペーストを用いて

10

20

30

40

50

、導電膜 391、392 をそれぞれ、厚さ 15 μm 程度に形成する。

【0120】

導電性ペーストは、樹脂でなるバインダーに金属粒子、または金属の粉体が分散している材料である。このような導電性ペーストを固化することで、導電性樹脂膜が形成される。よって、導電膜 391、392 は導電性樹脂膜で構成されているため、ハンダとの密着性に乏しい。そこで、VDD 端子 102 および VSS 端子 103 のハンダとの密着性を高めるため、導電膜 391、392 の上面にそれぞれ、メタルマスクを用いたスパッタ法で、所定の形状の導電膜を形成する。ここでは、図 11 に示すように、導電膜 391、392 上に、それぞれ、3 層構造の導電膜を形成する。1 層目の導電膜は、厚さ 150 nm のチタン膜 393、394 であり、2 層目の導電膜は厚さ 750 nm のニッケル膜 395、396 であり、3 層目は厚さ 50 nm の Au 膜 397、398 である。以上の工程で、4 層構造の VDD 端子 102、および VSS 端子 103 が完成する。

【0121】

次に、集積回路の周辺（図 17B の点線 377 で示す部分）で、ガラス基板 310 を切断し、1 つずつの光検出装置に分割する。ガラス基板 310 の切断は、ダイシング法、レーザカット法などを用いることができる。ガラス基板 310 を分断する前に、ガラス基板 310 の裏面を研磨または研削して、ガラス基板 310 を薄くすることもできる。この工程は、スパッタ法で導電膜（393 - 398）を形成する前に行うことが好ましい。ガラス基板 310 を薄くしておくことで、ガラス基板 310 を切断するために用いる切削工具の消耗を低減することができる。また、ガラス基板 310 を薄くすることで、光検出装置を薄くすることができる。例えば、0.5 mm 程度の厚さのガラス基板 310 を 0.25 mm 程度に薄くすることができる。ガラス基板 310 を薄くした場合、ガラス基板 310 の露出している部分（裏面および側面）を樹脂膜で覆い、ガラス基板 310 を保護することが好ましい。

【0122】

図 20 に、本実施形態の光検出装置の外観図を示す。図 20 に示すように、本実施形態の光検出装置は、外部の回路との接続部は VDD 端子 102、および VSS 端子 103 のみである。よって、ESD が発生した場合、VDD 端子 102 および VSS 端子 103 から高電圧が集積回路に印加されることになる。図 9 の回路図に示すように、増幅回路 305 の各トランジスタ 308 は、ドレインに高電源電位 VDD が入力されるため、特に高電圧に起因する破壊が懸念される。本実施形態では、第 1 配線 111 を介して、VDD 端子 102 と増幅回路 305 および光電変換素子 304 とを電氣的に接続し、かつ第 2 配線 112 を介して、VSS 端子 103 と増幅回路 305 とを電氣的に接続しているため、VDD 端子 102、VSS 端子 103 に過剰な電圧が印加された場合、第 1 配線 111 および第 2 配線 112 によって形成される付加抵抗および付加容量において、その電圧のエネルギーが消費されるため、光電変換素子 304 および増幅回路 305 が破壊される確率を抑えることができる。

【0123】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。例えば、実施形態 2 と組み合わせて、第 1 配線 111 および第 2 配線 112 と絶縁膜を挟んで重なり、かつ電氣的に浮遊状態の単数または複数の半導体膜を形成してもよい。この半導体膜は、半導体膜 340 と同時に作製することができる。つまり、図 14B に示す結晶性シリコン膜 314 をエッチングして半導体膜 340 を形成すると共に、第 1 配線 111 および第 2 配線 112 が形成される領域に単数または複数の半導体膜を形成すればよい。

【0124】

（実施形態 7）

実施形態 6 では、集積回路の作製時に使用したガラス基板 310 を、光検出装置の基板としてそのまま用いている。集積回路の作製が完了した後、ガラス基板 310 から集積回路を分離して、他の基板上に集積回路を固定することができる。本実施形態では、このような構造の半導体装置について説明する。

【 0 1 2 5 】

例えば、ガラス基板 3 1 0 と集積回路の間に剥離層（例えば、シリコンでなる膜）を形成し、この剥離層をエッチングして除去することで、ガラス基板 3 1 0 から集積回路を分離することができる。本実施形態では、剥離層に物理的な力を加えることで、剥離層で剥離を生じさせることで、ガラス基板 3 1 0 から集積回路を分離する方法を説明する。

【 0 1 2 6 】

まず、図 2 1 (A) に示すように、ガラス基板 3 1 0 上に、P E C V D 法で、厚さ 1 0 0 n m の酸化窒化シリコン膜 4 0 1 を形成し、酸化窒化シリコン膜 4 0 1 上に、厚さ 3 0 n m のタングステン膜 4 0 2 をスパッタ法で形成する。タングステン膜 4 0 2 は剥離層として機能させる膜である。力を加えることで、集積回路の下地絶縁膜（3 1 1、3 1 2）とガラス基板 3 1 0 との間で剥離を容易に生じさせるために形成される。剥離層は、タングステン膜の他、モリブデン、チタン、タンタル、ニオブ、ニッケル、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、およびイリジウム等からなる金属膜で形成することができる。また、これらの金属元素を主成分とする合金膜で形成することができる。剥離膜の厚さは 2 0 n m 以上 1 0 0 n m 以下にすればよい。

10

【 0 1 2 7 】

酸化窒化シリコン膜 4 0 1 は、剥離層とガラス基板 3 1 0 の密着性を向上させるために形成される。酸化窒化シリコン膜の他、スパッタ法または P E C V D 法により、酸化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、金属酸化物膜などを形成することができる。

20

【 0 1 2 8 】

次に、他の部分よりも、下地絶縁膜とタングステン膜 4 0 2 の間で剥離が優先的に生じようようにするため、タングステン膜 4 0 2 の表面を酸化させる。タングステン膜 4 0 2 を酸化させる方法には、以下の方法がある。熱酸化処理、酸素または N_2O プラズマによる表面処理、オゾン水等の酸化力の強い溶液による表面処理、タングステン膜 4 0 2 上にスパッタ法で酸化膜を形成する方法などがある。本実施形態では、スパッタ法で厚さ 2 0 0 n m の酸化シリコン膜を形成する方法を採用する。また、タングステン膜 4 0 2 の表面を酸化する代わりに、プラズマ処理や熱処理によって窒化するだけでも、下地絶縁膜とタングステン膜 4 0 2 の間で剥離を優先的に生じさせることができる。なお、剥離層としてタングステン膜以外の膜を形成した場合も、タングステン膜 4 0 2 と同様に、酸化処理または窒化処理を行えばよい。

30

【 0 1 2 9 】

次に、酸化シリコン膜 4 0 3 上に、図 1 4 A と同様に、下地絶縁膜となる窒化酸化シリコン膜 3 1 1 および酸化窒化シリコン膜 3 1 2、半導体膜 3 4 0 を構成する非晶質シリコン膜 3 1 3 を形成する（図 2 1 B）。

【 0 1 3 0 】

以降の工程を、実施形態 6 の作製方法と同様に行い、集積回路および V D D 端子 1 0 2 および V S S 端子 1 0 3 を完成させる。図 2 1 C において、「4 1 0」の参照符号を付した部分は、酸化窒化シリコン膜 3 1 2 上に形成された集積回路、ならびに集積回路に電氣的に接続された V D D 端子 1 0 2 および V S S 端子 1 0 3 を示している。以下、この部分を集積回路部 4 1 0 と呼ぶことにする。

40

【 0 1 3 1 】

次いで、図 2 1 C に示すように、集積回路部 4 1 0 の上部に支持基板 4 1 1 を固定する。支持基板 4 1 1 には、ガラス基板、石英基板、金属基板、セラミックス基板、プラスチック基板などを用いることができる。支持基板 4 1 1 は、集積回路部 4 1 0 を別の基板に固定した後に除去される。そのため、集積回路部 4 1 0 から容易に分離できるように、支持基板 4 1 1 を固定する。本実施形態では、両面粘着シート 4 1 3 を用いて、集積回路部 4 1 0 に支持基板 4 1 1 を固定している。両面粘着シート 4 1 3 としては、シートの両面が剥離型粘着材で覆われているシートを用いる。剥離型粘着材とは、熱や光などにより粘着力が弱まる粘着材である。ここでは、熱剥離型粘着材を用いた両面粘着シート 4 1 3 を

50

用いることにする。また、本実施形態では、支持基板 4 1 1 の固定を容易にするため、集積回路部 4 1 0 の上部に水溶性樹脂層 4 1 2 を形成して、集積回路部 4 1 0 の上面を平坦化している。

【 0 1 3 2 】

次に、図 2 2 A に示すように、タングステン膜 4 0 2 と酸化シリコン膜 4 0 3 の間で剥離を生じさせて、集積回路部 4 1 0 をガラス基板 3 1 0 から分離する。本実施形態では、物理的な力を加える方法によって、集積回路部 4 1 0 とガラス基板 3 1 0 を分離することができる。例えば、くさびなどの鋭利な先端を有する部材を用いた負荷、人の手、ノズルから吹き付けられるガスの風圧などにより、集積回路部 4 1 0 をガラス基板 3 1 0 から剥離することができる。

10

【 0 1 3 3 】

次に、図 2 2 B に示すように、ガラス基板 3 1 0 を分離することで露出された酸化シリコン膜 4 0 3 に、接着材 4 1 5 により、可撓性基板 4 1 6 を接着する。接着材 4 1 5 には、反応硬化型接着材、熱硬化型接着材、紫外線硬化型接着材等の光硬化型接着材、嫌気硬化型接着材などの各種硬化型接着材を用いることができる。本実施形態では、接着材 4 1 5 としてエポキシ樹脂を用いる。また、可撓性基板 4 1 6 としては、ポリイミド、ポリエチレンナフタレート、ポリエチレンテレフタレートなどなる樹脂フィルムを用いることができる。

【 0 1 3 4 】

次に、集積回路部 4 1 0 から支持基板 4 1 1 を除去する。加熱することで、両面粘着シート 4 1 3 の粘着力を低下させて、両面粘着シート 4 1 3 と共に、支持基板 4 1 1 を集積回路部 4 1 0 から除去する。次いで、純水で集積回路部 4 1 0 を洗浄することで、水溶性樹脂層 4 1 2 を溶解して、集積回路部 4 1 0 から除去する。

20

【 0 1 3 5 】

以上の工程を経ることで、図 2 3 に示すように、集積回路部 4 1 0 が可撓性基板 4 1 6 に固定される。なお、図 2 3 において、光検出装置の積層構造の図示の仕方は、図 1 1 と同じである。次に、実施形態 6 と同様に、可撓性基板 4 1 6 を切断し、光検出装置ごとに集積回路部 4 1 0 を分割することで、光検出装置が完成する。集積回路の製造に使用したガラス基板 3 1 0 を除去し、フィルムなどの可撓性基板 4 1 6 を集積回路の支持基板に用いることで、光検出装置の軽量化、薄型化が実現できる。

30

【 0 1 3 6 】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。また、本実施形態は、光検出装置に限定されるものではなく、各種の集積回路の作製方法に適用することができる。つまり、本実施形態により、撓めることができる様々な半導体装置を作製することができる。

【 0 1 3 7 】

(実施形態 8)

実施形態 6 では、非晶質半導体膜を結晶化して形成した結晶性半導体膜を用いて集積回路を作製した。ガラス基板に単結晶半導体膜を形成し、この単結晶半導体膜を用いて集積回路を作製することができる。本実施形態では、ガラス基板上に単結晶半導体膜を形成する方法を説明する。

40

【 0 1 3 8 】

図 2 4 A に示すように、ガラス基板 5 0 0 を用意する。ガラス基板 5 0 0 は、単結晶半導体基板から分割された単結晶半導体層を支持する支持基板である。ガラス基板 5 0 0 には、熱膨張係数が $2.5 \times 10^{-7} /$ 以上 $5.0 \times 10^{-7} /$ 以下 (好ましくは、 $3.0 \times 10^{-7} /$ 以上 $4.0 \times 10^{-7} /$ 以下) であり、歪み点が 580 以上 680 以下 (好ましくは、 600 以上 680 以下) である基板を用いることが好ましい。また、半導体装置の汚染を抑えるため、ガラス基板は無アルカリガラス基板が好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス基板、アルミノホウケイ酸ガラス基板、バリウムホウケイ酸ガラス基板などがある。

50

【0139】

また、ガラス基板500の代わりに、セラミック基板、石英基板やサファイア基板などの絶縁体でなる絶縁性基板、金属やステンレスなどの導電体でなる導電性基板、シリコンやガリウムヒ素など半導体でなる半導体基板などを用いることができる。

【0140】

図24Bに示すように、単結晶半導体基板501を用意する。単結晶半導体基板501から分離された半導体層をガラス基板500に貼り合わせることで、SOI基板が作製される。単結晶半導体基板501には、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコンなどの第14族元素でなる単結晶半導体基板を用いることができる。また、本実施形態では、ガラス基板500には、単結晶半導体基板501よりも大きいサイズの基板が用いられている。

10

【0141】

図24Cに示すように、単結晶半導体基板501上に絶縁膜502を形成する。絶縁膜502は単層構造、積層構造とすることができる。その厚さは5nm以上400nm以下とすることができる。絶縁膜502を構成する膜には、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ゲルマニウム、窒化ゲルマニウム、酸化窒化ゲルマニウム、窒化酸化ゲルマニウムなどのシリコンまたはゲルマニウムを組成に含む絶縁材料でなる膜を用いることができる。また、酸化アルミニウム、酸化タンタル、酸化ハフニウムなどの金属酸化物でなる絶縁膜、窒化アルミニウムなどの金属窒化物でなる絶縁膜、酸化窒化アルミニウムなどの金属の酸化窒化物でなる絶縁膜、窒化酸化アルミニウムなどの金属の窒化酸化物でなる絶縁膜を用いることもできる。絶縁膜502を構成する絶縁膜は、CVD法、スパッタ法、単結晶半導体基板501を酸化するまたは窒化するなどの方法により形成することができる。

20

【0142】

また、絶縁膜502には、不純物がガラス基板500から、単結晶半導体膜に拡散することを防止できるような膜を少なくとも1層、設けることが好ましい。このような膜には、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などがある。このような膜を含ませることで、絶縁膜502をバリア層として機能させることができる。

【0143】

30

例えば、絶縁膜502を単層構造のバリア層として形成する場合、厚さ5nm以上200nm以下の窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜で、絶縁膜502を形成することができる。

【0144】

絶縁膜502を、バリア層として機能する2層構造の膜とする場合は、上層は、バリア機能の高い絶縁膜で構成する。上層は、厚さ5nm乃至200nmの窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜で形成することができる。これらの膜は、不純物の拡散を防止するブロッキング効果が高いが、内部応力が高い。そのため、単結晶半導体基板501と接する下層の絶縁膜には、上層の絶縁膜の応力を緩和する効果のある膜を選択することが好ましい。このような絶縁膜には、酸化シリコン膜および酸化シリコン膜、および単結晶半導体基板501を熱酸化して形成した熱酸化膜などがある。下層の絶縁膜の厚さは5nm以上300nm以下とすることができる。

40

【0145】

本実施形態では、絶縁膜502を絶縁膜502aと絶縁膜502bでなる2層構造とする。絶縁膜502aとして、ソースガスにSiH₄およびN₂Oを用いてPECVD法により厚さ100nmの酸化窒化シリコン膜を形成し、絶縁膜502bとして、ソースガスにSiH₄、N₂OおよびNH₃を用いてPECVD法により厚さ50nmの窒化酸化シリコン膜を形成する。

【0146】

50

次に、図 2 4 D に示すように、絶縁膜 5 0 2 を介して、電界で加速されたイオンとなるイオンビーム 5 0 5 を単結晶半導体基板 5 0 1 に照射して、単結晶半導体基板 5 0 1 の表面から所定の深さの領域に、脆化層 5 0 3 を形成する。このイオン照射工程は、加速されたイオン種となるイオンビーム 5 0 5 を単結晶半導体基板 5 0 1 に照射することで、イオン種を構成する元素を単結晶半導体基板 5 0 1 に添加する工程である。イオンビーム 5 0 5 を単結晶半導体基板 5 0 1 に照射すると、加速されたイオン種の衝撃により、単結晶半導体基板 5 0 1 の所定の深さに結晶構造が脆くなっている層が形成され、この層が脆化層 5 0 3 である。脆化層 5 0 3 が形成される領域の深さは、イオンビーム 5 0 5 の加速エネルギーとイオンビーム 5 0 5 の侵入角度によって調節することができる。加速エネルギーは加速電圧、ドーズ量などにより調節できる。イオンの平均侵入深さとほぼ同じ深さの領域に脆化層 5 0 3 が形成される。つまり、イオンが侵入する深さで、単結晶半導体基板 5 0 1 から分離される半導体層の厚さが決定される。脆化層 5 0 3 が形成される深さは 5 0 nm 以上 5 0 0 nm 以下であり、5 0 nm 以上 2 0 0 nm 以下が好ましい。

【 0 1 4 7 】

イオンビーム 5 0 5 を単結晶半導体基板 5 0 1 に照射するには、質量分離を伴うイオン注入法だけでなく、素子量分離を伴わないイオンドーピング法で行うことができる。

【 0 1 4 8 】

ソースガスに水素 (H_2) を用いる場合、水素ガスを励起して H^+ 、 H_2^+ 、 H_3^+ を生成することができる。ソースガスから生成されるイオン種の割合は、プラズマの励起方法、プラズマを発生させる雰囲気圧力、ソースガスの供給量などを調節することで、変化させることができる。イオンドーピング法で脆化層 5 0 3 の形成を行う場合、イオンビーム 5 0 5 に、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ が 7 0 % 以上含まれるようにすることが好ましく、 H_3^+ の割合は 8 0 % 以上がより好ましい。

【 0 1 4 9 】

脆化層 5 0 3 を浅い領域に形成するためには、イオンの加速電圧を低くするため、イオンの照射工程のタクトタイムが低下してしまう。そこで、水素ガスを励起することで生成されたプラズマ中の H_3^+ イオンの割合を高くすることで、原子状水素 (H) を効率よく、単結晶半導体基板 5 0 1 に添加することができる。それは、 H_3^+ イオンは H^+ イオンの 3 倍の質量を持つことから、同じ深さに水素原子を添加する場合、 H_3^+ イオンの加速電圧は、 H^+ イオンの加速電圧の 3 倍にすることが可能であるからである。イオンの加速電圧を高くすることで、イオンの照射工程のタクトタイムを短縮することが可能となり、生産性やスループットの向上を図ることができる。よって、イオンビーム 5 0 5 に含まれる H_3^+ の割合を高くすることにより、水素の平均侵入深さのばらつきが小さくなるので、単結晶半導体基板 5 0 1 において、水素の深さ方向の濃度プロファイルはより急峻になり、そのプロファイルのピーク位置を浅くすることができる。

【 0 1 5 0 】

水素ガスを用いて、イオンドーピング法でイオン照射を行う場合、加速電圧 1 0 k V 以上 2 0 0 k V 以下、ドーズ量 $1 \times 10^{16} \text{ ions/cm}^2$ 以上 $6 \times 10^{16} \text{ ions/cm}^2$ 以下とすることができる。この条件で水素イオンを照射することで、イオンビーム 5 0 5 に含まれるイオン種、およびその割合にもよるが、脆化層 5 0 3 を単結晶半導体基板 5 0 1 の深さ 5 0 nm 以上 5 0 0 nm 以下の領域に形成することができる。

【 0 1 5 1 】

例えば、単結晶半導体基板 5 0 1 が単結晶シリコン基板であり、絶縁膜 5 0 2 a が厚さ 5 0 nm の酸化窒化シリコン膜であり、絶縁膜 5 0 2 b が厚さ 5 0 nm の窒化酸化シリコン膜の場合、ソースガスが水素であり、加速電圧 4 0 k V、ドーズ量 $2 \times 10^{16} \text{ ions/cm}^2$ の条件では、単結晶半導体基板 5 0 1 から厚さ 1 2 0 nm 程度の半導体層を分離することができる。また、絶縁膜 5 0 2 a を厚さ 1 0 0 nm の酸化窒化シリコン膜とし、他は同じ条件で水素イオンを照射することで、単結晶半導体基板 5 0 1 から厚さ 7 0 nm 程度の半導体層を分離することができる。

【 0 1 5 2 】

10

20

30

40

50

イオン照射工程のソースガスにヘリウム (He) を用いることもできる。ヘリウムを励起して生成されるイオン種が He^+ が殆どであるため、質量分離を伴わないイオンドーピング法でも、 He^+ を主なイオンとして単結晶半導体基板 501 に照射することができる。よって、イオンドーピング法で、効率良く、微小な空孔を脆化層 503 に形成することができる。ヘリウムを用いて、イオンドーピング法でイオン照射を行う場合、加速電圧 10 kV 以上 200 kV 以下、ドーズ量 $1 \times 10^{16} \text{ ions/cm}^2$ 以上 $6 \times 10^{16} \text{ ions/cm}^2$ 以下とすることができる。

【0153】

ソースガスに塩素ガス (Cl_2 ガス)、フッ素ガス (F_2 ガス) などのハロゲンガスを用いることもできる。

【0154】

脆化層 503 を形成した後、絶縁膜 502 の上面に、図 24E に示すように、絶縁膜 504 を形成する。絶縁膜 504 を形成する工程では、単結晶半導体基板 501 の加熱温度は、脆化層 503 に添加した元素または分子が析出しない温度とし、その加熱温度は 350 以下が好ましい。言い換えると、この加熱温度は脆化層 503 からガスが抜けぬ温度である。なお、絶縁膜 504 は、イオン照射工程を行う前に形成することもできる。この場合は、絶縁膜 504 を形成するときのプロセス温度は、350 以上にすることができる。

【0155】

絶縁膜 504 は、平滑で親水性の接合面を単結晶半導体基板 501 の表面に形成するための膜である。そのため、絶縁膜 504 の面粗さは、平均粗さ R_a が 0.8 nm 未満、二乗平均平方根粗さ R_{ms} が 0.9 nm 未満が好ましい。また、絶縁膜 504 の厚さは 10 nm 以上 200 nm 以下とすることができる。好ましい厚さは 5 nm 以上 500 nm 以下であり、より好ましくは 10 nm 以上 200 nm 以下である。絶縁膜 504 として、酸化シリコン膜、酸化窒化シリコン膜を形成することができる。ここでは、ソースガスに TEOS および O_2 を用いて、PECVD 法で厚さ 50 nm の酸化シリコン膜を形成する。

【0156】

なお、絶縁膜 502 または絶縁膜 504 の一方を形成しなくてもよい。また、ガラス基板 500 に単層構造または積層構造の絶縁膜を形成してもよい。この絶縁膜は絶縁膜 502 と同様に形成することができ、積層構造とする場合は、バリア層となる絶縁膜は、ガラス基板 500 に接して形成することが好ましい。また、ガラス基板 500 に絶縁膜を形成した場合、絶縁膜 502、および絶縁膜 504 は形成しなくてもよい。

【0157】

図 24F は接合工程を説明する断面図であり、ガラス基板 500 と単結晶半導体基板 501 とを貼り合わせた状態を示している。接合工程を行うには、まず、ガラス基板 500、ならびに、絶縁膜 504、502 が形成された単結晶半導体基板 501 を超音波洗浄する。超音波洗浄はメガヘルツ超音波洗浄 (メガソニック洗浄) が好ましい。メガヘルツ超音波洗浄の後、ガラス基板 500 および単結晶半導体基板 501 の双方、または一方をオゾン水で洗浄することもできる。オゾン水で洗浄することで、有機物の除去と、表面の親水性を向上させることができる。

【0158】

洗浄工程の後、絶縁膜 504 を介して、ガラス基板 500 と単結晶半導体基板 501 を貼り合わせる。ガラス基板 500 の表面と絶縁膜 504 の表面とを密着させると、ガラス基板 500 と絶縁膜 504 との界面に化学結合 (水素結合など) が形成され、ガラス基板 500 と絶縁膜 504 が接合する。接合工程は、加熱処理を伴わず、常温で行うことができるため、ガラス基板 500 のような耐熱性の低い基板を用いることが可能である。

【0159】

ガラス基板 500 と単結晶半導体基板 501 を密着させた後、ガラス基板 500 と絶縁膜 504 との界面での結合力を増加させるための加熱処理を行うことが好ましい。この処理温度は脆化層 503 に亀裂を発生させない温度とし、70 以上 300 以下とするこ

10

20

30

40

50

とができる。

【0160】

次いで、400 以上の加熱処理を行い、脆化層503において単結晶半導体基板501を分割し、単結晶半導体基板501から単結晶半導体膜506を分離する。図24Gは、単結晶半導体基板501から単結晶半導体膜506を分離する分離工程を説明する図である。図24Gに示すように、分離工程により、ガラス基板500上に単結晶半導体膜506が形成される。501Aを付した要素は、単結晶半導体膜506が分離された後の単結晶半導体基板501を示している。

【0161】

400 以上の加熱処理を行うことで、ガラス基板500と絶縁膜504との界面に形成されている水素結合を共有結合に変化させることができるため、ガラス基板500と絶縁膜504間の結合力が増加する。また、温度上昇によって、脆化層503に形成されている微小な孔には、イオン照射工程で添加した元素が析出し、内部の圧力が上昇する。圧力の上昇により、脆化層503の微小な孔に体積変化が起こり、脆化層503に亀裂が生じるので、脆化層503に沿って単結晶半導体基板501が分割される。絶縁膜504はガラス基板500に接合しているため、ガラス基板500上には単結晶半導体基板501から分離された単結晶半導体膜506が固定されることになる。単結晶半導体膜506を単結晶半導体基板501から分離するための加熱処理の温度は、ガラス基板500の歪み点を越えない温度とし、400 以上700 以下で行うことができる。

【0162】

図24Gに示す分離工程を完了することで、ガラス基板500に単結晶半導体膜506が貼り合わされたSOI基板510が作製される。SOI基板510は、ガラス基板500上に絶縁層膜504、絶縁膜502、単結晶半導体膜506の順に層が積層された多層構造を有し、SOI基板510は絶縁膜504と単結晶半導体膜506が接合されている基板となる。

【0163】

なお、単結晶半導体基板501から単結晶半導体膜506を分離するための加熱処理は、結合力を強化するための加熱処理と同じ装置で連続して行うことができる。また、2つの加熱処理を異なる装置で行うこともできる。例えば、同じ炉で行う場合は、まず、処理温度200 、処理時間2時間の加熱処理を行う。次いで、加熱温度を600 に上昇させ、600 、2時間の加熱処理を行う。そして、400 以下から室温程度の温度に冷却して、炉から、単結晶半導体基板501AおよびSOI基板510を取り出す。

【0164】

異なる装置で加熱処理を行う場合は、例えば、炉において、処理温度200 、処理時間2時間の加熱処理を行った後、貼り合わされたガラス基板500と単結晶半導体基板501を炉から搬出する。次いで、ランプアニール装置で処理温度600 以上700 以下、処理時間1分以上30分以下の加熱処理を行い、単結晶半導体基板501を脆化層503で分割させる。

【0165】

SOI基板510の単結晶半導体膜506は、脆化層503の形成、分離工程などによって、結晶欠陥が形成され、また、その表面は平坦性が損なわれている。そこで、結晶欠陥の低減、平坦化のために、単結晶半導体膜506にレーザ光を照射して、熔融させることで再結晶化させることが好ましい。あるいは、単結晶半導体膜506の表面の損傷を除去し、表面を平坦にするため、CMP (Chemical Mechanical Polishing) 装置により、単結晶半導体膜506の表面を研磨する工程を行うことが好ましい。

【0166】

本実施形態のSOI基板510を用いて、実施形態6に示すような各種の半導体装置を作製することができる。

【0167】

(実施形態 9)

実施形態 6 により得られた光検出装置を電子機器に取り付けることで、光検出装置の検出信号に基づいて、電気機器の動作を制御することができる。例えば、表示パネルを備えた電子機器に光検出装置を内蔵することで、表示パネルの輝度調節を光検出装置の検出信号をもとに行うことが可能になる。本実施形態では、図 2 5 A - 図 2 5 F を用いて、このような電子機器のいくつかの例を説明する。

【0168】

図 2 5 A、および図 2 5 B は、本実施形態の携帯電話の外観図である。図 2 5 A、および図 2 5 B の携帯電話は、それぞれ、本体 6 0 1、表示パネル 6 0 2、操作キー 6 0 3、音声出力部 6 0 4 および音声入力部 6 0 5 を有する。さらに、本体 6 0 1 には光検出装置 6 0 6 が設けられている。図 2 5 A および図 2 5 B の携帯電話は、光検出装置 6 0 6 が検出した電気信号をもとに表示パネル 6 0 2 の輝度を調節する機能を有する。さらに、図 2 5 B の携帯電話は、表示パネル 6 0 2 のバックライトの輝度を検出する光検出装置 6 0 7 が本体 6 0 1 に内蔵されている。

10

【0169】

図 2 5 C は、本実施形態のコンピュータの外観図である。コンピュータは、本体 6 1 1、表示パネル 6 1 2、キーボード 6 1 3、外部接続ポート 6 1 4、ポインティングデバイス 6 1 5 などをも有する。さらに、表示パネル 6 1 2 のバックライトの輝度を検出する光検出装置（図示せず）が本体 6 1 1 に内蔵されている。

20

【0170】

図 2 5 D は、本実施形態の表示装置の外観図である。テレビ受像器、コンピュータのモニタなどが表示装置に該当する。本表示装置は、筐体 6 2 1、支持台 6 2 2、表示パネル 6 2 3 などによって構成されている。筐体 6 2 1 には、表示パネル 6 2 3 のバックライトの輝度を検出する光検出装置（図示せず）が内蔵されている。

【0171】

図 2 5 E は、本実施形態のデジタルカメラの前面から見た外観図であり、図 2 5 F は図 2 5 E のデジタルカメラを背面方向から見た外観図である。デジタルカメラは、リリースボタン 6 3 1、メインスイッチ 6 3 2、ファインダ窓 6 3 3、フラッシュライト 6 3 4、レンズ 6 3 5、鏡胴 6 3 6、筐体 6 3 7、ファインダ接眼窓 6 3 8、表示パネル 6 3 9、および操作ボタン 6 4 0 などをも有する。

30

【0172】

メインスイッチ 6 3 2 は、押下又は回転によりデジタルカメラの電源のオン / オフを切り替える。操作ボタン 6 4 0 は、デジタルカメラの後面に設けられた各種機能ボタンであり、セットアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、選択ボタン等により構成されている。リリースボタン 6 3 1 は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。フラッシュライト 6 3 4 はデジタルカメラの前面上部に配置されている。リリースボタン 6 3 1 が押下されてシャッターが開くのと連動して、被写体輝度が低いときなどに、フラッシュライト 6 3 4 は発光する。

【0173】

鏡胴 6 3 6 は、焦点を合わせるためにレンズ 6 3 5 の位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ 6 3 5 を手前に移動させる。また、携帯時は、レンズ 6 3 5 を沈銅させてコンパクトにする。なお、本実施形態においては、鏡胴 6 3 6 を繰り出すことにより被写体をズーム撮影することができる構造としているが、この構造に限定されるものではなく、筐体 6 3 7 内での撮影光学系の構成により鏡胴 6 3 6 を繰り出さずともズーム撮影が可能なデジタルカメラでもよい。

40

【0174】

光検出装置をデジタルカメラに組み込むことにより、光検出装置によって撮影環境の輝度を感知することができる。光検出装置で検出された電気信号をもとに、露出調整、シャッタースピード調節などを行うことができる。

50

【符号の説明】

【0175】

V D D	高電源電位	
V S S	低電源電位	
1 0	基板	
2 1	絶縁膜	
2 2	絶縁膜	
2 3	絶縁膜	
2 5	絶縁膜	
1 0 1	集積回路	10
1 0 2	第1端子 (V D D 端子)	
1 0 3	第2端子 (V S S 端子)	
1 0 5	接続部	
1 0 6	接続部	
1 0 7	内部配線	
1 0 8	内部配線	
1 1 1	第1配線	
1 1 1 a	接続部	
1 1 1 b	接続部	
1 1 1 c	接続部	20
1 1 2	第2配線	
1 1 2 a - 1 1 2 c	接続部	
1 3 1	抵抗素子	
1 3 2	抵抗素子	
1 3 3	容量素子	
2 0 1 - 2 0 4	導電膜	
2 5 0 - 2 5 5	半導体膜	
3 0 1	接続部	
3 0 2	接続部	
3 0 3	光	30
3 0 4	光電変換素子	
3 0 5	増幅回路	
3 0 7	トランジスタ	
3 0 8	トランジスタ	
3 4 0	半導体膜	
3 5 1	導電膜	
3 6 1	導電膜	
3 6 1 A	端部	
3 6 2	導電膜	
3 6 2 A	端部	40
3 6 3	導電膜	
3 6 4	導電膜	
3 7 0	光電変換層	
3 8 1	導電膜	
3 8 1 A	端部	
3 8 1 B	端部	
3 8 2	導電膜	
3 8 2 A	端部	
3 8 2 B	端部	

【図 1】

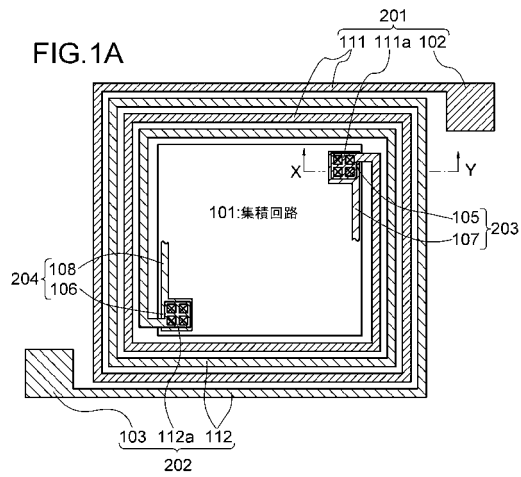
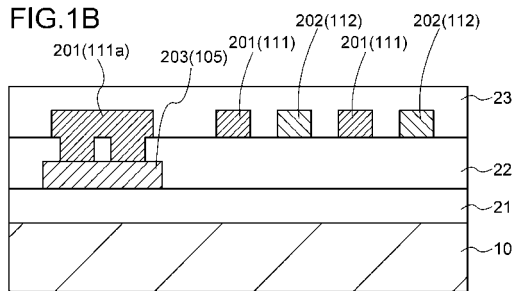
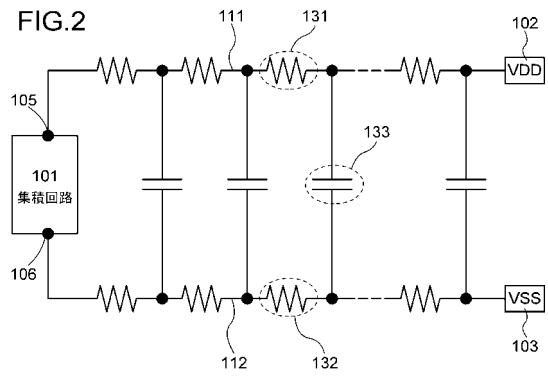


FIG.1B



【図 2】



【図 3】

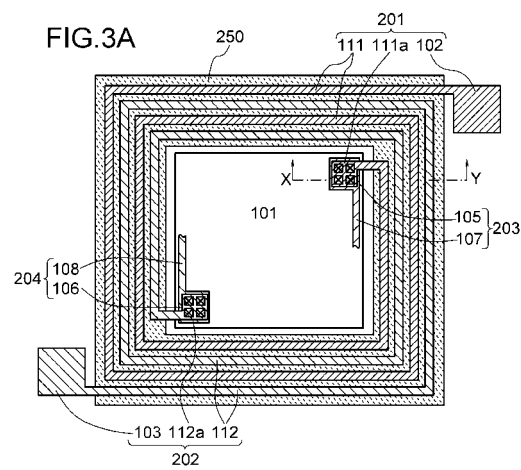
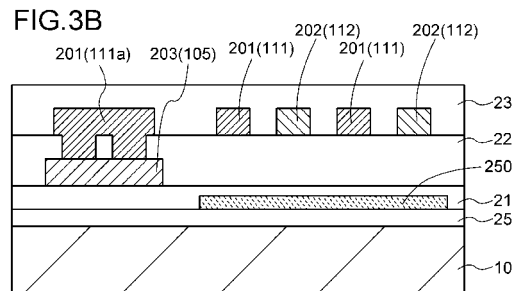
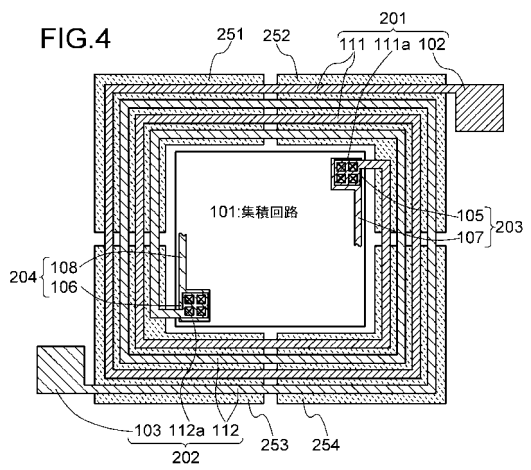


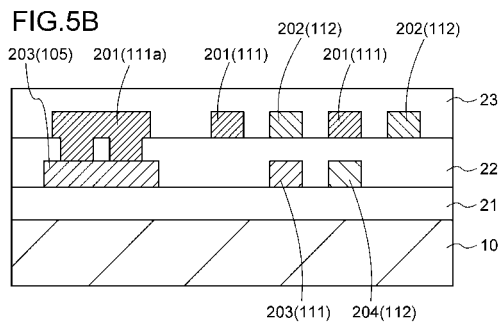
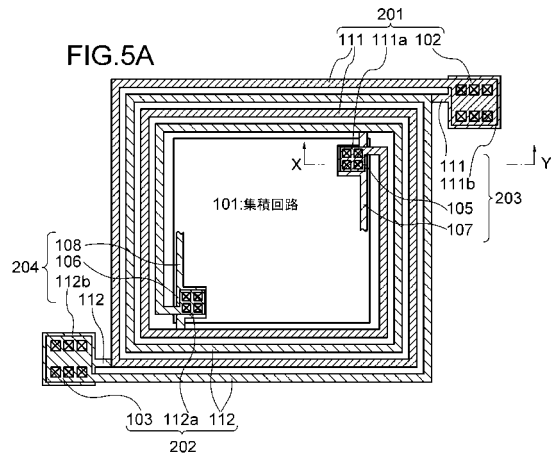
FIG.3B



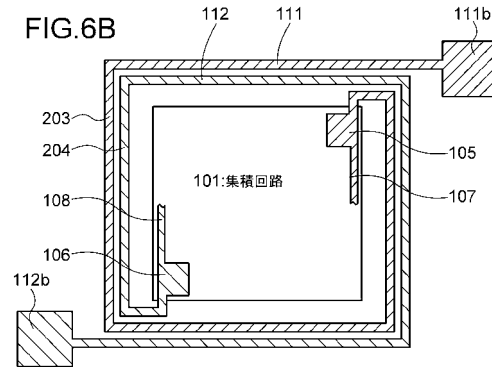
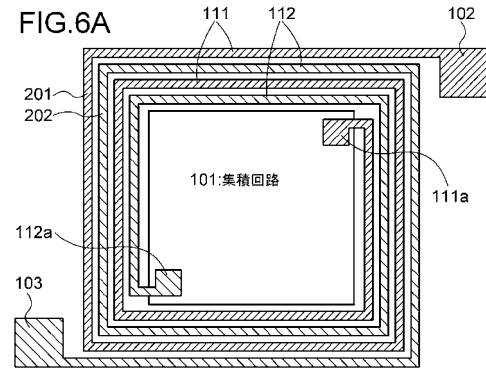
【図 4】



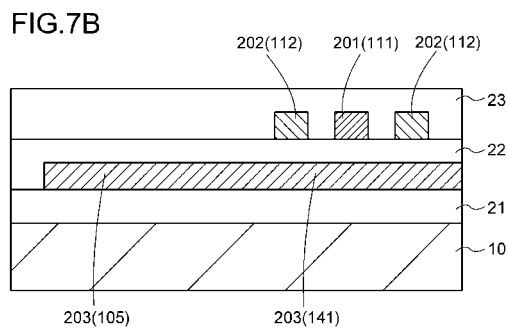
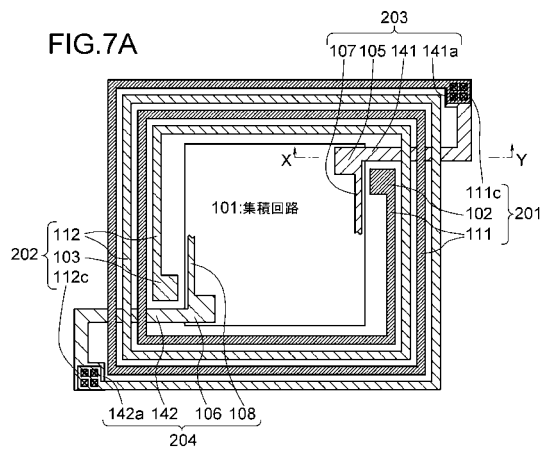
【図 5】



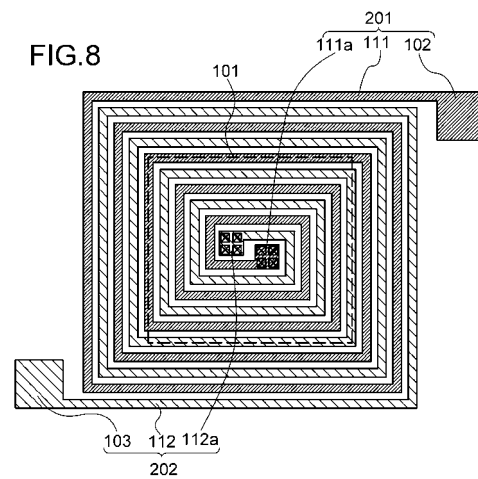
【図 6】



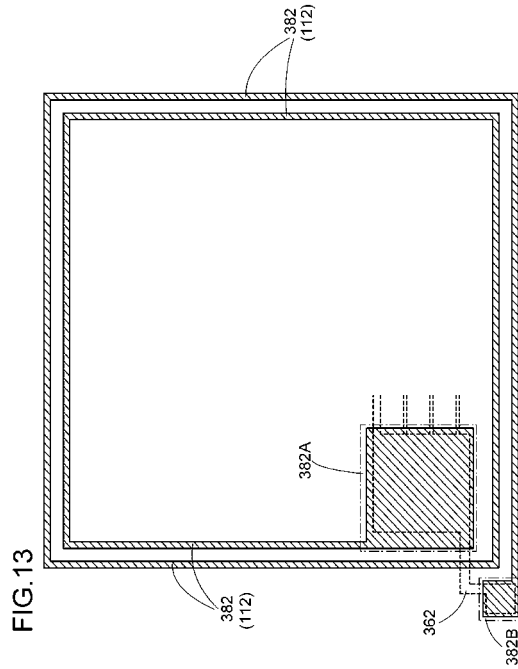
【図 7】



【図 8】



【図 13】



【図 14】

FIG. 14A

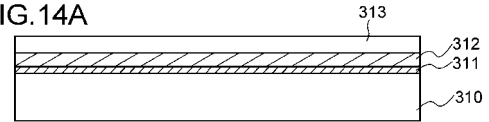


FIG. 14B

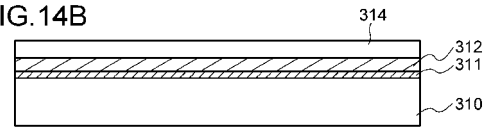


FIG. 14C

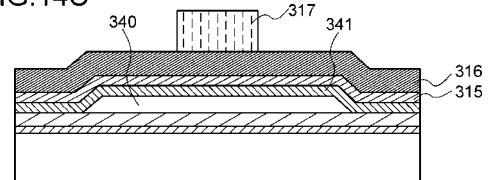
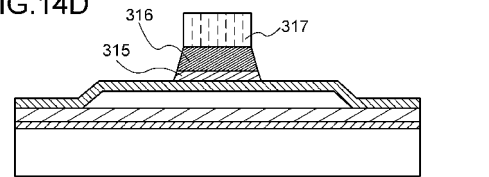


FIG. 14D



【図 15】

FIG. 15A

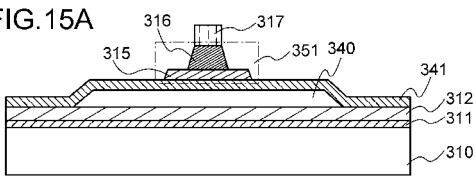


FIG. 15B

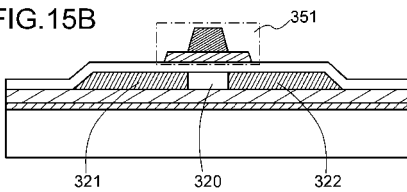


FIG. 15C

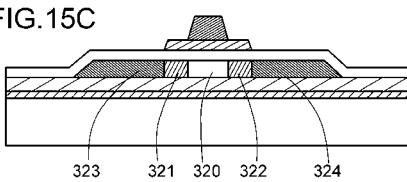
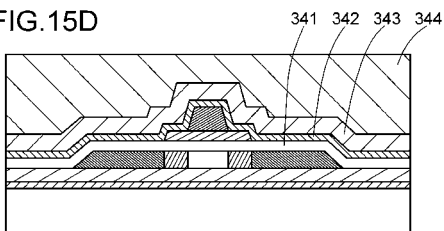
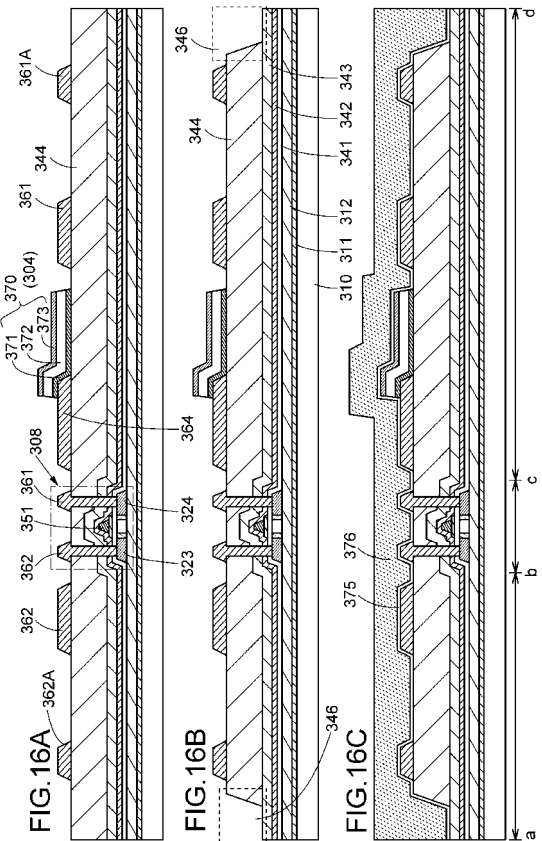


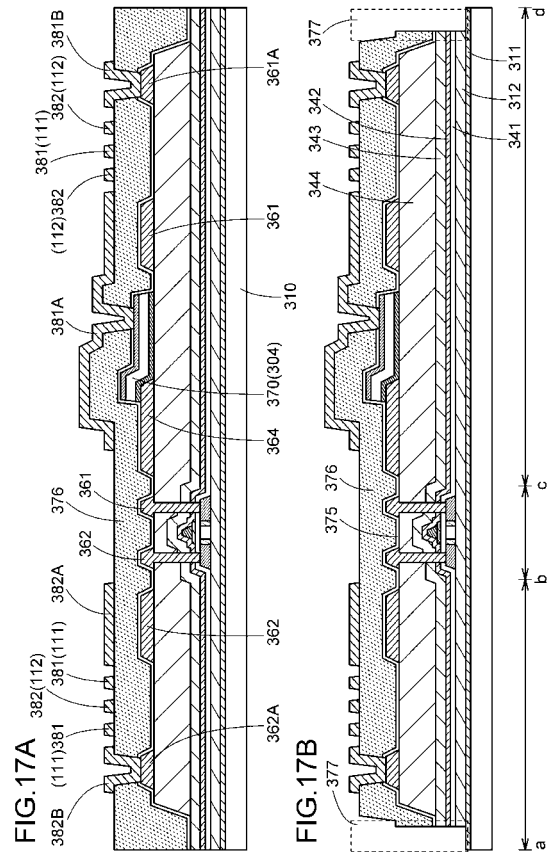
FIG. 15D



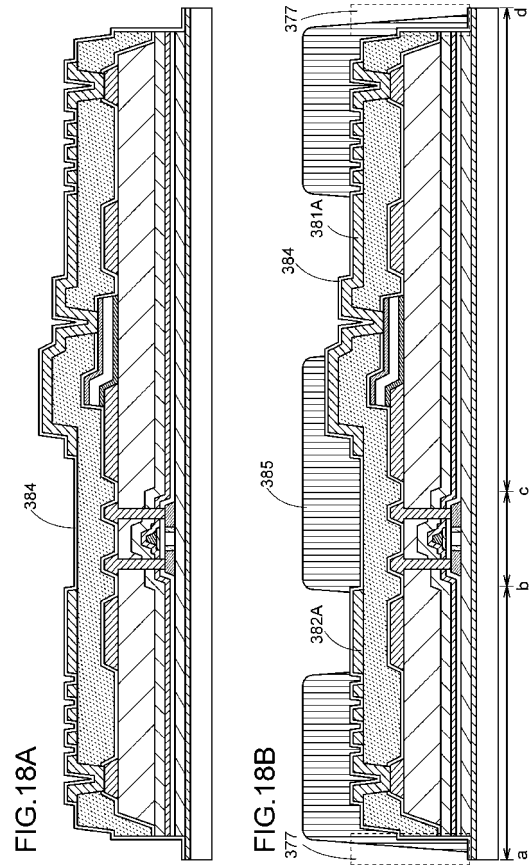
【図 16】



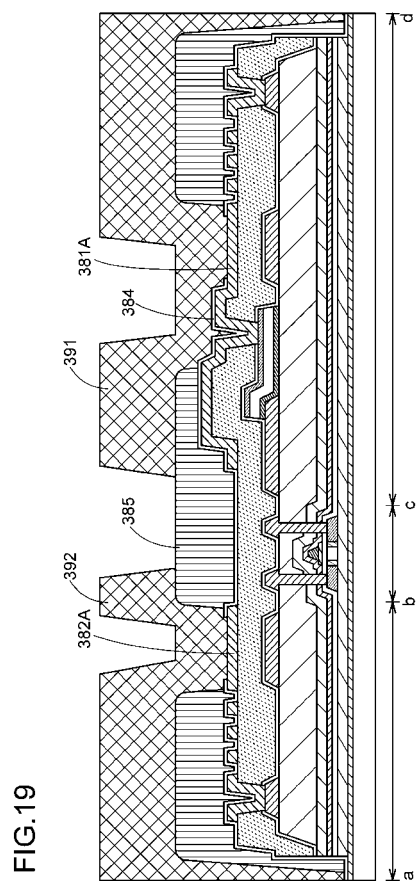
【 図 1 7 】



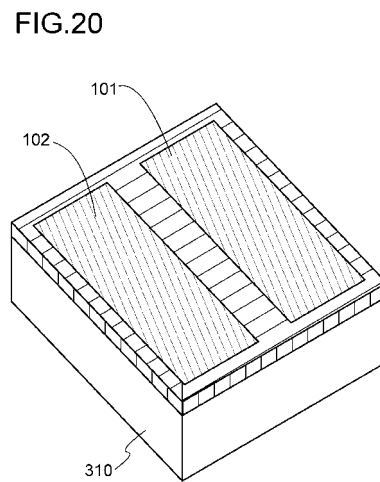
【圖 18】



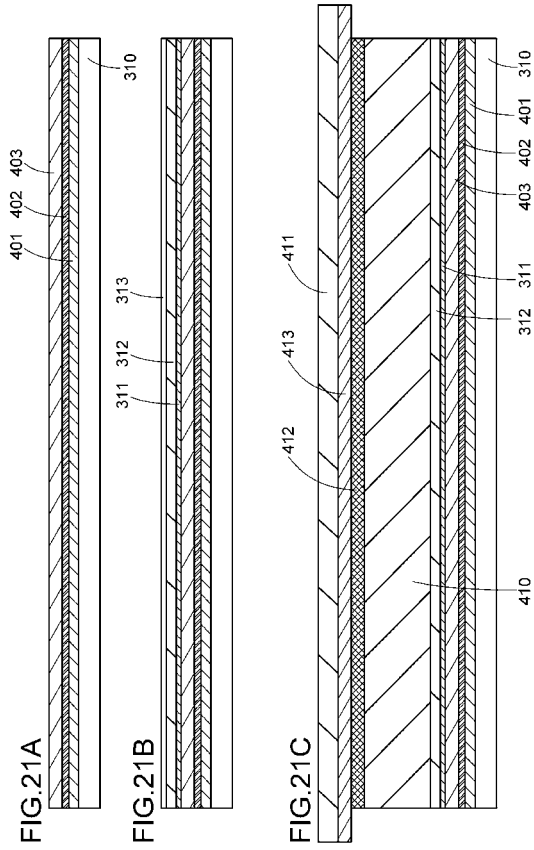
【 図 1 9 】



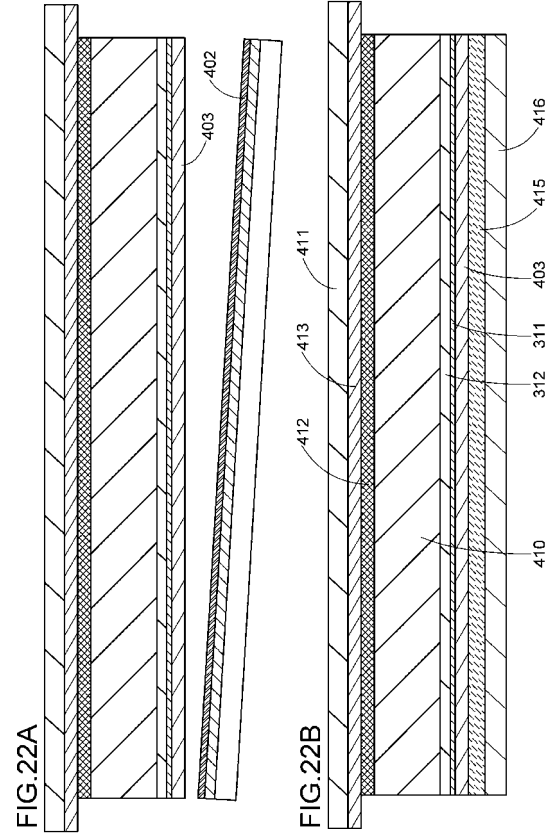
【 図 2 0 】



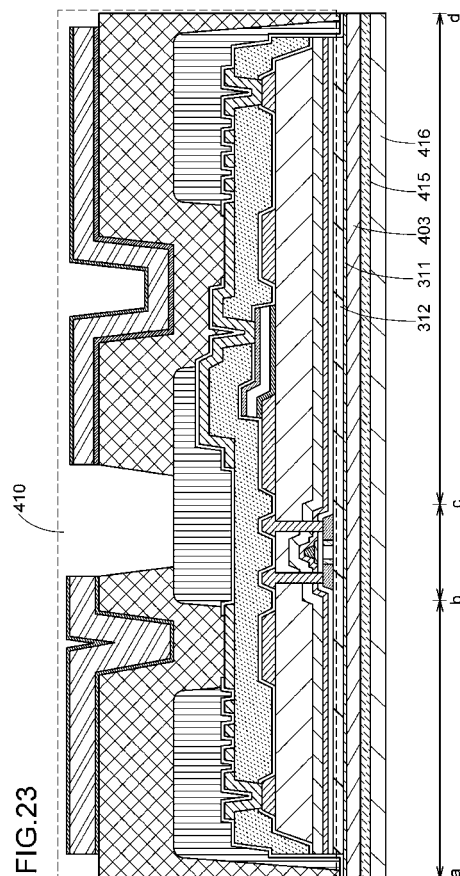
【図 2 1】



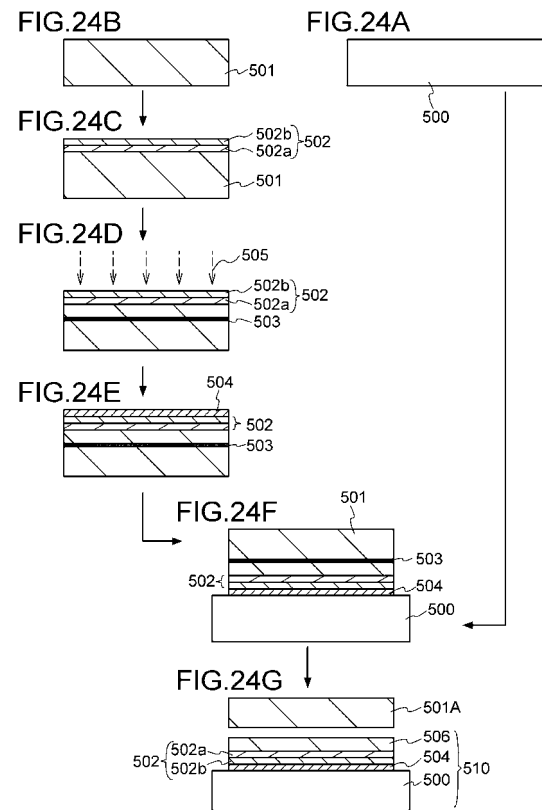
【図 2 2】



【図 2 3】



【図 2 4】



【図 25】

FIG.25A

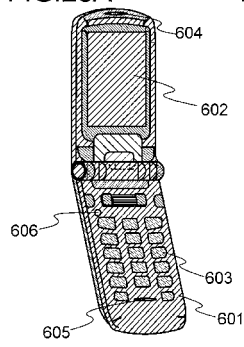


FIG.25B

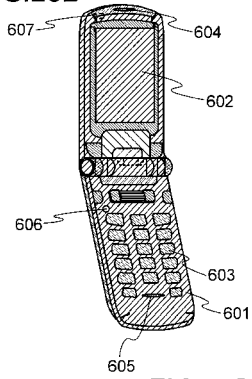


FIG.25C

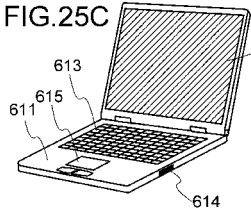


FIG.25D

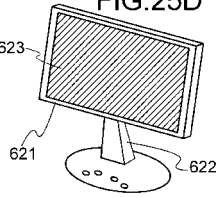


FIG.25E

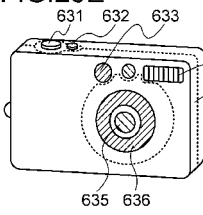
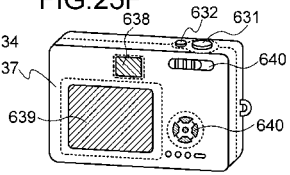


FIG.25F



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	27/06	(2006.01)	H 0 1 L	27/06	3 1 1 A
H 0 1 L	27/08	(2006.01)	H 0 1 L	27/08	3 3 1 E
H 0 1 L	27/146	(2006.01)	H 0 1 L	27/14	C
H 0 1 L	29/786	(2006.01)	H 0 1 L	29/78	6 1 3 Z
			H 0 1 L	29/78	6 2 3 A

審査官 小田 浩

- (56)参考文献 特開 2 0 0 0 - 2 5 2 4 2 8 (J P , A)
 特公平 0 5 - 0 1 1 6 6 7 (J P , B 2)
 特開平 0 6 - 0 8 5 3 0 8 (J P , A)
 特開 2 0 0 6 - 1 9 6 8 0 3 (J P , A)
 特開平 0 7 - 0 9 4 6 7 9 (J P , A)
 特開平 0 2 - 2 7 6 0 8 8 (J P , A)
 特開 2 0 0 6 - 3 2 4 6 3 4 (J P , A)
 特開平 0 5 - 0 2 8 7 5 9 (J P , A)
 特開 2 0 0 8 - 0 7 1 9 3 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 7 / 0 8
 H 0 1 L 2 7 / 1 4 6
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 8 6