



(12)发明专利

(10)授权公告号 CN 104241383 B

(45)授权公告日 2017.05.17

(21)申请号 201410476096.9

(56)对比文件

(22)申请日 2014.09.17

CN 203250745 U, 2013.10.23,

(65)同一申请的已公布的文献号

CN 101626033 A, 2010.01.13,

申请公布号 CN 104241383 A

US 2014/0030868 A1, 2014.01.30,

(43)申请公布日 2014.12.24

US 5973360 A, 1999.10.26,

(73)专利权人 中航(重庆)微电子有限公司

审查员 宋晶晶

地址 401331 重庆市沙坪坝区西永镇西永
路367号四楼

(72)发明人 赖海波

(74)专利代理机构 上海申新律师事务所 31272
代理人 吴俊

(51)Int.Cl.

H01L 29/78(2006.01)

权利要求书3页 说明书10页 附图8页

H01L 29/06(2006.01)

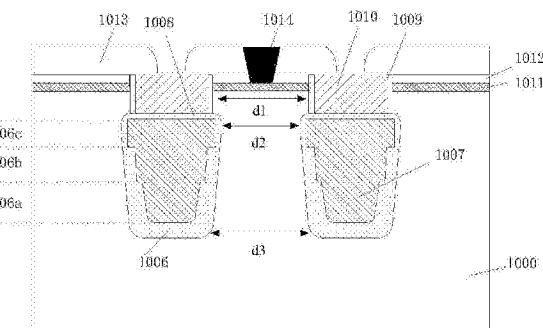
H01L 21/336(2006.01)

(54)发明名称

功率半导体器件及制造工艺

(57)摘要

本发明提供了一种沟槽型的功率半导体器件及制备方法,通过在沟槽侧壁制备出厚度自下往上厚度呈台阶状逐渐递减的RESURF氧化层,并扩大了栅氧化层之间的间距,进而在相同元胞pitch宽度和相同trench宽度的前提下,使得外延浓度提升一倍,并有效降低导通电阻和击穿时耗尽外延厚度。该结构遵从了合理的设计规则,仅用较为简单resurf结构即实现比导通电阻最优化。



1. 一种功率半导体器件的制造工艺,其特征在于,包括如下步骤:

步骤S1:提供一外延层,在所述外延层顶部形成若干间隔开的第一沟槽,对第一沟槽底部的外延层进行刻蚀,在每个第一沟槽正下方均形成一个与该第一沟槽对接的第二沟槽,且所述第二沟槽的宽度大于所述第一沟槽的宽度;

步骤S2:在所述第二沟槽中填充氧化层结构和多晶硅结构,所述氧化层结构覆盖在所述第二沟槽底部及侧壁,且第二沟槽侧壁上的氧化层结构厚度由下至上逐步递减,所述多晶硅结构的底部和侧壁均被所述氧化层结构所包覆且由下至上的宽度逐步增加;

步骤S3:在所述第一沟槽底部制备一聚间氧化物层并覆盖在所述多晶硅结构的顶部,制备一栅氧化层将所述第一沟槽暴露的侧壁表面进行覆盖,之后于所述第一沟槽中填充多晶硅作为栅电极。

2. 如权利要求1所述的制造工艺,其特征在于,在步骤S1中,形成所述第一沟槽和所述第二沟槽的步骤包括:

步骤S1a:提供一外延层,刻蚀所述外延层于所述外延层的顶部形成若干间隔开的第一沟槽;

步骤S1b:沉积一硬掩膜层覆盖在所述第一沟槽底部和侧壁以及所述外延层暴露的上表面,刻蚀所述硬掩膜层并保留位于第一沟槽侧壁处的硬掩膜层;

步骤S1c:对所述第一沟槽正下方的外延层进行刻蚀,以在每个第一沟槽正下方形成一个与该第一沟槽对接的第二沟槽。

3. 如权利要求2所述的制造工艺,其特征在于,采用各向同性刻蚀工艺对第一沟槽正下方的外延层进行刻蚀,形成宽度大于所述第一沟槽的第二沟槽。

4. 如权利要求2所述的制造工艺,其特征在于,步骤S3中,在形成所述聚间氧化物层之后且在制备所述栅氧化层之前,采用热磷酸剥离暴露在外的硬掩膜层。

5. 如权利要求1所述的制造工艺,其特征在于,形成所述氧化层结构和所述多晶硅结构的步骤包括:

步骤S2a:制备一氧化层覆盖在第二沟槽底部和侧壁,在第二沟槽底部制备一层多晶硅层;

步骤S2b:刻蚀位于所述第二沟槽侧壁处的先前沉积的第N-1层氧化层至第N-1层多晶硅层的顶面以下,并制备一层比第N-1层氧化层更薄的第N层氧化层覆盖在第二沟槽外露的侧壁表面,并在第N-1层多晶硅层之上形成宽度更宽的第N层多晶硅层,直至形成将第二沟槽进行填充的所述氧化层结构和所述多晶硅结构;

步骤S2c:依次重复进行多次步骤S2b,直至在第二沟槽中形成所述氧化层结构和所述多晶硅结构;

N为大于1的整数。

6. 如权利要求5所述的制造工艺,其特征在于, $2 \leq N \leq 5$ 。

7. 如权利要求6所述的制造工艺,其特征在于,当N为3时,覆盖在所述第二沟槽侧壁处的氧化层结构由下至上的3个部分对应的厚度L1、L2、L3满足公式: $E = V1/L1 = V2/L2 = V3/L3$;

其中,V1、V2、V3分别对应为所述氧化层结构由下至上的3个部分的底部电位,E为电场强度。

8. 如权利要求1所述的制造工艺,其特征在于,所述第二沟槽的顶部宽度至底部宽度逐步递减。

9. 如权利要求1所述的制造工艺,其特征在于,所述第二沟槽的侧壁与竖直方向之间的锐角角度为 $2^{\circ} \sim 5^{\circ}$ 。

10. 如权利要求1所述的制造工艺,其特征在于,相邻两个第一沟槽之间具有一间距d1,位于该两个第一沟槽正下方的第二沟槽顶部之间具有一间距d2,以及该两个第二沟槽底部之间具有一间距d3;

其中,d2<d1<d3。

11. 如权利要求1所述的制造工艺,其特征在于,所述多晶硅结构为掺杂的多晶硅。

12. 如权利要求1所述的制造工艺,其特征在于,采用热氧化工艺在第二沟槽中制备各层所述氧化层;以及

采用热氧化工艺在第一沟槽中制备所述栅氧化层。

13. 如权利要求1所述的制造工艺,其特征在于,采用热氧化多晶硅生长工艺制备所述聚间氧化物。

14. 如权利要求1所述的制造工艺,其特征在于,所述栅电极的宽度小于所述多晶硅结构的顶部宽度。

15. 一种功率半导体器件,其特征在于,包括:

位于一漏极区之上的外延层,所述外延层顶部设置有数个第一沟槽,每个第一沟槽正下方均有一个与该第一沟槽对接的第二沟槽,且所述第二沟槽的宽度大于所述第一沟槽的宽度;

所述第二沟槽中填充有氧化层结构和多晶硅结构,所述氧化层结构覆盖在所述第二沟槽底部及侧壁,且第二沟槽侧壁上的氧化层结构厚度由下至上逐步递减,所述多晶硅结构的底部和侧壁均被所述氧化层结构所包覆且由下至上的宽度逐步增加;

所述第一沟槽设置有一聚间氧化物层并覆盖在所述多晶硅结构顶部,位于所述聚间氧化物上方设置有栅电极,所述栅电极与所述第一沟槽之间设置有一栅氧化层;

相邻第一沟槽之间的外延层顶部设置有源极区和位于源极区下方的本体区;

所述第二沟槽的顶部宽度至底部宽度逐步递减。

16. 如权利要求15所述的功率半导体器件,其特征在于,第二沟槽侧壁上的氧化层结构自下而上分为多个厚度不一致的部分,且氧化层结构的厚度自下而上逐步递减。

17. 如权利要求16所述的功率半导体器件,其特征在于,第二沟槽侧壁上的氧化层结构自下而上分为2~5个厚度逐步递减的部分。

18. 如权利要求17所述的功率半导体器件,其特征在于,当第二沟槽侧壁上的氧化层结构自下而上分为3个厚度逐步递减的部分时,氧化层结构由下至上的3个部分对应的厚度L1、L2、L3满足公式: $E = V1/L1 = V2/L2 = V3/L3$;

其中,V1、V2、V3分别对应为所述氧化层结构自下而上的3个部分的底部电位,E为电场强度。

19. 如权利要求15所述的功率半导体器件,其特征在于,所述第二沟槽的侧壁与竖直方向之间的锐角角度为 $2^{\circ} \sim 5^{\circ}$ 。

20. 如权利要求15所述的功率半导体器件,其特征在于,相邻两个第一沟槽之间具有一

间距d1,位于该两个第一沟槽正下方的第二沟槽顶部之间具有一间距d2,以及该两个第二沟槽底部之间具有一间距d3;

其中,d2<d1<d3。

21.如权利要求15所述的功率半导体器件,其特征在于,所述多晶硅结构为掺杂的多晶硅。

22.如权利要求15所述的功率半导体器件,其特征在于,所述栅电极的宽度小于所述多晶硅结构的顶部宽度。

功率半导体器件及制造工艺

技术领域

[0001] 本发明涉及半导体领域,确切的说,具体涉及一种沟槽型的功率半导体器件及制造工艺。

背景技术

[0002] 在功率电子领域中,功率MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor,金属氧化物半导体场效应晶体管) 被广泛应用在开关器件结构中。为了让开关器件的功能得到良好的发挥,功率MOSFET需要满足两个要求:1、当器件处于导通状态,能拥有非常低的导通电阻,最小化器件本身的功率损耗;2、当器件处于关断状态,能拥有足够的反向击穿电压。超结(Super Junction) 被称为功率器件里程碑式的发明,极大的提高了功率器件相同耐压下的外延浓度,减小了器件比导通电阻。在低压范围内替代超结(Super Junction) 的新型沟槽型的MOSFET器件,称为分裂栅(Split-gate) MOSFET(简称SGMOS),其原理是利用两侧的Trench Oxide(沟槽内氧化层) 和外延相互耗尽产生额外电荷,从而引入横向电场(原理称为charge balance,类似超结),结构如图1。包括:漏电极101、外延层102、RESURF氧化层103、分裂栅104、栅电极105、n⁺掺杂层106、源电极107、栅氧化层108、P-body层109、介质层110。

[0003] 常规Split-gate MOSFET结构纵向电场是一个双峰式分布,虽然优于普通Trench MOS的三角分布,但不管如何优化外延浓度和Trench间距,其纵向电场分布很难实现超结的梯形分布。原因是trench底部电势最大,而且曲率效应导致电场过大,另外trench中段处硅电势较低,进而导致该处的硅和二氧化硅电场都偏低。

发明内容

[0004] 本发明提供了一种功率半导体器件的制造工艺,其中,包括如下步骤:

[0005] 步骤S1:提供一外延层,在所述外延层顶部形成若干间隔开的第一沟槽,对第一沟槽底部的外延层进行刻蚀,在每个第一沟槽正下方均形成一个与该第一沟槽对接的第二沟槽,且所述第二沟槽的宽度大于所述第一沟槽的宽度;

[0006] 步骤S2:在所述第二沟槽中填充氧化层结构和多晶硅结构,所述氧化层结构覆盖在所述第二沟槽底部及侧壁,且第二沟槽侧壁上的氧化层结构厚度由下至上逐步递减,所述多晶硅结构的底部和侧壁均被所述氧化层结构所包覆且由下至上的宽度逐步增加;

[0007] 步骤S3:在所述第一沟槽底部制备一聚间氧化物层并覆盖在所述多晶硅结构的顶部,制备一栅氧化层将所述第一沟槽暴露的侧壁表面进行覆盖,之后于所述第一沟槽中填充多晶硅作为栅电极。

[0008] 上述的制造工艺,其中,在步骤S1中,形成所述第一沟槽和所述第二沟槽的步骤包括:

[0009] 步骤S1a:提供一外延层,刻蚀所述外延层于所述外延层的顶部形成若干间隔开的第一沟槽;

- [0010] 步骤S1b:沉积一硬掩膜层覆盖在所述第一沟槽底部和侧壁以及所述外延层暴露的上表面,刻蚀所述硬掩膜层并保留位于第一沟槽侧壁处的硬掩膜层;
- [0011] 步骤S1c:对所述第一沟槽正下方的外延层进行刻蚀,以在每个第一沟槽正下方形成一个与该第一沟槽对接的第二沟槽。
- [0012] 上述的制造工艺,其中,采用各向同性刻蚀工艺对第一沟槽正下方的外延层进行刻蚀,形成宽度大于所述第一沟槽的第二沟槽。
- [0013] 上述的制造工艺,其中,步骤S3中,在形成所述聚间氧化物层之后且在制备所述栅氧化层之前,采用热磷酸剥离暴露在外的硬掩膜层。
- [0014] 上述的制造工艺,其中,形成所述氧化层结构和所述多晶硅结构的步骤包括:
- [0015] 步骤S2a:制备一氧化层覆盖在第二沟槽底部和侧壁,在第二沟槽底部制备一层多晶硅层;
- [0016] 步骤S2b:刻蚀位于所述第二沟槽侧壁处的先前沉积的第N-1层氧化层至第N-1层多晶硅层的顶面以下,并制备一层比第N-1层氧化层更薄的第N层氧化层覆盖在第二沟槽外露的侧壁表面和多晶硅层表面,采用各项异性刻蚀去除多晶硅层表面的氧化层,留下第二沟槽侧壁的氧化层。然后在第N-1层多晶硅层之上形成宽度更宽的第N层多晶硅层,直至形成将第二沟槽进行填充的所述氧化层结构和所述多晶硅结构;
- [0017] 步骤S2c:依次重复进行多次步骤S2b,直至在第二沟槽中形成所述氧化层结构和所述多晶硅结构;
- [0018] N为大于1的整数。
- [0019] 上述的制造工艺,其中, $2 \leq N \leq 5$ 。
- [0020] 上述的制造工艺,其中,当N为3时,覆盖在所述第二沟槽侧壁处的氧化层结构由下至上的3个部分对应的厚度L1、L2、L3满足公式: $E = V1/L1 = V2/L2 = V3/L3$;
- [0021] 其中,V1、V2、V3分别对应为所述氧化层结构由下至上的3个部分的底部电位,E为电场强度。
- [0022] 上述的制造工艺,其中,所述第二沟槽的顶部宽度至底部宽度逐步递减。
- [0023] 上述的制造工艺,其中,所述第二沟槽的侧壁与竖直方向之间的锐角角度为 $2^\circ \sim 5^\circ$ 。
- [0024] 上述的制造工艺,其中,相邻两个第一沟槽之间具有一间距d1,位于该两个第一沟槽正下方的第二沟槽顶部之间具有一间距d2,以及该两个第二沟槽底部之间具有一间距d3;
- [0025] 其中, $d2 < d1 < d3$ 。
- [0026] 上述的制造工艺,其中,所述多晶硅结构为掺杂的多晶硅。
- [0027] 上述的制造工艺,其中,采用热氧化工艺在第二沟槽中制备各层所述氧化层;以及
- [0028] 采用热氧化工艺在第一沟槽中制备所述栅氧化层。
- [0029] 上述的制造工艺,其中,采用热氧化多晶硅生长工艺制备所述聚间氧化物。
- [0030] 上述的制造工艺,其中,所述栅电极的宽度小于所述多晶硅结构的顶部宽度。
- [0031] 同时本发明还提供了一种功率半导体器件,其中,包括:
- [0032] 位于一漏极区之上的外延层,所述外延层顶部设置有数个第一沟槽,每个第一沟槽正下方均有一个与该第一沟槽对接的第二沟槽,且所述第二沟槽的宽度大于所述第一沟

槽的宽度；

[0033] 所述第二沟槽中填充有氧化层结构和多晶硅结构，所述氧化层结构覆盖在所述第二沟槽底部及侧壁，且第二沟槽侧壁上的氧化层结构厚度由下至上逐步递减，所述多晶硅结构的底部和侧壁均被所述氧化层结构所包覆且由下至上的宽度逐步增加；

[0034] 所述第一沟槽设置有一聚间氧化物层并覆盖在所述多晶硅结构顶部，位于所述聚间氧化物上方设置有栅电极，所述栅电极与所述第一沟槽之间设置有一栅氧化层；

[0035] 相邻第一沟槽之间的外延层顶部设置有源极区和位于源极区下方的本体区。

[0036] 上述的功率半导体器件，其中，第二沟槽侧壁上的氧化层结构自下而上分为多个厚度不一致的部分，且氧化层结构的厚度自下而上逐步递减。

[0037] 上述的功率半导体器件，其中，第二沟槽侧壁上的氧化层结构自下而上分为2~5个厚度逐步递减的部分。

[0038] 上述的功率半导体器件，其中，当第二沟槽侧壁上的氧化层结构自下而上分为3个厚度逐步递减的部分时，氧化层结构由下至上的3个部分对应的厚度L1、L2、L3满足公式： $E = V1/L1 = V2/L2 = V3/L3$ ；

[0039] 其中，V1、V2、V3分别对应为所述氧化层结构自下而上的3个部分的底部电位，E为电场强度。

[0040] 上述的功率半导体器件，其中，所述第二沟槽的顶部宽度至底部宽度逐步递减。

[0041] 上述的功率半导体器件，其中，所述第二沟槽的侧壁与竖直方向之间的锐角角度为 $2^\circ \sim 5^\circ$ 。

[0042] 上述的功率半导体器件，其中，相邻两个第一沟槽之间具有一间距d1，位于该两个第一沟槽正下方的第二沟槽顶部之间具有一间距d2，以及该两个第二沟槽底部之间具有一间距d3；

[0043] 其中， $d2 < d1 < d3$ 。

[0044] 上述的功率半导体器件，其中，所述多晶硅结构为掺杂的多晶硅。

[0045] 上述的功率半导体器件，其中，所述栅电极的宽度小于所述多晶硅结构的顶部宽度。

[0046] 本发明所提供的新结构在电场分布上有明显的改善，在相同元胞pitch(相邻两栅极中心的距离)宽度，相同trench宽度的前提下，使得外延浓度提升一倍，同时极大的减小了导通电阻和击穿时耗尽外延厚度。本发明设计之结构遵从了合理的设计规则，仅用较为简单RESURF结构即实现比导通电阻最优化。

附图说明

[0047] 通过阅读参照以下附图对非限制性实施例所作的详细描述，本发明及其特征、外形和优点将会变得更明显。在全部附图中相同的标记指示相同的部分。并未刻意按照比例绘制附图，重点在于示出本发明的主旨。

[0048] 图1为现有技术中SGMOS的器件结构图；

[0049] 图2a~2j为本发明提供的制备功率半导体器件的流程图；

[0050] 图3a~3f和图4a~4f为现有技术中制备IPOX层的两种方法流程图；

[0051] 图5为本发明提供的功率半导体器件与传统器件的纵向电场分布对比图；

[0052] 图6为本发明提供的功率半导体器件与传统器件的外延电位纵向分布对比图。

具体实施方式

[0053] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0054] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0055] 本发明的目的在于提供一种高密度RESURF(表面电场调制)氧化层、而且带有类似倾斜侧壁分裂栅结构的MOS器件,和提供相应的制造工艺,有效降低栅极-漏极间耦合电容C_{gd}和漏-源比导通电阻,使之达到甚至超过超结结构MOS导通电阻水平,在常规的超结MOSFET中R_{on,sp}=0.198W1.25BV,其中晶胞宽度W可达常规MOS晶体管1/2pitch宽度,进而提升晶胞密度。众所周知根据电场、电势、杂质浓度关系,电场呈现梯形分布即达到导通电阻优化极限,而本发明中正是基于该原理提供了一种高性能的功率半导体器件及制备方法。

[0056] 在一个可选但非限制的实施例中,示范性的提供了一种功率半导体器件及制备方法,具体步骤如下文所述。

[0057] 首先执行步骤S1:提供一外延层1000,在外延层1000顶部形成数个第一沟槽1100,对第一沟槽底部的外延层进行刻蚀,在每个第一沟槽正下方均形成与该第一沟槽1100对接的一个第二沟槽1200,且第二沟槽1200的宽度大于第一沟槽的宽度1100。

[0058] 具体的,参见图2a,首先采用外延生长工艺(EPI)在图中未示出的具有例如N+型重掺杂的衬底之上形成一个外延层,如图中的外延层1000;之后进行刻蚀工艺,在外延层1000顶部形成若干个第一沟槽1100,然后沉积一层硬掩膜层1001将沟槽1100的底部及内壁覆盖住并将外延层1000外露的表面进行覆盖。在沉积硬掩膜层1001之后,可采用垂直方向的各向异性刻蚀工艺对硬掩膜层1001进行回刻蚀,例如干法刻蚀,并在第一沟槽1100的侧壁保留一层较薄的硬掩膜层1001',参照2a~2b所示,而第一沟槽1100底部和外延层1000上表面位置处的硬掩膜层1001被完全移除。

[0059] 在实际应用中,可选用PECVD(Plasma Enhanced Chemical Vapor Deposition,等离子体增强化学汽相沉积)工艺沉积一层SiN层来作为硬掩膜层1001,这是由于采用PECVD工艺沉积的SiN的致密性非常好,是一种很好的硬掩膜材料,在刻蚀其他部位时,可有效起到保护第一沟槽侧壁的作用,在后续工艺中采用特定药剂也能够很方便的去除干净。同时,在对硬掩膜层进行选择性刻蚀的过程中,优选可采用各向异性等离子刻蚀工艺来对硬掩膜层进行减薄并去除了第一沟槽侧壁表面以外其他位置处的硬掩膜层1001。

[0060] 在外延层1000顶部形成有若干个第一沟槽1100之后,需要在每个第一沟槽1100正下方并实现制备一个第二沟槽1200,且第二沟槽1200的顶部位置处具有最大的宽度,其大于第一沟槽1100的宽度,同时第二沟槽1200具有最大宽度值的顶部侧壁位置与第一沟槽1100的侧壁连续,从而实现将第一沟槽1100与第二沟槽1200对接。

[0061] 具体的,可参照图2c所示,刻蚀第一沟槽1100下方的外延层1000,在每个第一沟槽1100正下方均形成一个第二沟槽1200,且第二沟槽1200的顶部最大宽度大于第一沟槽1100的宽度。在此过程中,由于第一沟槽1100侧壁保留有硬掩膜层1001’,如果以各向同性湿法刻蚀的方式制备第二沟槽1200,则硬掩膜层1001’抵御刻蚀步骤对第一沟槽1100侧壁周围的外延层材料的腐蚀,硬掩膜层1001’形成了对第一沟槽1100侧壁的保护作用,使得在刻蚀形成第二沟槽1200的过程中第一沟槽1100尺寸保持不变,并同步使得第二沟槽1200的侧壁向旁侧膨胀扩展至比第一沟槽1100要宽。

[0062] 同时在本发明中,作为可选项,可通过控制刻蚀的反应条件,使得第二沟槽1200的形貌为一上宽下窄的沟槽,也即该第二沟槽1200的顶部宽度至底部宽度逐步递减,进而拉开了相邻trench间第二沟槽底部之间的间距,使得该处曲率效应导致的电场集中减小,使得该处附件电场分布均匀性变好,同时电流通路微变宽,导通电阻减小。一可选但并不仅仅局限的实施方式是,第二沟槽1200的侧壁与竖直方向之间的锐角角度包括 $2^\circ \sim 5^\circ$,这拉开了沟槽底部的间距,使得该处曲率效应导致的电场集中减小,从而使得该处附件电场分布均匀性变好,同时电流通路微变宽,导通电阻减小。

[0063] 在一具体的实施方式中,在外延层1000刻蚀形成的第一沟槽深度为 $1\mu m \sim 1.1\mu m$,且沉积的硬掩膜层1001厚度为 $3000\text{\AA} \sim 5000\text{\AA}$ 。

[0064] 执行步骤S2:在第二沟槽1200中填充氧化层结构1006以及多晶硅结构1007,氧化层结构1006覆盖在第二沟槽1200底部及侧壁且由下至上的厚度逐步递减,多晶硅结构1007的底部和侧壁被氧化层结构1600所包覆且由下至上的宽度逐步增加。

[0065] 步骤S2可进一步细化为如下步骤,步骤S2a:首先制备一氧化层1002覆盖在第二沟槽1200底部和侧壁,并在第二沟槽1200底部的氧化层1002之上沉积多晶硅层。

[0066] 参照2d所示,优选可采用热氧化工艺(High Temperature Oxidation,简称HTO)在第二沟槽1200底部和侧壁表面形成氧化层1002,具体工艺为在高温条件下通入氧气,氧气与第二沟槽1200和外延层1000暴露的上表面发生反应,生成氧化层1002。在此过程中,由于第一沟槽1100的侧壁有硬掩膜层1001’的阻挡,因此避免了第一沟槽1100侧壁与氧气产生反应进而形成氧化层,从而仅在第二沟槽1200表面形成氧化层1002。由于在步骤S1中,形成的第二沟槽1200侧壁具有一斜角,因此在第二沟槽1200中形成的氧化层1002的侧壁与竖直方向上也会构成 $2^\circ \sim 5^\circ$ 的夹角。同时,在形氧化层1002后,还可选择性的进行一各向异性刻蚀工艺,将外延层1000顶部位置处的氧化层1002进行去除,并控制第二沟槽1200内的氧化层1002的厚度在一定范围内,以为后续制备多晶硅结构做准备。在一具体的实施方式中,对氧化层1002进行刻蚀之后,第二沟槽1200内剩余的氧化层1002的厚度为650nm。

[0067] 参照2e所示,在第二沟槽1200底部沉积多晶硅层1003。一可选的实施例中,可在沉积多晶硅层之后,紧接着进行一步回蚀工艺,以在第二沟槽1200底部形成多晶硅1003,并控制其顶面高度,为后续再次沉积多晶硅以制备多晶硅结构预留一定空间。作为可选项,该多晶硅层1003为重掺杂的多晶硅。

[0068] 步骤S2b:刻蚀位于第二沟槽1200侧壁处的先前沉积的氧化层1002至多晶硅层1300的顶面以下,并重新制备一层更薄的氧化层覆盖在第二沟槽外露的侧壁表面,之后在先前沉积的多晶硅层之上沉积一层宽度更宽的多晶硅层。

[0069] 具体的,参照如2f所示,可选的,采用湿法刻蚀工艺来对第二沟槽1200内的氧化层

1002进行部分刻蚀，并通过刻蚀的相应参数使得第二沟槽1200内剩余的氧化层1002位于多晶硅层1003的顶部平面以下，并使得剩余的氧化层1002顶面高度与多晶硅层1003近似相等，从而将部分第二沟槽1200侧壁以及多晶硅层1003的顶部和靠近顶部的侧壁予以暴露。

[0070] 之后，重新制备一层更薄的氧化层覆盖在第二沟槽1200外露的侧壁表面，之后在先前沉积的多晶硅层之上沉积一层宽度更宽的多晶硅层，参照图2g所示。由于先后两次沉积的氧化层材质相同，同时先后两次沉积的多晶硅材质也相同，因此在图示中用1004表示两次沉积的氧化层，同样的，1005则表示为两次沉积的多晶硅层。

[0071] 在此步骤中，需要保证此次形成的氧化层厚度小于先前一次形成的氧化层厚度，例如可在热氧化工艺之后进行回刻，使得第二次形成的氧化层的厚度要比先前沉积的氧化层1002要薄。在一具体的实施方式中，对第二次沉积的氧化层进行刻蚀之后，位于先前制备的氧化层1002上平面之上的氧化层的厚度为450nm。

[0072] 同时在沉积多晶硅层之后，还需要进行对沉积的多晶硅进行回蚀，以控制多晶硅层1005的顶面高度。

[0073] 步骤S2c：依次重复进行多次步骤S2b，也即反复进行如下步骤：刻蚀先前沉积的氧化层至先前沉积的多晶硅层顶面以下→重新制备一层较之先前沉积的氧化层厚度更薄的氧化层覆盖在第二沟槽1200外露的侧壁表面→在先前沉积的多晶硅层之上沉积一层宽度更宽的多晶硅层……刻蚀位于第二沟槽1200侧壁处的先前沉积的第N-1层氧化层至第N-1层多晶硅层的顶面以下，并制备一层比第N-1层氧化层更薄的第N层氧化层覆盖在第二沟槽1200外露的侧壁表面和多晶硅层表面，采用各项异性刻蚀去除多晶硅层表面氧化层，留下第二沟槽侧壁的氧化层，然后在第N-1层多晶硅层之上形成宽度更宽的第N层多晶硅层，直至形成将第二沟槽1200进行填充的氧化层结构1006和多晶硅结构1007。在一具体的实施方式中，对第三次沉积的氧化层进行刻蚀之后，位于第二沟槽1200侧壁上且在先前制备的氧化层1004上顶部之上的氧化层1006的厚度为240nm。

[0074] 依照本发明上述内容公开的一个可选实施例，揭示了沟槽式功率MOSFET的可选的一种制备方法，主要是在第二沟槽侧壁处由下至上先后形成一系列的氧化层组件 O_1 、 O_2 、…… O_N ($N > 1$)，其中，氧化层组件 O_1 、 O_2 、…… O_N 的厚度按照由下至上的顺序逐步变薄，并且还在第二沟槽内填充多晶硅材料以形成一个多晶硅结构(或称分裂栅和屏蔽栅)，多晶硅结构也具有一系列先后形成的多晶硅组件 P_1 、 P_2 、…… P_N ($N > 1$)，但多晶硅组件 P_1 、 P_2 、…… P_N 按照由下至上的顺序宽度逐步增大。在一个可选但非限制性的实施例中，多晶硅结构上部的最宽的部分比后续形成的栅电极(或称控制栅极)还要宽。

[0075] 氧化层结构、多晶硅组件的制备步骤包括：首先在第二沟槽裸露的侧壁上制备和附着一个氧化层结构 O_i ，然后再填充多晶硅材料到第二沟槽1200内，并回刻多晶硅材料在第二沟槽1200底部制备出一个多晶硅组件 P_i ，同时亦因回刻多晶硅材料而裸露出氧化层结构 O_i 顶部的一部分并对其裸露的部分实施湿法刻蚀，使得多晶硅组件 P_i 与被刻蚀而余下的预留氧化层结构 O_i 具有近乎或大致相同的高度尺寸值 H_i ；然后再在第二沟槽1200侧壁因移除一部分氧化层结构 O_i 而裸露的区域形成另一个比氧化层结构 O_i 要薄的氧化层结构 O_{i+1} ，和随后再次填充多晶硅材料到第二沟槽1200内，并回刻多晶硅材料，制备出一个比多晶硅组件 P_i 要宽的多晶硅组件 P_{i+1} ，同时亦因回刻多晶硅而裸露出氧化层结构 O_{i+1} 顶部的一部分并对其裸露的区域实施湿法刻蚀，使得多晶硅组件 P_{i+1} 与被刻蚀而余下的预留的氧化层结构

O_{i+1} 具有近乎或大致相同的高度尺寸值 H_{i+1} 。重复生长氧化层结构 OSM_i 和制备多晶硅组件 P_i 、及生长氧化层结构 O_{i+1} 和制备多晶硅组件 P_i 的方式，籍由交替制备氧化层结构和多晶硅组件的规则，便可形成一系列氧化层结构 O_1, O_2, \dots, O_N ($N > 1$) 和一系列多晶硅组件 P_1, P_2, \dots, P_N ($N > 1$)。

[0076] 考虑到工艺的实现难度及成本问题， N 为介于2和5之间的正整数为最佳，即覆盖在第二沟槽侧壁上的氧化层结构自下而上分为2至5个厚度逐步递减的部分，如图2h所示，该结构可以调制纵向方向电场分布，且各部分的氧化结构1006的厚度自下而上逐步递减，从而在相邻第二之间有引入横向电场，即使得trench间外延硅材料耗尽，从而引入额外电荷。作为一优选的实施方式，当 N 为3时，也即可视为覆盖在第二沟槽1200侧壁的氧化层结构1006自下而上由三个部分构成，例如在SGMOS例子中是将第二沟槽中侧壁上的resurf氧化层(即氧化层结构)分为3层结构，进而就将纵向电场调制成理想梯形分布。其中，各部分的氧化层结构1006的厚度根据各自位置处的电场所决定，因此，各部分的氧化层结构1006的厚度比值为各部分的电位比值。这是由于在器件工作时，电位是线形分布的，而电场强度 E 是恒定值，请继续参照图2h所示，在第二沟槽侧壁上的氧化层结构1006在竖直方向上分为3个部分1006a、1006b、1006c，且1006a、1006b、1006c厚度依次为 L_1, L_2, L_3 ，根据公式根据 $E = V/d$ ，氧化层结构1006厚度分布应遵循 $E = V_1/L_1 = V_2/L_2 = V_3/L_3 \leq 3*E_{c(si)}$ 的关系($E_{c(si)}$ 为硅电场)，那么 V_1, V_2, V_3 分别是1006a、1006b、1006c底部的电位，因此可判断出上述RESURF氧化层在不同位置处的厚度关系。

[0077] 步骤S3：参照图2i，在多晶硅结构1007顶部制备一层聚间氧化物(inter poly oxide，简称IPOX)层1008，之后移除暴露于外的硬掩膜层1001'，并重新生长一层栅氧化层(gate oxide)1009将硬掩膜层1001'去除后所暴露的第一沟槽1100侧壁进行覆盖，最后沉积多晶硅将第一沟槽1100进行填充作为栅电极1010。在本发明中，优选采用热氧化多晶硅生长工艺形成上述的聚间氧化物层1008，并可采用热磷酸剥离暴露于外的硬掩膜层1001'，之后再采用热氧化工艺在第一沟槽1100暴露的侧壁表面形成一层栅氧化层1009。

[0078] 在本发明中，作为可选项，栅电极1010的宽度小于多晶硅结构1007的顶部宽度，在图示中，即栅电极1010小于多晶硅结构1007在1006c部分的宽度。同时，相邻两个第一沟槽1100之间具有一间距 d_1 ，位于该两个第一沟槽1100正下方的第二沟槽1200顶部之间具有一间距 d_2 ，以及该两个第二沟槽1200底部之间具有一间距 d_3 ；其中， $d_2 < d_1 < d_3$ 。相比较传统技术而言，沟槽底部间隔较大，利于减弱沟槽底部曲率效应导致的电场集中，优化电场分布；同时沟槽表面间距(Mesa)大，利于开孔，换句话说，在相同Mesa宽度下，RESURF氧化层距离更近，Mesa中心处的纵向电场更高(更接近 E_c)，即可以制造外延浓度更大，外延更薄的产品；同时由于栅氧之间的间距也有所增加，因此使得栅氧化层与IPOX层的交接处电场变小。

[0079] 本发明通过热氧化多晶硅生长工艺制备上述的聚间氧化物层1008，这与目前一般制备IPOX层所采用的工艺方案并不相同，下面提供两个在现有技术中制备IPOX层的方法进行区分。

[0080] 方法1、参照图3a～3f所示，首先提供一表面设置有掩膜层的衬底10，刻蚀形成沟槽后并移除剩余的掩膜层；沉积氧化层11将衬底和沟槽外露的表面进行覆盖后，在沟槽内填充多晶硅12并对多晶硅12进行回蚀；之后对氧化层11进行刻蚀，以将剩余多晶硅的顶部部分12予以外露；之后制备一层栅氧化层(图中未示出)和IPOX层13，并在沟槽中填充多晶

硅14,形成P-body区和源电极以及后续工艺。

[0081] 方法2、在现有技术中,还可采用另一种实施例中来制备,参照图4a~4f所示,首先提供一表面设置有掩膜层的衬底10,进行图案化处理形成沟槽并移除剩余的掩膜层;沉积氧化层11将衬底和沟槽外露的表面进行覆盖后,在沟槽内填充多晶硅12并对多晶硅12进行回蚀;之后再沉积一层IPOX层13在沟槽内;之后采用湿法刻蚀工艺来移除部分IPOX层13和部分氧化层11;之后进行离子注入形成P-body区、源电极以及栅电极14,并进行后段制程(BEOL)。

[0082] 但是以上记载的方法1和方法2的工艺均存在一定的缺陷:方法1由于IPOX层是和栅氧化层同时制备的,其厚度很难受控制,同时在表面为多晶硅的地方都会形成氧化层;方法2采用湿法刻蚀来控制IPOX层的厚度,但是由于湿法刻蚀对IPOX层的刻蚀比很大,很容易出现过刻蚀(over etch)的或者未刻蚀到位的现象。因此采用以上两种常用的技术方案所制备出的IPOX层厚度容易产生偏移进而影响器件性能。而本发明通过采用热氧化多晶硅生长工艺,在制备IPOX层时,由于在第一沟槽1100侧壁保留有硬掩膜层1001',在进行IPOX层的制备时,能够很容易的控制其厚度,同时在完成IPOX层的制备后,也无需对IPOX层进行刻蚀,简化了工艺步骤。

[0083] 上述步骤完成后,可继续进行后续的场效应晶体管制备工艺,注入本体区和源极区的注入工序,在每对第一沟槽之间的外延层1000表面形成例如P型的本体区(P-body)1011和源极区(source)1012,其中,本体区1011用以产生沟道;之后沉积ILD(Interlayer dielectric layer,层间介质层)层1013,进行图案化处理,形成将P-body区1011暴露的通孔,之后进行填充钨,进行淀积金属铝并刻蚀形成金属栓塞或接头1014短接本体区(P-body)1011和源极区(source)1012,最终形成图2j所示的结构。值得注意的是,后续形成在ILD层1013顶部的与金属栓塞或接头1014电性连接的源极金属层未在图中示意出,栅电极1010连接到ILD层1013顶部的未示意出的栅极金属层上,作为完整的沟槽式金属氧化物半导体场效应晶体管。在一些实施例中,为了优化漏极栅极间电容,该多晶硅结构1007与MOSFET的源极等势,例如电连接到源极金属层。

[0084] 在一可选的实施例中,图2j所示的器件是一种耐压100V的SGMOS器件,外延浓度为 $3e16\text{cm}^{-3}$,外延厚度为8.5um,pitch大小为3.4um,trench宽度为2.3um,trench深度为5.8um;氧化层结构在1006a、1006b、1006c三处的厚度分别为650nm、450nm、240nm;1006a、1006b、1006c三处在竖直方向上的长度为3.1um、1.17um、0.55um;1006a、1006b、1006c三处的电压分别为100V,55V,29V;栅氧化层1009厚度为80nm~100nm、长度为1um~1.1um,耐压为128V,比导通电阻为 $36\text{m}\Omega\text{mm}^2$ 。因为曲率效应导致V1并不完全遵守 $E=V1/d1=3Ec_{(\text{Si})}$, $V1/d1 \approx 3Ec_{(\text{Si})}*1.3$,该处为击穿时电场最大处。

[0085] 参照图5和图6所示,图5为本发明提供的功率半导体器件与传统器件的纵向电场分布对比图;图6为本发明提供的功率半导体器件与传统器件的外延电位纵向分布对比图。图5和图6的横坐标(即图示Y坐标)代表的均为外延厚度,图5的纵坐标代表的为电场(E-field),图6的纵坐标代表的为电势(potential)。如图可见,本发明采用新结构的SGMOS在电场分布上有明显的改善,在相同元胞pitch宽度,相同trench宽度的前提下,使得外延浓度提升一倍,比导通电阻减小35%;而且还使得击穿时耗尽外延厚度减小了1um(见图5)。该结构遵从了合理的设计规则,仅用较为简单RESURF结构即实现比导通电阻最优化;同时还

进一步优化常规Split-gate MOSFET的电场分布,提高比导通电阻水平,使其接近超结的比导通电阻水平,即接近目前理论上的极限。

[0086] 该结构不仅仅适用于沟槽式MOS器件,还适用于其他包含trench RESURF结构的器件,例如TMBS(Trench MOS Barrier Schottky)、IGBT(Insulated Gate Bipolar Translator)、PIN二极管等半导体器件。对于多子器件可以使用本发明提供的具有多级分布的RESURF氧化层结构来调整外延浓度来优化器件比导通电阻等参数,而对于电导调制器件可以减小漂移区厚度,减小少子存储,提升器件性能的目的。

[0087] 同时本实施例提供了一种功率半导体器件,具体的,可参照图2j所示,本发明提供的功率半导体器件其包括:漏极区(图中未标示),作为漏电极;在漏极区之上设置有一外延层1000。在外延层1000顶部设置有数个第一沟槽,每个第一沟槽正下方均有一个与该第一沟槽对接的第二沟槽,且第二沟槽的宽度大于第一沟槽的宽度。

[0088] 在第二沟槽中填充有氧化层结构(或称RESURF氧化层)1006和多晶硅结构(或称之为分裂栅)1007,氧化层结构1006覆盖在第二沟槽底部及侧壁,且第二沟槽侧壁上的氧化层结构1006的厚度由下至上逐步递减,多晶硅结构1007的底部和侧壁被氧化层结构1006所包裹且由下至上的宽度逐步增加,且该多晶硅结构1007为重掺杂的多晶硅。

[0089] 第一沟槽设置有一聚间氧化物层1008并覆盖在多晶硅结构1007顶部,通过聚间氧化物层1008对多晶硅结构1007和栅电极1010进行隔离。位于聚间氧化物1008上方设置有栅电极1010,栅电极1010与第一沟槽之间设置有一栅氧化层1009。相邻第一沟槽之间的外延层1000顶部设置有源极区1012和位于源极区1012下方的P型的本体区(P-body)1011,其中,本体区1011用以产生沟道。在外延层1000的部分上表面覆盖有ILD层1013,在ILD层1013中形成有若干通孔以暴露出栅电极1010,同时在ILD层1013还设置有与源极金属层电性连接的金属栓塞或接头1014,栅电极1010连接到ILD层1013顶部的未示意出的栅极金属层上,作为完整的沟槽式金属氧化物半导体场效应晶体管。在一些实施例中,为了优化漏极栅极间电容,该多晶硅结构1007与MOSFET的源极等势,例如电连接到源极金属层。

[0090] 在本发明中,栅电极1010的宽度小于多晶硅结构1007的顶部宽度。在一可选的实施例中,第二沟槽侧壁上的氧化层结构1006在竖直方向上可分为2~5个厚度不一致的部分,作为可选项,当第二沟槽侧壁上的氧化层结构在竖直方向上分为3个厚度不一致的部分106a、106b、106c时,由下至上的3个部分106a、106b、106c对应的厚度L1、L2、L3满足公式: $E = V1/L1 = V2/L2 = V3/L3 = 3*Ec(Si)$;其中,V1、V2、V3分别对应为106a、106b、106c底部的电位,E为电场强度, $Ec(Si)$ 为硅电场。

[0091] 在本发明中,上述的第二沟槽的顶部宽度至底部宽度逐步递减,进而拉开了trench底部的间距,使得该处曲率效应导致的电场集中减小,使得该处附件电场分布均匀性变好,同时电流通路微变宽,导通电阻减小。因此其侧壁具有一斜角,在一可选的实施例中,该第二沟槽侧壁与底部平面之间的锐角角度为 $2^\circ \sim 5^\circ$ 。

[0092] 由于第一沟槽的宽度小于第二沟槽的顶部宽度,而第二沟槽又为上宽下窄的沟槽,那么在本发明中,相邻两个第一沟槽之间具有一间距d1,位于该两个第一沟槽正下方的第二沟槽顶部之间具有一间距d2,以及该两个第二沟槽底部之间具有一间距d3;其中,d2 < d1 < d3。相比较传统技术而言,沟槽底部宽度更大,利于减弱沟槽底部曲率效应导致的电场集中,优化电场分布;同时沟槽表面间距(Mesa)大,利于开孔,换句话说,在相同Mesa宽度

下,RESURF氧化层距离更近,Mesa中心处的纵向电场更高(更接近Ec),即可以制造外延浓度更大,外延更薄的产品;同时由于棚氧之间的间距也有所增加,因此使得棚氧化层与IPOX层的交接处电场变小。

[0093] 综上所述,由于本发明采用了如上技术方案,在沟槽侧壁制备出厚度自下往上厚度呈台阶状逐渐递减的RESURF氧化层,并扩大了棚氧化层之间的间距,进而在相同元胞pitch宽度,相同trench宽度的前提下,使得外延浓度提升一倍,并有效降低导通电阻和击穿时耗尽外延厚度。该结构遵从了合理的设计规则,仅用较为简单resurf结构即实现比导通电阻最优化。

[0094] 以上对本发明的较佳实施例进行了描述。需要理解的是,本发明并不局限于上述特定实施方式,其中未尽详细描述的设备和结构应该理解为用本领域中的普通方式予以实施;任何熟悉本领域的技术人员,在不脱离本发明技术方案范围情况下,都可利用上述揭示的方法和技术内容对本发明技术方案做出许多可能的变动和修饰,或修改为等同变化的等效实施例,这并不影响本发明的实质内容。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。

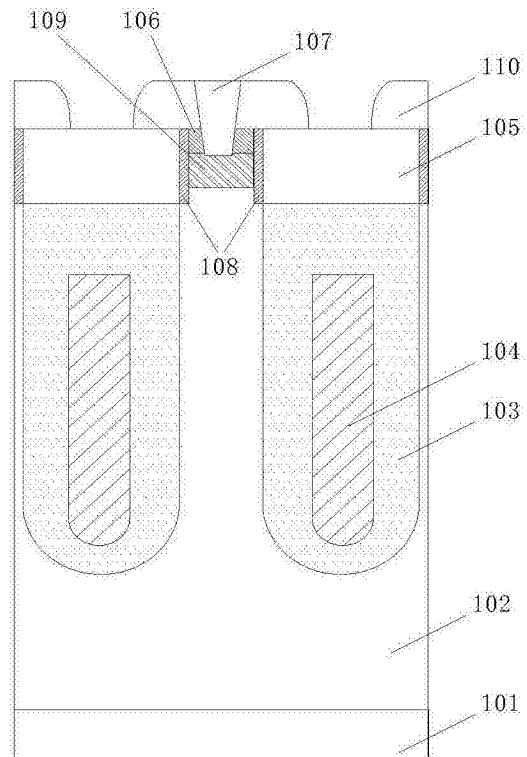


图1

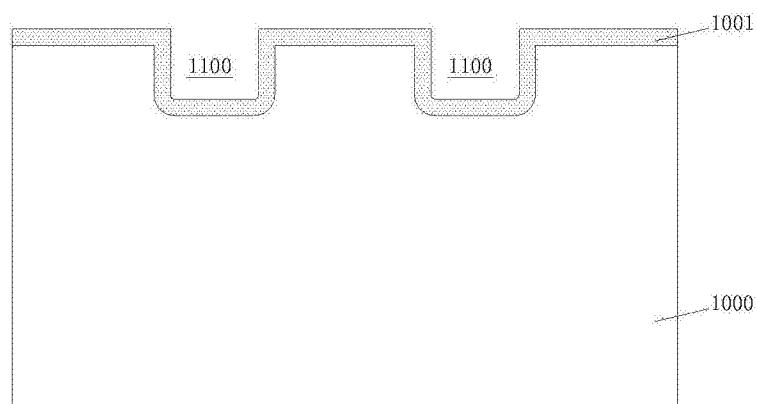


图2a

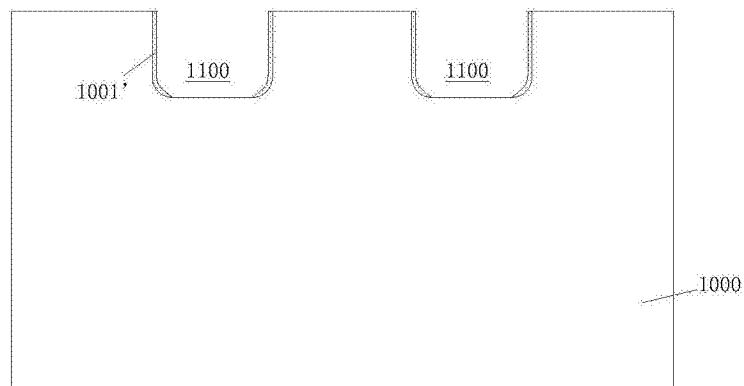


图2b

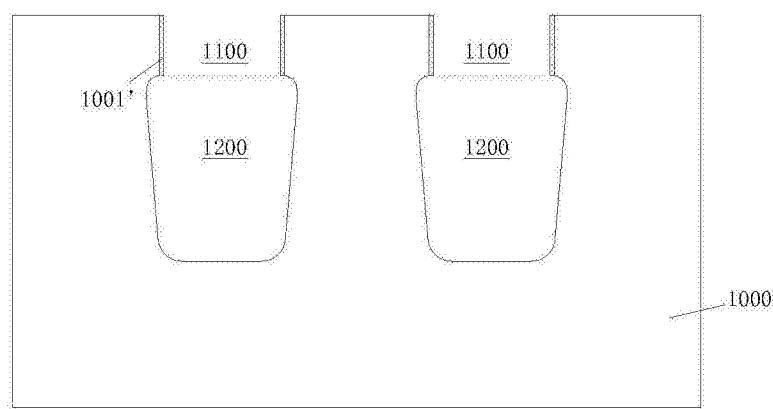


图2c

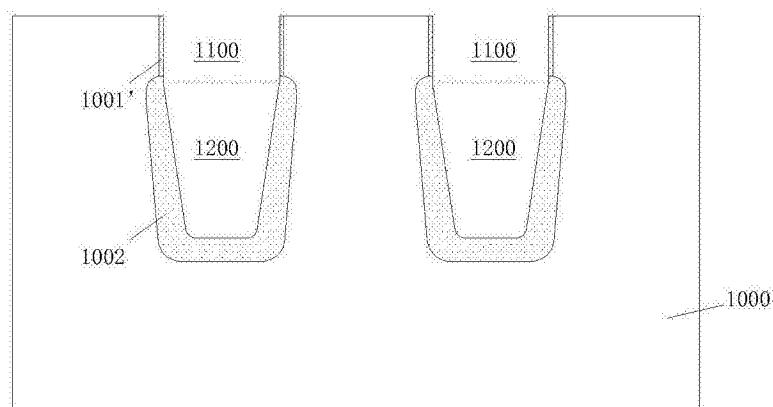


图2d

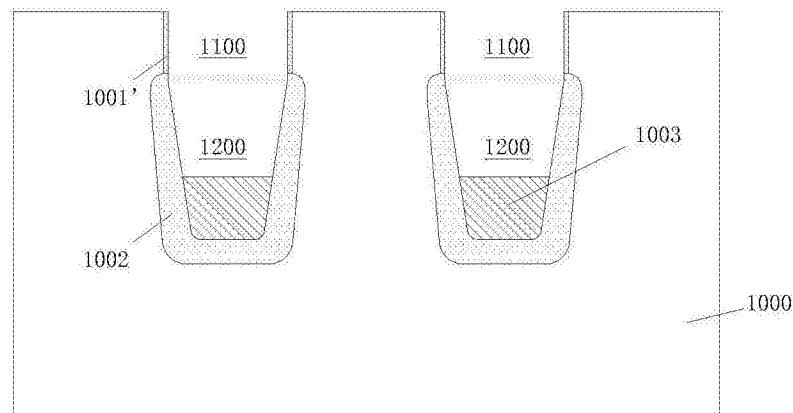


图2e

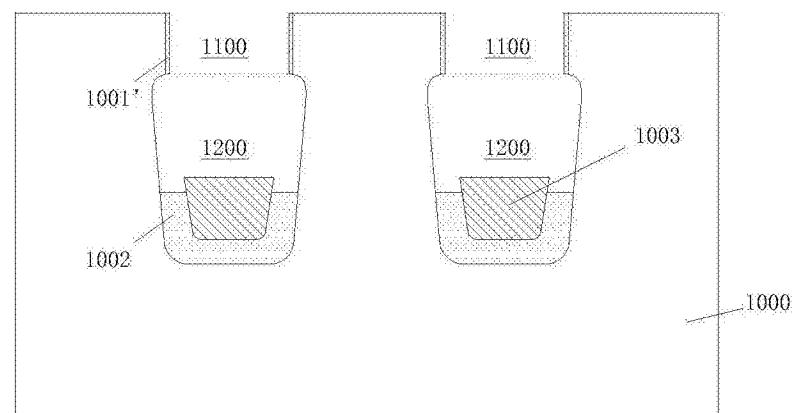


图2f

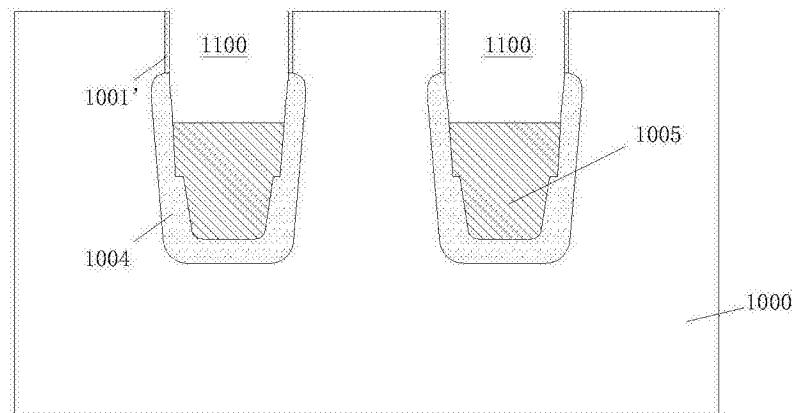


图2g

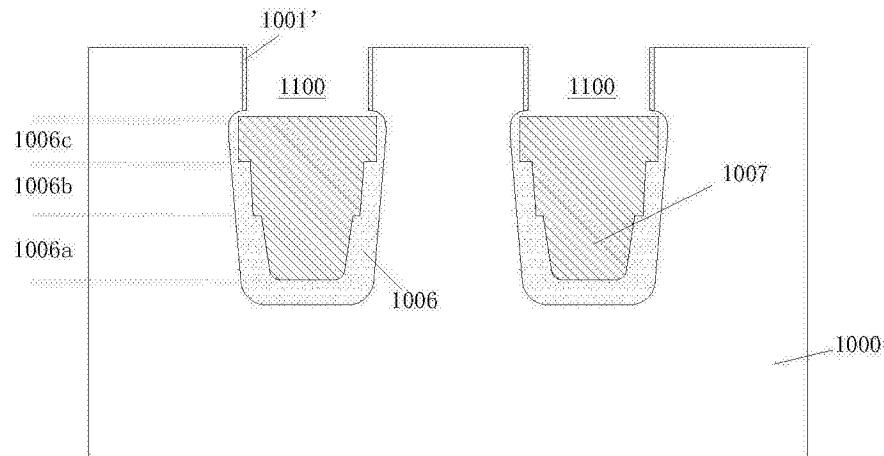


图2h

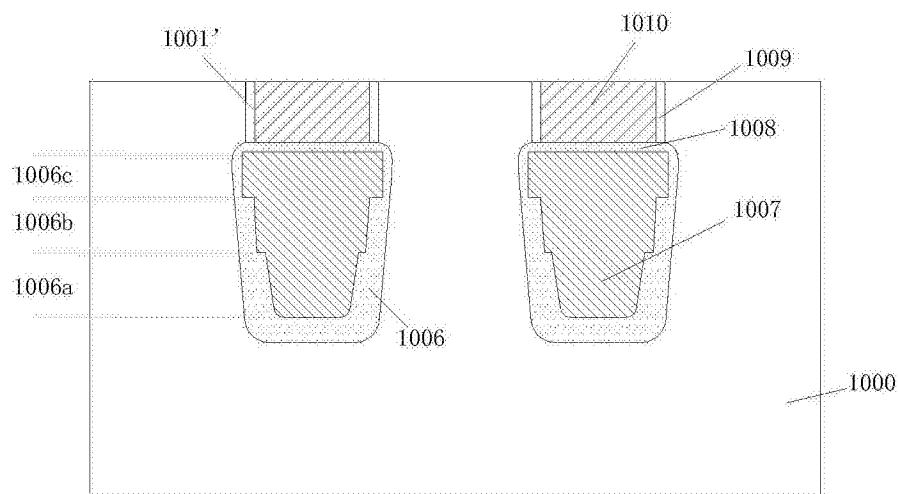


图2i

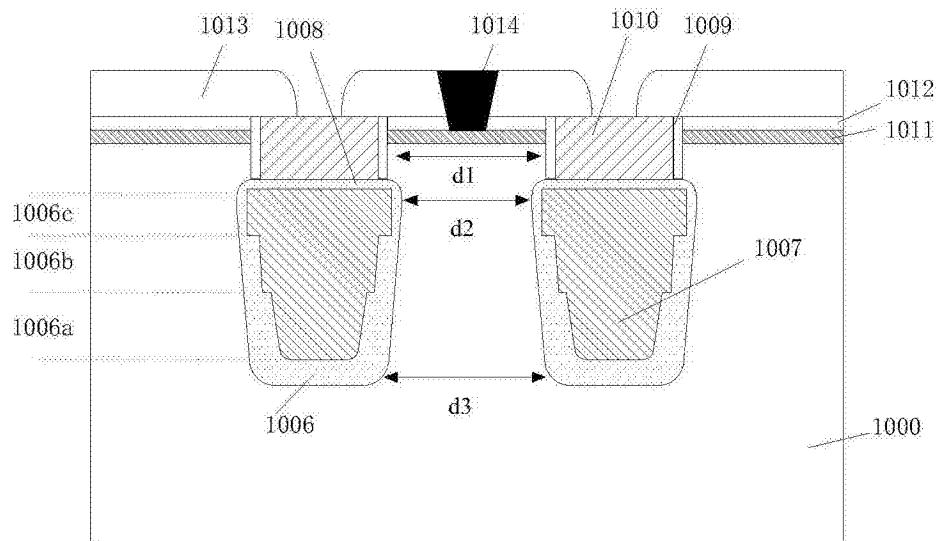


图2j

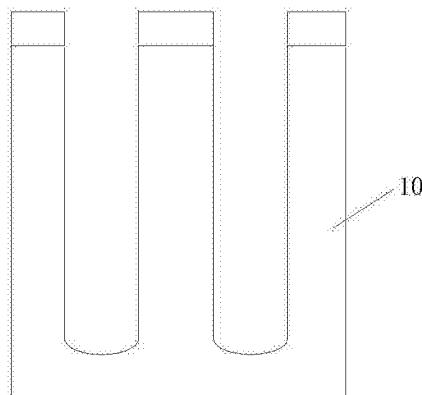


图3a

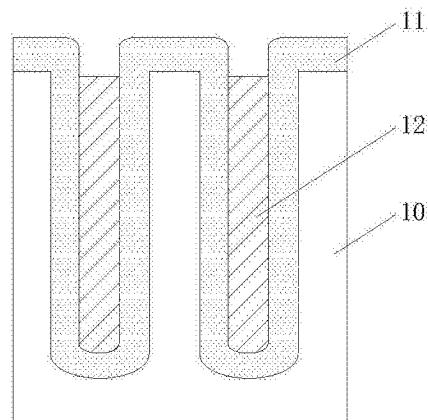


图3b

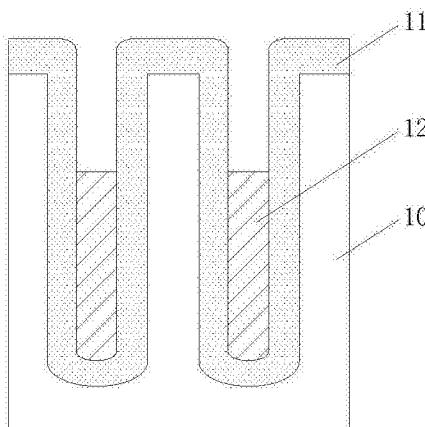


图3c

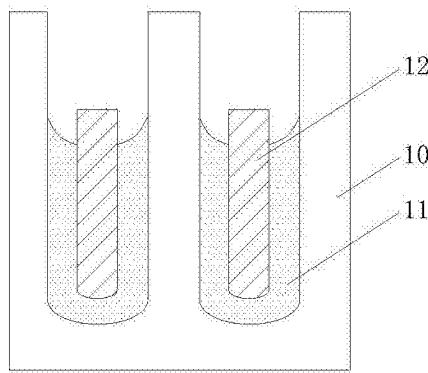


图3d

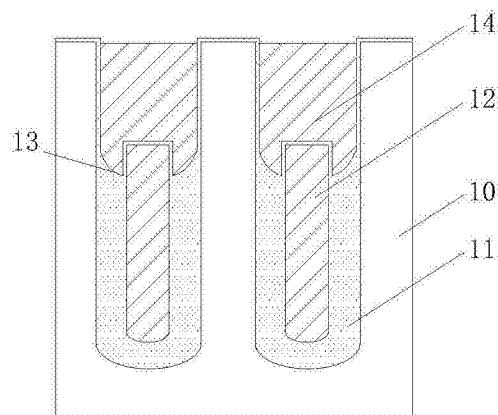


图3e

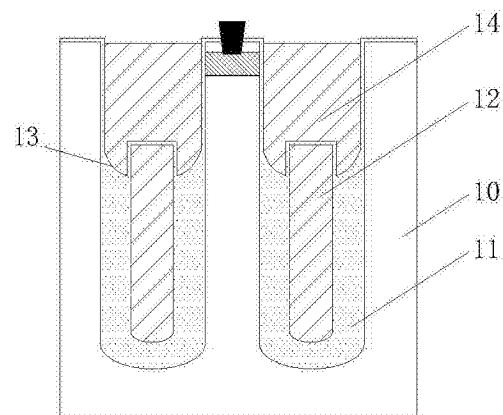


图3f

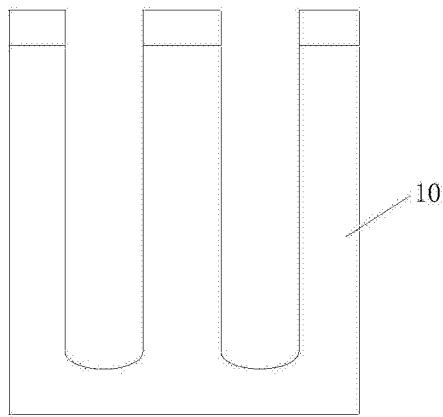


图4a

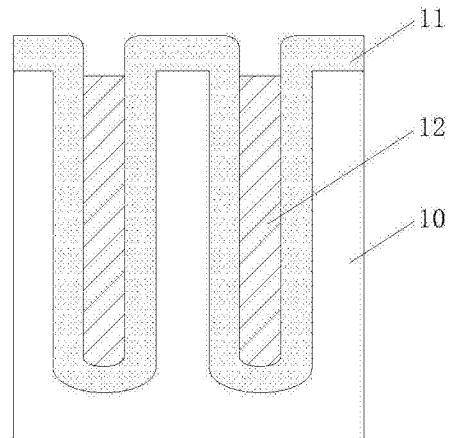


图4b

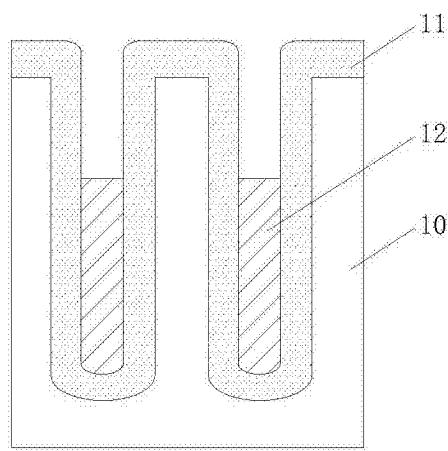


图4c

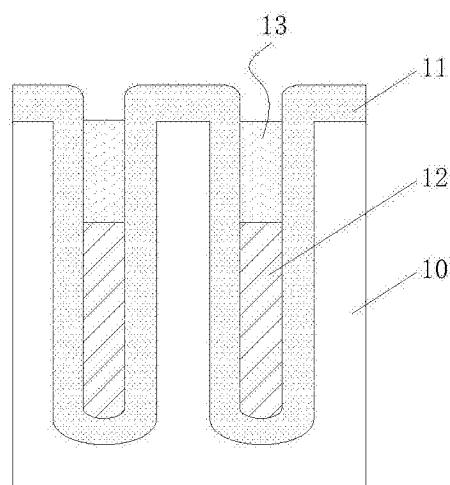


图4d

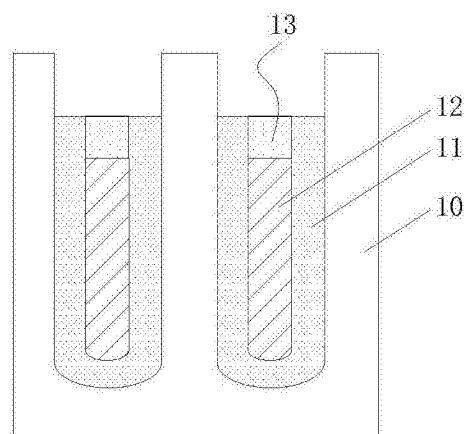


图4e

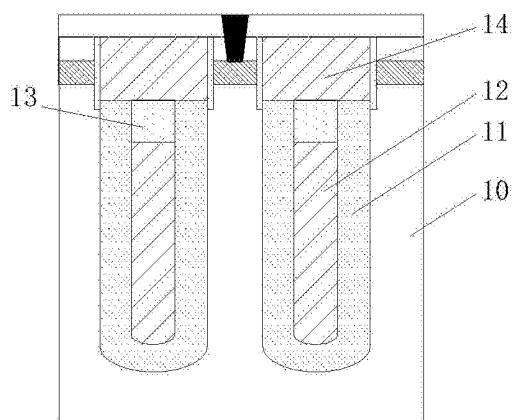


图4f

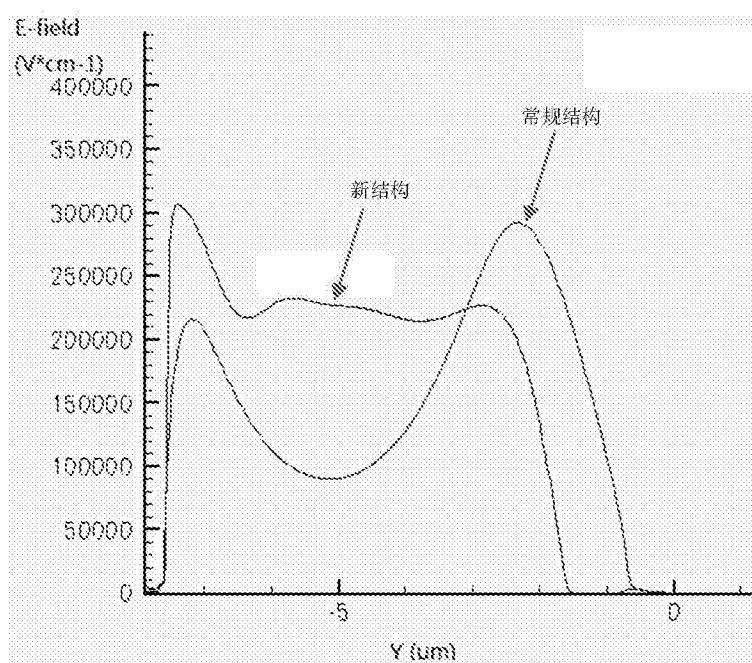


图5

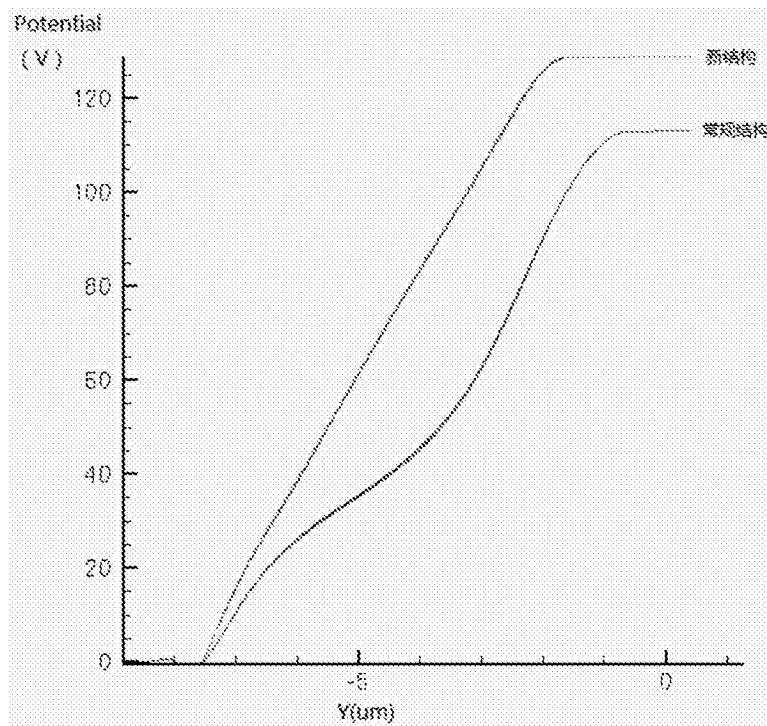


图6