

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 27 日 (27.01.2022)



(10) 国际公布号
WO 2022/016983 A1

(51) 国际专利分类号:
H01L 21/768 (2006.01)

(21) 国际申请号: PCT/CN2021/095607

(22) 国际申请日: 2021 年 5 月 24 日 (24.05.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010704669.4 2020 年 7 月 21 日 (21.07.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 吴秉桓 (WU, Ping-heng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 张志伟 (CHANG, Chih-

Wei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路 787 号二幢 202B 室, Shanghai 200011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME

(54) 发明名称: 半导体结构及其形成方法

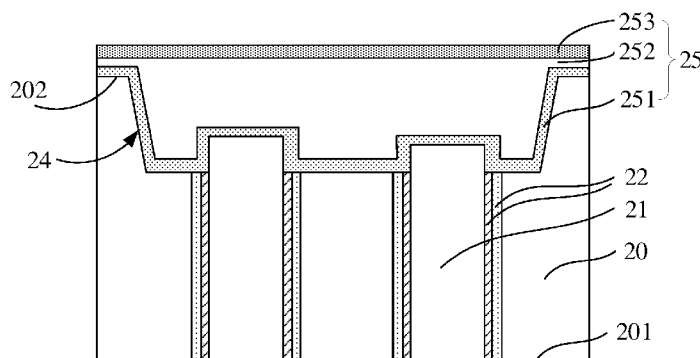


图 10

(57) Abstract: A semiconductor structure and a method for forming same. The method for forming a semiconductor structure comprises: providing a wafer (20), the wafer (20) having a front surface (201) and a back surface (202), a conductive plug (21) being provided in the wafer (20) and extending from the front surface (201) to the back surface (202), and the bottom surface of the conductive plug (21) being located in the wafer (20); performing an etching process on the back surface (202) of the wafer (20) to form a recess (24) that at least exposes the bottom surface of the conductive plug (21); and forming a functional layer (25) that covers the bottom surface of the conductive plug (21).

(57) 摘要: 一种半导体结构及其形成方法, 半导体结构的形成方法包括: 提供晶圆 (20), 晶圆 (20) 具有正面 (201) 和背面 (202), 晶圆 (20) 内具有导电插塞 (21), 导电插塞 (21) 自正面 (201) 向背面 (202) 延伸, 且导电插塞 (21) 底面位于晶圆 (20) 内; 对晶圆 (20) 背面 (202) 进行刻蚀工艺, 形成至少暴露导电插塞 (21) 底面的凹槽 (24); 形成覆盖导电插塞 (21) 底面的功能层 (25)。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构及其形成方法

交叉引用

5 [0001] 本申请要求于 2020 年 7 月 21 日递交的名称为“半导体结构及其形成方法”、申请号为 2020107046694 的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本申请实施例涉及半导体领域，特别涉及一种半导体结构及其形成方法。

背景技术

10 [0003] 在 3D 芯片结构的研发过程中，为了强化芯片封装体的导热效果，通常会在晶圆内置入导热性能良好的元件，以传导并散发晶圆某一位置的热量，例如伪导电插塞。

[0004] 在导电插塞的形成过程中，当用于填充导电材料和形成保护膜层的凹槽深宽比较大时，通过沉积工艺形成的覆盖凹槽底部和侧壁的膜层存在沉积不良的问题，进而导致性能缺陷。为解决这一性能缺陷，现有技术通常会对沉积不良的部分进行调整，然而现有技术存在一些问题。

15

发明内容

[0005] 本申请部分实施例提供了一种半导体结构及其形成方法，有利于提高半导体结构的性能。

20 [0006] 为解决上述问题，本申请部分实施例提供一种半导体结构的形成方法，包括：提供晶圆，所述晶圆具有正面和背面，所述晶圆内具有导电插塞，所述导电插塞自所述正面向所述背面延伸，且所述导电插塞底面位于所述晶圆内；对所述晶圆背面进行刻蚀工艺，形成至少暴露所述导电插塞底面的凹槽；形成覆盖所述导电插塞底面的功能层。

25 [0007] 另外，在进行所述刻蚀工艺之前，还包括：对所述晶圆背面进行平坦化工艺。

[0008] 另外，所述晶圆内具有多个所述导电插塞，在垂直于所述晶圆背面的方

向上，多个所述导电插塞的底面高度不同；所述凹槽暴露出任意所述导电插塞的底面。

[0009] 另外，所述凹槽还暴露出所述导电插塞的部分侧壁；在形成所述功能层的工艺步骤中，还在所述导电插塞的部分侧壁形成所述功能层。

5 [0010] 另外，所述导电插塞底面覆盖有保护层；在形成所述凹槽的工艺步骤中，所述刻蚀工艺还用于去除所述保护层。

[0011] 另外，所述功能层包括覆盖所述导电插塞底面的阻拦层和填充所述凹槽的介质层，阻拦层用于阻拦所述导电插塞中的金属离子迁移至所述介质层内。

10 [0012] 另外，所述介质层的材料包括二氧化硅、氮化硅或氮氧化硅中的至少一者，所述阻拦层的材料包括碳氮化硅。

[0013] 另外，所述功能层包括键合层，所述键合层用于进行熔融键合工艺。

[0014] 相应地，本申请部分实施例还提供一种半导体结构，包括：晶圆，所述晶圆具有正面和背面，所述晶圆内具有导电插塞，所述导电插塞自所述正面向所述背面延伸，且所述导电插塞底面位于所述晶圆内；凹槽，所述凹槽顶部开口位于所述晶圆背面所在平面，所述凹槽至少暴露所述导电插塞底面；功能层，
15 所述功能层覆盖所述导电插塞底面。

[0015] 另外，所述凹槽暴露所述导电插塞的底面和部分侧壁，所述功能层覆盖所述导电插塞的底面和部分侧壁。

20 [0016] 另外，在垂直于所述晶圆背面的方向上，所述凹槽底面与所述导电插塞底面之间的高度差为 2nm~10nm。

[0017] 另外，所述功能层为叠层结构，所述叠层结构包括覆盖所述导电插塞底面的阻拦层，以及填充所述凹槽的介质层，所述阻拦层用于阻拦所述导电插塞中的金属离子迁移至所述介质层内。

25 [0018] 另外，所述阻拦层的材料包括碳氮化硅，或者，所述阻拦层包括依次层叠的钽层和氮化钽层，所述钽层覆盖所述导电插塞底面，所述氮化钽层覆盖所述钽层。

[0019] 另外，所述导电插塞与所述凹槽排列为标记图案。

[0020] 与现有技术相比，本申请部分实施例提供的技术方案具有以下优点：

[0021] 上述技术方案中，采用刻蚀工艺暴露出导电插塞底面，有利于避免暴露过程中对导电插塞及其相邻的结构造成应力损伤，以及避免导电插塞及其相邻结构因为暴露过程中的应力问题而发生结构性改变，从而保证半导体结构具有良好的性能。

[0022] 另外，凹槽暴露出任意导电插塞的底面，使得任意导电插塞的底面都能被功能层覆盖，有利于避免部分导电插塞因底面未被功能层覆盖而导致半导体结构出现性能缺陷。

附图说明

[0023] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制。

[0024] 图 1 至图 4 为一种半导体结构的形成方法各步骤对应的结构示意图；

[0025] 图 5 至图 12 为本申请实施例提供的一种半导体结构的形成方法各步骤对应的结构示意图；

[0026] 图 13 为本申请又一实施例提供的一种半导体结构的结构示意图。

具体实施方式

[0027] 参考图 1，半导体结构包括：晶圆 10，晶圆 10 具有正面 101 和与正面 101 相对的背面 102，晶圆 10 内具有导电插塞 11，导电插塞 11 自正面 101 向背面 102 延伸，且导电插塞 11 底面位于晶圆 10 内；保护层 12，保护层 12 覆盖导电插塞 11 底面和侧壁；标记图案 13，标记图案 13 位于晶圆正面 101。

[0028] 保护层 12 可以是叠层结构，保护层 12 可包括包覆导电插塞 11 底面和侧壁的阻拦层和包覆阻拦层表面的介质层，阻拦层用于避免导电插塞 11 内的金属离子向晶圆 10 内迁移，介质层用于防止导电插塞 11 漏电。

[0029] 随着容纳导电插塞 11 和保护层 12 的凹槽的深宽比不断增大，在沉积形成保护层 12 的过程中，凹槽的底部会存在沉积不良的问题，其中较为严重的是底部拐角区域，底部拐角区域还包括凹槽的部分侧壁。沉积不良的问题会导致保护层 12 无法实现较好的保护效果，进而导致半导体结构出现性能缺陷，例如，

导电插塞 11 内的金属离子扩散和导电插塞 11 漏电。

[0030] 另外，由于标记图案 13 位于正面 101，在对晶圆 10 背面 102 进行加工处理时，需要识别并利用位于正面 101 的标记图案 13，而这存在一定的难度，并且存在较大的对准误差。

- 5 [0031] 为解决上述沉积不良的技术问题，且为了保证导电插塞 11 具有良好的散热效果，当前工艺通常选择对导电插塞 11 的底面和侧壁进行一定的工艺处理。具体步骤如下：

[0032] 参考图 2，进行第一平坦化工艺，去除位于导电插塞 11 底面的晶圆 10，以暴露出导电插塞 11 的底面；参考图 3，进行刻蚀工艺，去除覆盖导电插塞 11
10 部分侧壁的保护层 12 以及位于相邻导电插塞 11 之间的晶圆 10，以暴露出导电插塞 11 的部分侧壁，该部分侧壁表面通常存在保护层 12 沉积不良的问题。

[0033] 由于平坦化工艺的去除速率通常大于刻蚀工艺，先采用平坦化工艺暴露出导电插塞 11 的底面，再采用刻蚀工艺暴露导电插塞 11 的部分侧壁，能够缩短整个工艺流程的周期。然而，平坦化工艺会产生一定的拉扯应力，在以导电
15 插塞 11 底面为基准进行平坦化工艺时，拉扯应力会施加在导电插塞 11 上，使得导电插塞 11 在工艺过程中不断向周边结构施加压应力，从而导致导电插塞 11 与保护层 12 脱层，形成第一空隙 111，以及导致部分保护层 12 发生破裂。

[0034] 其中，破裂的保护层 12 碎屑可能掉落至第一空隙 111 内，在使保护层 12 与导电插塞 11 重新密闭接合时，保护层 12 碎屑的存在可能导致保护层 12 和导
20 电插塞 11 无法有效密合；此外，在对保护层 12 和导电插塞 11 进行密闭接合时，保护层 12 碎屑的存在可能导致应力集中问题，进而对完好的保护层 12 造成破坏。

[0035] 参考图 4，在晶圆 10 背面 102 沉积介质材料，并进行第二平坦化工艺，以形成暴露导电插塞 11 底面的介电层 14。

- 25 [0036] 由于介电层 14 暴露导电插塞 11 底面，因此第二平坦化工艺也是以导电插塞 11 底面为基准进行的，也就是说，第二平坦化工艺也会拉扯导电插塞 11，进而导致导电插塞 11 和介电层 14 之间产生第二空隙 131，以及使得靠近导电插塞 11 的部分介电层 14 发生破裂。

[0037] 此外，通过包覆的方式保护导电插塞 11 侧壁，而将导电插塞 11 底面暴露出来以导出热量，会导致导电插塞 11 在没有其他膜层覆盖的情况下出现损伤，且导电插塞 11 的暴露本身就具有漏电风险。

5 [0038] 为解决上述问题，本申请实施提供一种半导体结构及其形成方法，在暴露位于晶圆内的导电插塞底面时，通过采用刻蚀工艺代替平坦化工艺，形成暴露导电插塞底面的凹槽，避免平坦化工艺的拉扯应力对导电插塞以及位于导电插塞周围的结构造成损伤，从而保证半导体结构具有良好性能。

10 [0039] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

[0040] 图 5 至图 12 为本申请实施例提供的一种半导体结构的制作方法各步骤对应的结构示意图。

15 [0041] 参考图 5，提供晶圆 20，晶圆 20 具有正面 201 和与正面 201 相对的背面 202，晶圆 20 内具有导电插塞 21，导电插塞 21 自正面 201 向背面 202 延伸，且导电插塞 21 底面位于晶圆 20 内。

20 [0042] 本实施例中，在垂直于晶圆 20 背面 202 的方向上，晶圆 20 背面 202 与导电插塞 21 底面之间具有第一预设间距，第一预设间距由对晶圆 20 背面 202 进行减薄工艺和平坦化工艺后得到。平坦化工艺相对于减薄工艺而言，具有较低的去速速率以及较高的表面加工品质，且可用于去除减薄工艺过程中形成的较深刮伤。

25 [0043] 目前，平坦化工艺是通过抛光头向抛光垫施加压力且带动抛光垫转动，使得位于抛光垫和晶圆之间的研磨液能够均匀分布在晶圆表面，从而使得研磨液中的化学成分能够与晶圆表面材料产生化学反应，将不溶的物质转化为易溶物质，或者将硬度高的物质进行软化，然后通过研磨液中磨粒的微机械摩擦作用将这些化学反应物去除，实现平坦化目的。

[0044] 其中，磨粒在某一结构表面摩擦时，会对该结构施加一定的拉扯应力。在某一结构为独立设置的一部分时，由于相邻的其他结构与其材料不同，无法

起到较好的力传导作用，且在受力时可能存在应力集中问题，因此该结构可能对相邻的其他结构造成挤压，进而导致该结构与相邻的其他结构脱层以及导致相邻的其他结构发生损伤，例如发生破碎。

5 [0045] 需要说明的是，在远离摩擦表面的方向上，磨粒造成的拉扯应力会逐渐降低。因此，设置导电插塞 21 底面与晶圆 20 背面 202 之间的间距大于或等于第一预设间距，有利于避免导电插塞 21 受到平坦化工艺拉扯应力的影响，避免导电插塞 21 与周围膜层发生脱层，以及避免周围膜层发生破裂。

[0046] 在提供晶圆 20 之后，需要对晶圆 20 背面 202 进行刻蚀工艺，形成暴露导电插塞 21 底面的凹槽。凹槽的形成工艺包括以下步骤：

10 [0047] 参考图 6，采用掩膜版在背面 202 形成图案化掩膜层 23，在垂直于背面 202 的方向上，导电插塞 21 底面的正投影位于掩膜层 23 开口的正投影内。

[0048] 本实施例中，晶圆 20 内具有多个用于导热的导电插塞 21，导电插塞 21 可由硅穿孔工艺（Through Silicon Via, TSV）制成，掩膜层 23 具有单个开口，参考图 7，任意导电插塞 21 底面的正投影都位于该单一开口的正投影内，如此，
15 有利于降低掩膜版的制备难度。

[0049] 在其他实施例中，参考图 8，掩膜层 33 具有多个开口，一个或多个导电插塞 31 的正投影位于一个开口的正投影内，如此，当相邻导电插塞 31 之间具有其他中间结构时，利用开口刻蚀晶圆 30 形成暴露导电插塞 31 底面的凹槽时，不会暴露出中间结构或者对中间结构造成损伤。

20 [0050] 参考图 9，对晶圆 20 背面 202 进行刻蚀工艺，形成至少暴露导电插塞 21 底面的凹槽 24；在形成凹槽 24 之后去除掩膜层。

[0051] 本实施例中，在垂直于晶圆 20 背面 202 的方向上，多个导电插塞 21 的底面高度不同，凹槽 24 暴露出任意导电插塞 21 的底面。如此，有利于保证每个导电插塞 21 的底面都能够覆盖功能层，以实现功能层的效果，例如防护隔离。

25 [0052] 本实施例，凹槽 24 还暴露出导电插塞 21 的部分侧壁，如此，后续形成的功能层还可以覆盖导电插塞 21 的部分侧壁，从而弥补位于导电插塞 21 部分侧壁的保护层 22 沉积不良问题，从而进一步提高半导体结构的性能。

[0053] 本实施例中，凹槽 24 底面与导电插塞 21 底面之间的高度差 d 为

2nm-10nm，例如 4nm、6nm 或 8nm。如此，有利于保证后续形成的功能层能够完全覆盖导电插塞 21 的拐角区域，即覆盖保护层 22 沉积不良的导电插塞 21 侧壁区域，从而保证半导体结构具有良好的性能；此外，限制高度差 d 的大小，有利于保证后续进行功能层的填充时，功能层材料能够较好地覆盖导电插塞 21 侧壁，以及有利于保证功能层材料填满相邻导电插塞 21 之间的区域，避免因为相邻导电插塞 21 之间的凹槽的深宽比较大而出现填充时提前封口现象，保证功能层材料具有较好的填充效果。

[0054] 本实施例中，导电插塞 21 底面和侧壁覆盖有保护层 22，在形成凹槽 24 的工艺步骤中，刻蚀工艺还用于去除位于导电插塞 21 底面和部分侧壁的保护层 22，以暴露出导电插塞 21 底面和部分侧壁。如此，有利于保证功能层能够均匀涂覆在导电插塞 21 表面，实现其预设性能。

[0055] 在去除保护层 22 之前，保护层 22 可能已经发生破裂，破裂的保护层 22 远离导电插塞 21 的表面通常会呈现凹凸不平的状态，而在凹凸不平的表面涂覆功能层，很容易出现功能层未涂覆均匀，进而无法实现预设性能的情况；此外，保护层 22 可能与导电插塞 21 发生脱层，此时导电插塞 21 具有较差的结构稳定性，即可能随着半导体结构的移动而发生震颤，去除保护层 22 而在导电插塞 21 表面形成功能层，有利于固定导电插塞 21，提升导电插塞 21 的结构稳定性，避免导电插塞 21 的震颤对功能层造成损伤，进一步保证功能层能够实现其预设性能。参考图 10，形成覆盖导电插塞 21 的功能层 25。

[0056] 本实施例中，在形成凹槽 24 之后，依次形成阻拦层 251、介质层 252 和键合层 253，以构成功能层 25。其中，阻拦层 251 用于阻拦导电插塞 21 内的金属离子向晶圆 20 以及介质层 252 内迁移，介质层 252 用于防止导电插塞 21 漏电，键合层 253 用于进行熔融键合工艺，以实现多个半导体结构的连接和封装。

[0057] 本实施例中，在形成键合层 253 之前，需要介质层 252 进行平坦化工艺，以保证键合层 253 能够形成在平坦化表面上，进而使得不同半导体结构之间能够有效连接，无需专门为连接对象设置独有的键合结构。

[0058] 为避免介质层 252 的平坦化工艺对导电插塞 21、覆盖导电插塞 21 的保护层 22 和阻拦层 251 造成影响，在垂直于介质层 252 表面的方向上，介质层 252 远离阻拦层 251 的表面与导电插塞 21 底面之间的间距应该大于或等于第二预设

间距。第二预设间距的大小与介质层 252 的材料和阻拦层 251 的材料有关，具体来说，介质层 252 的材料和阻拦层 251 的材料传递应力的能力越强，第二预设间距越大，如此才能够避免较大的拉扯应力作用在导电插塞 21 上。

5 [0059] 本实施例中，功能层 25 覆盖导电插塞 21 底面，有利于避免导电插塞 21 在后续应用过程中被较大的应力拉扯，进而避免应力拉扯所造成的芯片质量风险；此外，有利于避免导电插塞 21 误导电。

[0060] 本实施例中，阻拦层 251 的材料包括碳氮化硅，或者，包括依次层叠的钽层和氮化钽层，钽层覆盖导电插塞 21 表面，氮化钽层覆盖钽层；介质层 252 的材料包括氧化硅、氮化硅或氮氧化硅中的至少一者。

10 [0061] 参考图 11，本实施例中，功能层 25 的散热性能可以优于晶圆 20 的散热性能。如此，晶圆 20 正面 201 的热量能够通过导电插塞 21 进行传导，并通过功能层 25 从晶圆 20 背面 202 散发出来，避免晶圆 20 正面 201 的热量不断堆积，进而避免设置于正面 201 的元器件受到高热量的损伤；以及避免晶圆 20 正面 201 的热量大多散发在晶圆 20 内，避免位于晶圆 20 内部的元器件受到高热量的损伤，
15 保证半导体结构具有良好的性能。

[0062] 功能层 25 中可包含多种材料，功能层 25 中至少一种材料的散热性能优于晶圆 20 的散热性能。

[0063] 本实施例中，功能层 25 不仅覆盖导电插塞 21 底面，还覆盖导电插塞 21 部分侧壁，如此，能够增加功能层 25 与导电插塞 21 的接触面积，从而加快热
20 量从导电插塞 21 传输至功能层 25 的传导速率，保证正面 201 的热量能够被以较快的速率散发掉。

[0064] 本实施例中，在形成功能层 25 之后，由于功能层 25 不会对视线造成阻挡，因此在对晶圆 20 背面进行加工处理时，可以通过导电插塞 21 底面进行对准定位，进而提高加工处理的对准精度。优选地，功能层 25 的透明度可以高于
25 晶圆 20 的透明度。

[0065] 本实施例中，参考图 12，导电插塞 21 和凹槽 24 排列为标记图案；在其他实施例中，导电插塞或凹槽为标记图案。

[0066] 本实施例中，在暴露位于晶圆内的导电插塞底面时，通过采用刻蚀工艺

代替平坦化工艺，形成暴露导电插塞底面的凹槽，避免平坦化工艺的拉扯应力对导电插塞以及位于导电插塞周围的膜层和结构造成损伤，从而保证半导体结构具有良好性能。

5 [0067] 相应地，本申请实施例还提供一种半导体结构，该半导体结构可采用上述半导体结构的形成方法制成。

[0068] 参考图 10，半导体结构包括：晶圆 20，晶圆 20 具有正面 201 和与正面 201 相对的背面 202，晶圆 20 内具有导电插塞 21，导电插塞 21 自正面 201 向背面 202 延伸，且导电插塞 21 底面位于晶圆 20 内；凹槽 24，凹槽 24 顶部开口位于晶圆 20 背面 202 所在平面，凹槽 24 至少暴露导电插塞 21 底面；功能层 25，
10 功能层 25 覆盖导电插塞 21 底面。

[0069] 本实施例中，凹槽 24 暴露导电插塞 21 的底面和部分侧壁，功能层 25 覆盖导电插塞 21 的底面和部分侧壁。

[0070] 本实施例中，在垂直于晶圆 20 背面 202 的方向上，凹槽 24 底面与导电插塞 21 底面之间的高度差为 2nm~10nm，例如 3nm、5nm 或 7nm。

15 [0071] 本实施例中，功能层 25 为叠层结构，叠层结构 25 包括覆盖导电插塞 21 底面的阻拦层 251，以及覆盖阻拦层 251 的介质层 252，阻拦层 251 用于阻拦导电插塞 21 中的金属离子迁移至介质层 252 内。

[0072] 示例性地，阻拦层 251 的材料包括碳氮化硅，或者，阻拦层 251 包括依次层叠的钽层和氮化钽层，钽层覆盖导电插塞 21 表面，氮化钽层覆盖钽层。

20 [0073] 本实施例中，功能层 25 的散热性能优于晶圆 20 的散热性能；功能层 25 的透明度高于晶圆 20 的透明度；导电插塞 21 与凹槽 24 排列为标记图案。

[0074] 本实施例中，导电插塞位于凹槽内，且被功能层覆盖，有利于避免受到拉扯应力的影响，以及避免漏电现象发生，有利于保证半导体结构具有良好的性能。

25 [0075] 本申请又一实施例还提供一种半导体结构，与前一实施例不同的是，本实施例中，多个导电插塞的底面高度相同，导电插塞底面具有圆角。以下将结合图 13 进行详细说明，图 13 为本申请又一实施例提供的半导体结构的结构示意图。与上一实施例相同或者相应的部分，可参考上一实施例的相应说明，以

下不做赘述。

[0076] 参考图 13，半导体结构中包括多个导电插塞 31，在垂直于晶圆 30 表面的方向上，多个导电插塞 31 的底面高度相同；另外，导电插塞 31 的底部表面与侧壁之间的拐角为圆角。

5 [0077] 本实施例提供了一种新的半导体结构。

[0078] 本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

10

权 利 要 求 书

1. 一种半导体结构的形成方法，包括：

提供晶圆，所述晶圆具有正面和背面，所述晶圆内具有导电插塞，所述导电插塞自所述正面向所述背面延伸，且所述导电插塞底面位于所述晶圆内；

- 5 对所述晶圆背面进行刻蚀工艺，形成至少暴露所述导电插塞底面的凹槽；
形成覆盖所述导电插塞底面的功能层。

2. 根据权利要求 1 所述的形成方法，其中，在进行所述刻蚀工艺之前，还包括：
对所述晶圆背面进行平坦化工艺。

3. 根据权利要求 1 所述的形成方法，其中，所述晶圆内具有多个所述导电插塞，
10 在垂直于所述晶圆背面的方向上，多个所述导电插塞的底面高度不同；所述
凹槽暴露出任意所述导电插塞的底面。

4. 根据权利要求 1 所述的形成方法，其中，所述凹槽还暴露出所述导电插塞的
部分侧壁；在形成所述功能层的工艺步骤中，还在所述导电插塞的部分侧壁
形成所述功能层。

- 15 5. 根据权利要求 1 所述的形成方法，其中，所述导电插塞底面覆盖有保护层；
在形成所述凹槽的工艺步骤中，所述刻蚀工艺还用于去除所述保护层。

6. 根据权利要求 1 所述的形成方法，其中，所述功能层包括覆盖所述导电插塞
底面的阻拦层和填充所述凹槽的介质层，所述阻拦层用于阻拦所述导电插塞
中的金属离子迁移至所述介质层内。

- 20 7. 根据权利要求 6 所述的形成方法，其中，所述介质层的材料包括二氧化硅、
氮化硅或氮氧化硅中的至少一者，所述阻拦层的材料包括碳氮化硅。

8. 根据权利要求 1 所述的形成方法，其中，所述功能层包括键合层，所述键合
层用于进行熔融键合工艺。

9. 一种半导体结构，包括：

- 25 晶圆，所述晶圆具有正面和背面，所述晶圆内具有导电插塞，所述导电插塞
自所述正面向所述背面延伸，且所述导电插塞底面位于所述晶圆内；

凹槽，所述凹槽顶部开口位于所述晶圆背面所在平面，所述凹槽至少暴露所

述导电插塞底面；

功能层，所述功能层覆盖所述导电插塞底面。

10. 根据权利要求 9 所述的半导体结构，其中，所述凹槽暴露所述导电插塞的底面和部分侧壁，所述功能层覆盖所述导电插塞的底面和部分侧壁。
- 5 11. 根据权利要求 10 所述的半导体结构，其中，在垂直于所述晶圆背面的方向上，所述凹槽底面与所述导电插塞底面之间的高度差为 2nm~10nm。
12. 根据权利要求 9 所述的半导体结构，其中，所述功能层为叠层结构，所述叠层结构包括覆盖所述导电插塞底面的阻拦层，以及填充所述凹槽的介质层，所述阻拦层用于阻拦所述导电插塞中的金属离子迁移至所述介质层内。
- 10 13. 根据权利要求 12 所述的半导体结构，其中，所述阻拦层的材料包括碳氮化硅，或者，所述阻拦层包括依次层叠的钽层和氮化钽层，所述钽层覆盖所述导电插塞底面，所述氮化钽层覆盖所述钽层。
14. 根据权利要求 9 所述的半导体结构，其中，所述导电插塞与所述凹槽排列为标记图案。

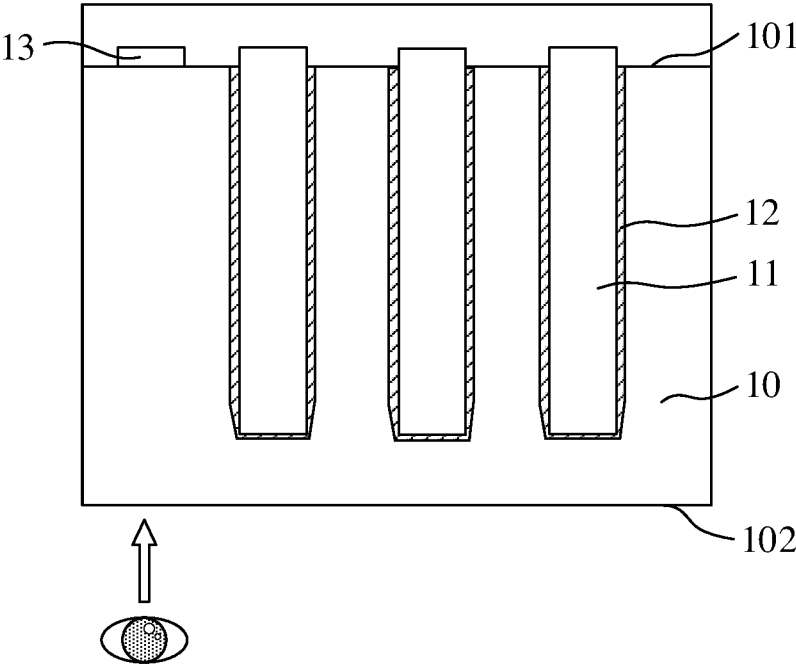


图 1

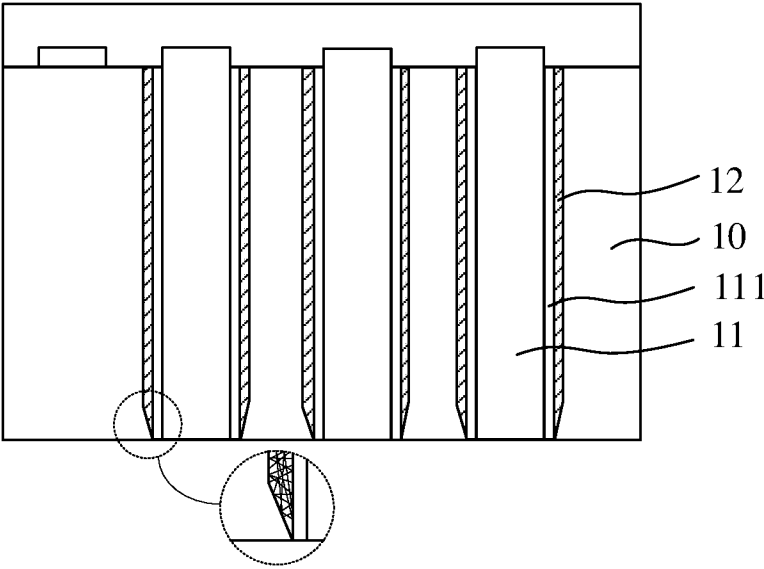


图 2

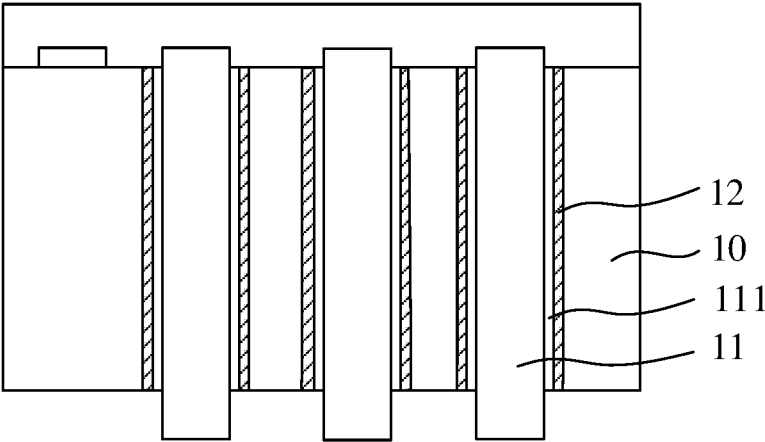


图 3

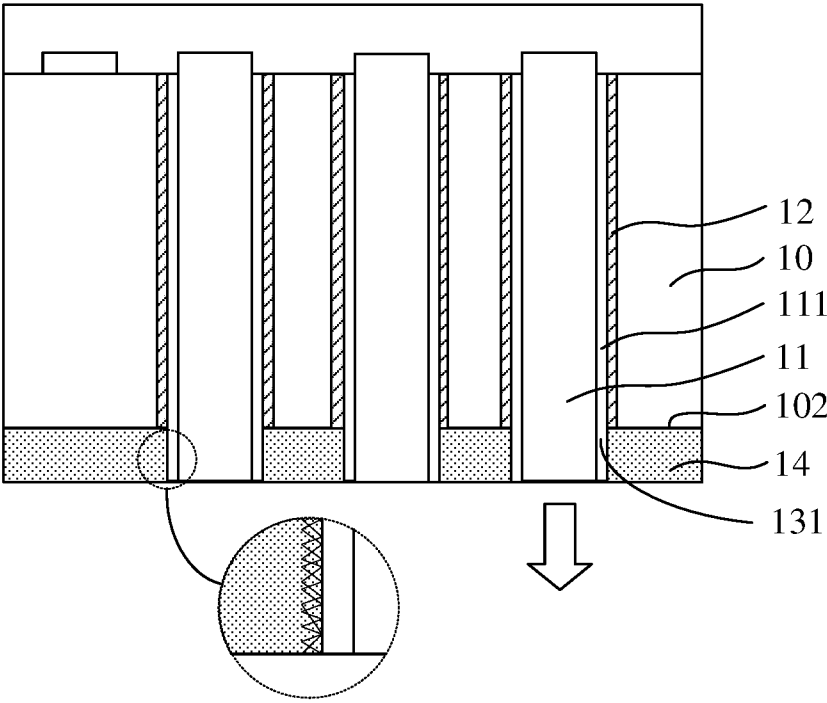


图 4

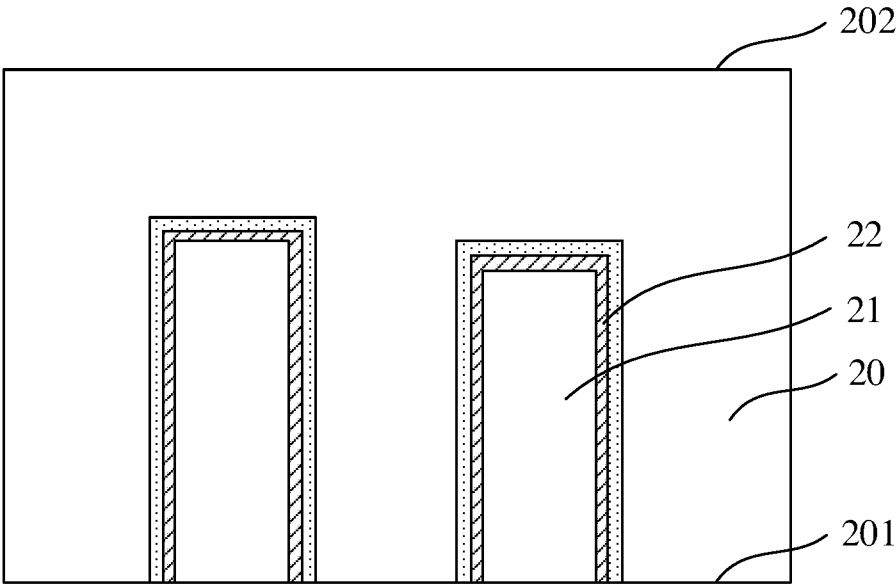


图 5

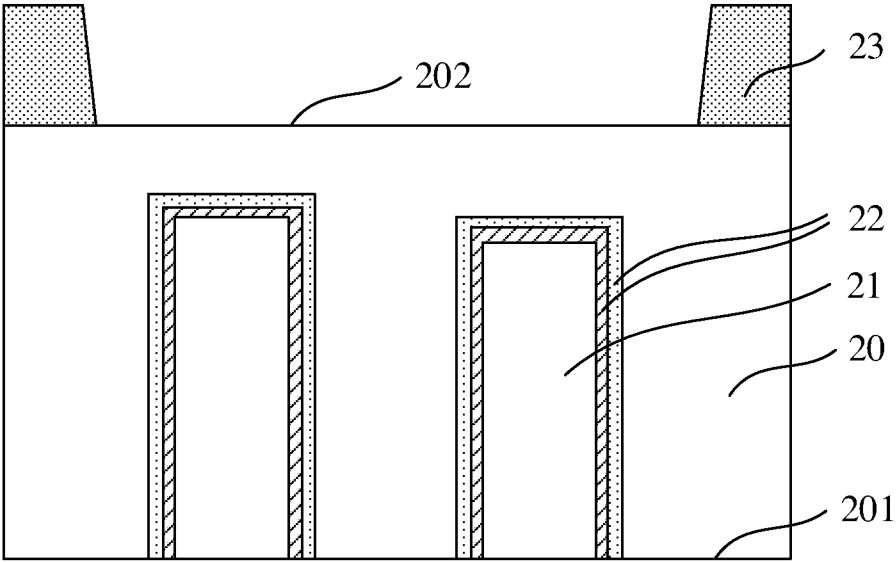


图 6

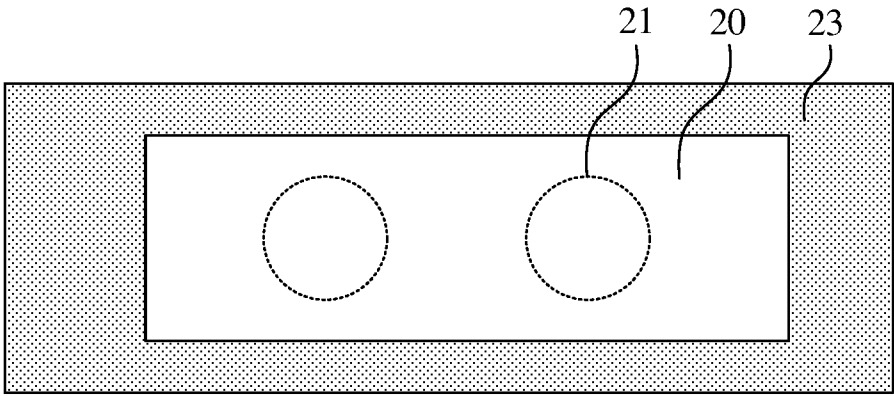


图 7

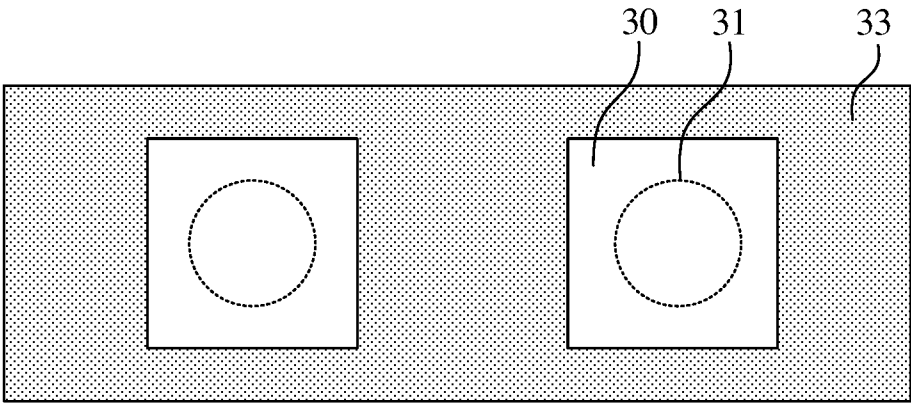


图 8

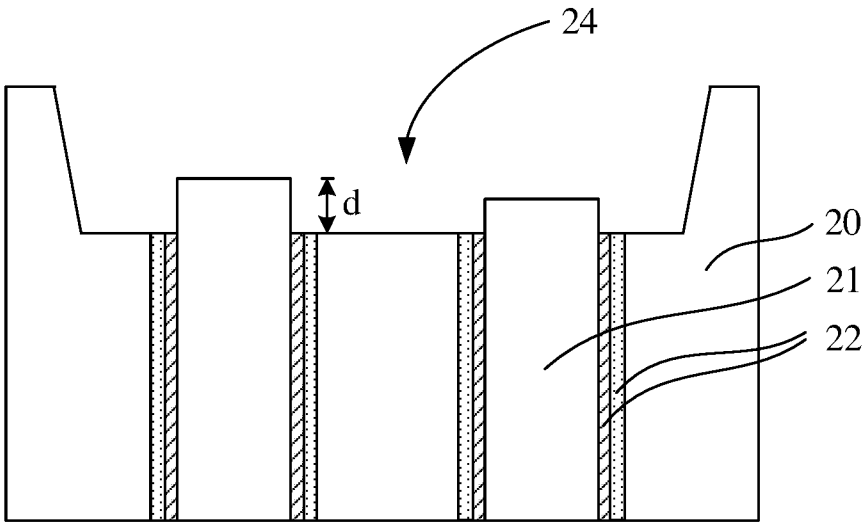


图 9

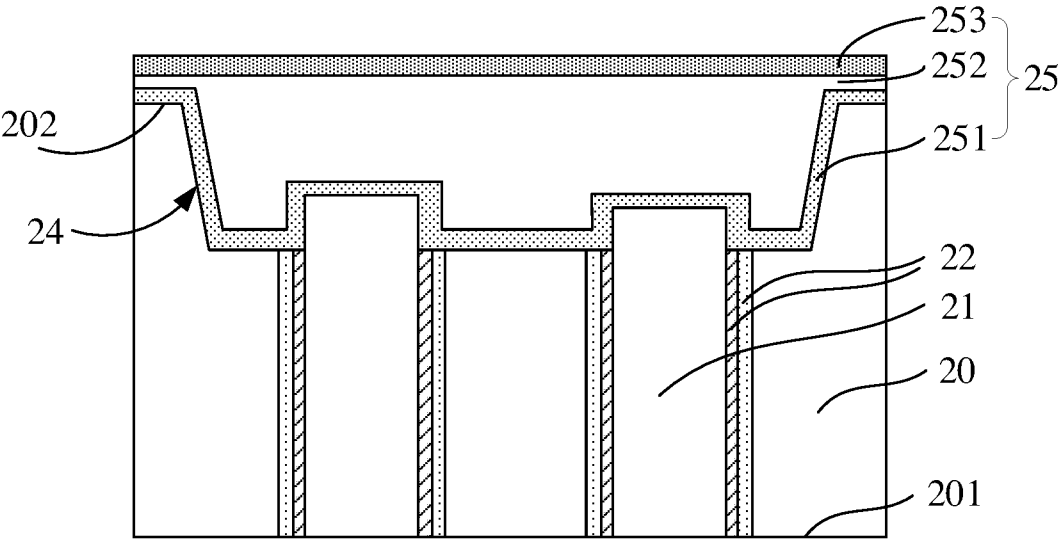


图 10

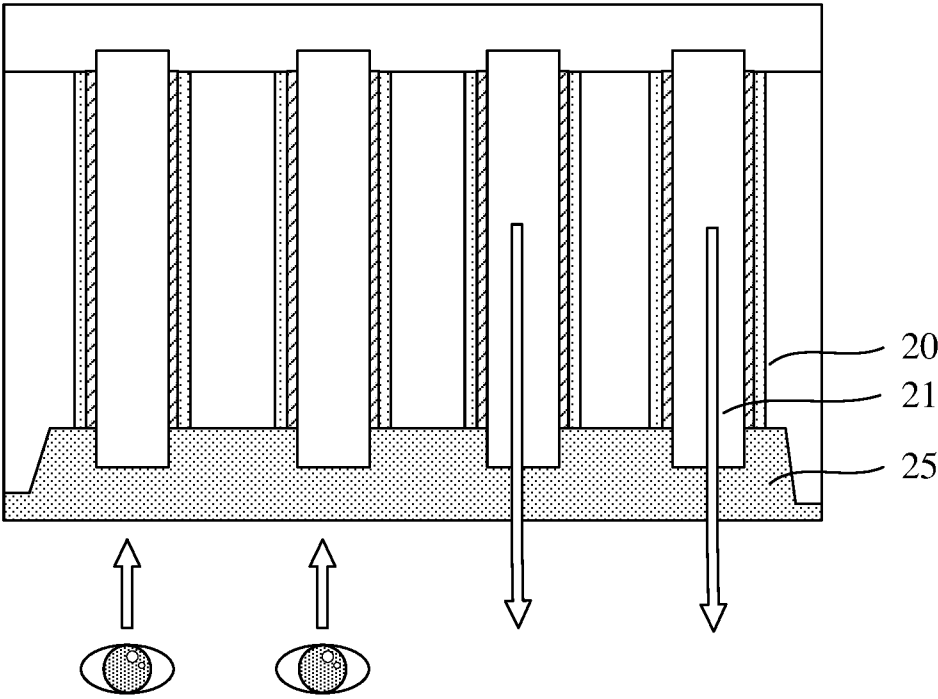


图 11

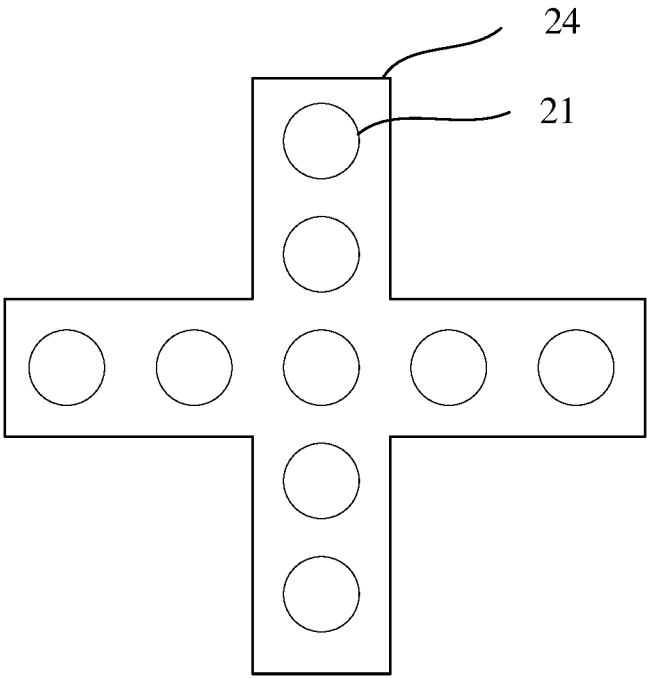


图 12

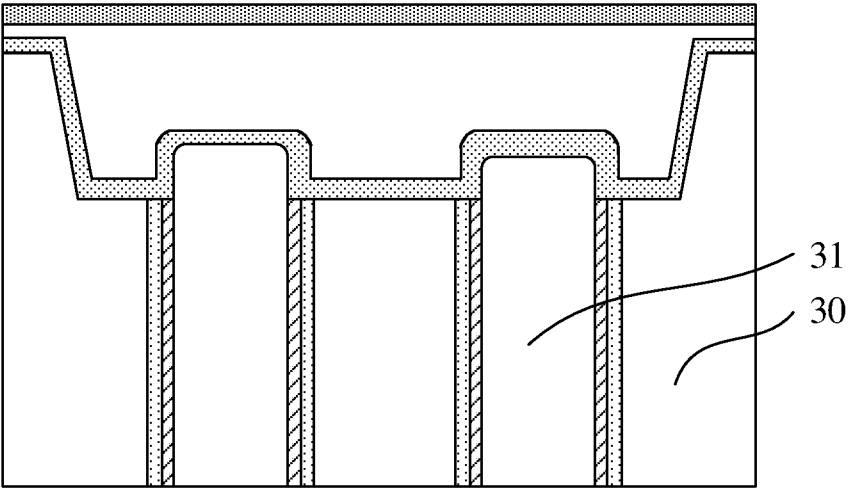


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/095607

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 插塞, 通孔, 互连, 底面, 背面, 刻蚀, 蚀刻, 凹部, 凹槽, 凹陷, 开口, 破损, 剥落, plug, TSV, via, bottom, rear surface, etch, trench, opeing, broken, flake

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103377984 A (SHANGHAI HUA HONG NEC ELECTRONICS CO., LTD.) 30 October 2013 (2013-10-30) description, paragraphs 0041-0049, figures 1-9	1-4, 8-11, 14
Y	CN 103377984 A (SHANGHAI HUA HONG NEC ELECTRONICS CO., LTD.) 30 October 2013 (2013-10-30) description, paragraphs 0041-0049, figures 1-9	5-7, 12-13
Y	CN 102543782 A (CHINA WAFER LEVEL CSP CO., LTD.) 04 July 2012 (2012-07-04) description, paragraphs 0028-0107, figures 2-12	5-7, 12-13
X	CN 103346120 A (NATIONAL CENTER FOR ADVANCED PACKAGING CO., LTD.) 09 October 2013 (2013-10-09) description, paragraphs [0034]-[0050]	1, 2, 4-5, 8-9
A	US 2014035109 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 06 February 2014 (2014-02-06) entire document	1-14
A	US 2009261457 A1 (MICRON TECHNOLOGY INC.) 22 October 2009 (2009-10-22) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 August 2021

Date of mailing of the international search report

23 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/095607

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103377984	A	30 October 2013	None			
CN	102543782	A	04 July 2012	CN	102543782	B	04 June 2014
CN	103346120	A	09 October 2013	None			
US	2014035109	A1	06 February 2014	US	8709936	B2	29 April 2014
				US	2015097273	A1	09 April 2015
				US	8970011	B2	03 March 2015
				US	2014124954	A1	08 May 2014
US	2009261457	A1	22 October 2009	KR	101471700	B1	10 December 2014
				WO	2009131671	A2	29 October 2009
				CN	102047418	B	16 October 2013
				WO	2009131671	A3	11 February 2010
				US	2011226730	A1	22 September 2011
				CN	102047418	A	04 May 2011
				US	2011031632	A1	10 February 2011
				KR	20100134777	A	23 December 2010
				JP	5578447	B2	27 August 2014
				EP	2274773	A2	19 January 2011
				US	8227343	B2	24 July 2012
				EP	2274773	A4	13 June 2012
				US	7821107	B2	26 October 2010
				US	8546919	B2	01 October 2013
				US	2012286424	A1	15 November 2012
				TW	I389277	B	11 March 2013
				EP	2274773	B1	17 July 2013
				US	7952171	B2	31 May 2011
				TW	201001647	A	01 January 2010
				JP	2011521444	A	21 July 2011

国际检索报告

国际申请号

PCT/CN2021/095607

A. 主题的分类 H01L 21/768(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, EPDOC, CNPAT, CNKI, IEEE:插塞, 通孔, 互连, 底面, 背面, 刻蚀, 蚀刻, 凹部, 凹槽, 凹腔, 开口, 破损, 剥落, plug, TSV, via, bottom, rear surface, etch, trench, opening, broken, flake																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103377984 A (上海华虹NEC电子有限公司) 2013年 10月 30日 (2013 - 10 - 30) 说明书第0041-0049段、附图1-9</td> <td>1-4, 8-11, 14</td> </tr> <tr> <td>Y</td> <td>CN 103377984 A (上海华虹NEC电子有限公司) 2013年 10月 30日 (2013 - 10 - 30) 说明书第0041-0049段、附图1-9</td> <td>5-7, 12-13</td> </tr> <tr> <td>Y</td> <td>CN 102543782 A (苏州晶方半导体科技股份有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第0028-0107段、附图2-12</td> <td>5-7, 12-13</td> </tr> <tr> <td>X</td> <td>CN 103346120 A (华进半导体封装先导技术研发中心有限公司) 2013年 10月 9日 (2013 - 10 - 09) 说明书第0034-0050段</td> <td>1, 2, 4-5, 8-9</td> </tr> <tr> <td>A</td> <td>US 2014035109 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2014年 2月 6日 (2014 - 02 - 06) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2009261457 A1 (MICRON TECHNOLOGY INC.) 2009年 10月 22日 (2009 - 10 - 22) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103377984 A (上海华虹NEC电子有限公司) 2013年 10月 30日 (2013 - 10 - 30) 说明书第0041-0049段、附图1-9	1-4, 8-11, 14	Y	CN 103377984 A (上海华虹NEC电子有限公司) 2013年 10月 30日 (2013 - 10 - 30) 说明书第0041-0049段、附图1-9	5-7, 12-13	Y	CN 102543782 A (苏州晶方半导体科技股份有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第0028-0107段、附图2-12	5-7, 12-13	X	CN 103346120 A (华进半导体封装先导技术研发中心有限公司) 2013年 10月 9日 (2013 - 10 - 09) 说明书第0034-0050段	1, 2, 4-5, 8-9	A	US 2014035109 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2014年 2月 6日 (2014 - 02 - 06) 全文	1-14	A	US 2009261457 A1 (MICRON TECHNOLOGY INC.) 2009年 10月 22日 (2009 - 10 - 22) 全文	1-14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 103377984 A (上海华虹NEC电子有限公司) 2013年 10月 30日 (2013 - 10 - 30) 说明书第0041-0049段、附图1-9	1-4, 8-11, 14																					
Y	CN 103377984 A (上海华虹NEC电子有限公司) 2013年 10月 30日 (2013 - 10 - 30) 说明书第0041-0049段、附图1-9	5-7, 12-13																					
Y	CN 102543782 A (苏州晶方半导体科技股份有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第0028-0107段、附图2-12	5-7, 12-13																					
X	CN 103346120 A (华进半导体封装先导技术研发中心有限公司) 2013年 10月 9日 (2013 - 10 - 09) 说明书第0034-0050段	1, 2, 4-5, 8-9																					
A	US 2014035109 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2014年 2月 6日 (2014 - 02 - 06) 全文	1-14																					
A	US 2009261457 A1 (MICRON TECHNOLOGY INC.) 2009年 10月 22日 (2009 - 10 - 22) 全文	1-14																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期	国际检索报告邮寄日期																						
2021年 8月 4日	2021年 8月 23日																						
ISA/CN的名称和邮寄地址	授权官员																						
中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088	刘振玲																						
传真号 (86-10)62019451	电话号码 (86-10)-53961442																						

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/095607

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103377984	A	2013年 10月 30日	无	
CN	102543782	A	2012年 7月 4日	CN	102543782 B 2014年 6月 4日
CN	103346120	A	2013年 10月 9日	无	
US	2014035109	A1	2014年 2月 6日	US	8709936 B2 2014年 4月 29日
				US	2015097273 A1 2015年 4月 9日
				US	8970011 B2 2015年 3月 3日
				US	2014124954 A1 2014年 5月 8日
US	2009261457	A1	2009年 10月 22日	KR	101471700 B1 2014年 12月 10日
				WO	2009131671 A2 2009年 10月 29日
				CN	102047418 B 2013年 10月 16日
				WO	2009131671 A3 2010年 2月 11日
				US	2011226730 A1 2011年 9月 22日
				CN	102047418 A 2011年 5月 4日
				US	2011031632 A1 2011年 2月 10日
				KR	20100134777 A 2010年 12月 23日
				JP	5578447 B2 2014年 8月 27日
				EP	2274773 A2 2011年 1月 19日
				US	8227343 B2 2012年 7月 24日
				EP	2274773 A4 2012年 6月 13日
				US	7821107 B2 2010年 10月 26日
				US	8546919 B2 2013年 10月 1日
				US	2012286424 A1 2012年 11月 15日
				TW	1389277 B 2013年 3月 11日
				EP	2274773 B1 2013年 7月 17日
				US	7952171 B2 2011年 5月 31日
				TW	201001647 A 2010年 1月 1日
				JP	2011521444 A 2011年 7月 21日