(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 3 日(03.10.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/147275 A1

(51) 国際特許分類:
H01L 29/739 (2006.01) *H01L 21/336* (2006.01)
H01L 21/265 (2006.01) *H01L 29/78* (2006.01)
H01L 21/329 (2006.01) *H01L 29/868* (2006.01)

(21) 国際出願番号: PCT/JP2013/059776

(22) 国際出願日: 2013 年 3 月 29 日(29.03.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-080685 2012 年 3 月 30 日(30.03.2012) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 宮崎 正行(MIYAZAKI, Masayuki); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 吉村 尚(YOSHIMURA, Takashi); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 瀧下 博(TAKISHITA, Hiroshi); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 栗林 秀直(KURIBAYASHI, Hidenao); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

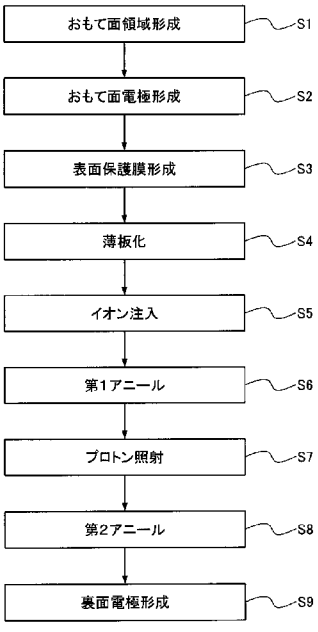
(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関３丁目２番５号 霞が関ビルディング２０階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,

[続葉有]

(54) **Title**: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置の製造方法



S1 Formation of front face region
S2 Formation of front face electrode
S3 Formation of surface-protecting film
S4 Plate thinning
S5 Ion implantation
S6 First annealing
S7 Proton irradiation
S8 Second annealing
S9 Formation of back face electrode

(57) **Abstract**: In the interior of a semiconductor substrate that forms an n^- drift layer, a p^+ collector layer is provided in the surface layer on the back face side and an n^+ field stop layer is provided in a region deeper than the p^+ collector layer on the back face side. The collector electrode contacts the p^+ collector layer. When forming the p^+ collector layer and the n^+ field stop layer, impurity ions are implanted in the back face of the semiconductor substrate (Step S5). Next, the impurity ions are activated by a first annealing to form the p^+ collector layer (Step S6). Then, proton irradiation is performed on the back face of the semiconductor substrate (Step S7). Next, the protons are used for donor formation by means of a second annealing to form a field stop layer (Step S8). The first annealing is performed at a higher annealing temperature than the second annealing. Subsequently, a collector electrode is formed on the back face of the semiconductor substrate (Step S9). As a result, the occurrence of poor electrical properties can be avoided.

(57) 要約: ｎ⁻ドリフト層となる半導体基板の内部には、裏面側の表面層にｐ⁺コレクタ層が設けられ、裏面側のｐ⁺コレクタ層よりも深い領域にｎ⁺フィールドストップ層が設けられる。コレクタ電極は、ｐ⁺コレクタ層に接する。ｐ⁺コレクタ層およびｎ⁺フィールドストップ層を形成するにあたって、半導体基板の裏面に不純物イオンをイオン注入する（ステップＳ５）。次に、第１アニールによって不純物イオンを活性化し、ｐ⁺コレクタ層を形成する（ステップＳ６）。次に、半導体基板の裏面にプロトン照射を行う（ステップＳ７）。次に、第２アニールによってプロトンをドナー化し、フィールドストップ層を形成する（ステップＳ８）。第１アニールは第２アニールよりも高いアニール温度で行われる。その後、半導体基板の裏面にコレクタ電極を形成する（ステップＳ９）。これにより、電気特性不良の発生を回避することができる。

WO 2013/147275 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

— 補正された請求の範囲及び説明書（条約第 19 条(1)）

明　細　書

発明の名称 ： 半導体装置の製造方法

技術分野

[0001] この発明は、半導体装置の製造方法に関する。

背景技術

[0002] 電力用半導体装置として、４００Ｖ、６００Ｖ、１２００Ｖ、１７００Ｖ、３３００Ｖの耐圧またはそれ以上の耐圧を有するＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ：絶縁ゲート型バイポーラトランジスタ）やダイオード（Ｄｉｏｄｅ）等が公知である。これらの電力用半導体装置はコンバータやインバータなどの電力変換装置に用いられている。

[0003] この電力用半導体装置の製造方法として、次の方法が公知である。まず、半導体基板のおもて面におもて面素子構造を形成する。次に、半導体基板の裏面を研削等により除去し、半導体基板を薄板化する。次に、半導体基板の研削された裏面に不純物イオンをイオン注入する。そして、熱処理によって、半導体基板の裏面に注入された不純物を活性化して裏面素子構造を形成する。また、このような方法において、半導体基板にプロトンを照射し、熱処理をすることで、照射（注入）された水素原子と、その周辺の空孔等による複合欠陥がドナーとなる水素誘起ドナー（あるいは単に水素ドナー）を利用して半導体基板の内部に高濃度のn^+層を形成する方法が種々提案されている。

[0004] 熱処理によるプロトンの活性化現象を利用した半導体装置の製造方法について、トレンチゲート型ＩＧＢＴを例に説明する。図２６～３１は、従来の製造途中の半導体装置を示す断面図である。図３２は、図３１に続く工程後の半導体装置を示す断面図である。まず、図２６に示すようにn^-ドリフト層１０１となるn^-型の半導体基板を用意する。次に、図２７に示すように、半導体基板のおもて面にｐベース領域１０２、n^+エミッタ領域１０３、トレン

チ１０４、ゲート酸化膜１０５およびゲート電極１０６からなるトレンチゲート型のＭＯＳゲート（金属－酸化膜－半導体からなる絶縁ゲート）構造を形成する。符号１０８は層間絶縁膜である。

[0005] 次に、図２８に示すように、ｐベース領域１０２およびn^+エミッタ領域１０３に接するエミッタ電極１０７を形成する。次に、半導体基板の裏面を研削等により除去し、半導体基板を薄板化する。次に、半導体基板の研削された裏面にプロトン（H^+）１２１を照射する。図２８において、半導体基板の裏面近傍の×印は、照射されたプロトンをあらわしている（以下、図７，１１，１８，２２，４８，５０，５２においても同様）。次に、図２９に示すように、アニールによって、半導体基板に照射されたプロトン１２１を活性化し、n^-ドリフト層１０１の内部の裏面付近にｎフィールドストップ（ＦＳ：Ｆｉｅｌｄ　Ｓｔｏｐ）層１１０を形成する。

[0006] 次に、図３０に示すように、半導体基板の裏面のｎフィールドストップ層１１０よりも浅い領域にボロンイオン（B^+）１２２をイオン注入する。図３０において、半導体基板の裏面近傍の点線は、イオン注入された不純物をあらわしている（以下、図５，９，１６，２０，３７，５３においても同様。）。次に、図３１に示すように、アニールによって、半導体基板に注入されたボロンイオン１２２を活性化し、半導体基板の内部の裏面側の表面層にp^+コレクタ層１０９を形成する。その後、図３２に示すように、p^+コレクタ層１０９に接するコレクタ電極１１１を形成することにより、トレンチゲート型ＩＧＢＴが完成する。

[0007] また、熱処理によるプロトンの活性化現象を利用した半導体装置の製造方法について、ダイオードを例に説明する。図３３～３８は、従来の製造途中の半導体装置の別の一例を示す断面図である。図３９は、図３８に続く工程後の半導体装置を示す断面図である。まず、図３３に示すように、n^-型の半導体基板１３１を用意する。次に、図３４に示すように、半導体基板１３１のおもて面に、ｐアノード領域１３２を形成する。符号１３４は層間絶縁膜である。

[0008] 次に、図３５に示すように、半導体基板１３１のおもて面に、ｐアノード領域１３２に接するアノード電極１３３を形成する。次に、図３５，３６に示すように、上記ＩＧＢＴの製造方法と同様に、半導体基板１３１の裏面を研削した後、プロトン照射およびアニールによって、半導体基板１３１の内部の裏面付近にｎフィールドストップ層１３６を形成する。次に、図３７に示すように、半導体基板１３１の裏面のｎフィールドストップ層１３６よりも浅い領域にリンイオン（P^+）１２３をイオン注入する。

[0009] 次に、図３８に示すように、アニールによって、半導体基板１３１に注入されたリンイオン１２３を活性化し、半導体基板１３１の内部の裏面側の表面層にn^+カソード層１３５を形成する。その後、図３９に示すように、n^+カソード層１３５に接するカソード電極１３７を形成することにより、ダイオードが完成する。すなわち、ＩＧＢＴおよびダイオードのいずれの製造方法においても、ｎフィールドストップ層を形成するためのプロトン照射およびアニールを行った後に、半導体基板の裏面側の表層面に裏面素子構造を形成するためのイオン注入およびアニールを行っている。

[0010] このような半導体装置の製造方法として、半導体基板にプロトンを照射し熱処理によって高濃度のn^+バッファ層（フィールドストップ層）を形成した後に、リン（Ｐ）などのｐ型不純物を注入してp^-コレクタ領域を形成する方法が提案されている（例えば、下記特許文献１参照。）。下記特許文献１では、意図的にリンや砒素（Ａｓ）などのｐ型不純物のドーズ量を少なくし、高濃度なコレクタ領域を形成するために最適なアニール温度よりも低いアニール温度でアニールを行い、p^-コレクタ領域を形成している。

[0011] また、下記特許文献２には、半導体基板の裏面からプロトンを複数回照射することにより、水素ドナーからなるフィールドストップ層を複数形成し、特に基板裏面から最も深いフィールドストップ層の基板裏面からの深さが１５μｍであるＩＧＢＴの構造が記載されている。基板裏面から深さ１５μｍまでの間に複数のフィールドストップ層を形成し、特に基板裏面に近い程フィールドストップ層の不純物濃度を１×１０^{16}／$ｃｍ^3$程度に高濃度とすること

で、確実に空乏層の伸びをフィールドストップ層で止めて、空乏層がｐコレクタ層に達することを防ぐことができる。

[0012] また、下記特許文献３には、ＩＧＢＴの製造方法として、次の方法が提案されている。半導体基板のおもて面側にＭＯＳゲート構造を形成したのち、基板裏面の研削等により半導体基板を薄板化する。続いて、半導体基板の研削面（裏面）からプロトンを照射し、その後アニール処理によりフィールドストップ層を形成する。続いて、半導体基板の裏面にボロンをイオン注入しレーザーアニールを行ってｐ型コレクタ層を形成している。

[0013] また、下記特許文献４には、ＩＧＢＴの製造方法として、次の方法が提案されている。半導体基板のおもて面側にＭＯＳゲート構造を形成したのち、基板裏面の研削等により半導体基板を薄板化する。続いて、半導体基板の研削面（裏面）からプロトンを照射する。その後、プロトン照射面（基板裏面）にパルスレーザーと半導体連続波レーザーとの２波長のレーザー光によるアニール処理を行い、プロトン照射面から約１５μｍ程度までの深さにフィールドストップ層を形成している。

先行技術文献

特許文献

[0014] 特許文献1：米国特許第７９５６４１９号明細書

特許文献2：米国特許出願公開第２００６／００８１９２３号明細書

特許文献3：米国特許出願公開第２００６／００３５４３６号明細書

特許文献4：特開２００９－１７６８９２号公報

発明の概要

発明が解決しようとする課題

[0015] しかしながら、上記特許文献１では、プロトン照射およびアニールにより形成する高濃度のｎ$^{+}$バッファ層を所望の不純物濃度とするために、プロトン照射後に行われるすべてのアニールのアニール温度を５００℃以上とすることができない。その理由は、アニール温度を５００℃以上とした場合、プロ

トン照射により形成された格子欠陥が減少し、水素誘起ドナーの濃度が低下してしまうからである。水素誘起ドナーの濃度を十分確保するには、アニール温度を３００℃以上５００℃以下、特に４００℃以下とすれば、照射したプロトンのドーズ量に対して、例えば１０％以上のドナー化率を得ることが可能となる。

[0016] 一方、プロトン照射後に行われるすべてのアニールのアニール温度を４００℃以下、特に３５０℃以下とする場合、半導体層と裏面電極との接触部（コンタクト）をオーミックコンタクトとするために必要な高いドーズ量でコンタクト形成の不純物注入を行った後のアニールにおいて、不純物を活性化させる熱量が足りず、電極とのオーミックコンタクトに必要な高濃度の接触部が得られない。このため、コンタクト抵抗が増加し、ＩＧＢＴやダイオードのオン電圧（Ｖｏｎ）が低下するなどの電気特性不良が生じる虞がある。

[0017] また、上記特許文献２ではプロトン照射面（基板裏面）から１５μｍの深さに水素ドナーによるフィールドストップ層を形成しているが、ＩＧＢＴやダイオードの電気的特性を改善するためには、プロトン照射面から１５μｍの深さよりもさらに深い位置にフィールドストップ層を形成する必要がある。しかしながら、半導体基板の裏面から１５μｍより深い位置にフィールドストップ層を形成するためにプロトン照射の平均飛程（照射されたイオンが最も高濃度に存在する位置の照射面からの距離）を１５μｍ以上に設定した場合、半導体基板の裏面から１５μｍの深さまでのプロトンの通過領域が、広がり抵抗測定（ＳＲ：Ｓｐｒｅａｄ－Ｒｅｓｉｓｔａｎｃｅ Ｐｒｏｆｉｌｉｎｇ）法によるキャリア濃度が半導体基板のドーピング濃度よりも極めて低くなる領域、すなわちディスオーダーの領域となることが発明者らによって確認された。

[0018] プロトン照射により導入される欠陥は、プロトンの平均飛程の位置だけでなく、プロトン照射面から平均飛程までのプロトンの通過領域や、照射面近傍に多く残留する。この残留欠陥は、格子位置からの原子（この場合シリコン原子）のずれが大きく、また結晶格子自体の強い乱れにより、アモルファ

スに近い状態である。そのため、電子および正孔といったキャリアの散乱中心となってキャリア移動度を低下させて導通抵抗を増加させるほか、キャリアの発生中心となって漏れ電流の増加をさせる等、素子の特性不良をもたらす。このように、プロトン照射により、プロトンの照射面から平均飛程までのプロトン通過領域に残留し、キャリア移動度の低下や漏れ電流の原因となるような、結晶状態から強く乱れた欠陥を、特にディスオーダーと呼ぶ。

[0019] 図４０は、従来のプロトン照射の平均飛程とキャリア濃度との関係を示す特性図である。図４０には、シリコン基板にプロトンを照射し、３５０℃の温度で熱処理をした後に、ＳＲ法により測定したシリコン基板のキャリア濃度を示す。図４０（ａ）がプロトン照射の平均飛程を５０μｍとした場合であり、図４０（ｂ）がプロトン照射の平均飛程を同じく２０μｍとした場合であり、図４０（ｃ）がプロトン照射の平均飛程を１５μｍとした場合である。それぞれ横軸が、プロトンの入射面（基板裏面）からの距離（深さ）である。図４０（ｃ）のプロトン照射の平均飛程１５μｍでは、プロトンの通過領域に特にキャリア濃度の低下は見られない。一方、図４０（ｂ）のプロトン照射の平均飛程２０μｍでは、プロトンの通過領域のキャリア濃度の低下が見られ、キャリア濃度が基板濃度よりも低くなっている。すなわち、キャリア濃度が基板濃度よりも低くなっている領域は、ディスオーダーが残留している領域である。さらに、図４０（ａ）のプロトン照射の平均飛程５０μｍでは、プロトンの通過領域のキャリア濃度の落ち込みが顕著であり、ディスオーダーが多く残留していることがわかる。このように、半導体基板内にディスオーダーの領域が存在する場合、上述したように漏れ電流や導通損失が増大するため、ディスオーダーを除去する必要がある。

[0020] また、上記特許文献３に記載の方法では、プロトン照射後のアニール処理の温度や時間等の条件設定により、ある程度のディスオーダー低減が可能となる。しかしながら、水素誘起ドナーの濃度を十分確保するために、続く基板裏面へのボロン等のイオン注入層を活性化させるとき、電気炉等によるアニール処理の温度はプロトン照射後のアニール温度よりも低くしなければな

らない。このため、注入されたボロンは活性化されず、後に続く裏面電極とのオーミック接触は困難である。そこで、上記特許文献３に記載されるようにボロン注入後にレーザーアニールを行う場合、レーザー光照射後約１０μｓの時間は、レーザー照射面（基板裏面）から１０μｍ程度の深さの温度がおよそ８００℃以上となる。このようなサーマルバジェット（熱的エネルギー量）によってボロンの活性化はオーミック接触には十分なものとなる。しかしながら、特に基板裏面から１０μｍ程度の深さの間に複数のフィールドストップ層を形成する場合、この基板裏面から１０μｍ程度の深さの領域は、レーザーの熱により、短時間であるものの温度が８００℃以上となるため、水素ドナーが相当量消滅し、十分な水素ドナー濃度が得られにくくなる。その結果、基板裏面から１０μｍ程度までの深さのフィールドストップ層のドナー濃度の確保が難しくなるという問題がある。

[0021] また、上記特許文献４の方法では、基板裏面のボロン層の活性化は可能であるが、水素ドナーによるフィールドストップ層を基板裏面から１５μｍよりも深い位置に形成するには、ディスオーダーを十分に低減させることができない。また、基板裏面から１５μｍよりも浅い位置に複数の水素ドナーによるフィールドストップ層を形成する場合、上記引用文献３と同様に十分なドナー濃度の確保が難しくなるという問題がある。

[0022] この発明は、上述した従来技術による問題点を解消するため、電気特性不良の発生を回避することができる半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0023] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、第１導電型の半導体基板のおもて面に設けられた入力電極と、前記半導体基板の裏面に設けられた出力電極と、を備えた半導体装置の製造方法であって、次の特徴を有する。まず、前記半導体基板の裏面に不純物を導入する導入工程を行う。次に、第１アニールによって、前記半導体基板の裏面に導入された不純物を活性化し、前記半導体基板の裏面の

表面層に前記出力電極との接触部となる第１半導体層を形成する第１アニール工程を行う。次に、前記第１アニール工程後、前記半導体基板の裏面にプロトンを照射する照射工程を行う。次に、第２アニールによって、前記半導体基板の裏面に照射されたプロトンを活性化し、前記半導体基板の裏面の前記第１半導体層よりも深い領域に前記半導体基板よりも不純物濃度が高い第１導電型の第２半導体層を形成する第２アニール工程を行う。

[0024] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１アニール工程後に前記照射工程を複数回行い、前記照射工程を行うごとに前記第２アニール工程を行う、または最後の前記照射工程後に前記第２アニール工程を１回行うことを特徴とする。

[0025] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１半導体層に接する前記出力電極を形成する出力電極形成工程をさらに行う。そして、前記第２アニール工程は、前記出力電極形成工程前に、または、前記出力電極形成工程と同時に行われることを特徴とする。

[0026] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１アニール工程は、前記第２アニール工程よりも高いアニール温度で行われることを特徴とする。

[0027] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第２アニールの温度は、３８０℃以上４５０℃以下であることを特徴とする。

[0028] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記導入工程では、前記出力電極と前記第１半導体層とがオーミック接触となるドーズ量で不純物が導入されることを特徴とする。

[0029] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１アニール工程よりも後に、前記半導体基板のおもて面に前記入力電極を形成する入力電極形成工程をさらに行うことを特徴とする。

[0030] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１アニール工程は、レーザーアニールであることを特徴とする。

[0031] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第２半導体層は、空乏層の広がりを抑制するフィールドストップ層であることを特徴とする。

[0032] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１半導体層を第２導電型のコレクタ層とし、前記出力電極をコレクタ電極とする絶縁ゲート型バイポーラトランジスタの製造方法であることを特徴とする。

[0033] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１半導体層を第１導電型のカソード層とし、前記出力電極をカソード電極とするダイオードの製造方法であることを特徴とする。

[0034] また、この発明にかかる半導体装置の製造方法は、上述した発明において、さらに、次の特徴を有する。前記半導体基板からなる第１導電型のドリフト層を備え、前記半導体基板のおもて面には第２導電型の第３半導体層が形成される。ｑを電荷素量、N_dを前記ドリフト層の平均濃度、ε_Sを前記半導体基板の誘電率、V_{rate}を定格電圧、J_Fを定格電流密度、v_{sat}をキャリアの速度が所定の電界強度で飽和した飽和速度として、距離指標Ｌが下記式（１）で表わされる。そして、前記第３半導体層に最も近い前記第２半導体層のキャリア濃度がピーク濃度となる位置の前記半導体基板の裏面からの深さをＸとし、前記半導体基板の厚さをW_0としたときに、$X = W_0 - \gamma L$であり、γが０．２以上１．５以下となるように前記第３半導体層に最も近い前記第２半導体層のピーク濃度となる位置とする。

[0035] [数1]

$$L = \sqrt{\frac{\varepsilon_S V_{rate}}{\left(\frac{J_F}{q v_{sat}} + N_d\right)}} \quad \cdots(1)$$

[0036] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記γが０．９以上１．４以下であることを特徴とする。

[0037] また、この発明にかかる半導体装置の製造方法は、上述した発明において

、前記γが１．０以上１．３以下であることを特徴とする。

[0038] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記照射工程において、プロトンの照射により飛程Ｒｐの前記第２半導体層を形成するときのプロトンの加速エネルギーＥは、前記飛程Ｒｐの対数ｌｏｇ（Ｒｐ）をｘ、前記加速エネルギーＥの対数ｌｏｇ（Ｅ）をｙとして、下記式（２）を満たすことを特徴とする。

[0039] $y=-0.0047x^4+0.0528x^3-0.2211x^2+0.9923x+5.0474$ ・・・（２）

[0040] 上述した発明によれば、第１半導体層を形成するための不純物導入および第１アニールを、第２半導体層を形成するためのプロトン照射前に行うことにより、第２アニールよりも高いアニール温度で第１アニールを行うことができる。このため、出力電極とのオーミック接触を形成することができる程度に高いドーズ量で導入された不純物を活性化させるために適したアニール温度で第１アニールを行うことができる。これにより、出力電極とのコンタクトがオーミックコンタクトとなるように高い活性化率で活性化された第１半導体層を形成することができる。したがって、コンタクト形成のためのアニールが足りなくなることを回避することができ、オン電圧Ｖｏｎが低下することを回避することができる。

[0041] また、上述した発明によれば、第２半導体層を形成するためのプロトン照射および第２アニールを、第１半導体層を形成するための不純物導入および第１アニール後に行うことにより、プロトン照射により形成された格子欠陥が減少しない程度に低いアニール温度で第２アニールを行うことができる。また、第１半導体層を形成するための高いアニール温度（第１アニール）でプロトンの活性化が行われないため、プロトン照射により形成された格子欠陥が減少しキャリア濃度が低下することを回避することができる。したがって、第１，２半導体層の双方に最適なアニール温度で第１，２アニールを行うことができる。

発明の効果

[0042] 本発明にかかる半導体装置の製造方法によれば、電気特性不良の発生を回避することができる半導体装置を提供するという効果を奏する。

図面の簡単な説明

[0043] [図1]図１は、実施の形態１にかかる半導体装置の製造方法により製造される半導体装置の一例を示す断面図である。

[図2]図２は、実施の形態１にかかる半導体装置の製造方法の概要を示すフローチャートである。

[図3]図３は、実施の形態１にかかる製造途中の半導体装置を示す断面図である。

[図4]図４は、実施の形態１にかかる製造途中の半導体装置を示す断面図である。

[図5]図５は、実施の形態１にかかる製造途中の半導体装置を示す断面図である。

[図6]図６は、実施の形態１にかかる製造途中の半導体装置を示す断面図である。

[図7]図７は、実施の形態１にかかる製造途中の半導体装置を示す断面図である。

[図8]図８は、実施の形態１にかかる製造途中の半導体装置を示す断面図である。

[図9]図９は、実施の形態２にかかる製造途中の半導体装置を示す断面図である。

[図10]図１０は、実施の形態２にかかる製造途中の半導体装置を示す断面図である。

[図11]図１１は、実施の形態２にかかる製造途中の半導体装置を示す断面図である。

[図12]図１２は、実施の形態２にかかる製造途中の半導体装置を示す断面図である。

[図13]図１３は、実施の形態３にかかる半導体装置の製造方法により製造さ

れる半導体装置の一例を示す断面図である。

[図14]図１４は、実施の形態３にかかる製造途中の半導体装置を示す断面図である。

[図15]図１５は、実施の形態３にかかる製造途中の半導体装置を示す断面図である。

[図16]図１６は、実施の形態３にかかる製造途中の半導体装置を示す断面図である。

[図17]図１７は、実施の形態３にかかる製造途中の半導体装置を示す断面図である。

[図18]図１８は、実施の形態３にかかる製造途中の半導体装置を示す断面図である。

[図19]図１９は、実施の形態３にかかる製造途中の半導体装置を示す断面図である。

[図20]図２０は、実施の形態４にかかる製造途中の半導体装置を示す断面図である。

[図21]図２１は、実施の形態４にかかる製造途中の半導体装置を示す断面図である。

[図22]図２２は、実施の形態４にかかる製造途中の半導体装置を示す断面図である。

[図23]図２３は、実施の形態４にかかる製造途中の半導体装置を示す断面図である。

[図24]図２４は、実施例にかかる半導体装置のキャリア濃度分布を示す特性図である。

[図25]図２５は、従来の半導体装置のキャリア濃度分布を示す特性図である。

[図26]図２６は、従来の製造途中の半導体装置を示す断面図である。

[図27]図２７は、従来の製造途中の半導体装置を示す断面図である。

[図28]図２８は、従来の製造途中の半導体装置を示す断面図である。

[図29]図２９は、従来の製造途中の半導体装置を示す断面図である。

[図30]図３０は、従来の製造途中の半導体装置を示す断面図である。

[図31]図３１は、従来の製造途中の半導体装置を示す断面図である。

[図32]図３２は、図３１に続く工程後の半導体装置を示す断面図である。

[図33]図３３は、従来の製造途中の半導体装置の別の一例を示す断面図である。

[図34]図３４は、従来の製造途中の半導体装置の別の一例を示す断面図である。

[図35]図３５は、従来の製造途中の半導体装置の別の一例を示す断面図である。

[図36]図３６は、従来の製造途中の半導体装置の別の一例を示す断面図である。

[図37]図３７は、従来の製造途中の半導体装置の別の一例を示す断面図である。

[図38]図３８は、従来の製造途中の半導体装置の別の一例を示す断面図である。

[図39]図３９は、図３８に続く工程後の半導体装置を示す断面図である。

[図40]図４０は、従来のプロトン照射の平均飛程とキャリア濃度との関係を示す特性図である。

[図41]図４１は、電圧波形が振動を始める閾値電圧について示す特性図である。

[図42]図４２は、一般的なＩＧＢＴのターンオフ発振波形を示す特性図である。

[図43]図４３は、本発明にかかる半導体装置のプロトンの平均飛程とプロトンの加速エネルギーとの関係を示す特性図である。

[図44]図４４は、本発明にかかる半導体装置において空乏層が最初に達するフィールドストップ層の位置条件を示す図表である。

[図45]図４５は、実施の形態５にかかる半導体装置の製造方法により製造さ

れる半導体装置の一例を示す断面図である。

[図46]図４６は、実施の形態５にかかる半導体装置の製造方法により製造される半導体装置の別の一例を示す断面図である。

[図47]図４７は、図４５の半導体装置のｎ$^+$フィールドストップ層のキャリア濃度分布を示す特性図である。

[図48]図４８は、実施の形態５にかかる製造途中の半導体装置を示す断面図である。

[図49]図４９は、実施の形態５にかかる製造途中の半導体装置を示す断面図である。

[図50]図５０は、実施の形態５にかかる製造途中の半導体装置を示す断面図である。

[図51]図５１は、実施の形態５にかかる製造途中の半導体装置を示す断面図である。

[図52]図５２は、実施の形態５にかかる製造途中の半導体装置を示す断面図である。

[図53]図５３は、実施の形態６にかかる製造途中の半導体装置を示す断面図である。

発明を実施するための形態

[0044] 以下に添付図面を参照して、この発明にかかる半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋およびーは、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0045] （実施の形態１）

まず、実施の形態１にかかる半導体装置の製造方法により作製（製造）される半導体装置の一例としてトレンチゲート型ＩＧＢＴの構造について説明

する。図１は、実施の形態１にかかる半導体装置の製造方法により製造される半導体装置の一例を示す断面図である。図１の紙面左側には、エミッタ電極（第１主電極）７とｎ$^{++}$エミッタ領域３との境界から半導体基板の深さ方向における不純物濃度分布を示す。図１に示す実施の形態１にかかる半導体装置の製造方法により製造される半導体装置において、ｎ$^{-}$ドリフト層１となる半導体基板の内部には、おもて面側の表面層にｐベース領域２が設けられている。

[0046] ｐベース領域２の内部には、半導体基板のおもて面に露出するようにｎ$^{++}$エミッタ領域３が選択的に設けられている。ｎ$^{++}$エミッタ領域３の不純物濃度は、ｎ$^{-}$ドリフト層１の不純物濃度よりも高い。ｎ$^{++}$エミッタ領域３およびｐベース領域２を貫通しｎ$^{-}$ドリフト層１に達するトレンチ４が設けられている。トレンチ４の側壁および底面に沿って、ゲート絶縁膜５が設けられている。トレンチ４の内部には、ゲート絶縁膜５の内側に、トレンチ４に埋め込まれるようにゲート電極６が設けられている。これらが、ＭＯＳゲート（金属ー酸化膜ー半導体からなる絶縁ゲート）構造となる。

[0047] エミッタ電極７は、ｐベース領域２およびｎ$^{++}$エミッタ領域３に接する。また、エミッタ電極７は、層間絶縁膜８によってゲート電極６と電気的に絶縁されている。また、ｎ$^{-}$ドリフト層１となる半導体基板の内部には、裏面側の表面層にｐ$^{+}$コレクタ層（第１半導体層）９が設けられ、裏面側のｐ$^{+}$コレクタ層９よりも深い領域にｎ$^{+}$フィールドストップ（第２半導体層）層１０が設けられている。コレクタ電極（出力電極）１１は、ｐ$^{+}$コレクタ層９に接する。ｐ$^{+}$コレクタ層９の不純物濃度は、コレクタ電極１１とのオーミックコンタクトが得られる程度に高い。

[0048] ｎ$^{+}$フィールドストップ（ＦＳ）層１０は、ｐ$^{+}$コレクタ層９とほぼ平行となるように、半導体基板の深さ方向に直交する方向に延在する。また、ｎ$^{+}$フィールドストップ（ＦＳ）層１０は一様な厚さで設けられている。ｎ$^{+}$フィールドストップ層１０は、ｐ$^{+}$コレクタ層９から離れていてもよいし、ｐ$^{+}$コレクタ層９に接していてもよい。ｎ$^{+}$フィールドストップ層１０の不純物濃度は、ｎ$^{-}$

ドリフト層１の不純物濃度よりも高い。n^+フィールドストップ層１０は、プロトン照射による水素誘起ドナーが導入された半導体層である。この半導体層を形成する水素誘起ドナーは複合欠陥であることから、キャリアの再結合を促す機能を有することもある。

[0049] 次に、実施の形態１にかかる半導体装置の製造方法の概要について説明する。図２は、実施の形態１にかかる半導体装置の製造方法の概要を示すフローチャートである。まず、図２に示すように、半導体基板のおもて面に、前述の各半導体領域（ｐベース領域２、n^{++}エミッタ領域３など）およびＭＯＳゲート構造、層間絶縁膜８などを形成する（ステップＳ１）。次に、半導体基板のおもて面におもて面電極を形成する（ステップＳ２）。次に、半導体基板のおもて面に表面保護膜を形成する（ステップＳ３）。次に、半導体基板の裏面を研削またはエッチングなどにより除去し、半導体基板の厚さを一様に薄く（薄板化）する（ステップＳ４）。

[0050] 次に、薄板化された半導体基板の裏面に、裏面電極とのコンタクトとなる半導体層を形成するための不純物イオンをイオン注入する（ステップＳ５）。ステップＳ５のイオン注入は、後の工程で形成される裏面電極とのオーミックコンタクトが得られる程度に高いドーズ量で行う。次に、第１アニールによって、ステップＳ５で注入された不純物イオンを活性化する（ステップＳ６）。ステップＳ６により、半導体基板の内部の裏面側の表面層に、裏面電極とのコンタクトとなる半導体層（例えば、コレクタ層）が形成される。

[0051] 次に、半導体基板の裏面に、フィールドストップ層を形成するためのプロトン照射を行う（ステップＳ７）。ステップＳ７のプロトン照射は、裏面電極とのコンタクトとなる半導体層よりも深い領域に照射可能な程度の照射エネルギーで行う。次に、第２アニールによって、ステップＳ７で照射されたプロトンを活性化（ドナー化）する（ステップＳ８）。これにより、半導体基板の内部の裏面側の深い領域に、フィールドストップ層が形成される。ステップＳ８の第２アニールの温度は、例えばプロトン照射により形成された格子欠陥を減少させない程度の温度であることが好ましい。その後、例えば

スパッタリングなどの物理気相成長法により半導体基板の裏面に裏面電極を形成し（ステップＳ９）、実施の形態１にかかる半導体装置が完成する。

[0052] 上述した半導体装置の製造方法において、ステップＳ７およびステップＳ８の一連の工程を照射エネルギーおよびアニール温度を種々変更して複数回繰り返し行い、半導体基板の深さ方向に直交する方向に伸びるストライプ状に複数のフィールドストップ層を形成してもよい。複数のフィールドストップ層を形成する場合、各フィールドストップ層を形成するための第２アニールは、それぞれ、直前に行われたプロトン照射で照射されたプロトンの活性化に最適なアニール温度で行われる。また、複数のフィールドストップ層を形成するための各第２アニールは、アニール温度が高い順に行われる。隣り合うフィールドストップ層どうしは、接していてもよいし、離れていてもよい。

[0053] 次に、この実施の形態１にかかる半導体装置の製造方法について、図１に示すトレンチゲート型ＩＧＢＴを作製する場合を例に具体的に説明する。図３～８は、実施の形態１にかかる製造途中の半導体装置を示す断面図である。まず、図３に示すように、n^-ドリフト層１となる半導体基板を用意する。次に、図４に示すように、半導体基板のおもて面に、一般的な方法によりｐベース領域２、n^{++}エミッタ領域３、トレンチ４、ゲート絶縁膜５およびゲート電極６からなるトレンチゲート型のＭＯＳゲート構造を形成する。

[0054] 次に、図５に示すように、スパッタリングによって、半導体基板のおもて面にエミッタ電極７となるアルミニウムシリコン（ＡｌＳｉ）膜を堆積する。次に、アルミニウムシリコン膜をパターニングして配線パターンを形成した後、アニールを行う。これにより、半導体基板のおもて面にエミッタ電極７が形成される。次に、エミッタ電極７を覆うように、半導体基板のおもて面に表面保護膜（不図示）となる例えばポリイミド膜を塗布する。次に、ポリイミド膜をパターニングしエミッタ電極７の一部を露出させた後、ポリイミド膜をキュア（焼成）する。次に、半導体基板の裏面を研削して、半導体基板を薄板化した後、半導体基板を洗浄して付着物を除去する。

[0055] 次に、半導体基板の研削された裏面に、例えばボロンイオン（B^+）などのｐ型不純物イオン２１をイオン注入する。このイオン注入は、後の工程で形成されるコレクタ電極１１とのオーミックコンタクトが得られる程度に高いドーズ量で行う。ｐ型不純物イオン２１のボロンのドーズ量は、例えば１×１０^{13}／ｃｍ^{2}以上１×１０^{16}／ｃｍ^{2}以下であり、後述する実施例１では３×１０^{13}／ｃｍ^{2}とした。次に、図６に示すように、第１アニールとして例えば炉アニールを行うことによって、半導体基板の裏面に注入されたｐ型不純物イオン２１を活性化し、半導体基板の裏面の表面層にｐ$^+$コレクタ層９を形成する。第１アニールの温度は、後述する実施例１では、例えば４５０℃とした。

[0056] 次に、図７に示すように、半導体基板の裏面のｐ$^+$コレクタ層９よりも深い領域にプロトン２２を照射する。プロトン２２の照射エネルギーは、典型的な平均飛程Ｒｐが５μｍ以上３００μｍ以下程度であり、この平均飛程Ｒｐに対応しておよそ０．４ＭｅＶ以上６．０ＭｅＶ以下である。後述する実施例１では、プロトン２２の照射エネルギーは、平均飛程Ｒｐが例えば１２μｍで０．８３ＭｅＶとした。また、プロトン２２のドーズ量は、典型的には１×１０^{12}／ｃｍ^{2}以上１×１０^{16}／ｃｍ^{2}以下であり、後述の実施例１では１×１０^{13}／ｃｍ^{2}とした。

[0057] 次に、図８に示すように、第２アニールとして例えば炉アニールを行うことによって、半導体基板の裏面に照射されたプロトン２２を活性化し、半導体基板の裏面のｐ$^+$コレクタ層９よりも深い領域にｎ$^+$フィールドストップ層１０を形成する。第２アニールの温度は、後述する実施例１では３５０℃である。

[0058] 第１アニールは、エミッタ電極７の電気特性に悪影響を与えない程度に高い温度で行われるのが好ましい。具体的には、第１アニールは、エミッタ電極７が例えばアルミニウム（ＡｌＩ）を主成分とする金属でできている場合、４２０℃～アルミニウムの融点程度までの範囲内の温度で行われるのが好ましい。アルミニウムの融点は、例えばアルミニウムに１重量％のシリコンを含む合金の場合、約６６０℃である。第２アニールは、例えばプロトン照射

により形成された格子欠陥を減少させない程度の温度で行うことが好ましい。具体的には、第２アニールは、第１アニールの温度を超えない条件で、例えば３００℃～５００℃程度の範囲内の温度で行ってもよい。また、第１アニールの温度が４２０℃～５００℃の場合は、第２アニールの温度はこれらの値よりも低い温度とする。第１，２アニールはともに、処理時間を０．５時間～１０時間としてもよい。好ましくは、第２アニールの温度は、第１アニールの温度をこえない範囲で、３８０℃以上４５０℃以下、好ましくは４００℃以上４２０℃以下である。

[0059] 第２アニールと後述する金属アニールとが同じアニール温度である場合、第２アニールを金属アニールと同時に行ってもよい。半導体基板の深さ方向に直交する方向に伸びるストライプ状に複数のフィールドストップ層を形成するためにプロトン照射および第２アニールの一連の工程を繰り返し行う場合、アニール温度が高い順に各第２アニールを行う。このとき、複数回行われる第２アニールのうちの１回目の第２アニールと第１アニールとが同じアニール温度である場合、１回目の第２アニールを第１アニールと同時に行ってもよい。また、複数回行われる第２アニールのうちの最後の第２アニールと、後述する金属アニールとが同じアニール温度である場合、第２アニールを金属アニールと同時に行ってもよい。

[0060] 次に、例えばアルミニウムを主成分とする金属膜を１層目として積層されたコレクタ電極１１を形成するための前処理として、シリコン（Ｓｉ）半導体層とアルミニウム膜とのコンタクト抵抗を小さくするためのフッ化水素（ＨＦ）処理を行う。次に、図１に示すように、例えばスパッタリングにより、半導体基板の裏面にアルミニウム、チタン（Ｔｉ）、ニッケル（Ｎｉ）および金（Ａｕ）を順に堆積して、これら４層の金属膜が積層されてなるコレクタ電極１１を形成する。次に、コレクタ電極１１の表面成形性を改善させるための金属アニールを行う。これにより、トレンチゲート型ＩＧＢＴが完成する。

[0061] 以上、説明したように、実施の形態１によれば、p^+コレクタ層を形成する

ボロン注入および第１アニールを、ｎ$^+$フィールドストップ層を形成するプロトン照射前に行うことにより、第２アニールよりも高いアニール温度で第１アニールを行うことができる。このため、コレクタ電極とのオーミック接触を形成することができる程度に高いドーズ量（例えば１×１０^{16}／ｃｍ^{3}程度）で注入されたｐ型不純物を活性化させるために適したアニール温度で第１アニールを行うことができる。これにより、コレクタ電極とのコンタクトがオーミックコンタクトとなるように高い活性化率で活性化されたｐ$^+$コレクタ層を形成することができる。したがって、従来のように、プロトン照射後のアニール温度よりも低い温度によるアニールによって、オーミックコンタクト形成に必要なｐ$^+$コレクタ層の表面濃度が不足することを回避することができ、オン電圧（Ｖｏｎ）が低下するなどの電気特性不良の発生を回避することができる。

[0062] また、実施の形態１によれば、ｎ$^+$フィールドストップ層を形成するためのプロトン照射および第２アニールを、ｐ$^+$コレクタ層を形成するためのボロン注入および第１アニール後に行うことにより、プロトン照射により形成された格子欠陥が減少しない程度に低いアニール温度で第２アニールを行うことができる。また、ｐ$^+$コレクタ層を形成するための高いアニール温度（第１アニール）でプロトンの活性化が行われないため、プロトン照射により形成された格子欠陥が減少し、水素誘起ドナーの濃度が低下することを回避することができる。したがって、ｐ$^+$コレクタ層およびｎ$^+$フィールドストップ層の双方に最適なアニール温度で第１，２アニールを行うことができる。これにより、コレクタ電極とのコンタクトがオーミックコンタクトとなるようにｐ$^+$コレクタ層を形成することができるとともに、所望の水素誘起ドナー濃度を有するｎ$^+$フィールドストップ層を形成することができる。

[0063] （実施の形態２）

実施の形態２にかかる半導体装置の製造方法が実施の形態１にかかる半導体装置の製造方法と異なる点は、ｎ$^+$フィールドストップ層１０を形成するための第２アニールの後にエミッタ電極７を形成する点である。実施の形態２

にかかる半導体装置の製造方法により作製される半導体装置は、実施の形態１に一例として挙げた図１に示すトレンチゲート型ＩＧＢＴと同様である。

[0064] 実施の形態２にかかる半導体装置の製造方法について、図１，３，４，９～１２を参照して説明する。図９～１２は、実施の形態２にかかる製造途中の半導体装置を示す断面図である。まず、図３，４に示すように、実施の形態１と同様に、n^-ドリフト層１となる半導体基板を用意し、半導体基板のおもて面にトレンチゲート型のＭＯＳゲート構造を形成する。次に、図９に示すように、実施の形態１と同様に、半導体基板の裏面を研削した後、半導体基板を洗浄して付着物を除去する。

[0065] 次に、図９，１０に示すように、実施の形態１と同様に、半導体基板の研削された裏面にｐ型不純物イオン２１をイオン注入した後、第１アニールを行い、p^+コレクタ層９を形成する。次に、図１１，１２に示すように、実施の形態１と同様に、半導体基板の裏面のp^+コレクタ層９よりも深い領域にプロトン２２を照射した後、第２アニールを行い、n^+フィールドストップ層１０を形成する。次に、実施の形態１と同様に、半導体基板のおもて面および裏面にそれぞれエミッタ電極７およびコレクタ電極１１を形成することにより、図１に示すトレンチゲート型ＩＧＢＴが完成する。

[0066] 以上、説明したように、実施の形態２によれば、実施の形態１と同様の効果を得ることができる。実施の形態２によれば、半導体基板のおもて面にエミッタ電極を形成する前に第１アニールを行うことができるため、第１アニールを例えば９００℃以上と高いアニール温度で行うことができる。したがって、p^+コレクタ層の不純物濃度をさらに高くすることができ、p^+コレクタ層とコレクタ電極との低コンタクト抵抗化を図ることができる。

[0067]（実施の形態３）

図１３は、実施の形態３にかかる半導体装置の製造方法により製造される半導体装置の一例を示す断面図である。実施の形態３にかかる半導体装置の製造方法が実施の形態１にかかる半導体装置の製造方法と異なる点は、ＩＧＢＴに代えてダイオードを作製する点である。

[0068] 図１３に示す実施の形態３にかかる半導体装置の製造方法により製造される半導体装置において、ｎ⁻型の半導体基板３１の内部には、おもて面側の表面層にｐ⁺アノード領域３２が選択的に設けられている。符号３４は層間絶縁膜である。アノード電極（入力電極）３３は、ｐ⁺アノード領域３２に接する。また、ｎ⁻型の半導体基板３１の内部には、裏面側の表面層にｎ⁺カソード層（第１半導体層）３５が設けられ、裏面側のｎ⁺カソード層３５よりも深い領域にｎ⁺フィールドストップ層３６が設けられている。ｎ⁺フィールドストップ層３６の構成は、実施の形態１のｎ⁺フィールドストップ層と同様である。カソード電極（出力電極）３７は、ｎ⁺カソード層３５に接する。ｎ⁺カソード層３５の不純物濃度は、カソード電極３７とのオーミックコンタクトが得られる程度に高い。

[0069] 次に、実施の形態３にかかる半導体装置の製造方法について説明する。図１４～１９は、実施の形態３にかかる製造途中の半導体装置を示す断面図である。図１４に示すようにｎ⁻型の半導体基板３１を用意する。次に、図１５に示すように、半導体基板３１のおもて面に、一般的な方法によりｐ⁺アノード領域３２を形成する。次に、図１６に示すように、実施の形態１のエミッタ電極を形成する場合と同様にスパッタリングによって、半導体基板３１のおもて面にアノード電極３３を形成する。次に、実施の形態１と同様に、半導体基板３１の裏面を研削した後、半導体基板３１を洗浄して付着物を除去する。

[0070] 次に、図１６，１７に示すように、実施の形態１のｐ⁺コレクタ層を形成する場合と同様に、半導体基板の研削された裏面にｎ型不純物イオン２３をイオン注入した後、第１アニールを行い、ｎ⁺カソード層３５を形成する。次に、図１８，１９に示すように、実施の形態１と同様に、半導体基板の裏面のｎ⁺カソード層３５よりも深い領域にプロトン２２を照射した後、第２アニールを行い、ｎ⁺フィールドストップ層３６を形成する。次に、実施の形態１のコレクタ電極を形成する場合と同様に、半導体基板の裏面にカソード電極３７を形成することにより、図１３に示すダイオードが完成する。

[0071] 以上、説明したように、実施の形態３によれば、実施の形態１と同様の効果を得ることができる。実施の形態３によれば、ダイオードを形成する場合においても、カソード電極とのコンタクトがオーミックコンタクトとなるようにｎ⁺カソード層を形成することができる。かつ、所望の水素誘起ドナー濃度を有するｎ⁺フィールドストップ層を形成することができる。

[0072] （実施の形態４）

実施の形態４にかかる半導体装置の製造方法が実施の形態３にかかる半導体装置の製造方法と異なる点は、ｎ⁺フィールドストップ層３６を形成するための第２アニールの後にアノード電極３３を形成する点である。実施の形態４にかかる半導体装置の製造方法により作製される半導体装置は、実施の形態３に一例として挙げた図１３に示すダイオードである。

[0073] 実施の形態４にかかる半導体装置の製造方法について、図１３～１５，２０～２３を参照して説明する。図２０～２３は、実施の形態４にかかる製造途中の半導体装置を示す断面図である。まず、図１４，１５に示すように、実施の形態３と同様に、半導体基板３１を用意し、半導体基板３１のおもて面にｐ⁺アノード領域３２を形成する。次に、図２０に示すように、実施の形態３と同様に、半導体基板３１の裏面を研削した後、半導体基板３１を洗浄して付着物を除去する。

[0074] 次に、図２０，２１に示すように、実施の形態３と同様に、半導体基板３１の研削された裏面にｎ型不純物イオン２３をイオン注入した後、第１アニールを行い、ｎ⁺カソード層３５を形成する。次に、図２２，２３に示すように、実施の形態３と同様に、半導体基板３１の裏面のｎ⁺カソード層３５よりも深い領域にプロトン２２を照射した後、第２アニールを行い、ｎ⁺フィールドストップ層３６を形成する。次に、実施の形態３と同様に、半導体基板３１のおもて面および裏面にそれぞれアノード電極３３およびカソード電極３７を形成することにより、図１３に示すダイオードが完成する。

[0075] 以上、説明したように、実施の形態４によれば、実施の形態３と同様の効果を得ることができる。実施の形態４によれば、半導体基板のおもて面にア

ノード電極が形成する前に第１アニールを行うことができるため、第１アニールを例えば９００℃以上と高いアニール温度で行うことができる。したがって、n^+カソード層の不純物濃度をさらに高くすることができ、n^+カソード層とカソード電極との低コンタクト抵抗化を図ることができる。

[0076]（実施例１）

次に、裏面電極とのコンタクトとなる半導体層のキャリア濃度について検証した。図２４は、実施例にかかる半導体装置のキャリア濃度分布を示す特性図である。図２５は、従来の半導体装置のキャリア濃度分布を示す特性図である。図２４，２５の横軸は、裏面電極とそのコンタクトとなる半導体層との境界からの深さを示す。同じく縦軸は、キャリア濃度であり、周知の広がり抵抗（Ｓｐｒｅａｄ　Ｒｅｓｉｓｔａｎｃｅ、ＳＲ）測定法によって測定した広がり抵抗から比抵抗を算出し、さらにその比抵抗をキャリア濃度に換算した値である。電子や正孔の移動度が結晶の値（例えば電子の移動度は温度３００Ｋにおいて約１３６０（cm^2／（Ｖ・ｓ））から著しく減少しなければ、キャリア濃度はドープされた不純物のドーピング濃度（電気的に活性化した濃度）と見なすことができる。実施の形態１にかかる半導体装置の製造方法に従い、裏面電極とそのコンタクトとなる半導体層形成のためのイオン注入（ステップＳ５）および第１アニール（ステップＳ６）を行った後、プロトン照射（ステップＳ７）および第２アニール（ステップＳ８）を行った試料を用意した（以下、実施例とする）。

[0077] 比較として、フィールドストップ層形成のためのプロトン照射後に、裏面電極とそのコンタクトとなる半導体層形成のためのイオン注入を行い、その後一括して熱アニールを行った試料を用意した（以下、比較例とする）。比較例の熱アニールの温度は、フィールドストップ層のキャリア濃度が実施例のフィールドストップ層のキャリア濃度と同じになるように、実施例における第２アニールと同じ温度とした。そして、実施例および比較例ともに、裏面電極とそのコンタクトとなる半導体層との境界から深さ方向の不純物濃度を測定した。

[0078] 図２４に示す結果より、実施例では、裏面電極とそのコンタクトとなる半導体層４１の第１アニールの温度をプロトンの活性化条件よりも高く設定することができるため、裏面電極とそのコンタクトとなる半導体層４１の不純物濃度を高くすることができることが確認された。一方、図２５に示す結果より、比較例では、裏面電極とそのコンタクトとなる半導体層４２のアニール温度の上限がプロトンの活性化条件で決まるため、裏面電極とそのコンタクトとなる半導体層４２の不純物濃度が低い状態となることが確認された。

[0079] （実施の形態５）

図４５は、実施の形態５にかかる半導体装置の製造方法により製造される半導体装置の一例を示す断面図である。図４７は、図４５の半導体装置のｎ$^+$フィールドストップ層のキャリア濃度分布を示す特性図である。図４７は、ＳＲ法により測定したキャリア濃度分布である。ｐ$^+$コレクタ層９は、図４７の横軸スケールに対して深さが０．５μｍ程度と極めて浅いので、図示は省略した。実施の形態５にかかる半導体装置の製造方法が実施の形態１にかかる半導体装置の製造方法と異なる点は、基板裏面のｐ$^+$コレクタ層９を形成するためのボロンなどのｐ型不純物イオン２１の第１イオン注入と第１アニール後に、複数段のプロトン照射により複数のｎ$^+$フィールドストップ層１０を形成する点である。

[0080] 図４５に示すように、実施の形態５にかかる半導体装置の製造方法により製造される半導体装置は、基板裏面からの深さの異なるｎ$^+$フィールドストップ層１０ａ～１０ｃを備える。図４７に示すように、ｎ$^+$フィールドストップ層１０ａ～１０ｃは、互いに離れて設けられ、基板裏面から深い位置に配置されるほどキャリア濃度が低くなっている。また、基板裏面から最も浅い位置に配置されるｎ$^+$フィールドストップ層１０ｃは、ｐ$^+$コレクタ層９と離れて配置される。

[0081] 実施の形態５にかかる半導体装置の製造方法について、図３～６，４５，４８～５２を参照して説明する。図４８～５２は、実施の形態５にかかる製造途中の半導体装置を示す断面図である。まず、図３～５に示すように、実

施の形態１と同様に、ｎ⁻ドリフト層１となる半導体基板を用意し、半導体基板のおもて面にトレンチゲート型のＭＯＳゲート構造およびエミッタ電極７を形成する。次に、図５，６に示すように、実施の形態１と同様に、半導体基板の裏面を研削し、半導体基板を洗浄して付着物を除去した後、半導体基板の研削された裏面にｐ型不純物イオン２１をイオン注入し第１アニールを行うことで、ｐ⁺コレクタ層９を形成する。

[0082] 次に、図４８に示すように、１段目のプロトン照射により、半導体基板の裏面からｐ⁺コレクタ層９よりも深い領域にプロトン５１を導入する。次に、図４９に示すように、１段目のプロトン照射により導入したプロトン５１の第２アニール（以下、１段目の第２アニールとする）を行い、ｎ⁺フィールドストップ層１０ａを形成する。ｎ⁺フィールドストップ層１０ａは、基板裏面から例えば６０μｍの深さに形成される。１段目のプロトン照射の加速エネルギーは例えば２．３ＭｅＶであり、プロトン５１のドーズ量は例えば１×１０^{14}／ｃｍ^{2}）であってもよい。１段目の第２アニール条件は、例えば４２０℃の温度で１時間であってもよい。

[0083] 次に、図５０に示すように、２段目のプロトン照射により、半導体基板の裏面からｐ⁺コレクタ層９よりも深く、かつｎ⁺フィールドストップ層１０ａよりも浅い領域にプロトン５２を導入する。次に、図５１に示すように、２段目のプロトン照射により導入したプロトン５２の第２アニール（以下、２段目の第２アニールとする）を行い、ｎ⁺フィールドストップ層１０ｂを形成する。ｎ⁺フィールドストップ層１０ｂは、基板裏面から例えば３０μｍの深さに形成される。２段目のプロトン照射の加速エネルギーは例えば１．５ＭｅＶであり、プロトン５２のドーズ量は例えば１×１０^{15}／ｃｍ^{2}であってもよい。２段目の第２アニール条件は、例えば４００℃の温度で１時間であってもよい。

[0084] 次に、図５２に示すように、３段目のプロトン照射により、半導体基板の裏面からｐ⁺コレクタ層９よりも深く、かつｎ⁺フィールドストップ層１０ｂよりも浅い領域にプロトン５３を導入する。次に、３段目のプロトン照射によ

り導入したプロトン５３の第２アニール（以下、３段目の第２アニールとする）を行い、図４５に示すようにｎ⁺フィールドストップ層１０ｃを形成する。ｎ⁺フィールドストップ層１０ｃは、基板裏面から例えば５μｍの深さに形成される。３段目のプロトン照射の加速エネルギーは例えば０．４５ＭｅＶであり、プロトン５３のドーズ量は例えば５×10^{15}／ｃm^2であってもよい。３段目の第２アニール条件は、例えば３８０℃の温度で１時間であってもよい。

[0085] このように、１～３段目のプロトン照射は基板裏面から深い位置から順に行い、１～３段目の第２アニール温度は基板裏面から浅いほど低い温度とするのが好ましい。１～３段目の第２アニール温度は、３８０℃以上４５０℃以下の範囲内であるのがよい。１～３段目の第２アニールは、３段目のプロトン照射後に一括してもよい。１～３段目の第２アニールを一括して行う場合、第２アニール温度は最も高い温度で行う１段目の第２アニールの処理温度と同じ程度が好ましい。その後、実施の形態１と同様に、半導体基板の裏面にコレクタ電極１１を形成することにより、図４５に示すトレンチゲート型ＩＧＢＴが完成する。図４５に示すように、プロトン照射前（例えばｐ⁺コレクタ層９を形成するとき）にｎバッファ層１２を形成してもよい。

[0086] また、実施の形態５にかかる半導体装置の製造方法により製造される半導体装置の別の一例を図４６に示す。図４６は、実施の形態５にかかる半導体装置の製造方法により製造される半導体装置の別の一例を示す断面図である。実施の形態５に実施の形態３を適用し、図４６に示すように複数のｎ⁺フィールドストップ層３６（例えばｎ⁺フィールドストップ層３６ａ～３６ｃ）を備えたダイオードとしてもよい。ｎ⁺フィールドストップ層３６ａ～３６ｃの構成および形成方法は、図４５のｎ⁺フィールドストップ層１０ａ～１０ｃと同様である。図４６に示す実施の形態５にかかる半導体装置の別の一例の、複数のｎ⁺フィールドストップ層３６を備える以外の構成は、実施の形態３と同様である。

[0087] 以上、説明したように、実施の形態５によれば、実施の形態１と同様の効

果を得ることができる。また、実施の形態５によれば、ディスオーダーのない水素ドナーのフィールドストップ層を複数（３段）形成することができる。

[0088]（実施例２）

次に、実施例２として、本発明の半導体装置の製造方法における複数段のプロトン照射における１段目のプロトンピーク位置の好ましい位置について説明する。図４２は、一般的なＩＧＢＴのターンオフ発振波形を示す特性図である。コレクタ電流が定格電流の１／１０以下の場合、蓄積キャリアが少ないために、ターンオフが終わる手前で発振することがある。コレクタ電流をある値に固定して、異なる電源電圧V_{CC}にてＩＧＢＴをターンオフさせる。このとき、電源電圧V_{CC}がある所定の値を超えると、コレクタ・エミッタ間電圧波形において、通常のオーバーシュート電圧のピーク値を超えた後に、付加的なオーバーシュートが発生するようになる。そして、この付加的なオーバーシュート（電圧）がトリガーとなり、以降の波形が振動する。電源電圧V_{CC}がこの所定の値をさらに超えると、付加的なオーバーシュート電圧がさらに増加し、以降の振動の振幅も増加する。このように、電圧波形が振動を始める閾値電圧を発振開始閾値V_{RR0}と呼ぶ。この発振開始閾値V_{RR0}が高ければ高いほど、ＩＧＢＴはターンオフ時に発振しないことを示すので好ましい。

[0089] 発振開始閾値V_{RR0}は、ＩＧＢＴのｐベース領域とｎ⁻ドリフト層との間のｐｎ接合からｎドリフト層を広がる空乏層（厳密には、正孔が存在するので空間電荷領域）が、複数のプロトンピークのうち最初に達する１段目（最もｐベース領域側）のプロトンピークの位置に依存する。その理由は、次のとおりである。ターンオフ時に空乏層がｐベース領域とｎ⁻ドリフト層との間のｐｎ接合からｎドリフト層を広がるときに、空乏層端が１つ目（最もｐベース領域側）のフィールドストップ層に達することでその広がりが抑えられ、蓄積キャリアの掃き出しが弱まる。その結果、キャリアの枯渇が抑制され、発振が抑えられる。

[0090] ターンオフ時の空乏層は、ｐベース領域とｎ⁻ドリフト層との間のｐｎ接合

からコレクタ電極に向かって深さ方向に沿って広がる。このため、空乏層端が最初に達するフィールドストップ層のピーク位置は、ｐベース領域とｎドリフト層との間のｐｎ接合に最も近いフィールドストップ層となる。そこで、ｎ半導体基板の厚さ（エミッタ電極とコレクタ電極とに挟まれた部分の厚さ）をW_0とし、空乏層端が最初に達するフィールドストップ層のピーク位置の、コレクタ電極とｎ半導体基板の裏面との界面からの深さ（以下、裏面からの距離とする）をＸとする。ここで、距離指標Ｌを導入する。距離指標Ｌは、下記の（３）式であらわされる。

[0091] [数2]

$$L=\sqrt{\frac{\varepsilon_S V_{rate}}{\left(\frac{J_F}{qv_{sat}}+N_d\right)}} \quad \cdots(3)$$

[0092] 上記（３）式に示す距離指標Ｌは、ターンオフ時に、増加するコレクタ・エミッタ間電圧V_{CE}が電源電圧V_{CC}に一致するときに、ｐベース領域とｎ$^-$ドリフト層との間のｐｎ接合からｎ$^-$ドリフト層１に広がる空乏層（正しくは空間電荷領域）の端部（空乏層端）の、当該ｐｎ接合からの距離を示す指標である。平方根の内部の分数の中で、分母はターンオフ時の空間電荷領域（空乏層）の空間電荷密度を示している。周知のポアソンの式は、ｄｉｖＥ＝ρ／εで表され、Ｅは電界強度、ρは空間電荷密度でρ＝ｑ（ｐ－ｎ＋N_d－N_a）である。ｑは電荷素量、ｐは正孔濃度、ｎは電子濃度、N_dはドナー濃度、N_aはアクセプタ濃度、ε_Sは半導体の誘電率である。特にドナー濃度N_dは、ｎドリフト層を深さ方向に積分し、積分した区間の距離で割った平均濃度とする。

[0093] この空間電荷密度ρは、ターンオフ時に空間電荷領域（空乏層）を駆け抜ける正孔濃度ｐとｎ$^-$ドリフト層の平均的なドナー濃度N_dとで記述され、電子濃度はこれらよりも無視できるほど低く、アクセプタが存在しないため、ρ≒ｑ（ｐ＋N_d）と表すことができる。このときの正孔濃度ｐは、ＩＧＢＴの遮断電流によって決まり、特に素子の定格電流密度が通電している状況を想

定するため、ｐ＝Ｊ$_{F}$／（ｑｖ$_{sat}$）で表される。Ｊ$_{F}$は素子の定格電流密度であり、ｖ$_{sat}$はキャリアの速度が所定の電界強度で飽和した飽和速度である。

[0094] 上記ポアソンの式を距離ｘで２回積分し、電圧ＶとしてＥ＝－ｇｒａｄＶ（周知の電界Ｅと電圧Ｖとの関係）であるため、境界条件を適当にとれば、Ｖ＝（１／２）（ρ／ε）ｘ^{2}となる。この電圧Ｖが、定格電圧Ｖ$_{rate}$の１／２としたときに得られる空間電荷領域の長さｘを、上記の距離指標Ｌとしているのである。その理由は、インバータ等の実機では、電圧Ｖとなる動作電圧（電源電圧Ｖ$_{CC}$）を、定格電圧の半値程度とするためである。フィールドストップ層は、ドーピング濃度をｎ$^{-}$ドリフト層よりも高濃度とすることで、ターンオフ時に広がる空間電荷領域の伸びを、フィールドストップ層において広がり難くする機能を有する。ＩＧＢＴのコレクタ電流がＭＯＳゲートのオフにより遮断電流から減少を始めるときに、空乏層が最初に達するフィールドストップ層のピーク位置が、ちょうどこの空間電荷領域の長さにあれば、蓄積キャリアがｎ$^{-}$ドリフト層に残存した状態で、空間電荷領域の伸びを抑えることができるので、残存キャリアの掃出しが抑えられる。

[0095] 実際のターンオフ動作は、例えばＩＧＢＴモジュールを周知のＰＷＭインバータでモーター駆動するときには、電源電圧Ｖ$_{CC}$や遮断電流が固定ではなく可変であることが多い。このため、このような場合では、空乏層が最初に達するフィールドストップ層のピーク位置の好ましい位置に、ある程度の幅を持たせる必要がある。発明者らの検討の結果、空乏層が最初に達するフィールドストップ層のピーク位置の裏面からの距離Ｘは、図４４に示す表のようになる。図４４は、本発明にかかる半導体装置において空乏層が最初に達するフィールドストップ層の位置条件を示す図表である。図４４には、定格電圧が６００Ｖ～６５００Ｖのそれぞれにおいて、最初に空乏層端が達するフィールドストップ層のピーク位置の裏面からの距離Ｘを示している。ここで、Ｘ＝Ｗ０－γＬとおき（γは係数である）、このγを０．７～１．６まで変化させたときのＸを図４４に示している。

[0096] 図４４に示すように、各定格電圧では、素子（ＩＧＢＴ）が定格電圧より

も１０％程度高い耐圧を持つように、安全設計をする。そして、オン電圧やターンオフ損失がそれぞれ十分低くなるように、図４４に示すようなｎ半導体基板の総厚（研削等によって薄くした後の仕上がり時の厚さ）とし、ｎ⁻ドリフト層１を平均的な比抵抗とする。平均的とは、フィールドストップ層を含めたｎ⁻ドリフト層１全体の平均濃度および比抵抗である。定格電圧によって、定格電流密度J_Fも図４４に示したような典型値となる。定格電流密度J_Fは、定格電圧と定格電流密度J_Fとの積によって決まるエネルギー密度が、およそ一定の値となるように設定され、ほぼ図４４に示す値のようになる。これらの値を用いて上記（３）式に従い距離指標Ｌを計算すると、図４４に記載した値となる。最初に空乏層端が達するフィールドストップ層のピーク位置の裏面からの距離Ｘは、この距離指標Ｌに対してγを０．７～１．６とした値をｎ半導体基板の厚さW_0から引いた値となる。

[0097] これら距離指標Ｌおよびｎ半導体基板の厚さW_0の値に対して、ターンオフ発振が十分抑えられるような、最初に空乏層端が達するフィールドストップ層のピーク位置の裏面からの距離Ｘを定める係数γは、次のようになる。図４１は、電圧波形が振動を始める閾値電圧について示す特性図である。具体的には、図４１には、γに対する発振開始閾値V_{RRO}の依存性を、典型的ないくつかの定格電圧V_{rate}（６００Ｖ、１２００Ｖ、３３００Ｖ）について示す。ここで、縦軸は、発振開始閾値V_{RRO}を定格電圧V_{rate}で規格化している。３つの定格電圧ともに、γが１．６以下で発振開始閾値V_{RRO}を急激に高くできることが分かる。

[0098] 前述のように、インバータ等の実機では、電圧Ｖとなる動作電圧（電源電圧V_{CC}）を定格電圧V_{rate}の半値程度とするため、電源電圧V_{CC}を定格電圧V_{rate}の半値とするときには、少なくともＩＧＢＴのターンオフ発振は生じないようにしなければならない。つまり、V_{RRO}／V_{rate}の値は０．５以上とする必要がある。図４１から、V_{RRO}／V_{rate}の値が０．５以上となるのは、γが０．２以上１．５以下であるので、少なくともγを０．２～１．５とすることが好ましい。

[0099] また、図示しない６００Ｖ～１２００Ｖの間（８００Ｖや１０００Ｖなど）、１２００Ｖ～３３００Ｖの間（１４００Ｖ，１７００Ｖ，２５００Ｖなど）、および３３００Ｖ以上（４５００Ｖ、６５００Ｖなど）のいずれにおいても、図４１に示す３つの曲線からは大きく逸脱せず、これら３つの曲線と同様の依存性（γに対する発振開始閾値V_{RRO}の値）を示す。図４１から、γが０．７～１．４の範囲で、いずれの定格電圧V_{rate}も発振開始閾値V_{RRO}を十分高くすることができる領域であると分かる。

[0100] γが０．７より小さくなると、発振開始閾値V_{RRO}は定格電圧V_{rate}のおよそ８０％以上であるものの、フィールドストップ層がｐベース領域に近くなるため、素子のアバランシェ耐圧が定格電圧V_{rate}より小さくなる場合が生じる。そのため、γは０．７以上が好ましい。また、γが１．４より大きくなると、発振開始閾値V_{RRO}は定格電圧V_{rate}の約７０％から急速に減少し、ターンオフ発振が発生し易くなる。したがって、γは１．４以下であるのが好ましい。より好ましくは、γが０．８～１．３の範囲内、さらに好ましくはγが０．９～１．２の範囲内であれば、素子のアバランシェ耐圧を定格電圧V_{rate}よりも十分高くしつつ、発振開始閾値V_{RRO}を最も高くすることができる。

[0101] この図４１に示す本願発明の効果で重要な点は、いずれの定格電圧V_{rate}においても、V_{RRO}を十分高くできるγの範囲は、ほぼ同じ（例えば０．７～１．４）ことである。これは、空乏層が最初に到達するフィールドストップ層のピーク位置の裏面からの距離Ｘの範囲を、W_0－Ｌ（つまりγ＝１．０）を略中心に含むようにすることが最も効果的なためである。γ＝１．０を含むことが最も効果的なのは、パワー密度（定格電圧V_{rate}と定格電流密度J_Fとの積）が略一定（例えば１．８×10^5～２．６×10^5ＶＡ／ｃｍ^2）となることに起因する。つまり、ターンオフ等のスイッチング時に、素子の電圧が定格電圧V_{rate}相当になったときに、空間電荷領域端の距離（深さ）は上記（３）式で示す距離指標Ｌ程度となり、このＬの位置に裏面から最も深いフィールドストップ層のピーク位置があれば（すなわちγが約１．０）、スイッチング時の発振を抑制することができる。そして、パワー密度が略一定なので、距

離指標Ｌは定格電圧V_{rate}に比例するようになる。これにより、どの定格電圧V_{rate}においても、γ＝１．０を略中心に含む範囲とすれば発振開始閾値V_{RRO}を十分高くでき、スイッチング時の発振抑制効果を最も大きくすることができる。

[0102] 以上より、最初に空乏層端が達するフィールドストップ層のピーク位置の裏面からの距離Ｘを上記範囲とすることで、ターンオフ時にＩＧＢＴは蓄積キャリアを十分残存させることができ、ターンオフ時の発振現象を抑えることができる。したがって、いずれの定格電圧V_{rate}においても、最初に空乏層端が達するフィールドストップ層のピーク位置の裏面からの距離Ｘは、距離指標Ｌの係数γを上述の範囲とすることがよい。これにより、ターンオフ時の発振現象を効果的に抑制することができる。

[0103] また、図４４では、定格電圧V_{rate}が６００Ｖ以上において、上述のように裏面から最も深い１つ目（１段目）のフィールドストップ層の裏面からの深さをγ＝１程度とする場合、距離指標Ｌはいずれの定格電圧V_{rate}も２０μｍより深いことがわかる。すなわち基板裏面から最も深い１段目のプロトンピークを形成するためのプロトンの平均飛程Ｒｐを基板裏面から１５μｍよりも深く、２０μｍ以上とする理由は、まさにこの発振抑制効果を最も高くするためである。

[0104]（実施例３）

実施例３として、本発明にかかる半導体装置の製造方法におけるプロトンの加速エネルギーについて説明する。上記のγの範囲を満たすように、空乏層が最初に達するフィールドストップ層のピーク位置が基板裏面からの距離Ｘを有するように当該フィールドストップ層を実際にプロトン照射で形成するには、プロトンの加速エネルギーを、以下に示す図４３の特性図から決めればよい。図４３は、本発明にかかる半導体装置のプロトンの平均飛程とプロトンの加速エネルギーとの関係を示す特性図である。

[0105] 発明者らは鋭意研究を重ねた結果、プロトンの平均飛程Ｒｐ（フィールドストップ層のピーク位置）と、プロトンの加速エネルギーＥとについて、プ

ロトンの平均飛程Ｒｐの対数ｌｏｇ（Ｒｐ）をｘ、プロトンの加速エネルギーＥの対数ｌｏｇ（Ｅ）をｙとすると、下記（４）式の関係があることを見出した。

[0106] ｙ＝－０．００４７ｘ^{4}＋０．０５２８ｘ^{3}－０．２２１１ｘ^{2}＋０．９９２３ｘ＋５．０４７４ ・・・（４）

[0107] 図４３は、上記（４）式を示す特性図であり、プロトンの所望の平均飛程Ｒｐを得るためのプロトンの加速エネルギーを示している。図４３の横軸はプロトンの平均飛程Ｒｐの対数ｌｏｇ（Ｒｐ）であり、ｌｏｇ（Ｒｐ）の軸数値の下側の括弧内に対応する平均飛程Ｒｐ（μｍ）を示す。また、縦軸はプロトンの加速エネルギーＥの対数ｌｏｇ（Ｅ）であり、ｌｏｇ（Ｅ）の軸数値の左側の括弧内に対応するプロトンの加速エネルギーＥを示す。上記（４）式は、実験等によって得られた、プロトンの平均飛程Ｒｐの対数ｌｏｇ（Ｒｐ）と加速エネルギーの対数ｌｏｇ（Ｅ）との各値を、ｘ（＝ｌｏｇ（Ｒｐ））の４次の多項式でフィッティングさせた式である。

[0108] なお、上記のフィッティング式を用いて所望のプロトンの平均飛程Ｒｐからプロトン照射の加速エネルギーＥを算出（以下、算出値Ｅとする）して、この加速エネルギーの算出値Ｅでプロトンをシリコン基板に注入した場合における、実際の加速エネルギーＥ’と実際に広がり抵抗（ＳＲ）測定法等によって得られた平均飛程Ｒｐ’（プロトンピーク位置）との関係は、以下のように考えればよい。

[0109] 加速エネルギーの算出値Ｅに対して、実際の加速エネルギーＥ’がＥ±１０％程度の範囲にあれば、実際の平均飛程Ｒｐ’も所望の平均飛程Ｒｐに対して±１０％程度の範囲に収まり、測定誤差の範囲内となる。そのため、実際の平均飛程Ｒｐ’の所望の平均飛程Ｒｐからのバラつきが、ダイオードやＩＧＢＴの電気的特性へ与える影響は、無視できる程度に十分小さい。したがって、実際の加速エネルギーＥ’が算出値Ｅ±１０％の範囲にあれば、実際の平均飛程Ｒｐ’は実質的に設定どおりの平均飛程Ｒｐであると判断することができる。あるいは、実際の加速エネルギーＥ’を上記（４）式に当て

はめて算出した平均飛程Ｒｐに対して、実際の平均飛程Ｒｐ’が±１０％以内に収まれば、問題ない。

[0110] 実際の加速器では、加速エネルギーＥおよび平均飛程Ｒｐはいずれも上記の範囲（±１０％）に収まり得るため、実際の加速エネルギーＥ’および実際の平均飛程Ｒｐ’は、所望の平均飛程Ｒｐと算出値Ｅとで表される上記（４）式に示すフィッティング式にしたがっていると考えて、全く差支えない。さらに、バラつきや誤差の範囲が、平均飛程Ｒｐに対して±１０％以下であればよく、好適には±５％に収まれば、申し分なく上記（４）式に従っていると考えることができる。

[0111] 上記（４）式を用いることにより、所望のプロトンの平均飛程Ｒｐを得るのに必要なプロトンの加速エネルギーＥを求めることができる。上述したフィールドストップ層を形成するためのプロトンの各加速エネルギーＥも、上記（４）式を用いており、実際に上記の加速エネルギーＥ’でプロトンを照射した試料を周知の広がり抵抗測定法（ＳＲ法）にて測定した実測値ともよく一致する。したがって、上記（４）式を用いることで、極めて精度よく、プロトンの平均飛程Ｒｐに基づいて必要なプロトンの加速エネルギーＥを予測することが可能となった。

[0112]（実施の形態６）

実施の形態６にかかる半導体装置の製造方法が実施の形態１にかかる半導体装置の製造方法と異なる点は、基板裏面のｐ$^{+}$コレクタ層９を形成するためのボロンなどのｐ型不純物イオン２１の第１イオン注入後の第１アニールを、レーザーアニール６１とする点である。ｎ$^{+}$フィールドストップ層１０は、実施の形態１のように１段のプロトン照射により１つ設けてもよいし、実施の形態５のように複数段のプロトン照射により複数設けてもよい。

[0113] 実施の形態６にかかる半導体装置の製造方法について、図１，３～８，５３を参照して説明する。図５３は、実施の形態６にかかる製造途中の半導体装置を示す断面図である。まず、図３～５に示すように、実施の形態１と同様に、ｎ$^{-}$ドリフト層１となる半導体基板を用意し、半導体基板のおもて面に

トレンチゲート型のＭＯＳゲート構造およびエミッタ電極７を形成する。次に、図５に示すように、実施の形態１と同様に、半導体基板の裏面を研削し、半導体基板を洗浄して付着物を除去した後、半導体基板の研削された裏面にｐ型不純物イオン２１をイオン注入する。

[0114] 次に、図５３に示すように、第１アニールとしてレーザーアニール６１を行い、図６に示すように半導体基板の裏面の表面層にp^+コレクタ層９を形成する。次に、図７，８に示すように、実施の形態１と同様に、半導体基板の裏面のp^+コレクタ層９よりも深い領域にプロトン２２を照射した後、第２アニールとして炉アニールを行い、n^+フィールドストップ層１０を形成する。次に、実施の形態１と同様に、半導体基板の裏面にコレクタ電極１１を形成することにより、図１に示すトレンチゲート型ＩＧＢＴが完成する。

[0115] 図４５に示す複数のn^+フィールドストップ層１０を備えた半導体装置を作製する場合には、第１アニールとしてレーザーアニール６１を行い（図５３，６）、半導体基板の裏面の表面層にp^+コレクタ層９を形成した後に、複数段のプロトン照射および第２アニールを行えばよい（図４８～５２）。

[0116] また、実施の形態６に実施の形態３を適用し、図１３に示すダイオードや、図４６に示すように複数のn^+フィールドストップ層３６（例えばn^+フィールドストップ層３６ａ～３６ｃ）を備えたダイオードを作製してもよい。この場合の実施の形態６にかかる半導体装置の製造方法は、実施の形態３にかかる半導体装置の製造方法においてn^+カソード層３５を形成するための第１アニールをレーザーアニールとすればよい。

[0117] 以上、説明したように、実施の形態６によれば、実施の形態１と同様の効果を得ることができる。また、実施の形態６によれば、p^+コレクタ層を形成するためのレーザーアニール後にn^+フィールドストップ層を形成するため、p^+コレクタ層を形成するためのレーザーアニールの影響が、n^+フィールドストップ層に及ばない。特に、n^+フィールドストップ層を複数形成する場合、p^+コレクタ層に近い位置に形成される３段目（平均飛程Ｒｐが例えば５μｍ）のn^+フィールドストップ層の水素ドナー濃度がレーザーアニールによって

低減されないため、n^+フィールドストップ層を高濃度に維持することができる。これにより、n^+フィールドストップ層が消失することを防止することができる。

[0118] 以上において本発明は、上述した実施の形態に限らず、フィールドストップ層を設けることができるさまざまな半導体装置に適用することが可能である。例えば、実施の形態１，２ではトレンチゲート型ＩＧＢＴを例に説明したが、プレーナゲート型ＩＧＢＴに適用してもよい。また、実施の形態２，４では第２アニールの後に入力電極（エミッタ電極、アノード電極）を形成する場合を例に説明したが、第１アニールよりも後に入力電極を形成する場合に実施の形態２と同様の効果を奏する。また、各実施の形態では、出力電極とのコンタクトとなる半導体層（コレクタ層、カソード層）を形成するための不純物導入方法は、イオン注入に限らず、種々変更可能である。また、各実施の形態では第１導電型をｎ型とし、第２導電型をｐ型としたが、本発明は第１導電型をｐ型とし、第２導電型をｎ型としても同様に成り立つ。

産業上の利用可能性

[0119] 以上のように、本発明にかかる半導体装置の製造方法は、コンバータやインバータなどの電力変換装置に使用される半導体装置に有用である。

符号の説明

[0120] １　n^-ドリフト層

２　ｐベース領域

３　n^{++}エミッタ領域

４　トレンチ

５　ゲート絶縁膜

６　ゲート電極

７　エミッタ電極

８　層間絶縁膜

９　p^+コレクタ層

１０　n^+フィールドストップ層

１１　コレクタ電極

請求の範囲

[請求項1] 第１導電型の半導体基板のおもて面に設けられた入力電極と、前記半導体基板の裏面に設けられた出力電極と、を備えた半導体装置の製造方法であって、

前記半導体基板の裏面に不純物を導入する導入工程と、

第１アニールによって、前記半導体基板の裏面に導入された不純物を活性化し、前記半導体基板の裏面の表面層に前記出力電極との接触部となる第１半導体層を形成する第１アニール工程と、

前記第１アニール工程後、前記半導体基板の裏面にプロトンを照射する照射工程と、

第２アニールによって、前記半導体基板の裏面に照射されたプロトンを活性化し、前記半導体基板の裏面の前記第１半導体層よりも深い領域に前記半導体基板よりも不純物濃度が高い第１導電型の第２半導体層を形成する第２アニール工程と、

を含むことを特徴とする半導体装置の製造方法。

[請求項2] 前記第１アニール工程後に前記照射工程を複数回行い、

前記照射工程を行うごとに前記第２アニール工程を行う、または最後の前記照射工程後に前記第２アニール工程を１回行うことを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項3] 前記第１半導体層に接する前記出力電極を形成する出力電極形成工程をさらに含み、

前記第２アニール工程は、前記出力電極形成工程前に、または、前記出力電極形成工程と同時に行われることを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項4] 前記第１アニール工程は、前記第２アニール工程よりも高いアニール温度で行われることを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項5] 前記第２アニールの温度は、３８０℃以上４５０℃以下であること

を特徴とする請求項４に記載の半導体装置の製造方法。

[請求項6] 前記導入工程では、前記出力電極と前記第１半導体層とがオーミック接触となるドーズ量で不純物が導入されることを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項7] 前記第１アニール工程よりも後に、前記半導体基板のおもて面に前記入力電極を形成する入力電極形成工程をさらに含むことを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項8] 前記第１アニール工程は、レーザーアニールであることを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項9] 前記第２半導体層は、空乏層の広がりを抑制するフィールドストップ層であることを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項10] 前記半導体装置は、絶縁ゲート型バイポーラトランジスタであり、

前記第１半導体層は、第２導電型のコレクタ層であり、

前記出力電極は、コレクタ電極であることを特徴とする請求項１～６のいずれか一つに記載の半導体装置の製造方法。

[請求項11] 前記半導体装置は、ダイオードであり、

前記第１半導体層は、第１導電型のカソード層であり、

前記出力電極は、カソード電極であることを特徴とする請求項１～６のいずれか一つに記載の半導体装置の製造方法。

[請求項12] 前記半導体基板からなる第１導電型のドリフト層を備え、

前記半導体基板のおもて面には第２導電型の第３半導体層が形成され、

ｑを電荷素量、N_dを前記ドリフト層の平均濃度、ε_Sを前記半導体基板の誘電率、V_{rate}を定格電圧、J_Fを定格電流密度、v_{sat}をキャリアの速度が所定の電界強度で飽和した飽和速度として、距離指標Ｌが下記式（１）で表わされ、

前記第３半導体層に最も近い前記第２半導体層のキャリア濃度がピ

ーク濃度となる位置の前記半導体基板の裏面からの深さをＸとし、

前記半導体基板の厚さをW_0としたときに、

Ｘ＝W_0－γＬであり、γが０．２以上１．５以下となるように前記第３半導体層に最も近い前記第２半導体層のピーク濃度となる位置とすることを特徴とする請求項１に記載の半導体装置の製造方法。

[数1]

$$L=\sqrt{\frac{\varepsilon_S V_{rate}}{\left(\frac{J_F}{qv_{sat}}+N_d\right)}} \quad \cdots(1)$$

[請求項13] 前記γが０．９以上１．４以下であることを特徴とする請求項１２に記載の半導体装置の製造方法。

[請求項14] 前記γが１．０以上１．３以下であることを特徴とする請求項１２に記載の半導体装置の製造方法。

[請求項15] 前記照射工程において、プロトンの照射により飛程Ｒｐの前記第２半導体層を形成するときのプロトンの加速エネルギーＥは、前記飛程Ｒｐの対数ｌｏｇ（Ｒｐ）をｘ、前記加速エネルギーＥの対数ｌｏｇ（Ｅ）をｙとして、下記式（２）を満たすことを特徴とする請求項１に記載の半導体装置の製造方法。

ｙ＝－０．００４７x^4＋０．０５２８x^3－０．２２１１x^2＋０．９９２３ｘ＋５．０４７４ ・・・（２）

補正された請求の範囲
[2013年8月13日(13.08.2013) 国際事務局受理]

［請求項１］　第１導電型の半導体基板のおもて面に設けられた入力電極と、前記半導体基板の裏面に設けられた出力電極と、を備えた半導体装置の製造方法であって、

前記半導体基板の裏面に不純物を導入する導入工程と、

第１アニールによって、前記半導体基板の裏面に導入された不純物を活性化し、前記半導体基板の裏面の表面層に前記出力電極との接触部となる第１半導体層を形成する第１アニール工程と、

前記第１アニール工程後、前記半導体基板の裏面にプロトンを照射する照射工程と、

第２アニールによって、前記半導体基板の裏面に照射されたプロトンを活性化し、前記半導体基板の裏面の前記第１半導体層よりも深い領域に前記半導体基板よりも不純物濃度が高い第１導電型の第２半導体層を形成する第２アニール工程と、

を含むことを特徴とする半導体装置の製造方法。

［請求項２］　前記第１アニール工程後に前記照射工程を複数回行い、

前記照射工程を行うごとに前記第２アニール工程を行う、または最後の前記照射工程後に前記第２アニール工程を１回行うことを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項３］　前記第１半導体層に接する前記出力電極を形成する出力電極形成工程をさらに含み、

前記第２アニール工程は、前記出力電極形成工程前に、または、前記出力電極形成工程と同時に行われることを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項４］　前記第１アニール工程は、前記第２アニール工程よりも高いアニール温度で行われることを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項５］　前記第２アニールの温度は、３８０℃以上４５０℃以下であることを特徴とする請求項４に記載の半導体装置の製造方法。

［請求項６］　前記導入工程では、前記出力電極と前記第１半導体層とがオーミック接触となるドーズ量で不純物が導入されることを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項７］　前記第１アニール工程よりも後に、前記半導体基板のおもて面に前記入力電極を形成する入力電極形成工程をさらに含むことを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項８］　前記第１アニール工程は、レーザーアニールであることを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項９］　前記第２半導体層は、空乏層の広がりを抑制するフィールドストップ層であることを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項１０］　前記半導体装置は、絶縁ゲート型バイポーラトランジスタであり、

前記第１半導体層は、第２導電型のコレクタ層であり、

前記出力電極は、コレクタ電極であることを特徴とする請求項１～６のいずれか一つに記載の半導体装置の製造方法。

［請求項１１］　前記半導体装置は、ダイオードであり、

前記第１半導体層は、第１導電型のカソード層であり、

前記出力電極は、カソード電極であることを特徴とする請求項１～６のいずれか一つに記載の半導体装置の製造方法。

［請求項１２］　前記半導体基板からなる第１導電型のドリフト層を備え、

前記半導体基板のおもて面には第２導電型の第３半導体層が形成され、

ｑを電荷素量、N_dを前記ドリフト層の平均濃度、ε_Sを前記半導体基板の誘電率、V_{rate}を定格電圧、J_Fを定格電流密度、v_{sat}をキャリアの速度が所定の電界強度で飽和した飽和速度として、距離指標Ｌが下記式（１）で表わされ、

前記第３半導体層に最も近い前記第２半導体層のキャリア濃度がピーク濃度となる位置の前記半導体基板の裏面からの深さをＸとし、

前記半導体基板の厚さをW_0としたときに、

$X = W_0 - \gamma L$であり、γが０．２以上１．５以下となるように前記第３半導体層に最も近い前記第２半導体層のピーク濃度となる位置とすることを特徴とする請求項１に記載の半導体装置の製造方法。

［数１］

$$L=\sqrt{\frac{\varepsilon_S V_{rate}}{\left(\frac{J_F}{q\nu_{sat}}+N_d\right)}} \quad \cdots(1)$$

［請求項１３］　前記γが０．９以上１．４以下であることを特徴とする請求項１２に記載の半導体装置の製造方法。

［請求項１４］　前記γが１．０以上１．３以下であることを特徴とする請求項１２に記載の半導体装置の製造方法。

［請求項１５］　前記照射工程において、プロトンの照射により飛程Ｒｐの前記第２半導体層を形成するときのプロトンの加速エネルギーＥは、前記飛程Ｒｐの対数　ｌｏｇ（Ｒｐ）をｘ、前記加速エネルギーＥの対数ｌｏｇ（Ｅ）をｙとして、下記式（２）を満たすことを特徴とする請求項１に記載の半導体装置の製造方法。

ｙ＝－０．００４７ｘ^4＋０．０５２８ｘ^3－０．２２１１ｘ^2＋０．９９２３ｘ＋５．０４７４　・・・（２）

［請求項１６］（追加）　プロトンの前記半導体基板の裏面からの飛程が１５μｍ以上であることを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項１７］（追加）　第１導電型のドリフト層を有する第１導電型の半導体基板と、

前記半導体基板の裏面の表面層に設けられた第１半導体層と、

前記ドリフト層よりも不純物濃度が高く、前記半導体基板の裏面の前記第１半導体層よりも深い領域に設けられた第１導電型の第２半導体層と、

前記半導体基板のおもて面の表面層に設けられた第２導電型の第３半導体層と、

前記第３半導体層に接する入力電極と、

前記第１半導体層に接する出力電極と、

を備え、

ｑを電荷素量、N_dを前記ドリフト層の平均濃度、ε_Sを前記半導体基板の誘電率、V_{rate}を定格電圧、J_Fを定格電流密度、v_{sat}をキャリアの速度が所定の電界強度で飽和した飽和速度として、距離指標Ｌが下記式（３）で表わされ、

前記第３半導体層に最も近い前記第２半導体層のキャリア濃度がピーク濃度となる

位置の前記半導体基板の裏面からの深さをＸとし、

前記半導体基板の厚さをW_0としたときに、

前記第３半導体層に最も近い前記第２半導体層のピーク濃度となる位置が、Ｘ＝$W_0-\gamma L$であり、γが０．２以上１．５以下となるようにしたことを特徴とする半導体装置。

［数２］

$$L=\sqrt{\frac{\varepsilon_S V_{rate}}{\left(\frac{J_F}{qv_{sat}}+N_d\right)}} \qquad \cdots(3)$$

［請求項１８］（追加）　前記γが０．９以上１．４以下であることを特徴とする請求項１７に記載の半導体装置。

［請求項１９］（追加）　前記γが１．０以上１．３以下であることを特徴とする請求項１７に記載の半導体装置。

条約第１９条（１）に基づく説明書

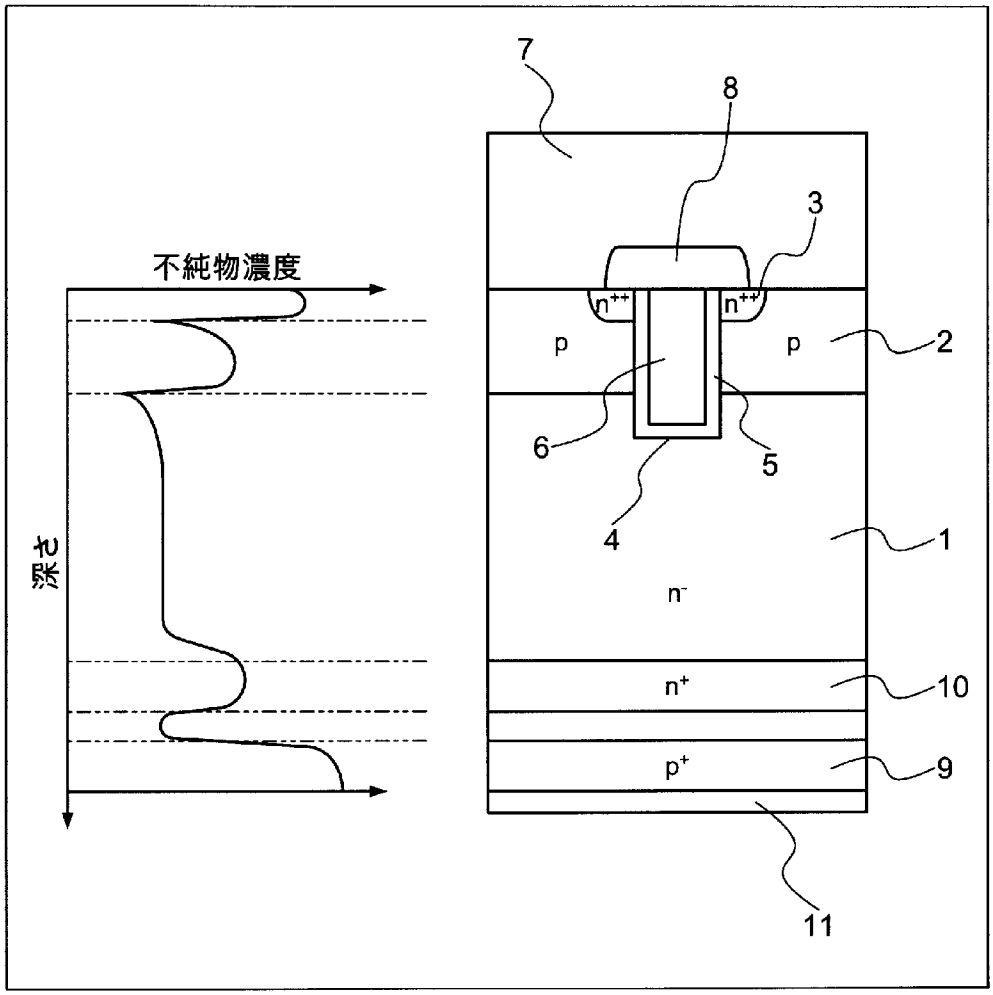
請求の範囲第１～１５項は、出願時の請求の範囲第１～１５項です。

また、請求の範囲第１６～１９項を追加しました。

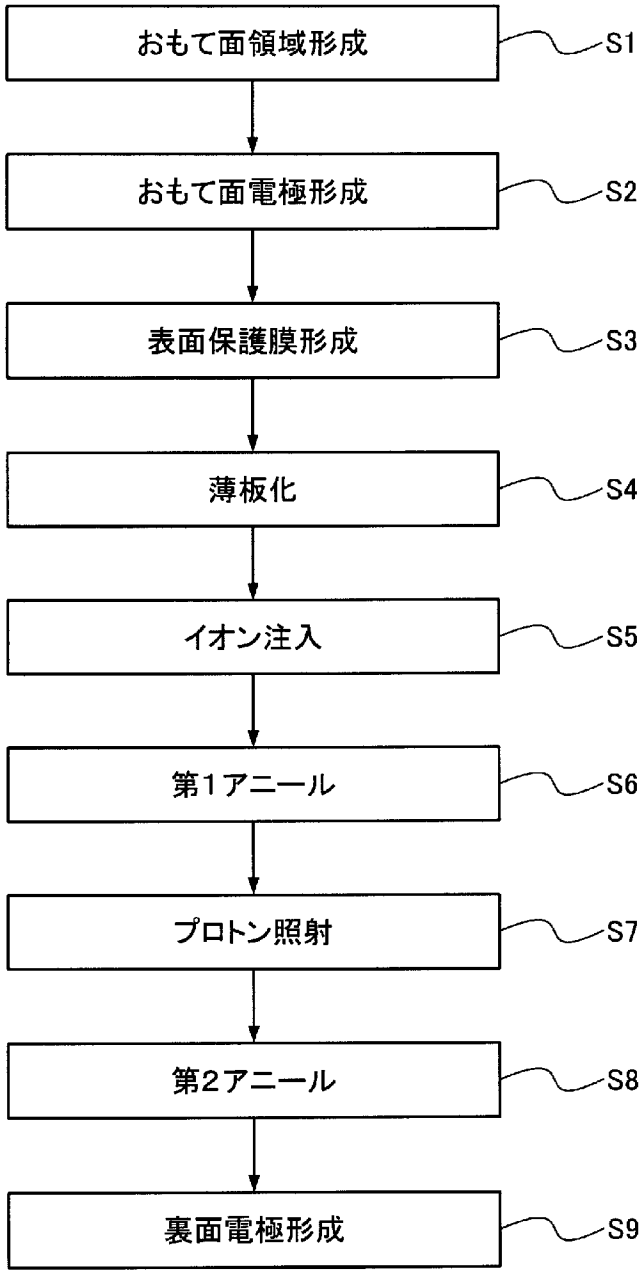
また、請求の範囲第１６項は、出願時の明細書の段落０１０３の記載に基づくものです。

また、請求の範囲第１７～１９項は、出願時の明細書の段落００４５～００４８および００９０～０１００の記載に基づくものです。

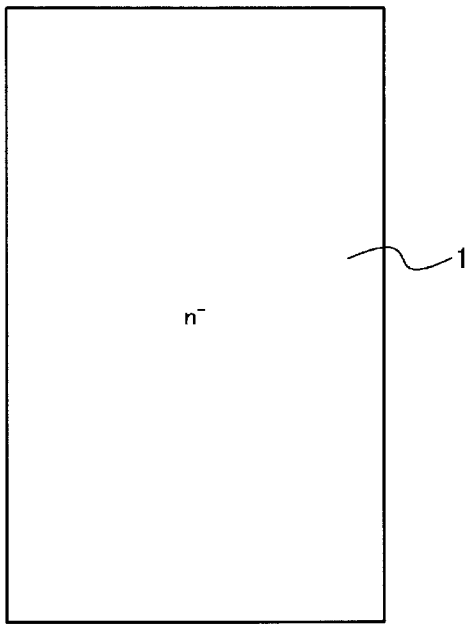
[図1]



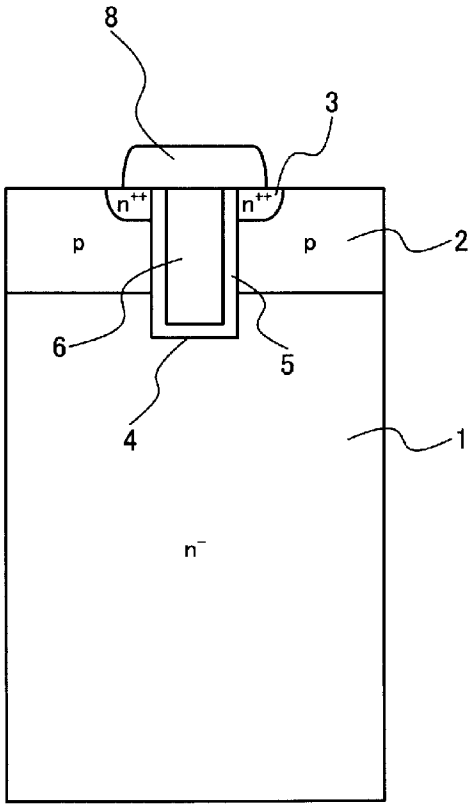
[図2]


おもて面領域形成
S1
おもて面電極形成
S2
表面保護膜形成
S3
薄板化
S4
イオン注入
S5
第1アニール
S6
プロトン照射
S7
第2アニール
S8
裏面電極形成
S9

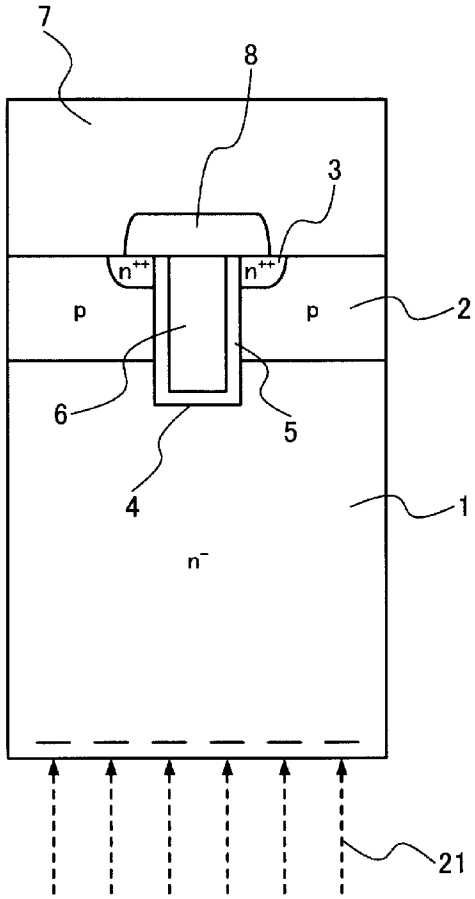
[図3]



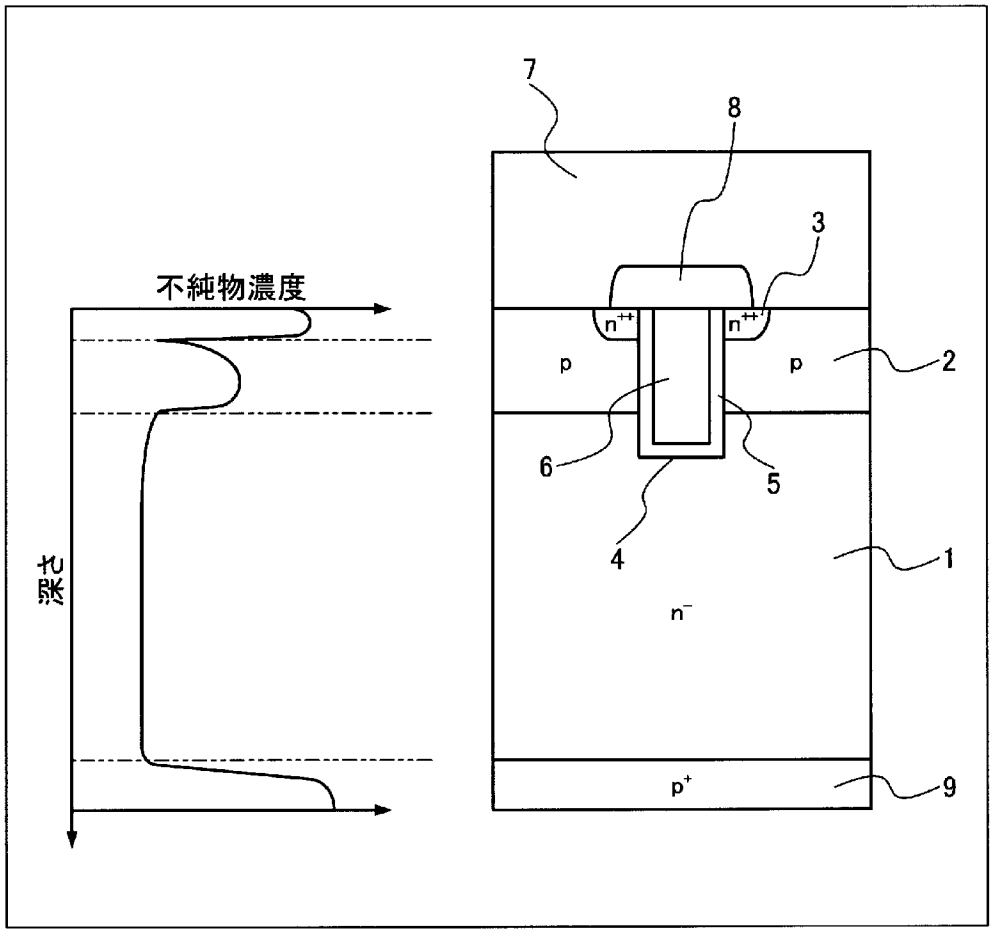
[図4]



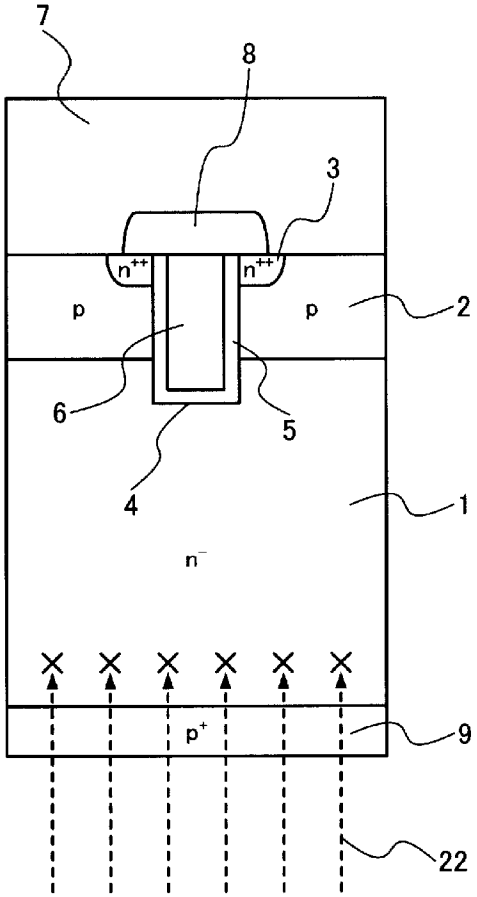
[図5]



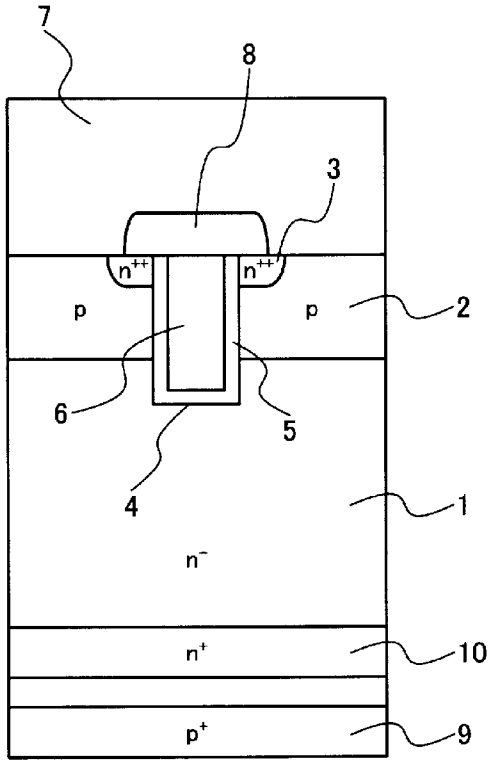
[図6]



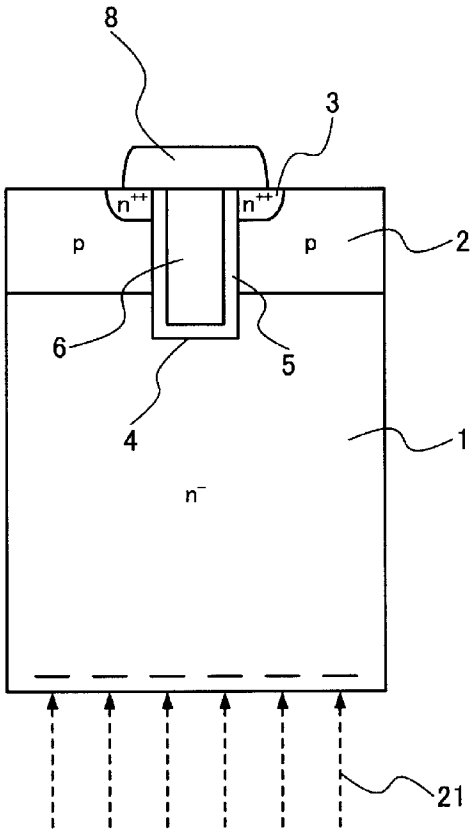
[図7]



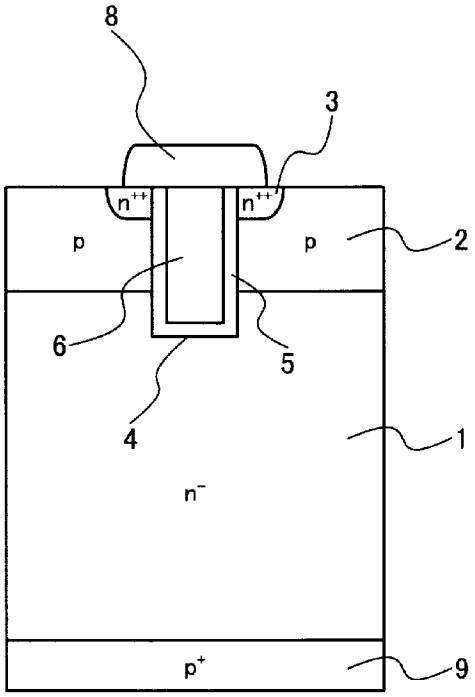
[図8]



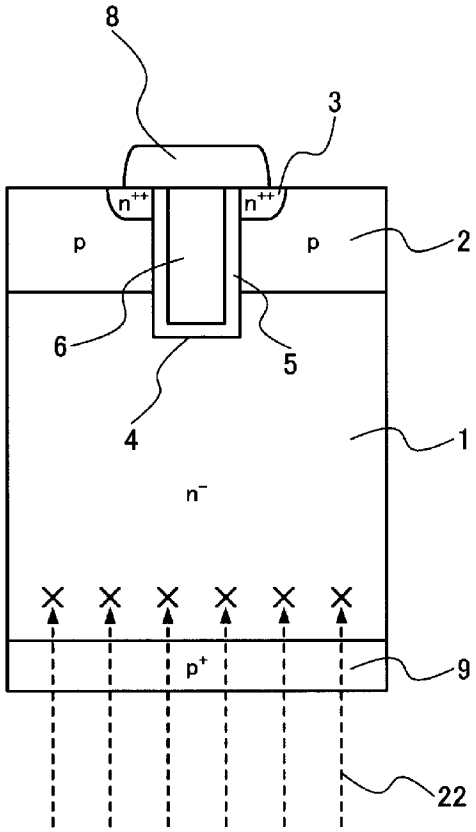
[図9]



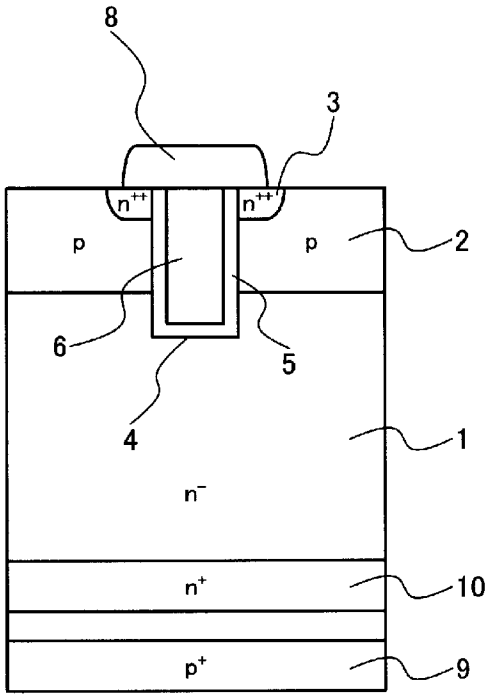
[図10]



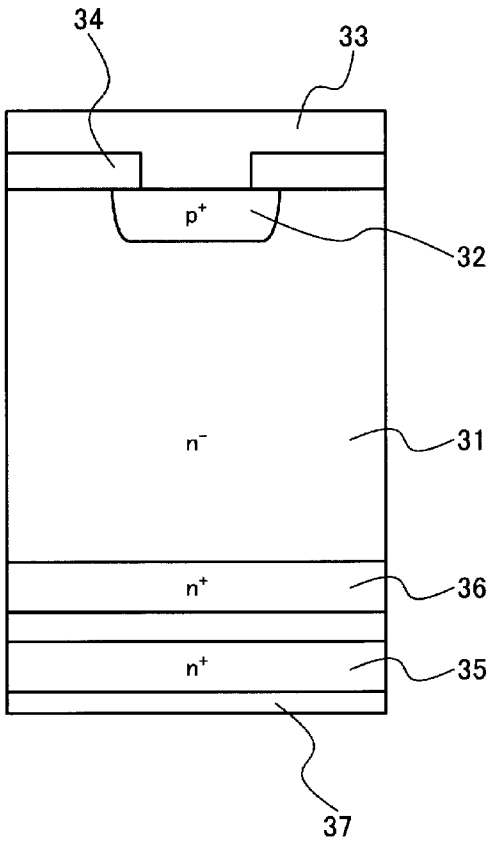
[図11]



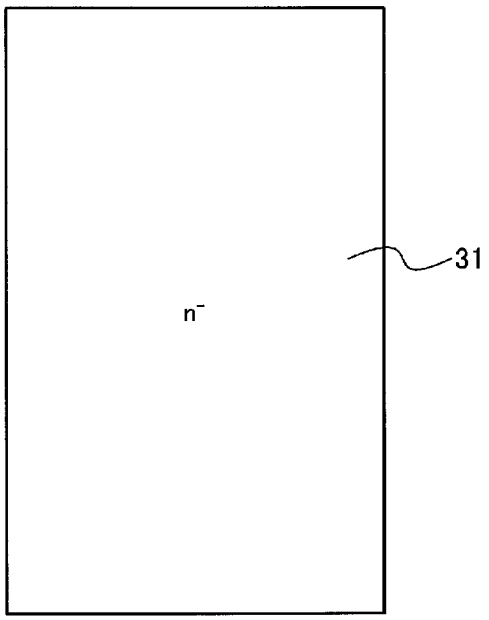
[図12]



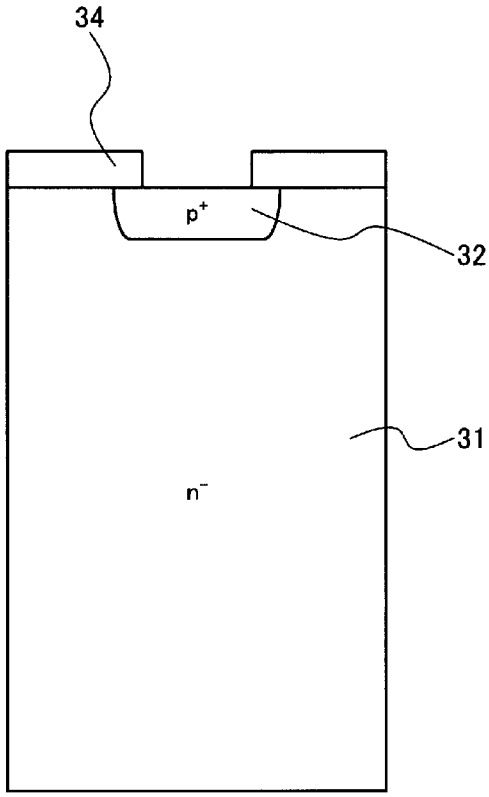
[図13]



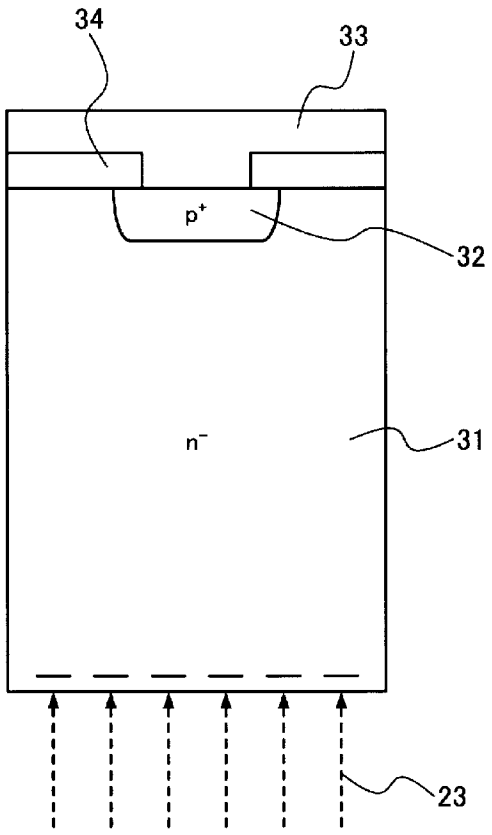
[図14]



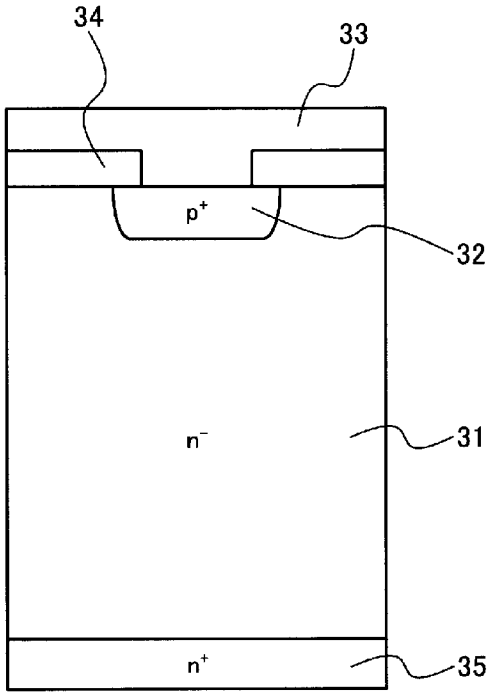
[図15]



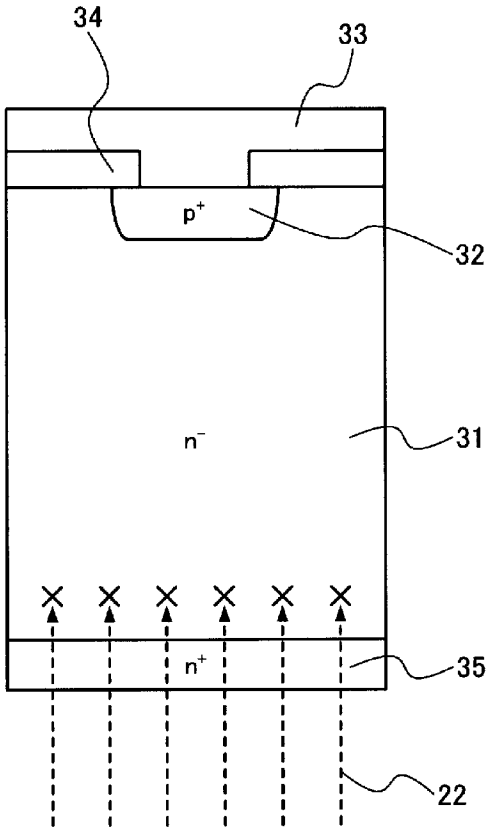
[図16]



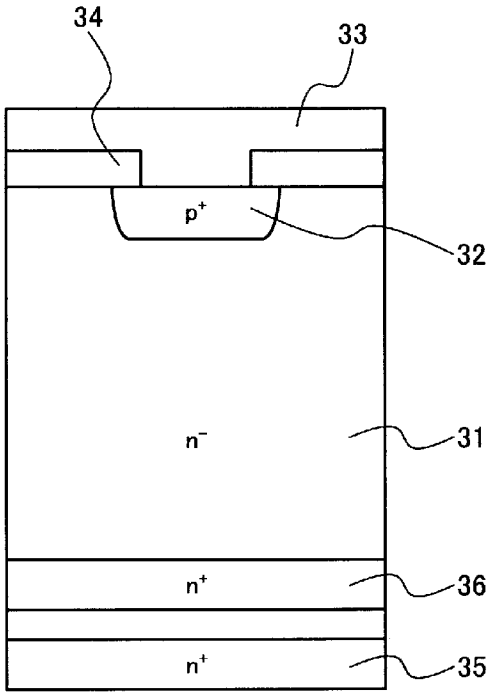
[図17]



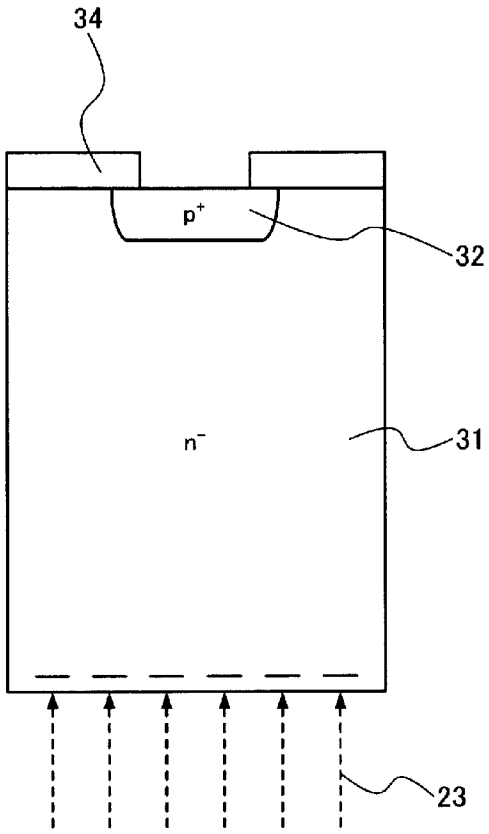
[図18]



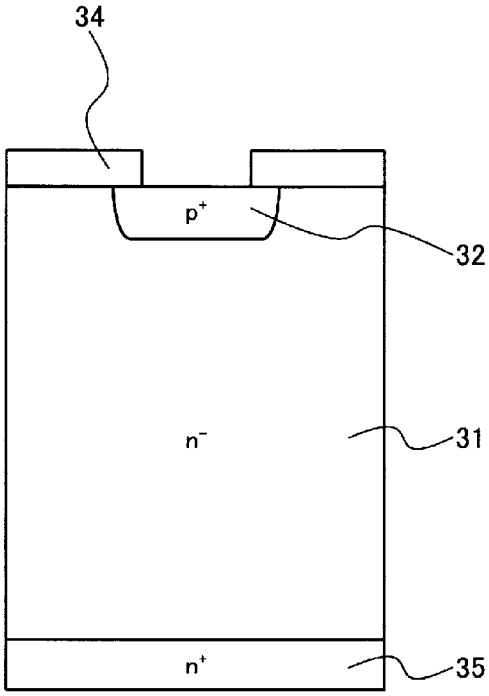
[図19]



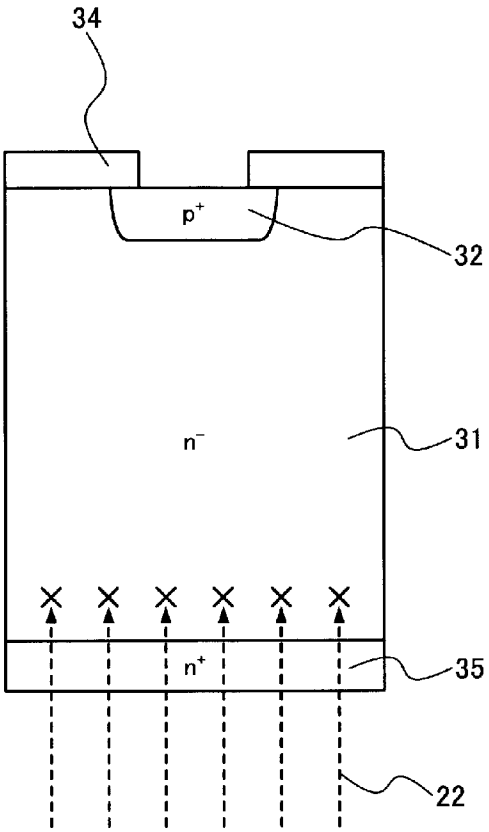
[図20]



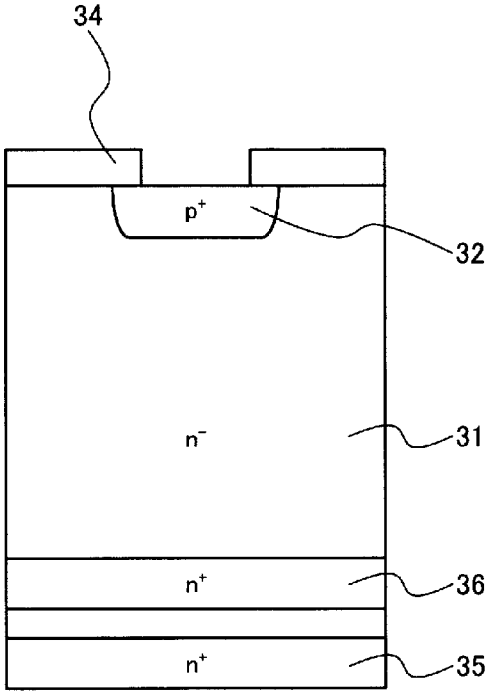
[図21]



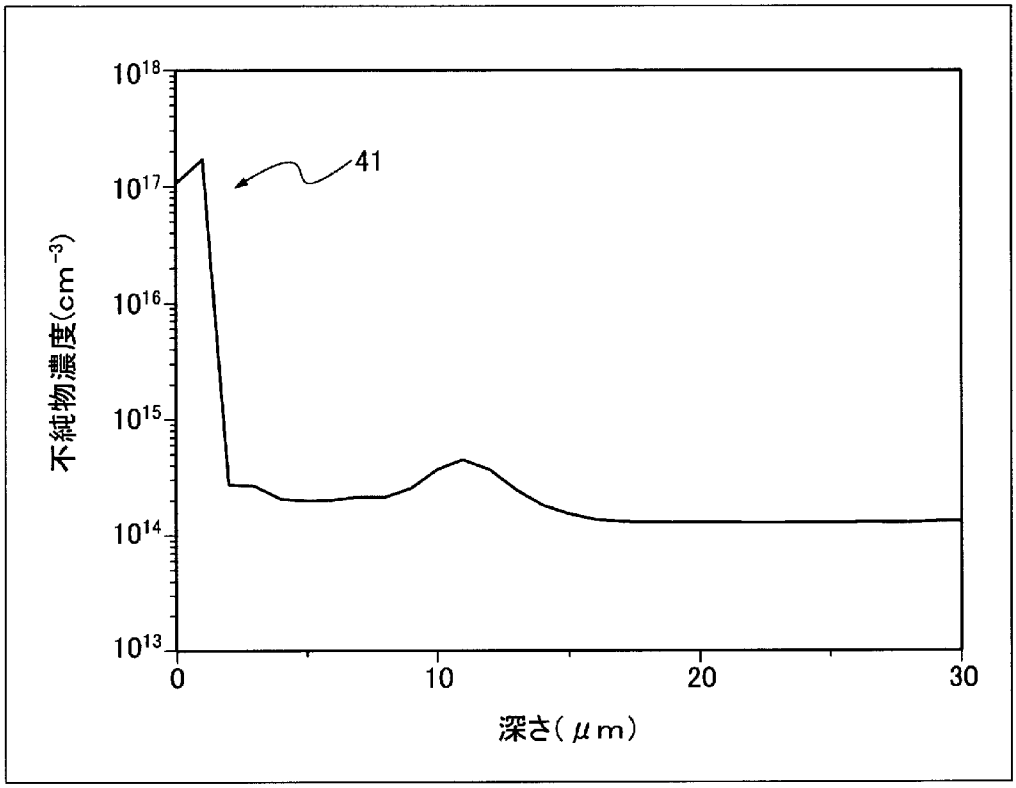
[図22]



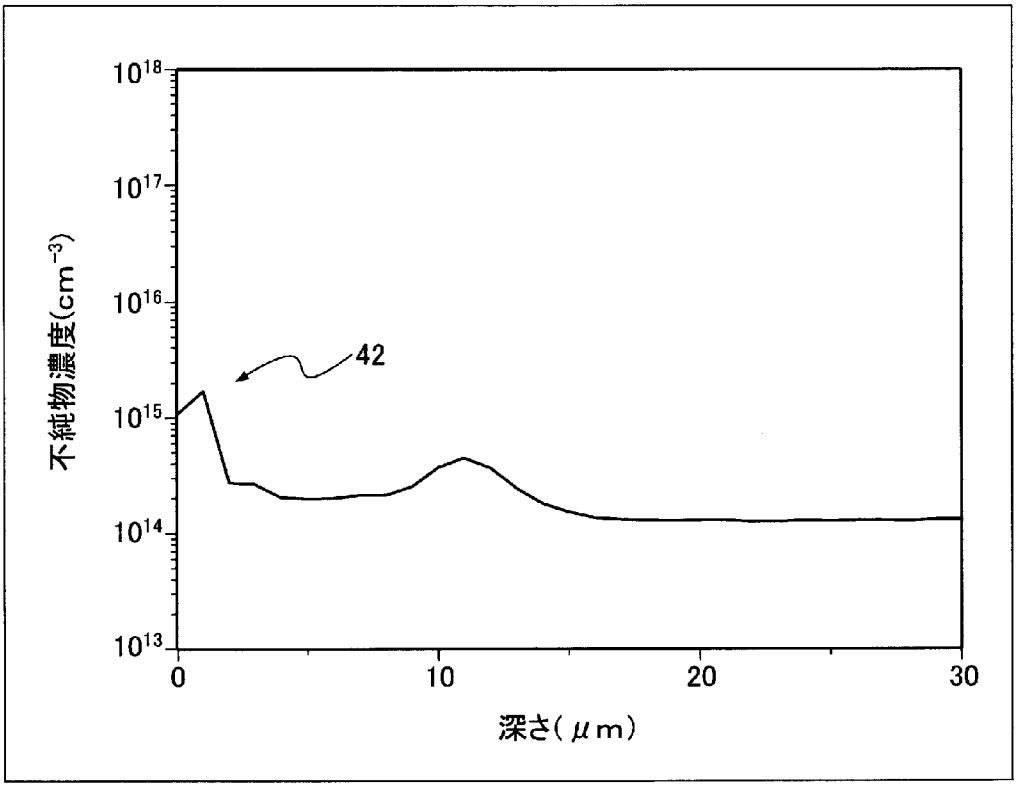
[図23]


34
p+
32
n−
31
n+
36
n+
35

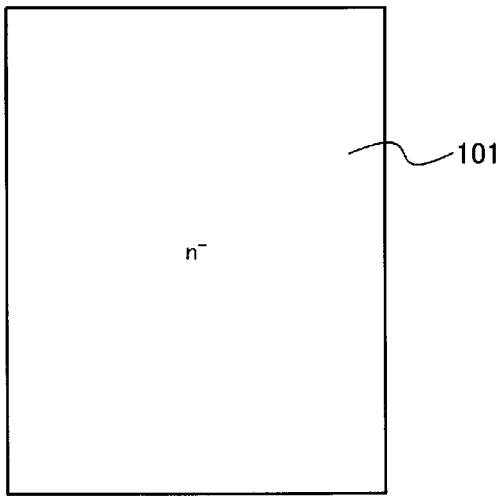
[図24]


10^18
10^17
10^16
10^15
10^14
10^13
41
不純物濃度(cm^-3)
0
10
20
30
深さ(μm)

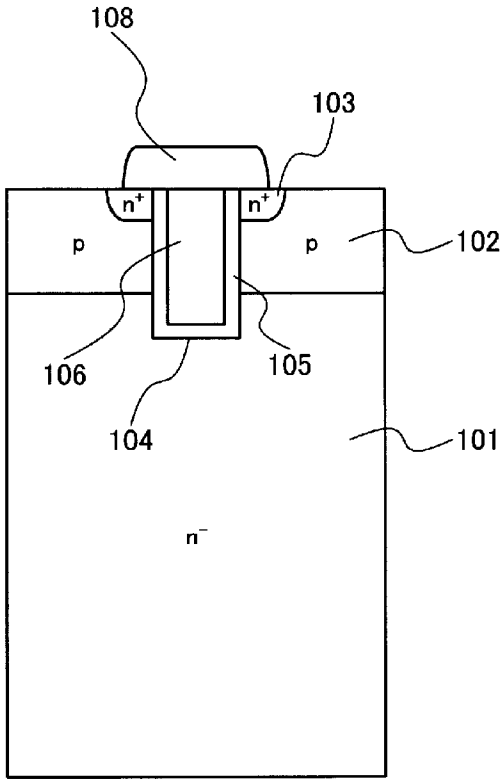
[図25]



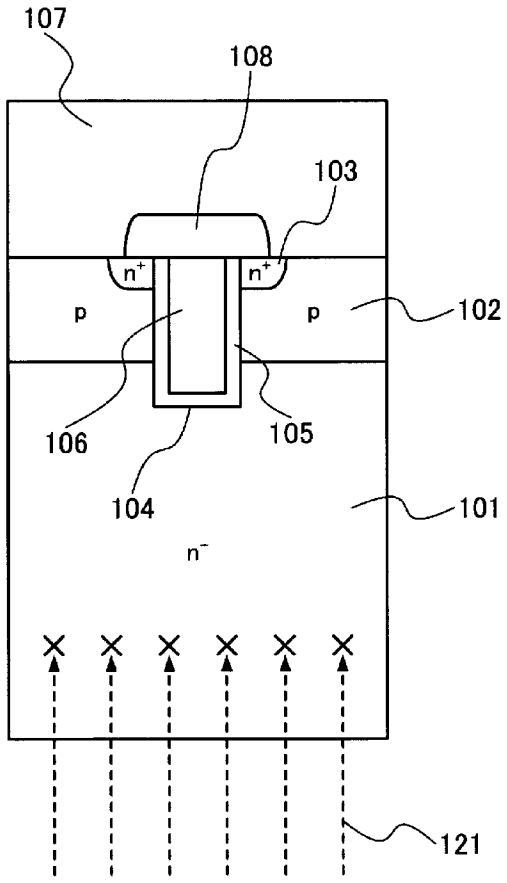
[図26]



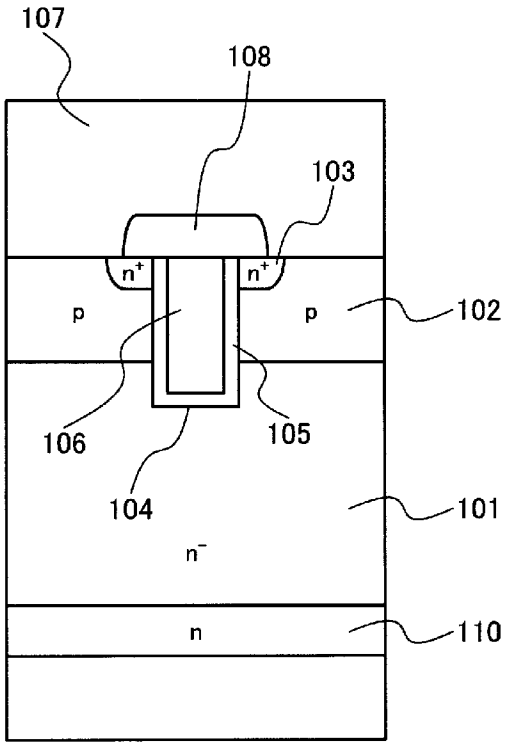
[図27]


108
103
n+
n+
p
p
102
106
105
104
101
n−

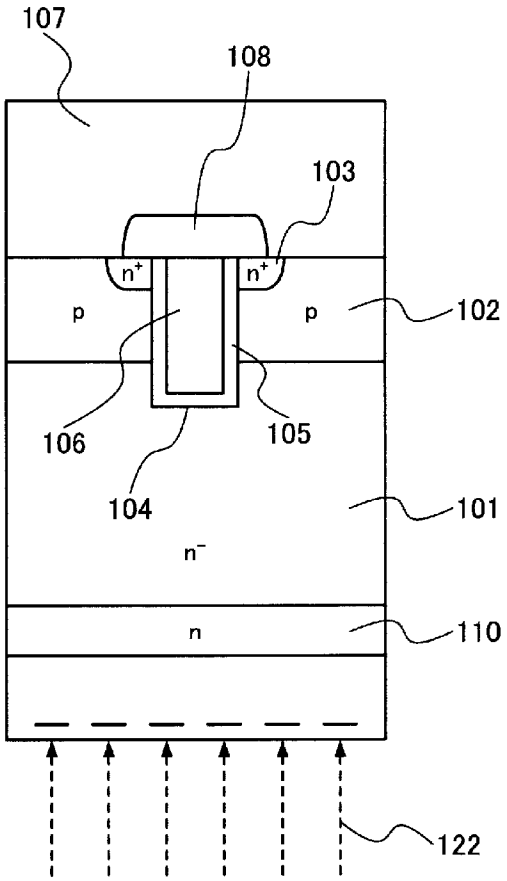
[図28]


107
108
103
n+
n+
p
p
102
106
105
104
101
n−
121

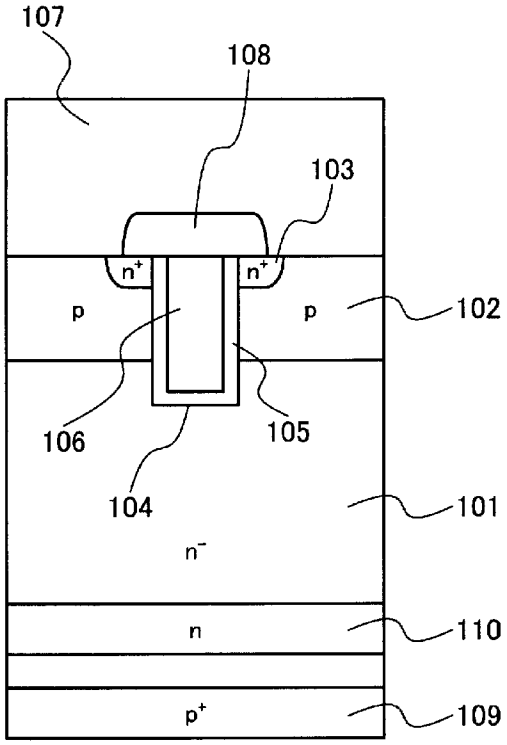
[図29]


107
108
103
n+
n+
p
p
102
106
105
104
101
n−
n
110

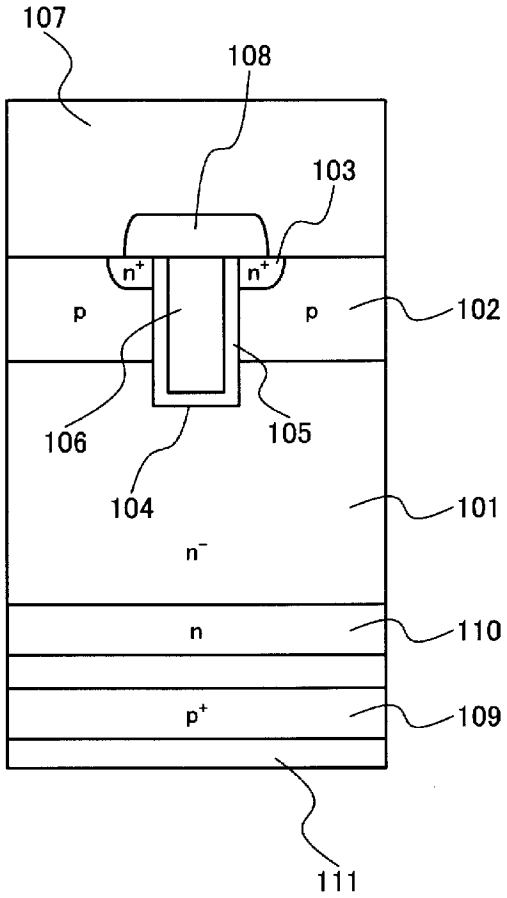
[図30]


107
108
103
n+
n+
p
p
102
106
105
104
101
n−
n
110
122

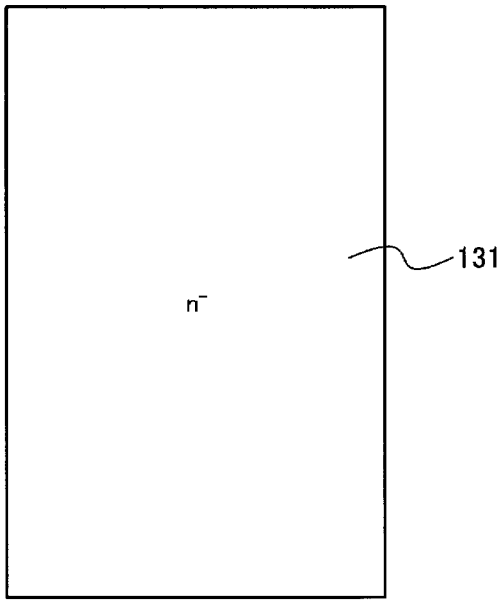
[図31]


107
108
103
n+
n+
p
p
102
106
105
104
101
n−
n
110
p+
109

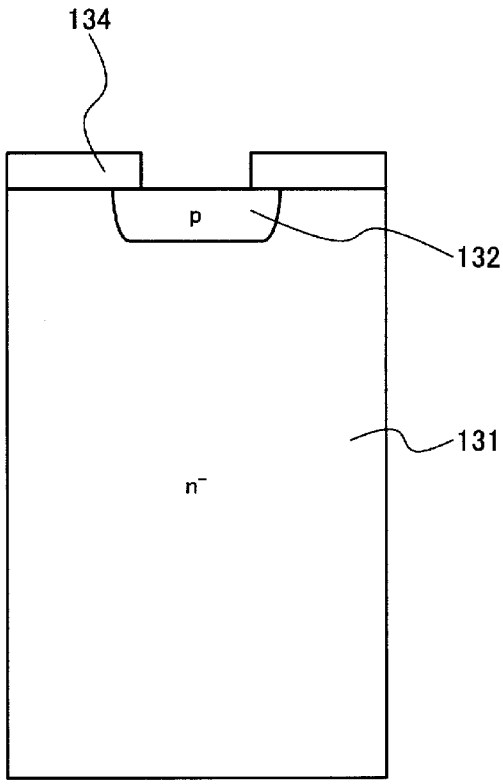
[図32]


107
108
103
n+
n+
p
p
102
106
105
104
101
n−
n
110
p+
109
111

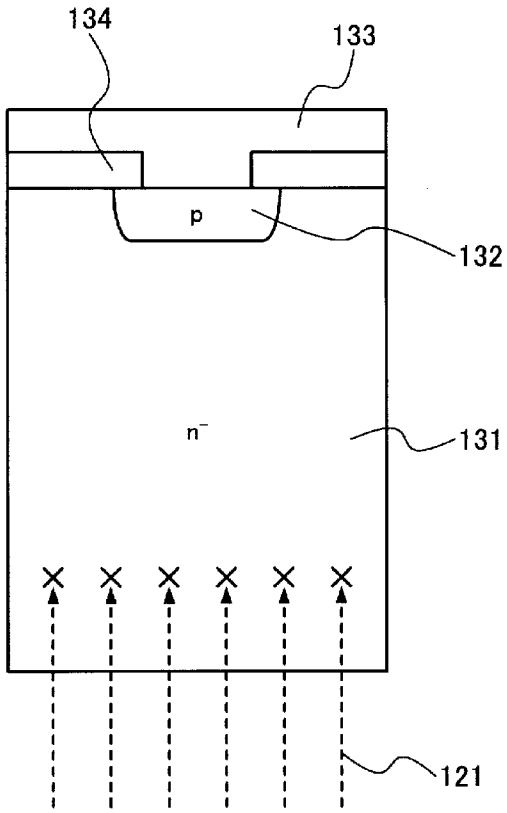
[図33]



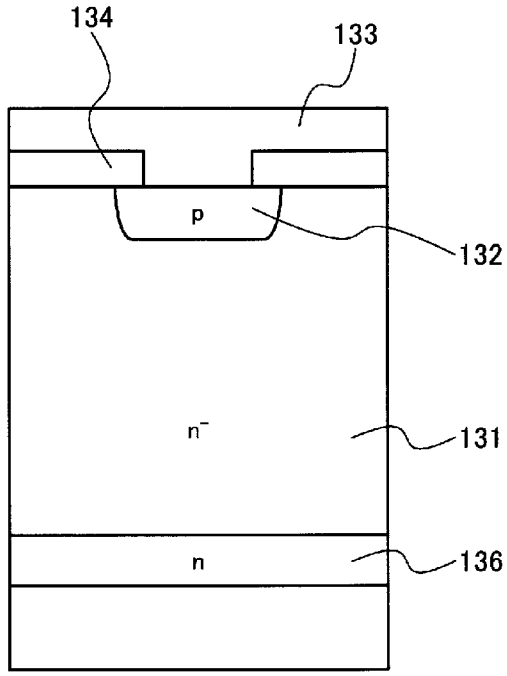
[図34]



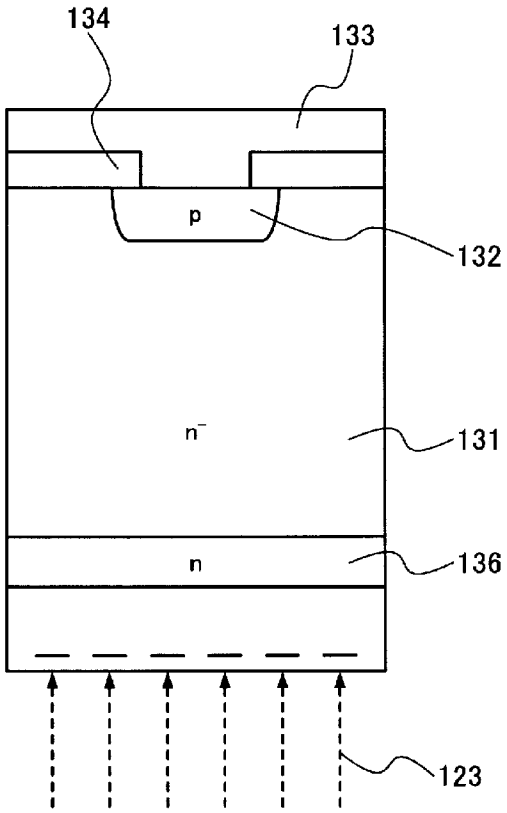
[図35]



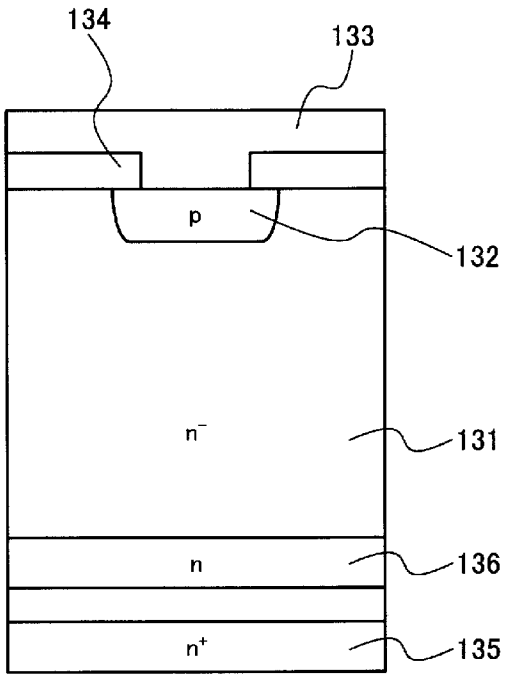
[図36]



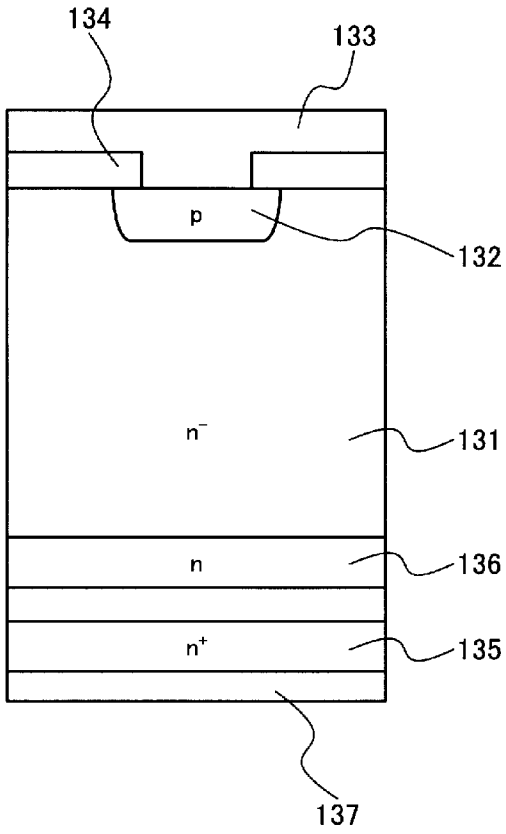
[図37]



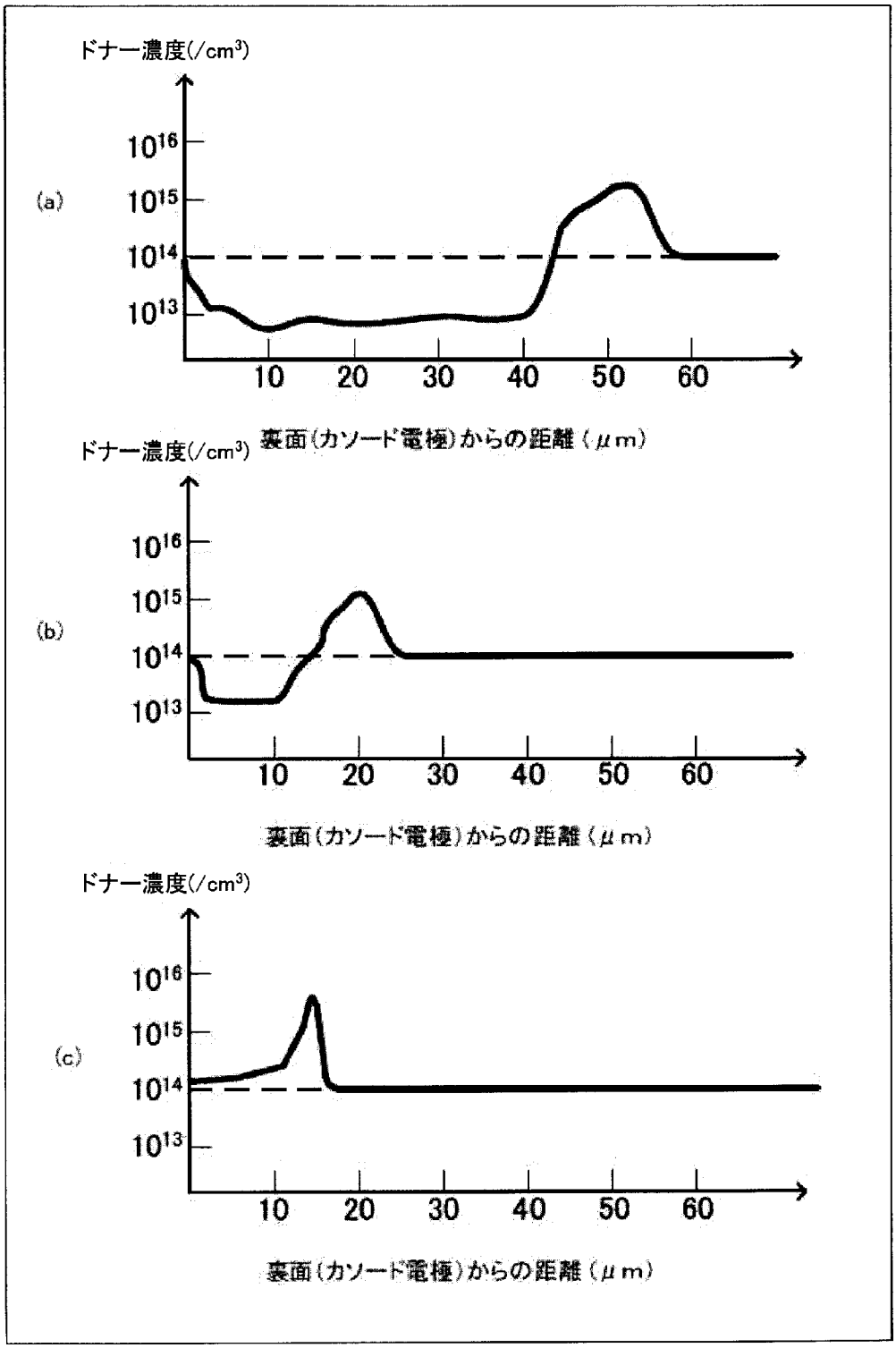
[図38]



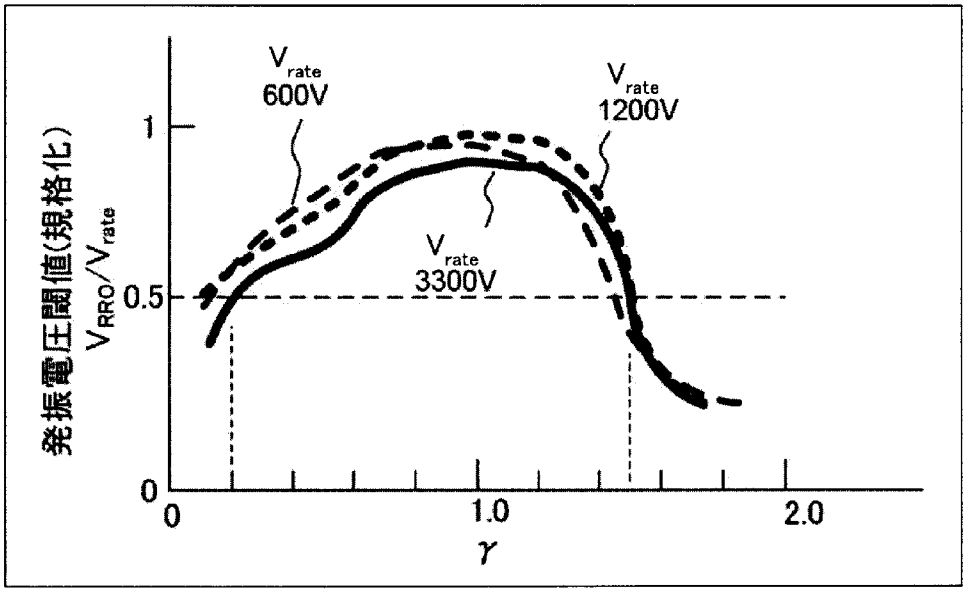
[図39]



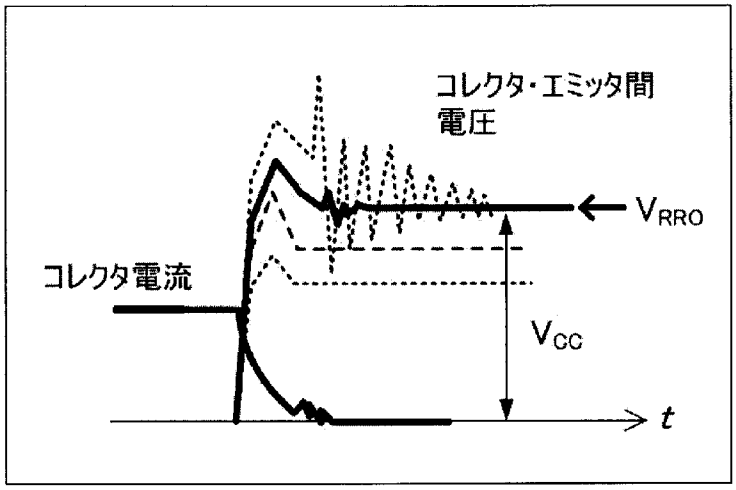
[図40]


ドナー濃度(/cm3)
(a)
10^16
10^15
10^14
10^13
10
20
30
40
50
60
裏面(カソード電極)からの距離(μm)
ドナー濃度(/cm3)
(b)
10^16
10^15
10^14
10^13
10
20
30
40
50
60
裏面(カソード電極)からの距離(μm)
ドナー濃度(/cm3)
(c)
10^16
10^15
10^14
10^13
10
20
30
40
50
60
裏面(カソード電極)からの距離(μm)

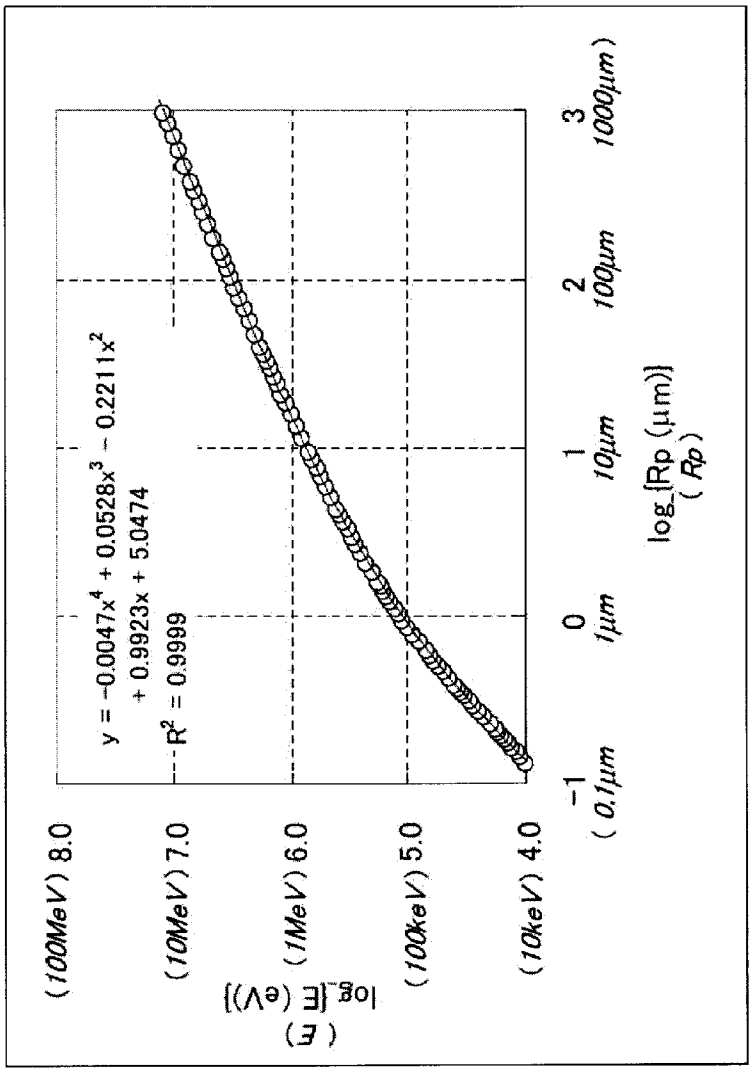
[図41]


発振電圧閾値(規格化)
V_{RRO}/V_{rate}
V_{rate} 600V
V_{rate} 1200V
V_{rate} 3300V
1
0.5
0
0
1.0
2.0
γ

[図42]


コレクタ・エミッタ間
電圧
V_{RRO}
コレクタ電流
V_{CC}
t

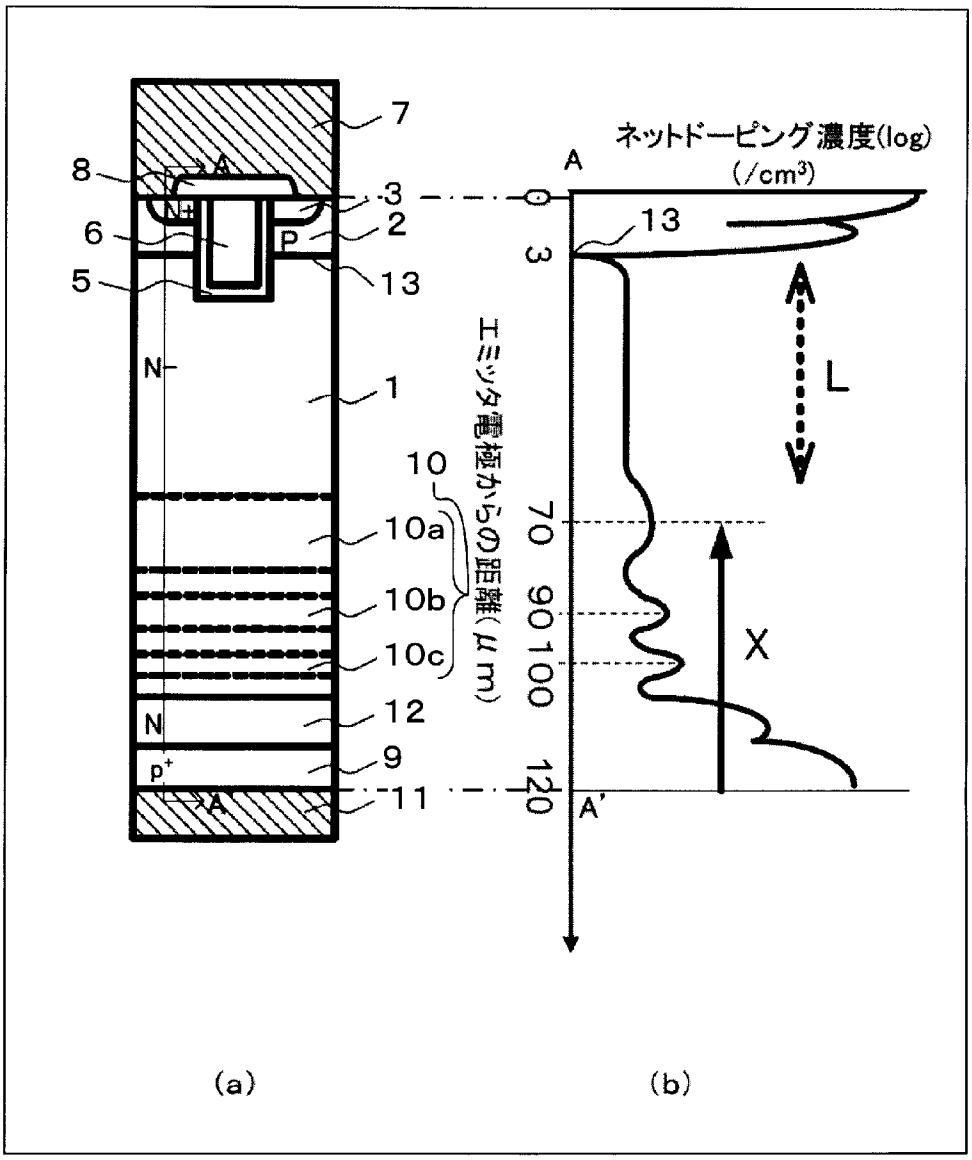
[図43]


y = −0.0047x⁴ + 0.0528x³ − 0.2211x² + 0.9923x + 5.0474
R² = 0.9999
(100MeV) 8.0
(10MeV) 7.0
(1MeV) 6.0
(100keV) 5.0
(10keV) 4.0
(E)
log_[E (eV)]
−1 (0.1μm)
0 1μm
1 10μm
2 100μm
3 1000μm)
log_[Rp (μm)]
(Rp)

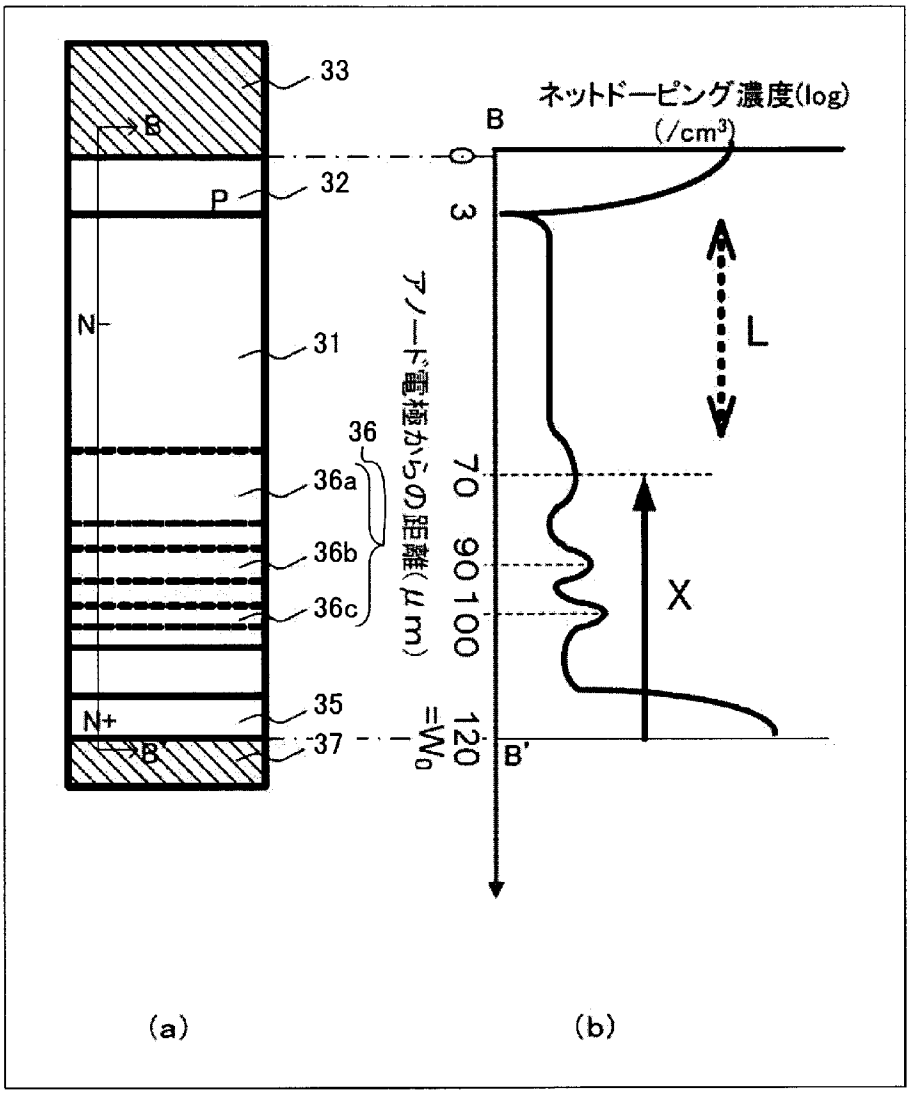
[図44]

定格電圧 (V)	耐圧 (V)	基板総厚 W_0 (μm)	比抵抗 (Ωcm)	ドリフト層平均濃度 (/cm³)	定格電流密度 (A/cm²)	距離指標 L (μm)	最初に空乏層端が達するFS層：裏面からの距離 X(μm)									
							$W_0-0.7L$	$W_0-0.8L$	$W_0-0.9L$	$W_0-1.0L$	$W_0-1.1L$	$W_0-1.2L$	$W_0-1.3L$	$W_0-1.4L$	$W_0-1.5L$	$W_0-1.6L$
600	700	60	30	1.5×10^{14}	300	31.9	37.7	34.5	31.3	28.1	24.9	21.7	18.5	15.3	12.1	8.9
1200	1400	120	60	7.7×10^{13}	200	58.2	79.2	73.4	67.6	61.8	55.9	50.1	44.3	38.5	32.7	26.8
1700	1900	170	85	5.4×10^{13}	150	80.8	113.4	105.3	97.3	89.2	81.1	73.0	64.9	56.9	48.8	40.7
3300	3500	330	165	2.8×10^{13}	80	155.0	221.5	206.0	190.5	175.0	159.5	144.0	128.5	113.0	97.5	82.0
4500	4700	450	225	2.0×10^{13}	50	223.1	293.8	271.5	249.2	226.9	204.6	182.3	160.0	137.7	115.4	93.1
6500	6700	650	325	1.4×10^{13}	30	337.3	413.9	380.1	346.4	312.7	278.9	245.2	211.5	177.7	144.0	110.3

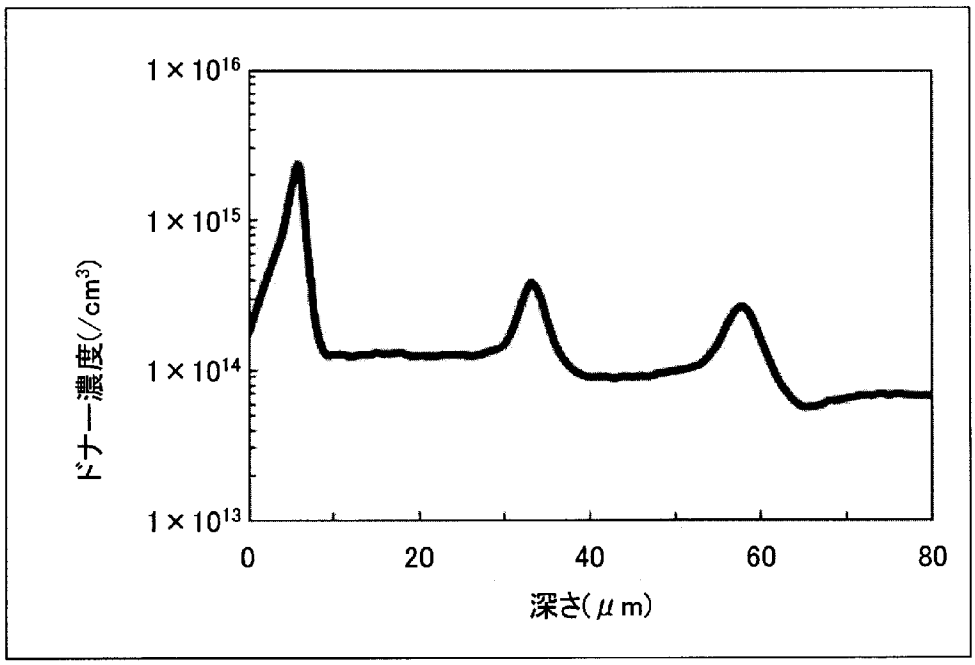
[図45]


7
8
A
3
N+
6
P
2
5
13
N-
1
10
10a
10b
10c
N
12
p+
9
A
11
(a)
ネットドーピング濃度(log)
(/cm3)
A
0
3
13
L
70
90
100
120
X
A'
エミッタ電極からの距離(μm)
(b)

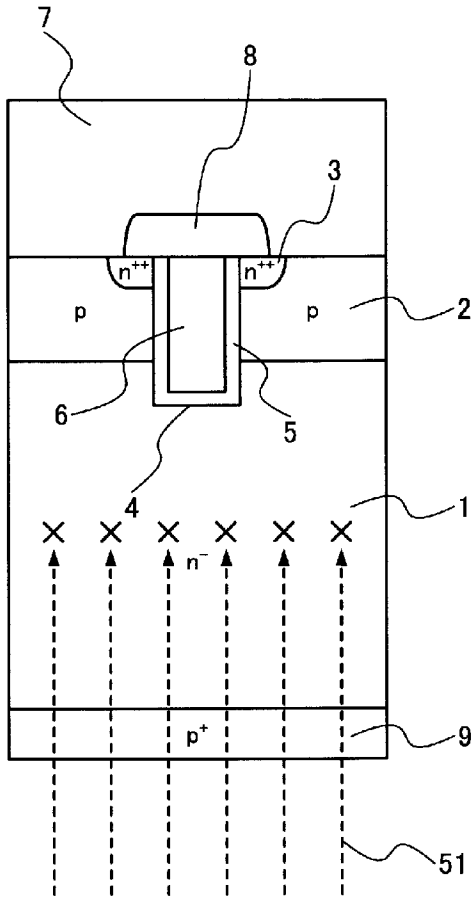
[図46]


33
B
32
P
N-
31
36
36a
36b
36c
35
N+
37
B'
(a)
ネットドーピング濃度(log)
(/cm3)
B
0
3
70
90
100
120
=W0
アノード電極からの距離(μm)
B'
L
X
(b)

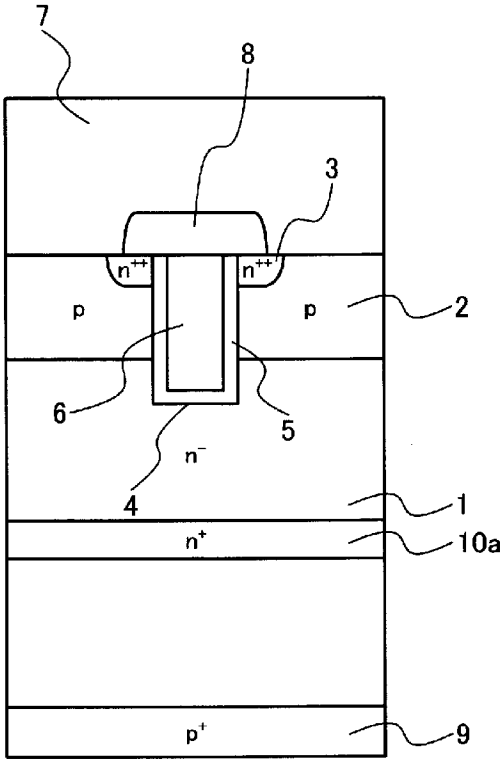
[図47]


1×10^16
1×10^15
1×10^14
1×10^13
ドナー濃度(/cm^3)
0
20
40
60
80
深さ(μm)

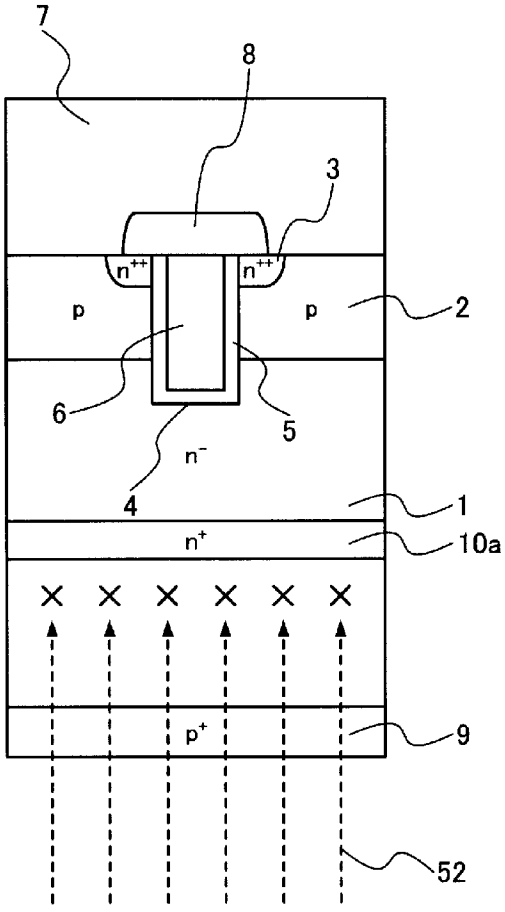
[図48]


7
8
3
n++
n++
p
p
2
6
5
4
1
n−
p+
9
51

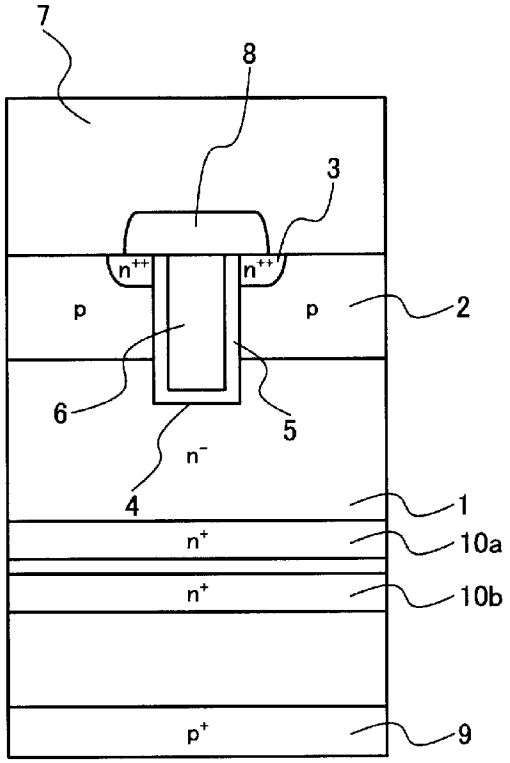
[図49]



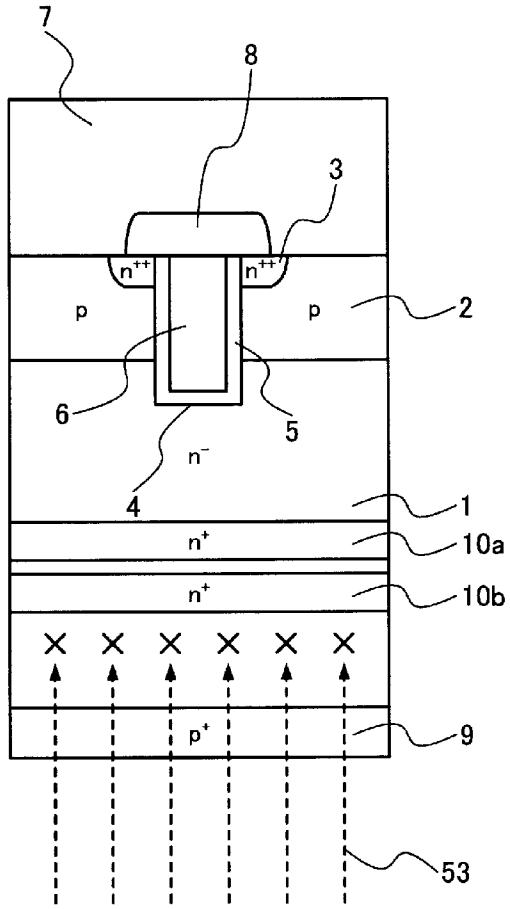
[図50]



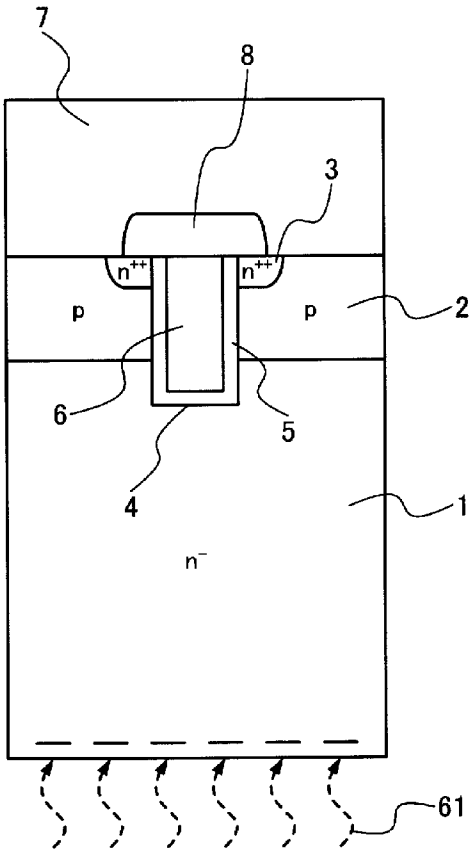
[図51]



[図52]



[図53]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/059776

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/739(2006.01)i, *H01L21/265*(2006.01)i, *H01L21/329*(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/78*(2006.01)i, *H01L29/868*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/739, H01L21/265, H01L21/329, H01L21/336, H01L29/78, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-266233 A (Toyota Central Research and Development Laboratories, Inc.), 11 October 2007 (11.10.2007), paragraphs [0021] to [0048]; fig. 1, 2 (Family: none)	1-3,8-10 4-7,11,15
X Y	JP 2009-099705 A (Toyota Motor Corp.), 07 May 2009 (07.05.2009), paragraphs [0009], [0015], [0018] to [0026]; fig. 3 to 7 (Family: none)	1,3,8-10 4-7,11,15
Y	JP 2007-173675 A (Toyota Central Research and Development Laboratories, Inc.), 05 July 2007 (05.07.2007), paragraph [0033] (Family: none)	4,5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 June, 2013 (07.06.13)	18 June, 2013 (18.06.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/059776

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-260662 A (Fuji Electric Co., Ltd.), 03 October 1997 (03.10.1997), paragraphs [0020], [0025] (Family: none)	4,5,7
Y	JP 2002-299346 A (Fuji Electric Co., Ltd.), 11 October 2002 (11.10.2002), paragraph [0045] (Family: none)	6
Y A	JP 2003-318412 A (Fuji Electric Co., Ltd.), 07 November 2003 (07.11.2003), paragraphs [0108] to [0112]; fig. 55 to 59 & US 2004/0041225 A1 & US 2006/0138607 A1	11 12-14
Y	JP 2009-176892 A (Fuji Electric Device Technology Co., Ltd.), 06 August 2009 (06.08.2009), paragraph [0015]; fig. 20 & US 2009/0184340 A1 & US 2012/0064706 A1 & CN 101494223 A & CN 102983159 A	15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/059776

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 is disclosed in JP 2007-266233 A (Document 1) and JP 2009-099705 A (Document 2), and therefore, the invention of claim 1 cannot be considered to be novel in the light of the documents 1 and 2 and does not have a special technical feature.

As a result of judging special technical features with respect to claims dependent on claim 1, it is considered that two inventions, which are linked by respective special technical features indicated below, are involved.

Meanwhile, the invention of claim 1 having no special technical feature is classified into invention 1.

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

(Invention 1) invention of claims 1-11, 15: a method 1 for manufacturing a semiconductor device.

(Invention 2) invention of claims 12-14: a method 2 for manufacturing a semiconductor device.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０５９７７６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/739(2006.01)i, H01L21/265(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i, H01L29/868(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/739, H01L21/265, H01L21/329, H01L21/336, H01L29/78, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2007-266233 A (株式会社豊田中央研究所) 2007.10.11, 段落【００２１】－【００４８】、図１，２ (ファミリーなし)	1-3,8-10 4-7,11,15
X Y	JP 2009-099705 A (トヨタ自動車株式会社) 2009.05.07, 段落【０００９】、【００１５】、 【００１８】－【００２６】、図３－７ (ファミリーなし)	1,3,8-10 4-7,11,15

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０７．０６．２０１３	国際調査報告の発送日 １８．０６．２０１３
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　３９５２ 杢　哲次 電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2007-173675 A (株式会社豊田中央研究所) 2007.07.05, 段落【００３３】（ファミリーなし）	4,5
Y	JP 9-260662 A (富士電機株式会社) 1997.10.03, 段落【００２０】、【００２５】（ファミリーなし）	4,5,7
Y	JP 2002-299346 A (富士電機株式会社) 2002.10.11, 段落【００４５】（ファミリーなし）	6
Y A	JP 2003-318412 A (富士電機株式会社) 2003.11.07, 段落【０１０８】－【０１１２】、図５５－５９ & US 2004/0041225 A1 & US 2006/0138607 A1	11 12-14
Y	JP 2009-176892 A (富士電機デバイステクノロジー株式会社) 2009.08.06, 段落【００１５】、図２０ & US 2009/0184340 A1 & US 2012/0064706 A1 & CN 101494223 A & CN 102983159 A	15

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０５９７７６

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

JP 2007-266233 A（文献１）、JP 2009-099705 A（文献２）には、請求項１に係る発明が記載されており、請求項１に係る発明は、文献１，２に対して新規性が認められず、特別な技術的特徴を有しない。そこで、請求項１の従属請求項について特別な技術的特徴を判断すると、以下に示す各特別な技術的特徴で連関する２の発明が含まれるものと認められる。なお、特別な技術的特徴を有しない請求項１に係る発明は、発明１に区分する。

(発明１)請求項１～１１，１５に係る発明：半導体装置の製造方法１
(発明２)請求項１２～１４に係る発明　　：半導体装置の製造方法２

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
☐ 追加調査手数料の納付はあったが、異議申立てはなかった。