

十一、圖式：

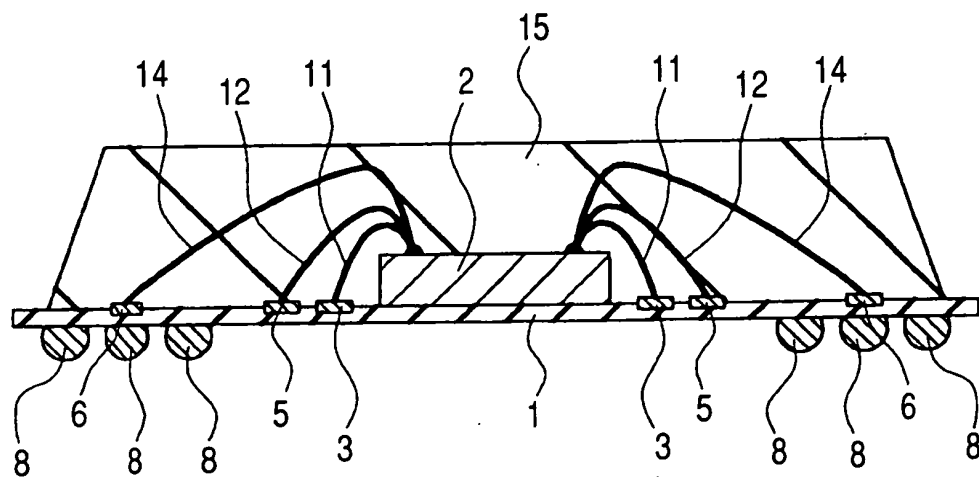


圖 1

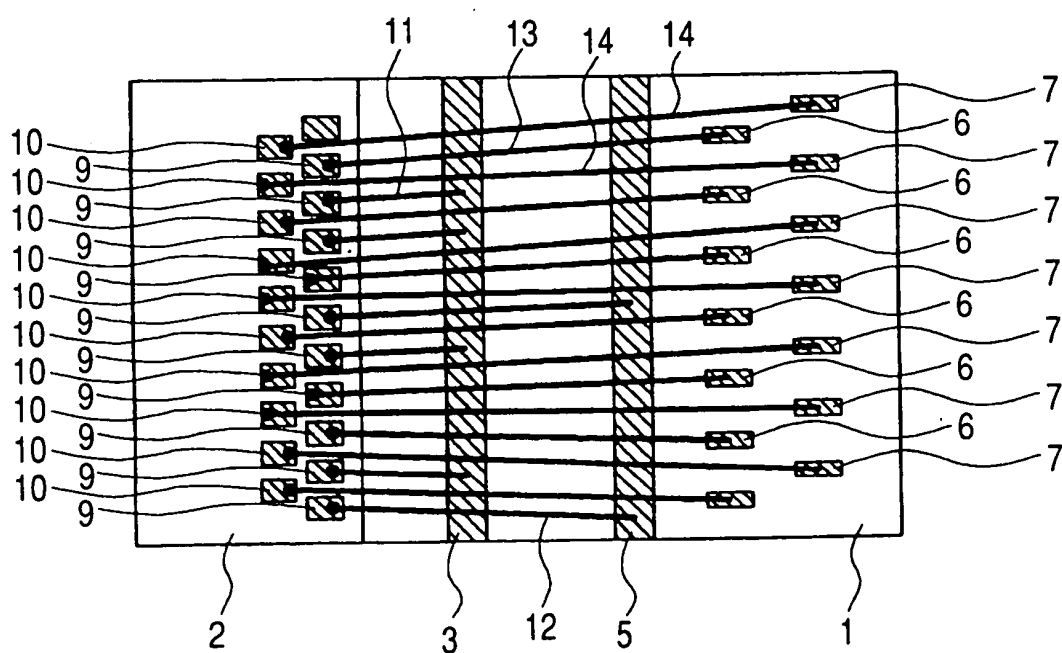


圖 2

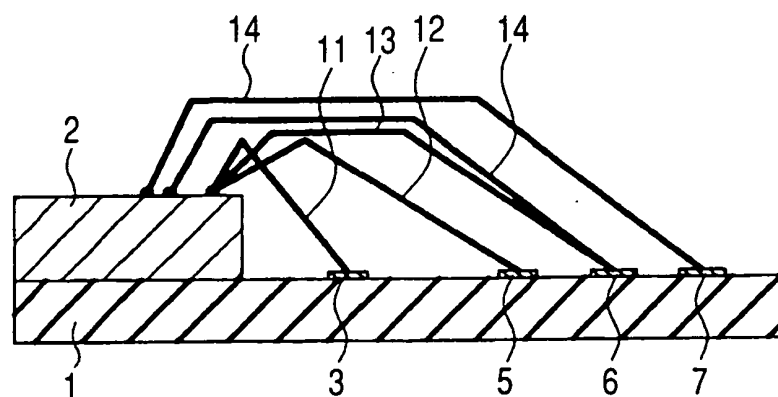


圖 3

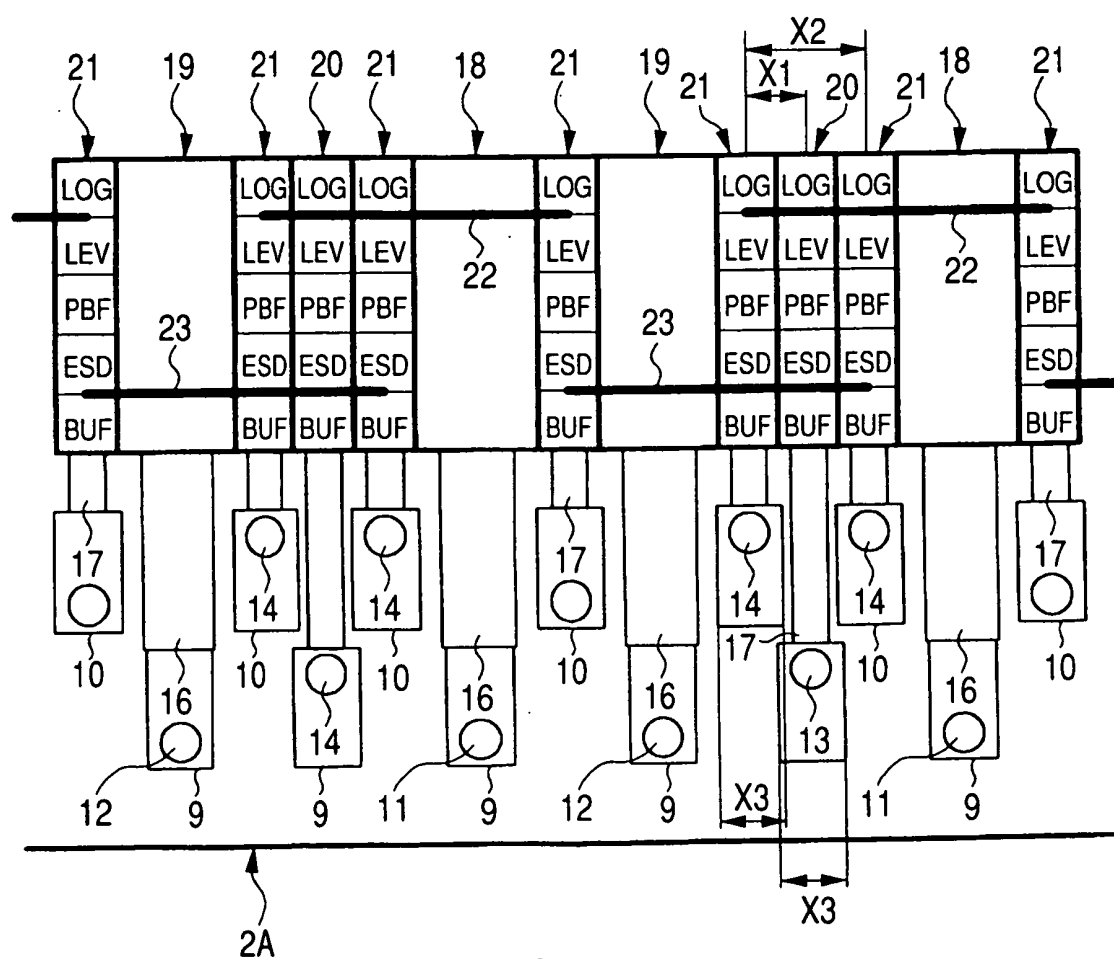


圖 4

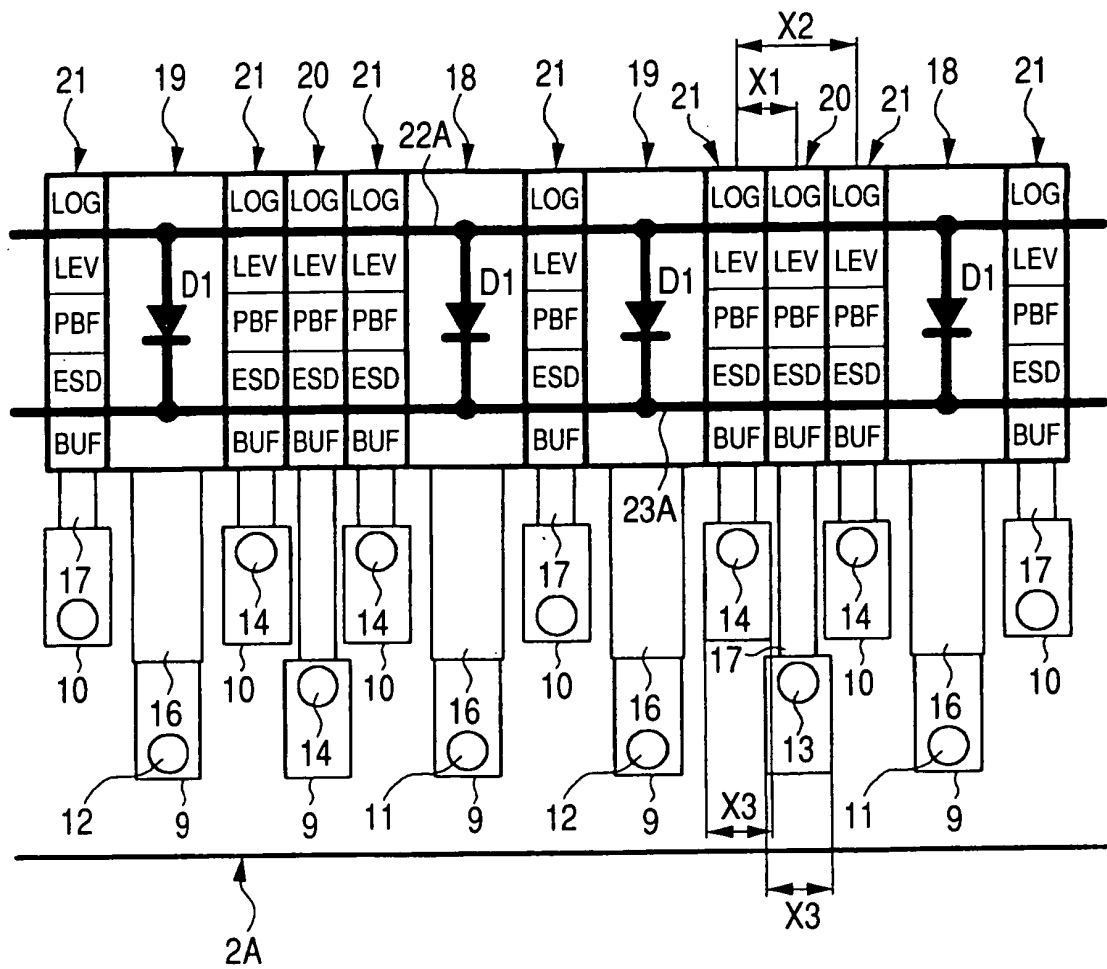


圖 5

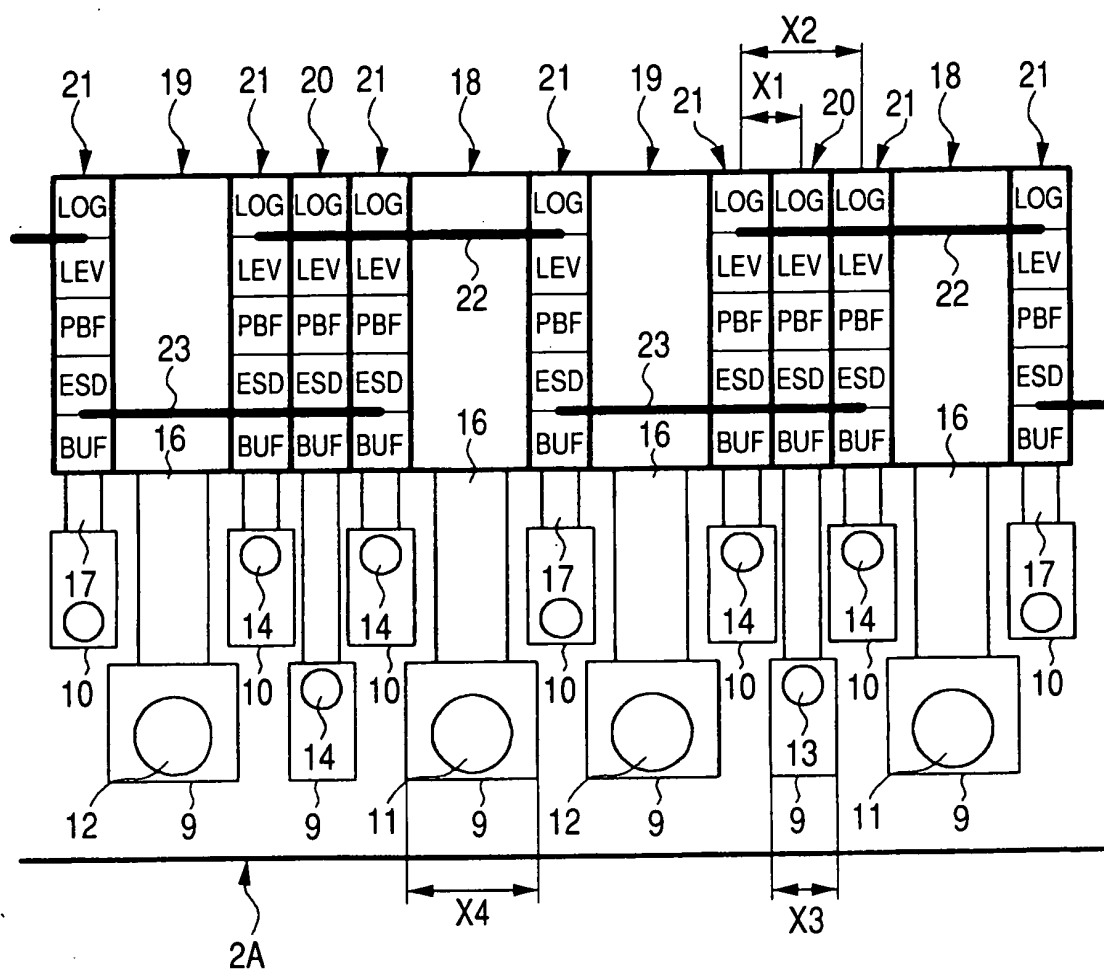


圖 6

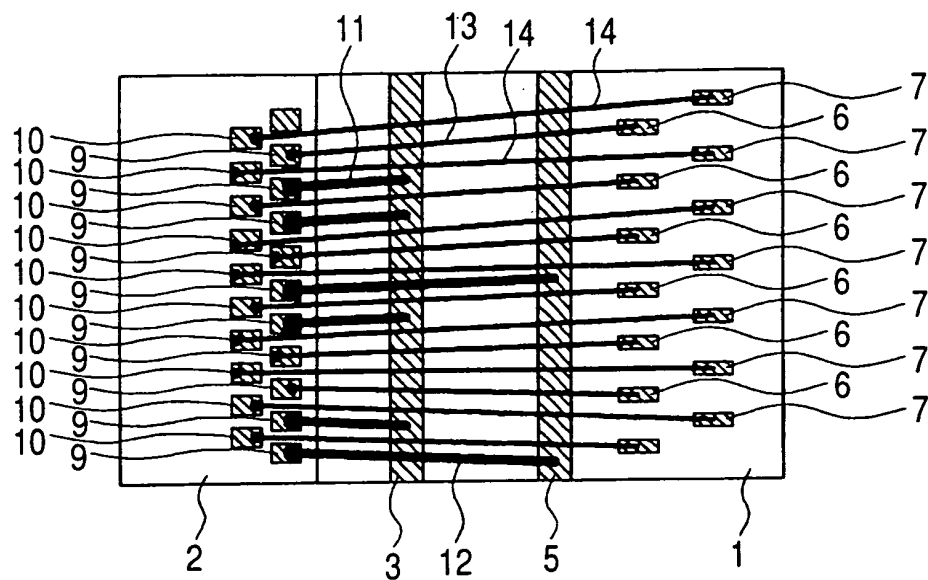


圖 7

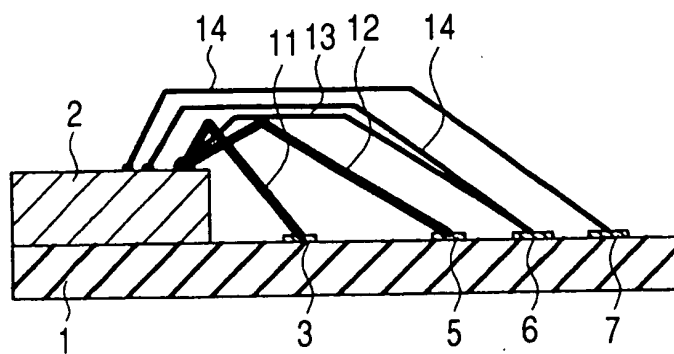


圖 8

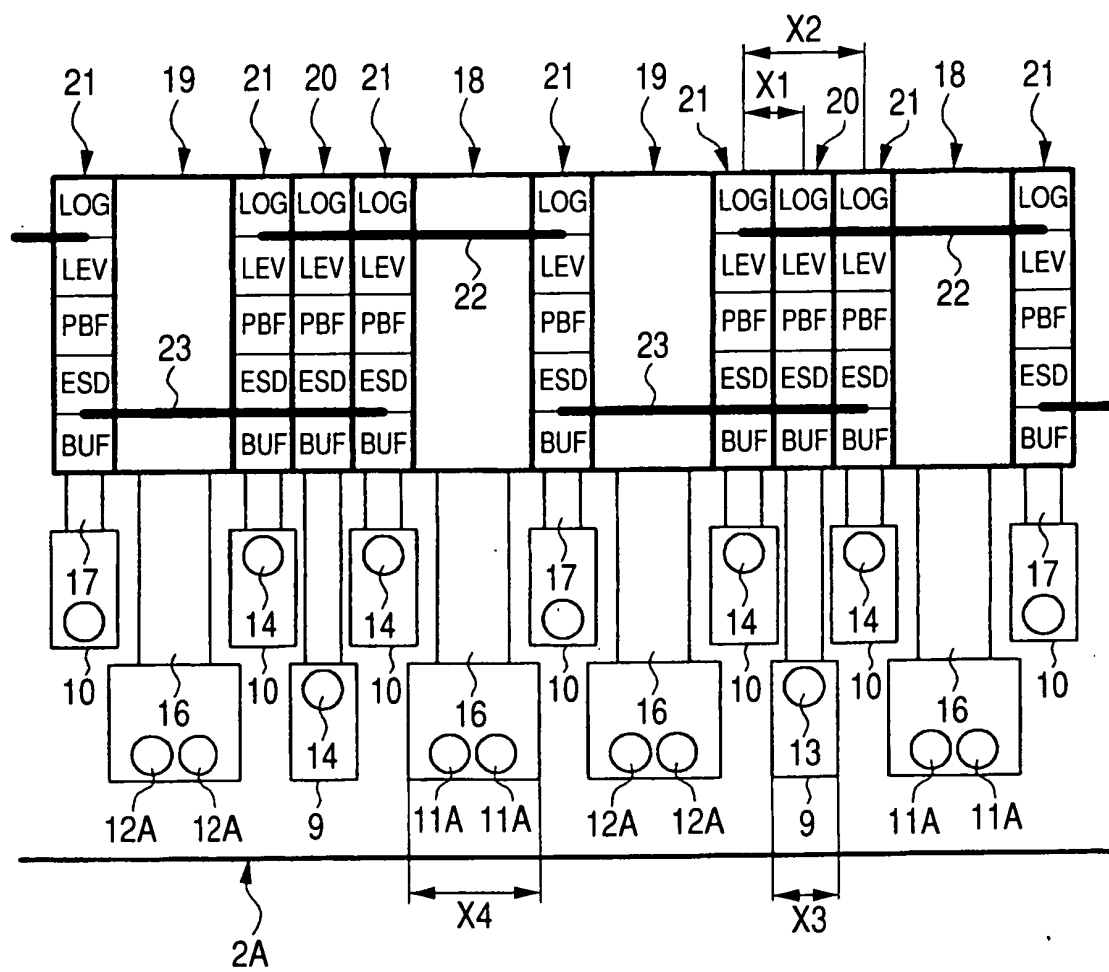


圖 9

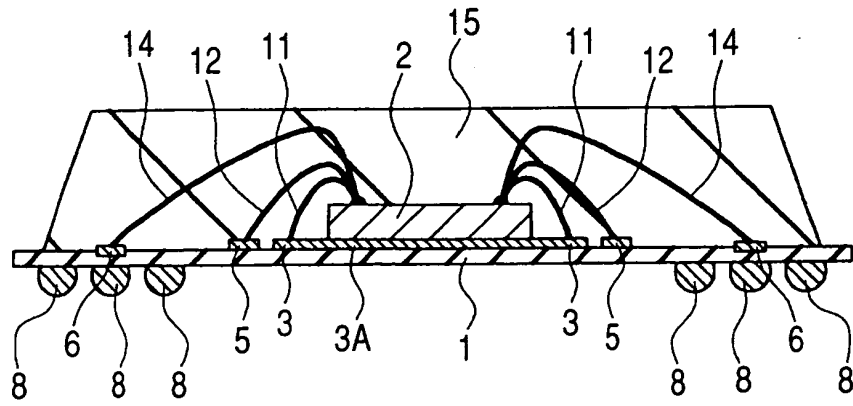


圖 10

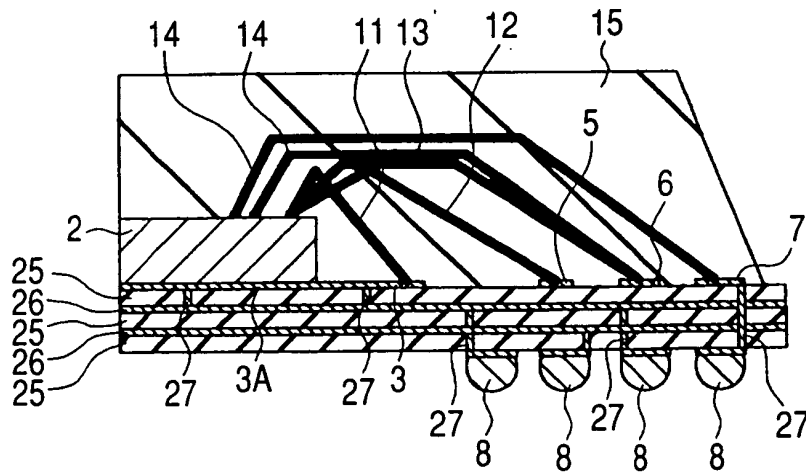


圖 11

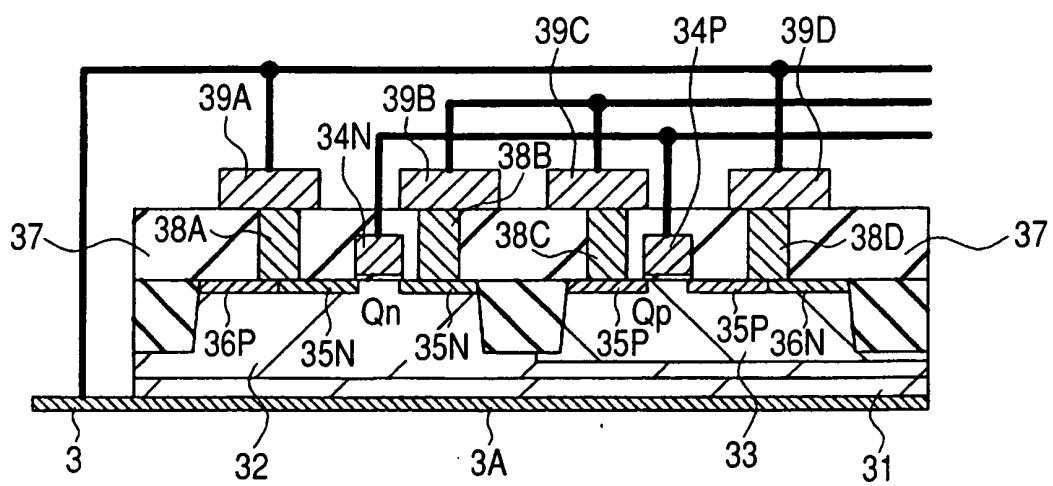


圖 12

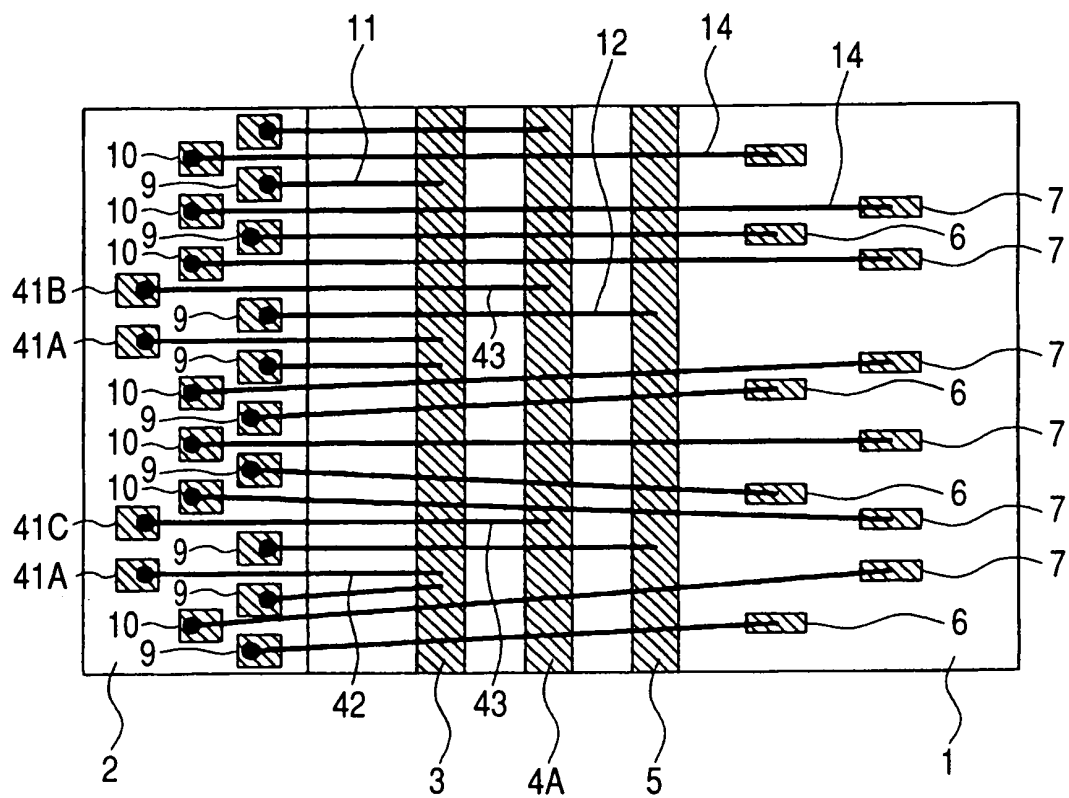
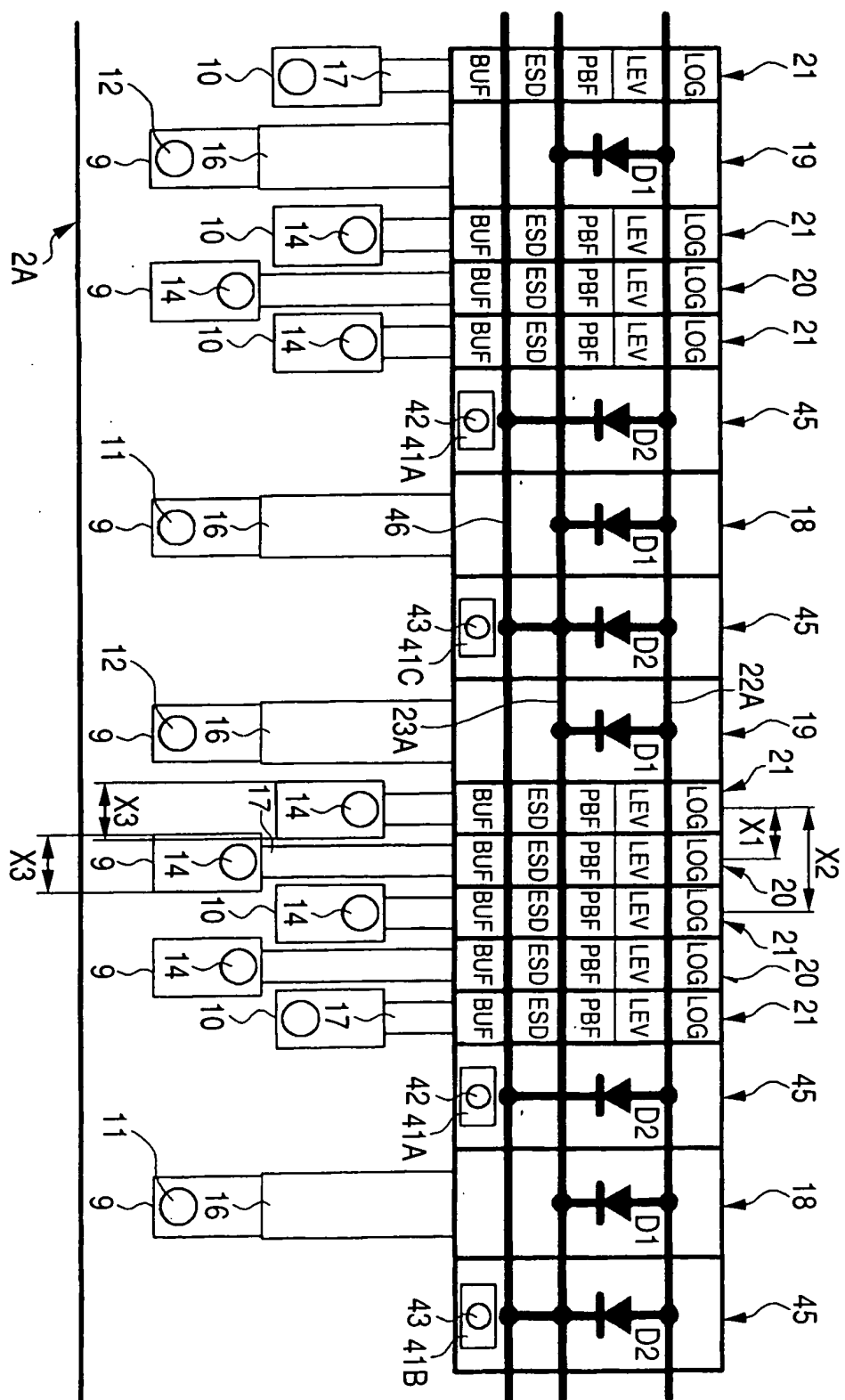


圖 13



年 月 日修正替換頁
100.10.21

公告本

發明專利說明書

中文說明書替換本(100年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：093138020

※ 申請日期：93.12.8

※IPC 分類：H01L 21/60

一、發明名稱：(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩電子股份有限公司

RENESAS ELECTRONICS CORPORATION

代表人：(中文/英文)

赤尾 泰

AKAO, YASUSHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部1753番地

1753 SHIMONUMABE NAKAHARA-KU, KAWASAKI KANAGAWA

211-8668 JAPAN

國 籍：(中文/英文)

日本 JAPAN



三、發明人：(共 3 人)

姓 名：(中文/英文)

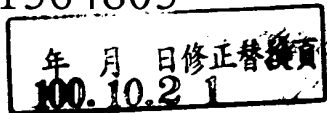
1. 宮木 美典

2. 鈴木 一成

3. 大橋 裕人

國 籍：(中文/英文)

1-3.均日本 JAPAN



四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年12月26日；特願2003-433851

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明關於半導體裝置及其製造方法，特別有關適用於配線基板上搭載有半導體晶片之半導體裝置而有效的技術者。

【先前技術】

例如有一種技術，其在半導體裝置之主表面上，將複數個電極(鐳墊)配置成交錯狀，並進一步地設置有沿著構成此主表面之各片延伸而包圍半導體裝置中央部分的框狀之電源用電極及接地用電極，藉此，提升半導體之主表面上之電極配置的自由度，以期能夠對應伴隨半導體裝置之高功能化的此等電極數之增加(多接腳化)、及半導體裝置之尺寸的小型化(例如，參照專利文獻1)。

[專利文獻1]特開2001-244293

【發明內容】

近年，半導體裝置被要求多功能化及高速化，隨之半導體晶片(以下簡稱為晶片)的主面上配置之鐳墊正朝多接腳化發展。本發明人對具有此般多接腳化之半導體晶片的半導體裝置進行探討，發現有如下課題：

亦即，本發明人探討的半導體裝置中，不論電源系統及接地系統之鐳墊以及其他信號輸入系統之鐳墊均被設計成相同的規格(尺寸)，連接於此等之鐳墊的接線也使用相同粗度者。關於電源系統及接地系統，其要求比其他的信號輸入系統更大的電流容量，因此，對於電源系統及接地系

統之鐳墊及與其連接之接線，比其他的信號輸出入系統之鐳墊及與其連接之接線更要求降低阻抗等。為了因應此等要求，電源系統及接地系統之鐳墊數目增加更多，導致連接於此等鐳墊之接線數目也跟著增加。因此，存在更進一步地多接腳化而導致晶片尺寸增加的課題。

此外，本發明人探討之半導體裝置中，鐳墊沿著晶片主面周邊配列成一行。如欲在不使此種半導體裝置中之晶片尺寸大型化的情況下進行多接腳化的話，將導致在此的鐳墊的尺寸縮小。因此，各鐳墊及與其連接之接線的接合面積會變小，存在鐳墊與接線的連接強度降低的課題。

本發明之目的在於：提供一種能夠因應隨多功能化及高速化而生之多接腳化的半導體裝置。

此外，相發明之其他目的在於：即便進行晶片尺寸之小型化及多接腳化時，也能防止接線與鐳墊的連接可靠性降低。

本發明的上述及其他之目的以及新的特徵當可由本申請書之記載內容及隨附圖式而自明。

本申請書揭示的發明中，具代表性者之概要可簡單說明如下：

本發明之半導體裝置

具有：

配線基板，其係具有第一主面及第一背面，在上述第一主面上，中央部設有晶片搭載區域，包圍上述晶片搭載區域之第一區域上形成有環狀的複數個第一鐳接電極，包圍

上述第一區域之第二區域上形成有複數個第二鐳接電極，內部形成有與上述第一鐳接電極及上述第二鐳接電極電性連接之配線；

半導體晶片，其係具有第二主面及第二背面，上述第二背面搭載於上述配線基板上而接觸於上述晶片搭載區域，上述第二主面上配置有複數個電極；及

複數條接線，其係電性連接於上述複數個電極及對應於其之上述第一鐳接電極或上述第二鐳接電極；

上述複數個第一鐳接電極電性連接於電源電位或基準電位；

上述複數個第二鐳接電極用於信號的輸入或輸出；

上述複數個電極沿著上述第二主面周邊被配列成複數行，第1行所含的上述電極、及上述第二主面內位於上述第1行內側之第2行所含之電極沿上述第二主面之上述周邊的方向上交錯配置；

上述複數個電極包含：複數個第一電極，其係電性連接於上述第一鐳接電極；及複數個第二電極，其係電性連接於上述複數個第二鐳接電極；

(a) 上述複數條接線中，將上述第一鐳接電極與上述複數個第一電極電性連接起來之複數條第一接線具有為將上述複數個第二鐳接電極與上述複數個第二電極電性連接起來之複數條第二接線以上的直徑；

(b) 1個上述第一電極與上述第一鐳接電極之間連接有複數條上述接線。

年 月 日修正替換頁
100.10.27

此外，本發明之半導體裝置之製造方法

包含：

- (a) 準備配線基板之步驟，該配線基板具有第一主面及第一背面，在上述第一主面上，中央部設有晶片搭載區域，包圍上述晶片搭載區域之第一區域上形成有電性連接於電源電位或基準電位的環狀的複數個第一銲接電極，包圍上述第一區域之第二區域上形成有用於信號之輸入或輸出的複數個第二銲接電極，內部形成有與上述第一銲接電極及上述第二銲接電極電性連接之配線；
- (b) 準備半導體晶片之步驟，該半導體晶片具有第二主面及第二背面，上述第二主面上朝複數個電極沿著周邊配置成複數行；
- (c) 使上述第二背面接觸於上述晶片搭載區域般地將上述半導體晶片搭載於上述配線基板上之步驟；
- (d) 將上述複數個電極及與其對應之上述第一銲接電極以第一接線加以電線連接之步驟；及
- (e) 將上述複數個電極及與其對應之上述第二銲接電極以第二接線加以電線連接之步驟；

上述(b)步驟包含：

- (b1) 使第1行所含的上述電極、及上述第二主面內位於上述第1行內側之第2行所含的上述電極沿著上述第二主面之上述周邊的方向上相互交錯配置之步驟；

上述複數個電極包含：複數個第一電極，其係電性連接於上述第一銲接電極；及第二電極，其係電性連接於上述

複數個第二銲接電極；

上述第一接線之直徑為上述第二接線之直徑以上者。

此外，依本發明之半導體裝置之製造方法，

其包含：

(a) 準備配線基板之步驟，該配線基板具有第一主面及第一背面，上述第一主面上之中央部設有晶片搭載區域，包圍上述晶片搭載區域之第一區域上形成有電性連接於電源電位或基準電極的環狀的複數個第一銲接電極，包圍上述第一區域之第二區域上形成有用於信號輸入或輸出的複數個第二銲接電極，內部形成有電性連接於上述第一銲接電極及上述第二銲接電極的配線；

(b) 準備半導體晶片之步驟，該半導體晶片具有第二主面及第二背面，上述第二主面上朝複數個電極沿著周邊配置成複數行；

(c) 使上述第二背面接觸於上述晶片搭載區域般地將上述半導體晶片搭載於上述配線基板上之步驟；及

(d) 將上述複數個電極及與其對應之上述第一銲接電極或上述第二銲接電極以複數條接線加以電線連接之步驟；

上述(b)步驟包含：

(b1) 使第1行所含之上述電極、及上述第二主面內位於上述第1行內側之第2行所含之上述電極沿著上述第二主面之上述周邊的方向上相互交錯配置之步驟；

上述複數個電極包含：複數個第一電極，其係電性連接於上述第一銲接電極；及第二電極，其係電性連接於上述

複數個第二銲接電極；

1個的上述第一電極與上述第一銲接電極之間連接上述複數條接線。

本專利申請書揭示之發明中，藉由具代表性者可得到的成效簡單說明如下：

亦即，提供一種半導體裝置，其可因應伴隨多功能化及高速化而生之多接腳化。

【實施方式】

以下內容中，依據圖式來說明本發明之實施方式。此外，為了說明實施方式的所有圖式中，相同的構件原則上標示相同的符號，並省略其重覆之說明。

(第一實施方式)

圖1為顯示本第一實施方式之半導體裝置的構造之一例之剖面圖，圖2為圖1所示之半導體裝置之主要部位平面圖，圖3為圖1所示之半導體裝置之主要部位剖面圖。

本第一實施方式之半導體裝置為配線基板1上搭載有晶片2的樹脂封裝型之半導體封裝體，晶片2中形成有邏輯電路IC或包含邏輯電路IC之特殊應用IC (Application Specific IC；ASIC)者。本第一實施方式中，作為此半導體封裝體之一例，乃以圖1所示般之BGA (Ball Grid Array；球閘陣列封裝)來說明。

配線基板1具有主面(第一主面)及背面(第一背面)，此主面中央部之晶片搭載區域上搭載有晶片2。該晶片搭載區域外圍的區域(第一區戴)上，設有包圍晶片區域的環狀的銲接

電極(第一銲接電極)3、5。此外，在設有銲接電極3、5區域之更外圍的區域(第二區域)上，有銲接電極(第二銲接電極)6、7(圖1中銲接電極7省略)分別包圍銲接電極3、5而並排配置。配線基板1為例如摻有玻璃纖維之環氧樹脂基板等形成者，其為由絕緣層及配線交互疊層而成之增層式配線板。配線基板1之背面上，安裝有複數個起作用為外部端子的銲錫球8。此等銲錫球8介以配線基板1內形成之配線(配線層)，電性連接於銲接電極6以外之銲接電極3至7。銲接電極3介以配線基板1內之配線及指定之銲錫球8而電性連接於接地電位(基準電位)。此外，銲接電極5上，介以配線基板1內形成之配線及指定之銲錫球8，被供應有外部電源電位。

晶片2被搭載成其背面(第二背面)接觸於配線基板1主面上的晶片搭載區域。晶片2的主面(第一背面)上，有銲接墊(電極、第一電極)9沿著周邊並排配置而形成第1行。此外，配置有銲接墊9之區域內側的區域上，如同銲接墊9般地有銲接墊(電極、第二電極)10沿著晶片2主面周邊並排配置而形成第2行。銲接墊9包含電性連接於上述的接地電位或外部電源者，電性連接於接地電位之銲接墊9介以接線(第一接線)11而電性連接於銲接電極3，電性連接於外部電源電位之銲接墊9則介以接線(第一接線)12而電性連接於銲接電極5。此外，銲接墊9介以接線(第二接線)13而電性連接於銲接電極6。連接於上述接線13的銲接墊9介以上述接線13進行資料信號及指令信號等信號的輸出入。銲接墊10用於信

號對晶片2內之輸出入，介以接線(第二接線)14而電性連接於銲接電極6、7。此等接線11至14以例如Au(金)來形成。

上述般的配線基板1的主面、晶片2及接線11至14被以封裝體15加以樹脂封裝。

圖4及圖5為顯示晶片2內之主要部分中銲接墊9、10分別電性連接的電路晶格及各電路晶格間之電性連接關係者。此外，圖4及圖5中，分別連接於銲接墊9、10的接線11至14僅顯示與銲接墊9、10之連接部。

如上述般地，銲接墊9、10分別沿著晶片2主面周邊(晶片端部2A)而並排配置。此等銲接墊9、10分別介以例如對Al(鋁)膜施以圖案化而形成之配線16、17，電性連接於指定之電路晶格。

介以接線11而電性連接於銲接電極3之銲接墊9被電性連接於電源電路晶格18，連同配線16將電源電路晶格18電性連接於基準電位(接地電位)。介以接線12而電性連接於銲接電極5的銲接墊9被電性連接於電源電路晶格19，介以配線16而對電源電路晶格19供應來自外部電源之外部電源電位。介以接線13而電性連接於銲接電極6的銲接墊9被電性連接於輸出入電路晶格20，將輸出入電路晶格傳送來之脈衝信號介以接線13傳送至銲接電極6，或將介以接線13由銲接電極6傳送來之信號介以配線17傳送至輸出入電路晶格20。介以接線14而電性連接於銲接電極6、7的銲接墊10被電性連接於輸出入電路晶格21，介以接線14在銲接電極6、7之間進行各種信號的收送。

輸出入電路晶格20、21由例如緩衝電路BUF、靜電破壞保護電路ESD、預緩衝電路PBF、位準轉換電路LEV及邏輯電路LOG等形成。

圖4所示之各電路晶格間的電性連接關係之例中，1個的電源電路晶格18介以配線22而電性連接於4個的輸出入電路晶格20、21，並介以此配線22將4個的輸出入電路晶格20、21中之指定電路電性連接於基準電位(接地電位)。此外，1個的電源電路19介以配線23電性連接於4個的輸出入電路晶格20、21，介以此配線23而對4個的輸出入電路晶格20、21中之指定電路供應來自外部電源之外部電源電位。另一方面，圖5所示之各電路晶格間之電性連接關係之例中，設有電性連接於所有之電源電路晶格18的環狀的配線22A、及電性連接於所有之電源電路晶格19的環狀的配線23A。此外，電源電路晶格18、19中，在被連接於基準電位的配線22A與被連接於電源電位的配線23A之間，有藉由配置陽極連接於配線22A且陰極連接於配線23A的二極體D1來防止靜電破壞。此外，並不限於上述二極體D1，藉由周知的技術，可將各種靜電破壞防止電路配置於配線22A與配線23A之間。配線22A電性連接於所有的輸出入電路晶格20、21，將輸出入電路晶格20、21中之指定電路電性連接於基準電位(接地電位)。此外，配線23A也電性連接於所有的輸出入電路晶格20、21，對輸出入電路晶格20、21中之指定電路供應來自外部電源之外部電源電位。即使如此般地設置配線22A、23A，也能夠得到與如圖4所示般地設置

配線22、23時同樣的成效。此外，以下的本第一實施方式中，將以設置配線22、23的情況為例來繼續說明。

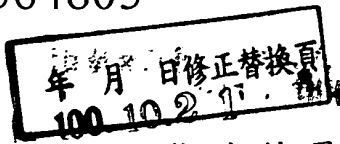
本第一實施方式中，銲接墊9及銲接墊10沿著晶片2主面周邊的方向上相互交錯配置。藉由如此般地配置銲接墊9、10，相較於例如不將銲接墊9、10各別配置成1行而將所有的銲接墊9、10以1行來配置的情況(以下記載為檢討例1)，能夠配置大面積的銲接墊9、10。例如，相鄰的輸出入電路晶格20及輸出入電路21的配置間距X1(約40 μm)、及中間隔著1個輸出入電路晶格20而相鄰之輸出入電路晶格21的配置間距X2(約80 μm)在本第一實施方式及檢討例1中不變的話，檢討例1中約為35 μm 的銲接墊9、10之寬度X3可在本第一實施方式中擴大至約50 μm 。藉此，銲接墊9、10與接線11至14的可連接面積可確保較大，因此，可使接線11至14的直徑加大。依此結果，可使銲接墊9、10與接線11至14的連接強度提升。此外，藉由銲接墊9、10的面積加大，可易於確認此等銲接墊9、10被配置的位置。藉此，即使使用銲接墊位置辨識能力較低的打線機，也能夠安裝接線11至14。

此外，在本第一實施方式中，銲接墊9中由電性連接於接地電位(連接有接線11)之銲接墊9、及外部電源被供應外部電源電位(連接有接線12之)銲接墊9來看時，相鄰之銲接墊9間沿著晶片2主面周邊的方向上配置有奇數個的銲接墊(電性連接於輸出入電路晶格20的銲接墊9及銲接墊10)。藉由上述般的銲接墊9、10之配置及電性連接，可將電性連接於

接地電位之鐸接墊及由外部電源被供應有外部電源電位之鐸接墊(以下將此等之鐸接墊9稱為電源系統之鐸接墊)設成為在晶片2主面內配置比鐸接墊10更周邊的鐸接墊9。如上所述般，藉由將電源系統之鐸接墊9配置在比鐸接墊10更周邊，並將此等電源系統之鐸接墊9電性連接之鐸接電極3、5配置在配線基板1主面內相對內側的位置上，可使分別與電源系統之鐸接墊9及鐸接電極3、5電性連接之接線11、12的長度縮短。藉此，可降低接線11、12的阻抗，因此，可實現例如在晶片2內形成之邏輯電路IC的動作之高速化。

然而，藉由採行如本第一實施方式所示的鐸接墊9、10之配置方法，配置於電源電路晶格18、19及鐸接墊9之間的配線16會變得比檢討例1長。此外，連接於電源系統之鐸接墊9的配線16相互間會至少配置1條與其他鐸接墊(以下稱為信號系統之鐸接墊)連接的配線17。藉由此般的配置，被連接於電源電位的配線16及被連接於基準電位的配線16的距離會必然變大。藉由電源系統之配線16相互間之距離加大，供應電源的配線、及相對於上述電源電流起作用為主要遞迴路徑的相鄰近之供應接地電位之配線間的距離會變大。因此，電流迴路會變大，電源系統配線的自我阻抗及相互阻抗會有變大的傾向。

如上所述，本第一實施方式中，鐸接墊9及鐸接墊10沿著晶片2主面周邊的方向上相互交錯配置，相鄰之鐸接墊9間沒有配置配線，因此，如圖6所示般，可將電源系統之鐸接墊9的寬度X4確保成比鐸接墊10之寬度X3，例如約100 μm 。



依此結果，如圖6至圖8所示般地，本第一實施方式中可使連接於電源系統之鐸接墊9的接線11、12之直徑比其他的接線13、14的直徑大。本第一實施方式中，舉例顯示了相對於接線13、14的直徑為20 μm ，可使接線11、12的直徑為30 μm 。依此結果，可減少接線11、12的阻抗，因此，可將上述配線17增加之阻抗以接線11、12的低阻抗化來抵消。亦即，由於可減低電性連接於電源電路晶格18、19之配線17、鐸接墊9及接線11、12的總合性阻抗，因此，可實現晶片2內形成之邏輯電路IC之動作的高速化或ASIC的多功能化。

在此，說明連接直徑變得比接線13、14大的接線11、12之步驟。首先，將晶片2搭載於配線基板1主面的晶片搭載區域後，使用第一打線機(第一鐸接裝置)在電源系統之鐸接墊9及鐸接電極3、5之間分別連接接線11、12。此時，此第一打線機之動作軌跡會約略為三角形。圖8中，接線11、12會約略為三角形，將此作為第一打線機的動作軌跡。藉由使第一打線機依此軌跡動作，可將相對長度較短的接線11、12在短時間內分別安裝於電源系統之鐸接墊9及鐸接電極3、5之間。接著，將打線機由第一打線機改為第二打線機(第二鐸接裝置)，在與晶片2內形成之輸出入電路晶格20電性連接的鐸接墊9及鐸接電極6間連接接線13。如上述般更換打線機種類的原因在於不同的打線機能夠安裝的接線粗度會不同之故。接著，使用此第二打線機，將連接後之迴路比接線11至13高的接線14連接於鐸接墊10與鐸接電極6、7之間。此時，此第二打線機的動作軌跡約略成梯形。

圖8中，接線14約略為梯形，視此為第二打線機之動作軌跡。如上述般地，藉由將相對地迴路較高之接線14在相對地迴路較低之接線11至13後連接，可防止接線14與接線11至13相接觸的不良。

此外，不同於上述般使用相對地直徑較大之接線11、12，也可如圖9所示般地，將具有與接線13至14相同之直徑的接線(第一接線)11A、12A複數條(例如，2條)分別連接於電源系統之鐸接墊9及鐸接電極3、5之間。藉由改用上述般的接線11A、12A，可將接線13、14接線用之第二打線機用於連接接線11A、12A之步驟。亦即，連接接線11A、12A、13、14之步驟能夠僅以1台的打線機(第二打線機)來實施。

(第二實施方式)

本第二實施方式之半導體裝置也與上述第一實施方式之半導體裝置同樣地為配線基板上搭載有晶片之樹脂封裝型之半導體封裝體。

圖10為顯示本第二實施方式之半導體裝置之構造的一例之剖面圖，圖11為顯示圖10所示之半導體裝置之主要部位平面圖，圖12為顯示圖10所示之半導體裝置包含之晶片的主要部位構造及被配置在晶片下的電極與各構件之電性連接關係之主要部位剖面圖。

本第二實施方式為在上述第一實施方式之半導體裝置所含之配線基板1中，在主面的晶片搭載區域上配置電極(第三鐸接電極)3A者。此電極3A與包圍其周圍之鐸接電極3為連續，電極3A及鐸接電極3A係以相同材料一體形成者。晶



片2以背面接觸電極3A般地被搭載於配線基板1上。

如同在上述第一實施方式中之說明，配線基板1為由絕緣層25及配線(配線層)26交互疊層而成之增層式配線板(參照圖11)。此外，藉由被配置於配線基板1內形成之穿通孔內的配線27，電極3A、銲接電極3至5、配線層25、及銲錫球8對應者間被電性連接。

此外，如圖12所示般地，晶片2具有在例如由Si(矽)形成之p型的半導體基板31之主面上形成的p通路型MISFET(Metal Insulator Semiconductor Field Effect Transistor；金屬-絕緣體-半導體場效電晶體)Qp及n通路型MISFETQn。半導體基板1之主面上形成有p型井32及n型井33，p型井32及n型井33上分別形成有閘極34P、34N。閘極34P之兩側的n型井33上形成有p型半導體區域35P，p通路型MISFETQp以此p型半導體區域35P作為源極及汲極。閘極34N兩側的p型井32上形成有n型半導體區域35N，n通路型MISFETQn以此n型半導體區域35N作為源極及汲極。此外，在起作用為p通路型MISFETQp之源極的p型半導體區域35P相鄰的位置上形成有n型半導體區域36N，在起作用為n通路型MISFETQn之源極的n型半導體區域35N相鄰的位置上形成p型半導體區域36P。在形成有n通路型MISFETQn及p通路型MISFETQp的半導體基板1之主面上成膜有層間絕緣膜37，在此層間絕緣膜37上開孔而成的接觸孔內形成有插頭38A、38B、38C、38D。插頭38A、38B、38C、38D上形成有與此等各自連接的配線39A、39B、39C、39D。插頭38A達到起作用為n通

路 MISFETQn 之源極的 n 型半導體區域 35N 及 p 型半導體區域 36P 而與及配線 39A 電性連接。插頭 38B 達到起作用為 n 通路型 MISFETQn 之汲極的 n 型半導體區域 35N 而與此及配線 39B 電性連接。插頭 38C 達到起作用為 p 通路型 MISFETQp 之汲極的 p 型半導體區域 35P 而與於此及配線 39C 電性連接。插頭 38D 達到起作用為 p 通路型 MISFETQp 之源極的 p 型半導體區域 35P 及 n 型半導體區域 36N 而與此等及配線 39D 電性連接。配線 39A、39D 更進一步介以上層形成之配線(省略圖示)而電性連接於銲接電極 3。此外，半導體基板 33 使其背面與電極 3 接觸。

然而，為了在晶片 2 內形成之邏輯電路 IC 之電氣特性維持的情況下使動作高速化，將要求邏輯電路 IC 與外部電源之間及邏輯電路 IC 與接地電位(基準電位)之間的電流容量之提升，因此，可考慮增加電源系統之銲接墊 9 來增加與此連接之接線 11、12 的手段。採用此種手段時，例如當要求晶片 2 之尺寸的小型化的話，需以小型化電源系統之銲接墊 9，並使接線 11、12 變細來因應。為此，接線 11、12 的阻抗增大，難以同時實現電流容量之提升及晶片 2 之小型化。

另一方面，依本第二實施方式之半導體裝置，藉由電極 3 及電性連接於接地電位(基準電位)之銲接電極 3 一體地形成，可使晶片 2 背面整體電性連接於接地電位(基準電位)。藉此，可提升晶片 2 內之邏輯電路 IC 與接地電位(基準電位)之間的電流容量。亦即，可在維持邏輯電路 IC 之電氣特性的情況下，使動作高速化。此外，藉由提升邏輯電路 IC 與

100.10.21
修正替換頁

接地電位(基準電位)之間的電流容量，可減低邏輯電路IC產生之干擾。此外，晶片2以背面整體來電性連接於接地電位(基準電位)，可在邏輯電路IC與接地電位(基準電位)之間確保充分大的電流容量，因此，可減少電性連接於接地電位(基準電位)的銲接墊9及接線11。藉此，可實現晶片2的小型化。此外，電性連接於接地電位(基準電位)之銲接墊9及接線11被省略的位置上，也可配置電性連接於外部電源電位之銲接墊9及接線12來提升邏輯電路IC與外部電源之間的電流容量。

依上述般的本第二實施方式，也可得到與上述第一實施方式相同的成效。

(第三實施方式)

圖13為本第三實施方式之半導體裝置之主要部位平面圖。

本第三實施方式之半導體裝置為在上述第一實施方式之半導體裝置所含之晶片2(參照圖1)內設置內部電源電路者。在本第三實施方式中，銲接電極4A為僅與該內部電源電路做電性連接者。該內部電源電路係例如將外部電源供應之外部電源電壓(例如約5.5 V)轉換成指定電壓(例如約3.3 V)作為內部動作電壓而供應給晶片2內之電路者。

晶片2之主面上，在配置有銲接墊10之區域內側的區域上有銲接墊41A、41B、41C沿著晶片2主面周邊並排配置而形成第3行。此等銲接墊41A、41B、41C係電性連接於上述內部電源電路者。此外，銲接墊41A介以接線42而電性連接於

銲接電極3，藉此被電性連接於接地電位(基準電位)。銲接墊(第三電極、第四電極)41B、41C介以接線43而電性連接於銲接電極4A。

如圖14所示，銲接墊41A、41B、41C係如銲接墊9、10同樣地，分別介以例如藉由圖案化Al膜來形成之配線44而電性連接於指定之電路晶格。

介以接線42而電性連接於銲接電極3之銲接墊41A，其電性連接於內部電源電路晶格45，連同配線44將內部電源電路晶格45電性連接於基準電位(接地電位)。介以接線43而電性連接於銲接電極4A的銲接墊41B、41C，其係介以配線44而電性連接於內部電源電路晶格45，作用為將介以配線44由內部電源電路晶格45傳來之內部動作電壓介以接線43傳送至銲接電極4A，或將經由銲接電極4A及接線43傳來之內部動作電壓介以配線44傳送至內部電源電路晶格45。

圖14所示之各電路晶格間之電性連接關係的例子中，設有如同上述第一實施方式中圖5所示例子般地電性連接於所有電源電路晶格18的環狀的配線22A、及電性連接於所有的電源電路晶格19的環狀的配線23A，電源電路晶格18、19則藉由在配線22A、23A間配置二極體D1來防止靜電破壞。此外，設有電性連接於所有之內部電源電路晶格45的環狀的配線46，在內部電源電路晶格45中，藉由在配線22A、46間配置二極體D2來防止靜電破壞。此外，配線46電性連接於所有之輸出入電路晶格20、21，對輸出入電路晶格20、21中之指定電路供應內部電源電壓。

本第三實施方式中，銲接墊9、銲接墊10、及銲接墊41A、41B、41C沿著晶片2主面周邊的方向上相互交錯配置(參照圖14)。藉由如此般地配置銲接墊9、10、41A、41B、41C，如同上述第一實施方式一般，相較於例如將所有的銲接墊9、10、41A、41B、41C配置成1行的情形，可配置大面積的銲接墊9、10、41A、41B、41C。

此外，藉由將銲接墊41A、41B、41C配置於內部電源電路晶格45內，有助於半導體晶片之小型化。

此外，在本第三實施方式中，也如同上述第一實施方式，在銲接墊9中，由電源系統之銲接墊9來看時，相鄰之銲接墊9間沿著晶片2主面周邊的方向上配置有奇數個的銲接墊(電性連接於輸出入電路晶格20的銲接墊9、銲接墊10及銲接墊41A、41B、41C)。藉由上述般的銲接墊9、10、41A、41B、41C之配置及電性連接，本第三實施方式中也能將電源系統之銲接墊9也會成為在晶片2主面內配置於比銲接墊10、41A、41B、41C更外側的銲接墊9。如上述般地，藉由將電源系統之銲接墊9配置於比銲接墊10、41A、41B、41C的更周邊，使此等電源系統之銲接墊9電性連接的銲接電極3、5在配線基板1主面內配置於相對內側，可使分別電性連接於電源系統之銲接墊9及銲接電極3、5的接線11、12的長度縮短。藉此，可降低接線11、12的阻抗，因此，例如可實現晶片2內形成之邏輯電路IC的動作之高速化。

依上述之本第三實施方式，也可得到與上述第一實施方式相同的成效。

以上，依實施方式而具體說明了本發明人的發明，惟本發明並不限於上述實施方式，在不脫離其要旨的範圍內，當為可為種種變更。

本發明之半導體裝置及其製造方法可廣泛地適用於被要求隨著多功能化及高速化而生之多接腳化的半導體裝置及其製造步驟。

【圖式簡單說明】

圖1為顯示本發明之第一實施方式之半導體裝置的構造之剖面圖。

圖2為圖1所示之半導體裝置之主要部位平面圖。

圖3為圖1所示之半導體裝置之主要部位剖面圖。

圖4為顯示晶片主面上配置之銲接墊各自電性連接之電路晶格、及各電路晶格間之電性連接關係之說明圖。

圖5為顯示晶片主面上配置之銲接墊各自電性連接之電路晶格、及各電路晶格間之電性連接關係之說明圖。

圖6為顯示晶片主面上配置之銲接墊各自電性連接之電路晶格、各電路晶格間之電性連接關係及連接於銲接墊之接線之說明圖。

圖7為本發明之第一實施方式之半導體裝置之主要部位平面圖。

圖8為本發明之第一實施方式之半導體裝置之主要部位剖面圖。

圖9為顯示晶片主面上配置之銲接墊各自電性連接之電路晶格、各電路晶格間之電性連接關係及連接於銲接墊之



接線之說明圖。

圖10為顯示本發明之第二實施方式之半導體裝置的構造之剖面圖。

圖11為圖10所示之半導體裝置之主要部位剖面圖。

圖12為本發明之第二實施方式之半導體裝置所含之晶片的主要部位構造以及晶片下配置之電極及各構件的電性連接關係之主要部位平面圖。

圖13為本發明之第一實施方式之半導體裝置之主要部位平面圖。

圖14為顯示晶片主面上配置之鐳接墊各自電性連接之電路晶格、各電路晶格間之電性連接關係及連接於鐳接墊之接線之說明圖。

【主要元件符號說明】

1	配線基板
2	晶片
2A	晶片端部
3, 5	鐳接電極(第一鐳接電極)
3A	電極(第三鐳接電極)
4A	鐳接電極
4B, 4C	鐳接電極(第四鐳接電極)
6, 7	鐳接電極(第二鐳接電極)
8	鐳錫球
9	鐳接墊(電極, 第一電極)
10	鐳接墊(電極, 第二電極)

11, 12	接線(第一接線)
11A, 12A	接線(第一接線)
13	接線(第二接線)
14	接線(第二接線)
15	封裝體
16	配線
17	配線
18	電源電路晶格
19	電源電路晶格
20	輸出入電路晶格
21	輸出入電路晶格
22, 22A, 23, 23A	配線
25	絕緣層
26	配線(配線層)
27	配線
31	半導體基板
32	p型井
33	n型井
34N, 34P	閘極
35N, 36N	n型半導體區域
35P, 36P	p型半導體區域
37	層間絕緣膜
38A, 38B, 38C, 38D	插頭
39A, 39B, 39C, 39D	配線

年 月 日修正
100.10.2 1

41A	銲接墊
41B	銲接墊
41C	銲接墊
42, 43	接線
44	配線
45	內部電源電路晶格
46	配線
BUF	緩衝電路
D1, D2	二極體
ESD	靜電破壞保護電路
LEV	位準轉換電路
LOG	邏輯電路
PBF	預緩衝電路
Qn	n通路型MISFET
Qp	p通路型MISFET

五、中文發明摘要：

本發明提供一種半導體裝置，其為可因應伴隨多功能化及高速化之多接腳化者。鐳墊9及鐳墊10在沿著晶片主面周邊的方向上相互交錯配置，並在鐳墊9中，著眼於電源系統之鐳墊9時，相鄰鐳墊9間在沿著晶片主面周邊的方向上配置有奇數個鐳墊，電源系統之鐳墊9的寬度確保比其他鐳墊的寬度大，使與電源系統之鐳墊9連接的接線11、12的直徑比其他接線13、14的直徑大。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，其特徵為具有：

配線基板，其係具有：第一主面，其大致中央部設有晶片搭載區域；第一背面；複數個環狀的第一鉀接電極，形成於第一區域上包圍上述晶片搭載區域；複數個第二鉀接電極，形成於第二區域上包圍上述第一區域；及配線，形成於上述配線基板內部且將上述複數個第一鉀接電極與上述複數個第二鉀接電極電性連接；半導體晶片，其係具有：第二主面及第二背面，以使上述第二背面朝向上述晶片搭載區域之方式搭載於上述配線基板上；及複數個第三電極，配置於上述第二主面上；及

複數條接線，其係將上述複數個第三電極電性連接至上述第一鉀接電極及上述第二鉀接電極中之各個預定的電極；

上述複數個第一鉀接電極中之每一個係與電源電位或基準電位電性連接；

上述複數個第二鉀接電極係用於信號的輸入或輸出；上述複數個第三電極係沿著上述第二主面之周邊以複數行排列；第1行所含的上述第三電極及位於自上述周邊起之上述第1行內側之第2行所含之上述第三電極係在沿著上述周邊的方向上相互交錯配置；

上述複數個第三電極包含：第一群電極，其係與上述複數個第一鉀接電極電性連接；及第二群電極，其係與上述複數個第二鉀接電極電性連接；上述複數條接線

中，將上述第一銲接電極與上述第一群電極電性連接之複數條第一接線之群所具有的直徑係不小於將上述複數個第二銲接電極與上述第二群電極電性連接之複數條第二接線之群。

2. 如請求項1之半導體裝置，其中

上述第一群電極包含於上述第1行；

上述第二群電極中之奇數個電極係在沿著上述第二主面之上上述周邊之方向上配置於上述第一群電極中之相鄰的電極之間。

3. 如請求項1之半導體裝置，其中

上述配線基板之上上述第一主面之上上述晶片搭載區域中，形成有與基準電位電性連接的第三銲接電極；

上述複數個第一銲接電極中，配置於最內側之複數個上述第一銲接電極係與上述第三銲接電極一體形成。

4. 如請求項1之半導體裝置，其中

上述半導體晶片內形成有內部電源電路；

上述複數個第一銲接電極包含施加由上述內部電源電路產生之內部電源電壓的晶片電源銲接電極；

上述複數個第三電極包含兩個電極，其係位於自上述第二主面之上上述周邊起之上上述第2行內側的第3行，並經由各個第一接線而與上述晶片電源銲接電極電性連接；

上述兩個電極中之第一個係與上述內部電源電路電性連接，並將上述內部電源電壓供應至上述晶片電源銲接電極；

年 月 日修正替換頁
100.10.2.1

對上述兩個電極中之第二個，經由上述兩個電極中之第一個、上述各個第一接線及上述晶片電源銲接電極，供應上述內部電源電壓。

5. 如請求項1之半導體裝置，其中

上述第一群電極之面積比上述第二群電極之面積大。

6. 如請求項1之半導體裝置，其中

上述半導體晶片上形成有邏輯IC或包含上述邏輯IC之ASIC。

7. 如請求項1之半導體裝置，其中

上述第一接線之上述群包含直徑大於上述複數條第二接線之上述群之接線。

8. 一種半導體裝置，其特徵為具有：

配線基板，其係具有：第一主面，在大致中央部設有晶片搭載區域；及第一背面；複數個環狀的第一銲接電極，形成於第一區域上包圍上述晶片搭載區域；複數個第二銲接電極，形成於第二區域上包圍上述第一區域；及配線，形成於上述配線基板內，且將上述複數個第一銲接電極與上述複數個第二銲接電極電性連接；

半導體晶片，其係具有：第二主面及第二背面，以使上述第二背面朝向上述晶片搭載區域之方式搭載於上述配線基板上；及複數個第三電極，配置於上述第二主面上；及

複數條接線，其係將上述複數個第三電極電性連接至上述第一銲接電極及上述第二銲接電極中之各個預定的

電極；

上述複數個第一銲接電極之每一個係與電源電位或基準電位電性連接；

上述複數個第二銲接電極係用於信號的輸入或輸出；

上述複數個第三電極係沿著上述第二主面之周邊以複數行排列；第1行所含的上述第三電極與位於自上述周邊起之上述第1行內側之第2列所含之上述第三電極在沿著上述周邊的方向上相互交錯配置；

上述複數個第三電極包含：第一群電極，其係與上述第一銲接電極電性連接；及第二群電極，其係與上述複數個第二銲接電極電性連接；

上述複數條接線包含至少兩條接線連接於上述第一群電極中之1個與上述複數個第一銲接電極中之1個之間。

9. 如請求項8之半導體裝置，其中

上述第一群電極包含於上述第1行；

上述第二群電極中之奇數個電極係在沿著上述第二主面之上述周邊的方向上配置於上述第一群電極中之相鄰的電極之間。

10. 如請求項8半導體裝置，其中

上述配線基板之上述第一主面之上述晶片搭載區域中，形成有與基準電位電性連接的第三銲接電極；

上述複數個第一銲接電極中，配置於最內側之複數個上述第一銲接電極係與上述第三銲接電極一體形成。

11. 如請求項8半導體裝置，其中

上述半導體晶片內形成有內部電源電路；

上述複數個第一鐳接電極包含施加由上述內部電源電路產生之內部電源電壓的晶片電源鐳接電極；上述複數個第三電極包含兩個電極，其係位於自上述第二主面之上上述周邊起之上上述第2行內側的第3行，並經由各個第一接線而與上述晶片電源鐳接電極電性連接；

上述兩個電極中之第一個係與上述內部電源電路電性連接，並將上述內部電源電壓供應至上述晶片電源鐳接電極；

對上述兩個電極中之第二個，經由上述兩個電極中之第一個、上述各個第一接線及上述晶片電源鐳接電極，供應上述內部電源電壓。

12. 如請求項8之半導體裝置，其中

上述複數個第一電極之面積比上述複數個第二電極之面積大。

13. 如請求項8之半導體裝置，其中

上述半導體晶片上形成有邏輯IC或包含上述邏輯IC之ASIC。

14. 一種半導體裝置，其特徵為具有：

配線基板，其係具有：第一主面，於其中央部設有晶片搭載區域；第一背面；複數個環狀的第一鐳接電極，形成於第一區域上包圍上述晶片搭載區域；複數個第二鐳接電極，形成於第二區域上包圍上述第一區域；及配線，形成於內部且將上述複數個第一鐳接電極與上述複

數個第二鐳接電極電性連接；

半導體晶片，其係具有第二主面及第二背面，以使上述第二背面與上述晶片搭載區域接觸之方式搭載於上述配線基板上，上述第二主面上配置有複數個電極；及

複數條接線，其係電性連接上述複數個電極及與其對應之上述第一鐳接電極或上述第二鐳接電極；

上述複數個第一鐳接電極與電源電位或基準電位電性連接；

上述複數個第二鐳接電極用於信號的輸入或輸出；

上述複數個電極沿著上述第二主面之周邊以複數行排列，第1行所含的上述複數個電極及上述第二主面內位於上述第1行內側之第2行所含之上述複數個電極在沿著上述第二主面之上述周邊的方向上相互交錯配置；

上述複數個電極包含：複數個第一電極，其係與上述複數個第一鐳接電極電性連接；及複數個第二電極，其係與上述複數個第二鐳接電極電性連接；

上述複數條接線中，將上述複數個第一鐳接電極與上述複數個第一電極電性連接之複數條第一接線具有的直徑不小於將上述複數個第二鐳接電極與上述複數個第二電極電性連接之複數條第二接線。

15. 如請求項14之半導體裝置，其中

上述複數個第一電極包含於上述第1行；

於相鄰的上述複數個第一電極之間，在沿著上述第二主面之上述周邊之方向上，配置有奇數個上述第二電極。

16. 如請求項14之半導體裝置，其中

上述配線基板之上述第一主面之上述晶片搭載區域中，形成有與基準電位電性連接的第三銲接電極；

上述複數個第一銲接電極中，配置於最內側之複數個上述第一銲接電極係與上述第三銲接電極一體形成。

17. 如請求項14之半導體裝置，其中

上述半導體晶片內形成有內部電源電路；

上述複數個第一銲接電極包含施加由上述內部電源電路產生之內部電源電壓的第四銲接電極；

上述複數個電極包含第三電極及第四電極，其係在上述第二主面內形成位於上述第2行內側的第3行，並經由上述第一接線而與上述第四銲接電極電性連接；

上述第三電極與上述內部電源電路電性連接，經由上述第一接線而將上述內部電源電壓供應至上述第四銲接電極；

對上述第四電極，經由上述第三電極、上述第一接線及上述第四銲接電極，供應上述內部電源電壓。

18. 如請求項14之半導體裝置，其中

上述複數個第一電極之面積比上述複數個第二電極之面積大。

19. 如請求項14之半導體裝置，其中

上述半導體晶片上形成有邏輯IC或包含上述邏輯IC之ASIC。

20. 一種半導體裝置，其特徵為具有：

配線基板，其係具有：第一主面，於其中央部設有晶片搭載區域；第一背面；複數個環狀的第一鐳接電極，形成於第一區域上包圍上述晶片搭載區域；複數個第二鐳接電極，形成於第二區域上包圍上述第一區域；及配線，形成於內部且將上述複數個第一鐳接電極與上述複數個第二鐳接電極電性連接；

半導體晶片，其係具有第二主面及第二背面，以使上述第二背面與上述晶片搭載區域接觸之方式搭載於上述配線基板上，上述第二主面上配置有複數個電極；及

複數條接線，其係電性連接上述複數個電極及與其對應之上述第一鐳接電極或上述第二鐳接電極；

上述複數個第一鐳接電極與電源電位或基準電位電性連接；

上述複數個第二鐳接電極用於信號的輸入或輸出；

上述複數個電極沿著上述第二主面之周邊以複數行排列，第1行所含的上述複數個電極及上述第二主面內位於上述第1行內側之第2行所含之上述複數個電極在沿著上述第二主面之上述周邊的方向上相互交錯配置；

上述複數個電極包含：複數個第一電極，其係與上述複數個第一鐳接電極電性連接；及複數個第二電極，其係與上述複數個第二鐳接電極電性連接；

上述複數條接線係連接於上述複數個第一電極中之1個與上述複數個第一鐳接電極中之1個之間。

21. 如請求項20之半導體裝置，其中

上述複數個第一電極包含於上述第1行；

於相鄰的上述複數個第一電極之間，在沿著上述第二主面之上述周邊之方向上，配置有奇數個上述第二電極。

22. 如請求項20半導體裝置，其中

上述配線基板之上述第一主面之上述晶片搭載區域中，形成有與基準電位電性連接的第三鉅接電極；

上述複數個第一鉅接電極中，配置於最內側之複數個上述第一鉅接電極係與上述第三鉅接電極一體形成。

23. 如請求項20半導體裝置，其中

上述半導體晶片內形成有內部電源電路；

上述複數個第一鉅接電極包含施加由上述內部電源電路產生之內部電源電壓的第四鉅接電極；

上述複數個電極包含第三電極及第四電極，其係在上述第二主面內形成位於上述第2行內側的第3行，並經由上述第一接線而與上述第四鉅接電極電性連接；

上述第三電極與上述內部電源電路電性連接，經由上述第一接線而將上述內部電源電壓供應至上述第四鉅接電極；

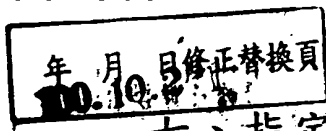
對上述第四電極，經由上述第三電極、上述第一接線及上述第四鉅接電極，供應上述內部電源電壓。

24. 如請求項20之半導體裝置，其中

上述複數個第一電極之面積比上述複數個第二電極之面積大。

25. 如請求項20之半導體裝置，其中

上述半導體晶片上形成有邏輯IC或包含上述邏輯IC之
ASIC。



七、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件符號簡單說明：

2A	晶片端部
9	銲接墊(電極、第一電極)
10	銲接墊(電極、第二電極)
11, 12	接線(第一接線)
13	接線(第二接線)
14	接線(第二接線)
16	配線
17	配線
18	電源電路晶格
19	電源電路晶格
20	輸出入電路晶格
21	輸出入電路晶格
22, 23	配線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)