



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년08월17일

(11) 등록번호 10-2433301

(24) 등록일자 2022년08월11일

- (51) 국제특허분류(Int. Cl.)  
*G01N 33/487* (2006.01) *B01D 57/02* (2006.01)  
*B01D 67/00* (2006.01) *B01D 69/12* (2006.01)  
*B01D 71/02* (2006.01) *B01D 71/70* (2006.01)  
*C12Q 1/6869* (2018.01)
- (52) CPC특허분류  
*G01N 33/48721* (2013.01)  
*B01D 57/02* (2013.01)
- (21) 출원번호 10-2020-7012259
- (22) 출원일자(국제) 2018년09월28일  
 심사청구일자 2021년09월27일
- (85) 번역문제출일자 2020년04월27일
- (65) 공개번호 10-2020-0086267
- (43) 공개일자 2020년07월16일
- (86) 국제출원번호 PCT/US2018/053624
- (87) 국제공개번호 WO 2019/068034  
 국제공개일자 2019년04월04일
- (30) 우선권주장  
 62/566,313 2017년09월29일 미국(US)  
 62/593,840 2017년12월01일 미국(US)
- (56) 선행기술조사문헌  
 W02013016486 A1  
 I.Yanagi et al., Lab on a Chip, Vol. 16, No. 17, 2016, pp. 3340-3350.  
 J.H.Lee et al., IEEE Nanotechnology Materials and Devices Conference, 2011, pp. 168-171.  
 J.Bai et al., Nanoscale, Vol. 6, No. 15, 2014, pp. 8900-8906.

- (73) 특허권자  
 팔로젠 인코포레이티드  
 미국 캘리포니아 팔로 알토 브라이언트 스트리트 2608 (우: 94306)
- (72) 발명자  
 한, 경준  
 미국 95131 캘리포니아 새너제이 맥케이 드라이브 1059  
 윤, 정기  
 미국 95054 캘리포니아 산타 클라라 비스타 클럽 서클 1520 아파트먼트 305
- (74) 대리인  
 특허법인 남앤남

전체 청구항 수 : 총 6 항

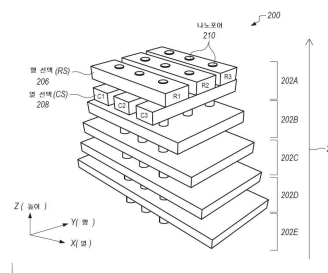
심사관 : 이민영

(54) 발명의 명칭 나노포어 디바이스 및 이를 제조하는 방법

## (57) 요약

생체고분자 분자들을 특성화하기 위한 3D 나노포어 디바이스는 제1 선택 축선을 가지는 제1 선택 층을 포함한다. 디바이스는 또한, 제1 선택 층에 인접하게 배치되고 그리고 제1 선택 축선에 수직한 제2 선택 축선을 가지는 제2 선택 층을 포함한다. 디바이스는 제1 선택 층, 제2 선택 층, 및 제3 전극 층이 Z 축선을 따라 층들의 스택을 형성 (뒷면에 계속)

대표도 - 도2a



성하고 그리고 복수의 나노포어 필라들(nanopore pillars)을 형성한다.

(52) CPC특허분류

*B01D 67/0034* (2013.01)

*B01D 67/0062* (2013.01)

*B01D 67/0079* (2022.08)

*B01D 69/12* (2022.08)

*B01D 71/022* (2022.08)

*B01D 71/70* (2022.08)

*C12Q 1/6869* (2018.05)

*C12Q 2565/607* (2013.01)

*C12Q 2565/631* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

3D 나노포어 디바이스(nanopore device)를 제조하는 방법으로서,

상기 방법은,

제1  $\text{Si}_3\text{N}_4$  층을 제1 유전체(dielectric) 층 상에 증착하는(depositing) 단계;

제1 금속 층을 상기 제1  $\text{Si}_3\text{N}_4$  층 상에 증착하는 단계;

제2 유전체 층을 상기 제1 금속 층 상에 증착하는 단계;

제2  $\text{Si}_3\text{N}_4$  층을 상기 제2 유전체 층 상에 증착하는 단계;

제2 금속 층을 상기 제2  $\text{Si}_3\text{N}_4$  층 상에 증착하는 단계;

제3 유전체 층을 상기 제2 금속 층 상에 증착하는 단계;

제3  $\text{Si}_3\text{N}_4$  층을 상기 제3 유전체 층 상에 증착하는 단계;

제3 금속 층을 상기 제3  $\text{Si}_3\text{N}_4$  층 상에 증착하는 단계;

제1 복수의 억제 나노-전극들(inhibitory nano-electrodes)을 형성하기 위해 상기 제2 금속 층을 식각하고(etching) 패턴화하는(patterning) 단계; 및

제2 복수의 억제 나노-전극들을 형성하기 위해 상기 제3 금속 층을 식각하고 패턴화하는 단계를 포함하고,

상기 제1 복수의 억제 나노-전극들 각각은 상기 제2 금속 층에 배치되고,

상기 제1 복수의 억제 나노-전극들 각각은 상기 제1 복수의 억제 나노-전극들의 나머지 억제 나노-전극들에 평행하고,

상기 제2 복수의 억제 나노-전극들 각각은 상기 제3 금속 층에 배치되고,

상기 제2 복수의 억제 나노-전극들 각각은 상기 제2 복수의 억제 나노-전극들의 나머지 억제 나노-전극들에 평행하고,

상기 제1 및 제2 복수의 억제 나노-전극들은 각각 상기 제2 및 제3 금속 층들을 따라 서로 직교하는,

3D 나노포어 디바이스를 제조하는 방법.

#### 청구항 2

제1 항에 있어서,

상기 제2 및 제3 금속 층들, 상기 제2 및 제3  $\text{Si}_3\text{N}_4$  층들, 상기 제2 및 제3 유전 층들을 식각하여 이들을 통과하는 복수의 나노포어 채널들(nanopore channels)을 형성하는 단계를 더 포함하는,

3D 나노포어 디바이스를 제조하는 방법.

#### 청구항 3

제2 항에 있어서,

상기 제1 유전 층, 상기 제1  $\text{Si}_3\text{N}_4$  층, 및 상기 제1 금속 층을 상기 제2 유전 층에 대해 반대편 측면으로부터 식각하고, 저부 챔버를 상기 복수의 나노포어 채널들에 유체적으로 커플링하는 단계를 더 포함하는,

3D 나노포어 디바이스를 제조하는 방법.

#### 청구항 4

제2 항에 있어서,

상기 제1 유전 층, 상기 제1  $\text{Si}_3\text{N}_4$  층, 상기 제1 금속 층, 제2 유전 층, 상기 제2  $\text{Si}_3\text{N}_4$  층, 및 상기 제2 금속 층을 최상부 챔버와 저부 챔버 사이의 중간 챔버에 배치하는 단계를 더 포함하며,

상기 최상부, 중간, 및 저부 챔버들은 전해질 용액을 함유해서, 상기 최상부 및 저부 챔버들은 상기 복수의 나노포어 채널들에 의해 유체적으로 커플링되는,

3D 나노포어 디바이스를 제조하는 방법.

#### 청구항 5

제3 항에 있어서,

나노포어 패터닝 단계 후에, 생체분자 상호작용(biomolecular interaction)을 위한 상기 복수의 나노포어 채널들 중 하나의 나노포어 채널의 내부 표면을 기능화하기 위해, 감지용 게이트 전극 유전체를 형성하기 위해, 그리고 나노포어의 폭을 조절하기 위해 최상부 및 내부 표면 유전체 코팅들을 증착하는 단계를 더 포함하는,

3D 나노포어 디바이스를 제조하는 방법.

#### 청구항 6

제1 항에 있어서,

다수의 유전체 층들,  $\text{Si}_3\text{N}_4$  층들, 및 금속 층들의 스택(stack)은 고종횡비 반응성 이온 식각(high aspect ratio reactive ion etching)을 사용하여 나노포어 채널을 형성하도록 식각되는,

3D 나노포어 디바이스를 제조하는 방법.

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제



## 발명의 설명

### 기술 분야

[0001] 본 개시는 일반적으로 시스템들, 디바이스들, 및 생체고분자 분자들을 특성화하기 위한 공정들, 및 이러한 시스템들 및 디바이스들을 제조하는 방법에 관한 것이다.

### 배경 기술

[0002] 핵산(예컨대, DNA, RNA 등) 염기 서열 분석(sequencing)은 분자 레벨에서 유전적인 변이들을 식별하기 위한 가장 강력한 방법들 중 하나이다. 유전적 질병들의 많은 시그니처들(signatures)은 게놈 전체(genome-wide) "SNP들(single nucleotide polymorphisms)" 분석, 유전자 융합, 게놈 삽입(genomic insertion) 및 삭제 등을 통해 수집되는 정보에 의해 진단될 수 있다. 이러한 기술들 및 다른 분자 생물학 기술들은 일부 지점에서 핵산 염기 서열 분석(nucleic acid sequencing)을 요구한다. 단일 분자 레벨에서 핵산들을 염기 서열 분석을 위한 현재의 기술들은, 이전의 염기 서열 분석 기술들에 대한 이점들을 가지는 나노포어(nanopore) 염기 서열 분석 기술을 포함하는데, 왜냐하면 나노포어 염기 서열 분석 기술은, 개선된 판독 길이들, 및 개선된 시스템 처리량(improved system throughput)을 또한 가지는 라벨-프리 및 증폭-프리의 특성들을 가지기 때문이다. 이에 따라, 나노포어 염기 서열 분석 기술은 고품질 유전자 염기 서열 분석 적용들로 포함되었다.

[0003] 나노포어 기반 DNA 염기 서열 분석에 대한 이전의 실험 시스템들은,  $\alpha$ HL( $\alpha$ -hemolysin) 단백질 나노포어를 통과하는 ssDNA의 검출된 전기 거동을 검출하였다. 그 후, 나노포어 기반 핵산 염기 서열 분석 기술은 개선되었다. 예를 들어, 고체-상태(solid-state) 나노포어 기반 핵산 염기 서열 분석은, 아래에 설명된 바와 같이, 고체 상태(예컨대, 반도체 금속성 게이트들) 나노포어들로 생체/단백질 기반 나노포어를 대체한다.

[0004] 나노포어는, 이온 전류 및/또는 터널링 전류의 변경에 의해 홀을 통해 전자의 흐름을 검출할 수 있는(예컨대, 약 1nm 내지 약 1000nm의 직경을 갖는) 작은 홀이다. 핵산의 각각의 뉴클레오티드(nucleotide)(예컨대, DNA의 아데닌(adenine), 시토신(cytosine), 구아닌(guanine), 티민(thymine), RNA의 우라실(uracil))가, 뉴클레오티드가 나노포어를 물리적으로 통과함에 따라 특정한 방식으로 나노포어에 걸쳐 전류 밀도에 영향을 주기 때문에, 전좌(translocation) 동안의 나노포어를 통해 이동하는 전류의 변화를 측정하는 것은 나노포어를 통과하는 핵산 분자를 직접적으로 직접적으로 염기 서열 분석하는 데 사용될 수 있는 데이터를 초래한다. 이렇게 함으로써, 나노포어 기술은 전기 감지에 기초하며, 전기 감지는 다른 종래의 염기 서열 분석 방법들을 위해 요구되는 것보다 훨씬 더 작은 농도들 및 체적들의 핵산 분자들을 검출할 수 있다. 나노포어 기반 핵산 염기 서열 분석의 이점들은 긴 판독 길이, 플러그 앤 플레이 능력(plug and play capability), 및 확장성(scalability)을 포함한다. 그러나, 현재의 생체 나노포어 기반 핵산 염기 서열 분석 기술들은(예컨대, 약 2nm의 직경을 갖는) 고정식 나노포어 개구를 요구할 수 있고, 조악한 민감성(즉, 폴스 네거티브들(false negatives)의 허용불가능한 양), 생산 가치가 높은 제조를 어렵게 만드는 높은 비용, 및 강한 온도 및 농도(예컨대, pH) 의존성을 가질 수 있다.

[0005] 반도체 제조 기술들에서의 진보들로, 고체-상태 나노포어들은, 우수한 기계적, 화학적, 그리고 열적 특성들, 및 다른 감지 회로소자 및 나노디바이스들과의 통합을 허용하는 반도체 기술과의 호환성으로 인해, 부분적으로 생체 나노포어들에 대한 값싸고 그리고 우수한 대안이 되고 있다. 그러나, (예컨대, 생체적 그리고/또는 고체-상태 나노포어들을 수반하는) 현재 나노포어 DNA 염기 서열 분석 기술들은 낮은 민감성 및 높은 제조 비용을 포함하는 다양한 제한들을 계속 겪고 있다. 도 1은 종래 기술의 고체-상태 기반 2차원("2D") 나노포어 염기 서열 분석 디바이스(100)를 개략적으로 묘사한다. 디바이스(100)가 "2차원"으로 지칭되지만, 디바이스(100)는 Z 축선을 따른 일부 두께를 갖는다.

[0006] 나노포어 DNA 염기 서열 분석 기술들의 제한들 중 많은 제한들은, 단일 뉴클레오티드의 빠른 전좌 속도 및 작은 크기(예컨대, 약 0.34nm의 높이 및 약 1nm의 직경)를 극복해야 하는 나노포어 디바이스들 및 기술들의 본질적인 특성으로부터 초래된다. 종래의 전자 기기(예컨대, 나노-전극들)는 종래의 나노포어 기반 DNA 염기 서열 분석 기술들을 사용하여 이러한 빠른 이동하고 작은 뉴클레오티드들을 리졸빙할(resolve) 수 없다. 또한, 높은 제조 비용은 나노포어 기반 DNA 염기 서열 분석의 보다 넓은 적용들을 막는다.

[0007] 이러한 단점들을 극복하기 위해, 많은 상이한 유형들의 생체, 고체-상태 및 하이브리드(생체 및 고체-상태) 나노포어들 및 나노포어 센서들의 사용을 포함하는 많은 노력들이 이루어지고 있다. 그러나, 이러한 노력들은 대량 생산에서 성공적이지 않았다.

[0008] 현재 이용가능한 구성들의 단점들을 해결하는 나노포어 기반 염기 서열 분석 시스템들 및 디바이스들에 대한 필요가 존재한다. 특히, 허용가능한 민감성 및 제조 비용을 갖는 나노포어 기반 염기 서열 분석 시스템들 및 디바이스들에 대한 필요가 존재한다.

### 발명의 내용

[0009] 본원에 설명된 실시예들은 나노포어 기반 염기 서열 분석 시스템들 및 이를 제조하는 방법들에 관한 것이다. 특히, 실시예들은 3D 나노포어 기반 염기 서열 분석 시스템들 및 이를 제조하는 방법들에 관한 것이다.

[0010] 일 실시예에서, 생체고분자 분자들을 특성화하기 위한 3D 나노포어 디바이스는 제1 선택 축선을 가지는 제1 선택 층을 포함한다. 디바이스는 또한, 제1 선택 층에 인접하게 배치되고 그리고 제1 선택 축선에 수직한 제2 선택 축선을 가지는 제2 선택 층을 포함한다. 디바이스는 제1 선택 층, 상기 제2 선택 층, 및 상기 제3 전극 층이 Z 축선을 따라 층들의 스택을 형성하고 그리고 복수의 나노포어 필라들(nanopore pillars)을 규정하도록, 상기 제2 선택 층에 인접하게 배치되는 제3 전극 층을 더 포함한다.

[0011] 하나 이상의 실시예들에서, 제1 선택 층은 복수의 제1 억제 전극들을 포함한다. 제2 선택 층은 복수의 제2 억제 전극들을 포함할 수 있다. 복수의 제1 및 제2 억제 전극들은 복수의 나노포어 필라들을 내부에 부분적으로 규정하는 어레이를 형성할 수 있다. 제3 전극 층은 전기 바이어스를 변조하도록 그리고 전류 변조를 검출하도록 구성되는 전극을 포함할 수 있다. 디바이스는 또한, 제3 전극 층에 인접하게 배치되는 하나 이상의 전극 층들을 더 포함할 수 있다.

[0012] 하나 이상의 실시예들에서, 디바이스는 또한, 제1 선택 층에 인접하게 배치되는 최상부 챔버를 포함한다. 디바이스는, 복수의 나노포어 필라들이 최상부 및 저부 전극 층에 인접하게 배치되는 저부 챔버를 더 포함하여, 저부 챔버들을 유체적으로 커플링하고(fluidly couple) 그리고 멀티-전극들이 디바이스에 존재할 때, 전좌 채널을 제공한다. 디바이스는 또한, 최상부 및 저부 챔버들에 있고 그리고 제1 선택 층, 제2 선택 층, 및 제3 전극 층을 둘러싸는 전해질 용액을 포함할 수 있다. 전해질 용액은 KCl 또는 LiCl<sub>2</sub>를 포함할 수 있다.

[0013] 하나 이상의 실시예들에서, 제3 전극 층은 금속 속도-제어 전극을 포함한다. 제3 전극 층은 Ta, Al, Cr, Au-Cr, Ti, 그래핀, 또는 Al-Cu와 같은 금속들을 포함할 수 있다. 제3 전극은 고도로 도핑된 ( $n^+$  또는  $p^+$  유형) 폴리실리콘 또는 살리사이드화된(salicated) 폴리실리콘을 포함할 수 있다. 제3 전극 층은 0.2nm 내지 1000nm의 두께를 가질 수 있다. 제3 전극 층은 감지 전극을 포함할 수 있다. 감지 전극은 이온 차단(ion blockade), 터널링(tunneling), 정전식 감지(capacitive sensing), 압전식(piezoelectric), 또는 마이크로웨이브-감지(microwave-sensing)에 의해 작동할 수 있다.

[0014] 하나 이상의 실시예들에서, 디바이스는 또한, 복수의 나노포어들의 내부 직경을 변경하도록 구성되는 내부 멤브레인 층(inner membrane layer)을 포함한다. 내부 멤브레인 층은 Si<sub>3</sub>N<sub>4</sub>과 같은 저응력 실리콘 풍부 질화물들(silicon rich nitride)을 포함할 수 있고, 그리고 Al<sub>2</sub>O<sub>3</sub>, SiO<sub>2</sub>, ZnO, 또는 HfO<sub>2</sub>와 같은 유전체들로 코팅된다. 내부 멤브레인 층은 약 10nm 내지 약 50nm의 두께를 가질 수 있다. 복수의 나노포어들 각각은 약 0.2nm 내지 약 1000nm의 각각의 직경들을 가질 수 있다. 디바이스는 또한, 최상부 멤브레인 층을 포함할 수 있다. 최상부 멤브레인 층은 Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, SiO<sub>2</sub>, 2D 유전체들(예컨대, MoS<sub>2</sub> 또는 hBN) 및 중합체 멤브레인들(예컨대, 폴리이미드 및 PDMS)을 포함할 수 있다. 최상부 멤브레인 층은 약 5nm 내지 약 50nm의 두께를 가질 수 있다.

[0015] 다른 실시예에서, 3D 나노포어 디바이스를 제조하는 방법은 제1 Si 기판 또는 제1 유전체 기초 층 상에 제1 Si<sub>3</sub>N<sub>4</sub> 층을 증착하는(depositing) 단계를 포함한다. 본 방법은 제1 Si<sub>3</sub>N<sub>4</sub> 층 상에 제1 유전체 층을 증착하는 단계를 포함한다. 본 방법은 또한, 제1 유전체 층 상에 제1 금속 또는 폴리실리콘 층을 증착하는 단계를 포함한다. 하나 이상의 실시예들에서, 본 방법은 또한, 제1 금속 또는 폴리실리콘 전극 층을 식각하고(etching) 그리고 패턴화하는(patterning) 단계를 포함한다. 본 방법은 또한, 패턴화된 제1 금속 또는 폴리실리콘 전극 층 상에 제2 유전체 층을 증착하는 단계를 포함한다.

[0016] 본 방법은 또한, 제1 금속 또는 폴리실리콘 전극 층 상에 제2 금속 또는 폴리실리콘 층을 증착하는 단계를 포함한다. 본 방법은 제2 유전체 층 상에 제2 Si<sub>3</sub>N<sub>4</sub> 층을 증착하는 단계를 더 포함한다. 하나 이상의 실시예들에서, 본 방법은 또한, 제2 금속 또는 폴리실리콘 전극 층을 식각하고 그리고 패턴화하는 단계를 포함한다.

본 방법은 금속 또는 폴리실리콘 전극 층들의 다수 층들을 증착하고 그리고 패턴화하는 단계를 더 포함한다.

- [0017] 본 방법은 후방측으로부터 채널을 생성하기 위해 후방측으로부터 제1 Si 또는 유전체 기판 기초 층을 식각하는 단계를 포함한다.
- [0018] 본 방법은, 나노포어를 이를 통해 형성하기 위해  $\text{Si}_3\text{N}_4$  층들, 유전체 층, 및 금속 또는 폴리실리콘 층들의 다중 스택 상의 표면으로부터 나노포어 채널을 패턴화하는 단계를 포함한다. 본 방법은 또한, 모든 채널에 각각의 금속 또는 폴리실리콘 전극들을 배치하고(disposing) 및 금속 또는 폴리실리콘 전극 층들을 전기적으로 커플링하는 단계를 포함할 수 있다.
- [0019] 하나 이상의 실시예들에서, 본 방법은 또한, 저부  $\text{Si}_3\text{N}_4$  층으로 제2 채널을 식각하는 단계를 포함하며, 여기서 제1 및 제2 채널들은 서로 수직이다. 본 방법은 또한, 제2 채널에 제2 억제 전극을 배치하는 단계 및 제2 억제 전극을 저부  $\text{Si}_3\text{N}_4$  층에 전기적으로 커플링하는(coupling) 단계를 포함할 수 있다. 본 방법은 또한, 제3 유전체 기초 층을 제2 금속 층 상에 증착하는 단계, 및 이를 통해 나노포어를 형성하기 위해 제3 유전체 기초 층을 식각하는 단계를 포함할 수 있다. 본 방법은 또한, 제3 유전체 층을 식각하는 단계, 및 제3 전극을 제3 유전체 층에 전기적으로 커플링하는 단계를 포함할 수 있다. 본 방법은 또한, 기판을 식각하는 단계, 및 저부 챔버를 복수의 나노포어 필라들에 유체적으로 커플링하는 단계를 포함할 수 있다.
- [0020] 하나 이상의 실시예들에서, 본 방법은 또한, 제1 유전체 기초 층, 제1  $\text{Si}_3\text{N}_4$  층, 및 제1 금속을 최상부 챔버와 저부 챔버 사이의 중간 챔버에 배치하는 단계를 포함하며, 여기서 최상부, 중간, 및 저부 챔버들은 전해질 용액을 보유해서, 최상부 및 저부 챔버들은 나노포어에 의해 유체적으로 커플링된다. 제1  $\text{Si}_3\text{N}_4$  층, 제1 금속 층, 및 유전체 코팅 층의 증착은 ALD 또는 CVD를 사용할 수 있다. 나노포어를 형성하기 위해 제1 유전체 기초 층, 제1  $\text{Si}_3\text{N}_4$  층, 및 제1 금속 층을 식각하는 단계는 높은 종횡비 식각을 사용할 수 있다.
- [0021] 또 다른 실시예에서, 충전된 입자를 검출하는 방법은 3D 나노포어 디바이스를 사용하며, 3D 나노포어 디바이스는 최상부, 중간, 및 저부 챔버들, 그리고 최상부 및 저부 챔버들이 3D 나노포어 어레이(nanopore array)에서 복수의 나노포어들에 의해 유체적으로 커플링되도록 중간 챔버들에 배치되는 3D 나노포어 어레이를 갖는다. 본 방법은 충전된 입자를 포함하는 전해질 용액을 최상부, 중간, 및 저부 챔버들에 추가하는 단계를 포함한다. 본 방법은 또한, 최상부 챔버 및 저부 챔버에 최상부 전극 및 저부 전극을 각각 배치하는 단계를 포함한다. 본 방법은 최상부 전극과 저부 전극 사이에 전기 영동 바이어스(electrophoretic bias)를 적용하는 단계를 더 포함한다. 게다가, 본 방법은 충전된 입자가 지향될 것인 복수의 나노포어들 중 하나 이상의 나노포어들을 선택하기 위해 3D 나노포어 디바이스에서 제1 및 제2 선택 전극들에 제1 및 제2 선택 바이어스들을 적용하는 단계를 포함한다. 또한, 본 방법은 하나 이상의 나노포어들을 통한 충전된 입자의 전좌 속도(translocation rate)를 변조하기 위해 3D 나노포어 디바이스에서 속도 제어 전극에 속도 제어 바이어스를 적용하는 단계를 포함한다. 본 방법은 또한, 3D 나노포어 디바이스에서 감지 전극에 감지 바이어스를 적용하는 단계를 포함한다. 본 방법은 감지 전극에서의 전류의 변경을 검출하는 단계를 더 포함한다.
- [0022] 하나 이상의 실시예들에서, 전류는 전극 전류 또는 터널링 전류이다.
- [0023] 또 다른 실시예에서, 3D 나노포어 채널 필라 어레이, 복수의 전극들, 최상부 챔버 및 저부 챔버를 포함하는 센서를 제조하는 방법은 생체분자들 및 DNA를 포함하는 전해질 용액에 3D 나노포어 채널 필라 어레이를 배치하는 단계를 포함한다. 본 방법은 또한, 전해질에 전극을 배치하는 단계를 포함한다. 본 방법은 전해질에서 전극에 바이어스를 적용하는 단계를 더 포함한다. 게다가, 본 방법은 3D 나노포어 채널 필라 어레이의 최상부 상에 나노포어 필라들을 둘러싸는 십자 패턴화된 열 및 행 억제 전극들(cross patterned column and row inhibitory electrodes)을 배치하는 단계를 포함한다. 또한, 본 방법은 3D 나노포어 채널 필라 어레이에 나노포어 필라들을 둘러싸는 금속 평면 전극들을 배치하는 단계를 포함하며, 금속 평면 전극들은 속도-제어 전극 및 감지 전극을 포함한다. 본 방법은 또한, 속도-제어 전극에 속도-제어 바이어스를 적용하는 단계를 포함한다. 본 방법은 감지 전극에 감지 바이어스를 적용하는 단계를 더 포함한다. 게다가, 본 방법은 전해질에서 전극 전류의 변경을 검출하는 단계를 포함한다. 또한, 본 방법은 전극들에서 터널링 전류의 변경을 검출하는 단계를 포함한다.
- [0024] 하나 이상의 실시예들에서, 속도-제어 전극은 약 2nm 내지 약 1000nm의 두께 범위들을 갖는다. 속도-제어 전극은 Ta, Cr, Al, Au-Cr, 그래핀, 또는 Al-Cu를 포함할 수 있다. 속도-제어 전극은 과도핑된(heavily doped) (n- 또는 p- 유형) 폴리실리콘 또는 살리사이드화된(salicydized) 폴리실리콘을 포함할 수 있다. 3D 나노

포어 채널 필라 어레이는 속도-제어 전극을 가지는 생체 층을 포함할 수 있어, 3D 나노포어 채널 필라 어레이가 하이브리드(hybrid)가 된다. 최상부 및 저부 챔버들은 전해질 용액 중 적어도 일부를 보유할 수 있다. 전해질 용액은 KCl 및 LiCl<sub>2</sub>를 포함할 수 있다. 최상부 챔버 및 저부 챔버를 위한 전극들은 Ag/AgCl<sub>2</sub>를 포함할 수 있다. 십자 패턴화된 열 및 행 억제 전극들은, 이온 전류 흐름을 수직으로 중단시키기 위해 억제 바이어스를 적용함에 의해 행 및 열을 선택하고 그리고 선택해제함으로써 어레이 작동(array operation)을 가능하게 할 수 있다. 감지 전극은 이온 차단 감지, 터널링 감지, 정전식 감지, 압전식 감지, 및/또는 웨이브 감지를 활용할 수 있다.

[0025] [0025] 하나 이상의 실시예들에서, 3D 나노포어 채널 필라 어레이는 유전체-전극 스택에 복수의 유전체-전극들을 포함한다. 유전체-전극 스택은 멤브레인 층, 나노포어 채널 개구 폭을 변경하는 유전체 층, 나노포어 채널 필라들의 어레이, 속도-제어 유전체-전극 층들의 스택, 감지 유전체-전극 층들의 스택, 및 소스 선택 유전체-전극 층을 포함한다. 멤브레인 층은 유전체 재료를 포함할 수 있고 그리고 약 10nm 내지 약 50nm의 두께를 가질 수 있다. 유전체 재료는 Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, 또는 SiO<sub>2</sub>일 수 있다. 멤브레인 층은 나노포어 채널 개구 폭을 변경할 수 있다. 나노포어 채널 개구 폭은 표준 광학 리소그래피 및 이온 빔(예컨대, FIB, TIM) 기술들에 의해 패턴화되어 약 2nm 내지 약 100nm일 수 있다.

[0026] [0026] 하나 이상의 실시예들에서, 3D 나노포어 채널 필라 어레이는 유전체 층들의 ALD 및/또는 CVD 증착; 높은 종횡비 반응 이온 식각 딥 트렌치 공정(High aspect ratio Reactive Ion Etch deep trench process)(나노포어 채널 개구 식각); 유전체 층들을 트리밍하는(trimming) ALD 및/또는 CVD 증착; 및/또는 멤브레인 유전체 층들의 ALD 및/또는 CVD 증착을 사용하여 제조된다.

[0027] [0027] 하나 이상의 실시예들에서, 유전체-전극 스택은 또한, 저부 유전체 층을 포함한다. 저부 유전체 층은 약 100nm 내지 약 1000nm의 두께를 가질 수 있다. 저부 유전체 층은 기판 커플링된 낮은 레벨 소음을 감소시키기 위해 SiO<sub>2</sub>, 유리, 또는 SOI를 포함할 수 있다. 유전체-전극 스택은 또한 최상부 유전체 층을 포함할 수 있다. 최상부 유전체 층은 약 5nm 내지 약 50nm의 두께를 가질 수 있다. 최상부 유전체 층은 SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, 또는 Al<sub>2</sub>O<sub>3</sub>을 포함할 수 있다. 최상부 유전체 층은 최종 나노포어 채널 개구 폭을 결정할 수 있다.

[0028] [0028] 하나 이상의 실시예들에서, 본 방법은 또한, 나노포어 채널 필라의 트렌치 프로파일(trench profile)에 날카로운 형상을 제공하기 위해 높은 종횡비 식각을 사용하여 나노포어 채널 필라를 형성하는 단계를 포함한다. 높은 종횡비 식각은 5초과의 종횡비를 가질 수 있다.

[0029] [0029] 하나 이상의 실시예들에서, 3D 나노포어 채널 필라 어레이는 고밀도의 저비용 나노포어 채널들을 사용하여 복합 염기 서열 분석 적용들(multiplex sequencing applications)을 용이하게 한다. 3D 나노포어 어레이의 다수의 전극들은 제어된 바이어싱(biasing)에 의해 전하 속도를 제어하기 위해 "TOF(Time of Flight)" 기술을 제공하도록 요구된 염기 서열 분석 적용들에 따라 선택될 수 있다. 전하 속도를 제어하는 것은 DNA 분자들의 관독을 개선할 수 있고 그리고 센서의 민감성을 개선할 수 있다.

[0030] [0030] 하나 이상의 실시예들에서, 3D 나노포어 채널 필라 어레이는 CMOS 플로우(flow)에 통합되며, 이에 의해 CMOS 기술을 위한 내장된 생체센서 용액들을 용이하게 한다. CMOS 플로우는 전기화학 반응들을 위한 2-딥 웰(dim well)을 포함할 수 있다. CMOS 플로우는 감이온 전계효과 트랜지스터(ion-sensitive field effect transistor) 기술을 포함할 수 있다.

[0031] [0031] 하나 이상의 실시예들에서, 3D 나노포어 채널 필라 어레이는 생체 컴포넌트 및 고체-상태 컴포넌트를 3D 구성으로 포함하는 하이브리드 유형의 나노포어 기술을 포함한다. 3D 나노포어 채널 필라 어레이는 또한, 전기-화학적, 열적, 또는 전기-광학 반응이 전기화학 및/또는 염기 서열 분석 반응들을 향상하기 위해 멀티-전극 시스템을 갖는 확장되고 분리된 나노포어 웰(nanopore well)에서 발생하는 것을 용이하게 할 수 있다. 3D 나노포어 채널 필라 어레이는 멀티-어레이 구성을 사용하여 다중 염기 서열 분석을 추가적으로 용이하게 할 수 있으며, 여기서 개별적인 나노포어 채널 필라들은 처리가능하다(addressable). 3D 나노포어 채널 필라 어레이는 나노포어 채널 필라 내에 표준 qPCR을 용이하게 할 수 있다. 3D 나노포어 채널 필라 어레이는 프로브-매개된(probe-mediated) 타겟팅된 염기 서열 분석을 용이하게 할 수 있다. 3D 나노포어 채널 필라 어레이는 상이한 적용들을 위한 나노포어 채널 개구 폭의 조정(tuning)을 용이하게 할 수 있다.

[0032] [0032] 하나 이상의 실시예들에서, 나노포어 채널 개구 폭은 약 1nm 내지 약 100nm으로 조정가능하다. 나노포어 채널 개구 폭은 제조 동안 전자적으로 조정가능할 수 있다.



- [0033] [0033] 하나 이상의 실시예들에서, 본 방법은 또한, 센서의 안정성을 향상하기 위해 하이브리드 나노포어 채널을 형성하는 단계를 포함한다. 하이브리드 나노포어를 형성하는 단계는 반합성 멤브레인 포린(semi-synthetic membrane porin)을 구성하기 위해 안정한 생체 컴포넌트를 삽입하는 단계를 포함할 수 있다. 안정한 생체 컴포넌트는  $\alpha$ HL 분자일 수 있다.  $\alpha$ HL 분자는 SiN 기반 3D 나노포어로 삽입될 수 있다.
- [0034] [0034] 하나 이상의 실시예들에서, 본 방법은 또한, 안정한 생체 컴포넌트 및 하이브리드 나노포어의 정렬을 보장하기 위해 안정한 생체 컴포넌트에서 구조를 유도하기 위해 최상부 억제 전극을 사용하는 단계를 포함한다.
- [0035] [0035] 개시의 이전에 언급되고 그리고 다른 실시예들은 뒤따르는 상세한 설명에서 설명된다.

### 도면의 간단한 설명

- [0036] [0036] 이전의 그리고 다른 실시예들은 첨부 도면들을 참조로 하여 더 상세히 설명되며, 여기서 상기한 도면들의 동일한 요소들은 공통의 도면 부호들에 의해 지칭된다.
- [0037] 도 1은 종래 기술의 고체 상태 2D 나노포어 디바이스를 개략적으로 예시한다.
- [0038] 도 2a 내지 도 2d는 사시도, 평면도, 정면도, 및 우측면도 각각으로부터 일 실시예에 따른 3D 나노포어 디바이스를 개략적으로 예시한다.
- [0039] 도 3은 그의 작동의 일부 상세들을 포함하는 일 실시예에 따른 3D 나노포어 디바이스를 개략적으로 예시한다.
- [0040] 도 4는 도 3에서 묘사되는 나노포어 디바이스의 전압 작동을 요약한 표이다.
- [0041] 도 5는 내부에 전극들 중 일부를 포함하는 일 실시예에 따른 3D 나노포어 디바이스를 개략적으로 예시한다.
- [0042] 도 6a 내지 도 6e는 일 실시예에 따른 3D 나노포어 디바이스를 제조하기 위한 방법을 예시한다.
- [0043] 도 7a 내지 도 7e는 다른 실시예에 따른 3D 나노포어 디바이스를 제조하기 위한 방법을 예시한다.
- [0044] 다양한 실시예들의 위에서 인용된 그리고 다른 이점들 및 목적들을 어떻게 획득하는지를 보다 양호하여 이해하기 위해, 실시예들의 보다 상세한 설명은 첨부 도면들을 참조로 하여 제공된다. 도면들이 실제로 도시되지 않는 것 그리고 유사한 구조들 또는 기능들의 요소들이 전체에 걸쳐 동일한 도면 부호들로 나타나는 것이 유의되어야 한다. 이러한 도면들은 단지 특정한 예시된 실시예들을 묘사하고 그리고 따라서 실시예들의 범주를 제한하는 것으로 고려되지 않아야 하는 것이 이해될 것이다.

### 발명을 실시하기 위한 구체적인 내용

- [0037] 예시적인 나노포어 디바이스들
- [0038] [0045] 전술된 바와 같이, 현재의 종래 기술 나노포어 디바이스들은 민감성 및 제조 비용에 대해 적어도 제한된다. 본원에 설명되는 나노포어 디바이스 실시예들은, 특히, 현재 나노포어 디바이스들의 이러한 제한들을 해결한다.
- [0039] [0046] 도 2a 내지 도 2d는, 일 실시예에 따른 3차원("3D") 어레이 아키텍처(architecture)를 갖는 고체-상태 나노포어 기술을 포함하는 나노포어 디바이스(200)의 다양한 도면들을 개략적으로 묘사한다. 도 2a에서 도시되는 바와 같이, 디바이스(200)는, Z 축선(204)을 따라 적층되는 복수의 2D 어레이들 또는 층들(202A 내지 202E)을 포함한다. 2D 어레이들(202A 내지 202E)이 "2차원"으로서 지칭되지만, 각각의 2D 어레이들(202A 내지 202E)은 Z 축선을 따른 일부 두께를 갖는다. 도 2b는 도 2a에서 묘사되는 최상부 2D 어레이(202A)의 평면도를 묘사한다. 도 2c 및 도 2d는 도 2a에서 묘사되는 나노포어 디바이스(200)의 정면도 및 우측면도를 개략적으로 묘사한다.
- [0040] [0047] 최상부 2D 어레이(202A)는, 제1 및 제2 선택 층들(206, 208)에 형성되는 나노포어들(210)(필라들(pillars))을 통해 충전된 입자들(예컨대, 생체고분자들)의 움직임의 지향하도록 구성되는 제1 및 제2 선택 (억제 전극) 층들(206, 208)을 포함한다. 제1 선택 층(206)은 2D 어레이(202A)에서 복수의 행들(R1 내지 R3)로부터 선택할 수 있도록 구성된다. 제2 선택 층(208)은 2D 어레이(202A)에서 복수의 열들(C1 내지 C3)로부터 선택할 수 있도록 구성된다. 일 실시예에서, 제1 및 제2 선택 층들(206, 208)은, 선택된 행 및 열에 인접한 그리고/또는 선택되지 않은 행들 및 열들에 인접한 전하(charge)를 개량함으로써, 행들 및 열들로부터 각각 선택한다.

다른 2D 어레이들(202B 내지 202E)은 속도 제어/전류 감지 전극들(rate control/current sensing electrodes)을 포함한다. 속도 제어 전극들은, Au-Cr, TiN, TaN, Pt, Cr, 그래핀(graphene), Al-Cu 등과 같은 고도의 전도성 금속들로 만들어질 수 있다. 속도 제어 전극들은 약 2nm 내지 약 1000nm의 두께를 가질 수 있다. 속도 제어 전극들은 또한, 하이브리드 나노포어들에서 생체 층(biological layer)에서 만들어질 수 있다.

[0041] [0048] 하이브리드 나노포어들은 나노포어의 안정성을 향상하기 위해 반합성 멤브레인 포린(semi-synthetic membrane porin)을 형성하기 위해 솔리드 스테이트 컴포넌트들(solid state components)을 갖는 안정적인 생체/생화학 컴포넌트를 포함한다. 예를 들어, 생체 컴포넌트는  $\alpha$ HL 분자일 수 있다.  $\alpha$ HL 분자는 SiN 기반 3D 나노포어로 삽입될 수 있다.  $\alpha$ HL 분자는 (예컨대, 최상부 2D 어레이(202A)에서) 전극에 바이어스(bias)를 적용함으로써 SiN 기반 3D 나노포어와의  $\alpha$ HL 분자의 정렬을 보장하기 위해 구조를 가지도록 유도될 수 있다.

[0042] [0049] 나노포어 디바이스(200)는, 평면 구조를 가지는 종래의 나노포어 디바이스의 표면적보다 훨씬 더 큰, 충전 검출을 위한 표면적을 제공하는 3D 수직 필라 스택 어레이 구조를 갖는다. 충전된 입자(예컨대, 생체고분자)는 디바이스에서 각각의 2D 어레이(202A 내지 202E)를 통과함에 따라, 그의 충전은 2D 어레이들(202B 내지 202E) 중 일부에서 검출기(예컨대, 전극)로 검출될 수 있다. 따라서, 디바이스(200)의 3D 어레이 구조는 보다 높은 민감성을 용이하게 하며, 이는 낮은 신호 검출기/전극을 보상할 수 있다. 추가적으로, 고도로 통합된 작은 형상 계수(form factor) 3D 구조는, 제조 비용을 최소화하면서, 고밀도 나노포어 어레이를 제공한다.

[0043] [0050] 사용시에, 나노포어 디바이스(200)는, 최상부 및 저부 챔버들이 나노포어 필라들(210)에 의해 유체적으로 커플링되도록 최상부 및 저부 챔버들(미도시됨)을 분리시키는 중간 챔버에 배치된다. 최상부, 중간, 및 저부 챔버들은 검출될 충전된 입자들(예컨대, DNA)을 보유하는 전해질 용액(예컨대, Ag,  $\text{AgCl}_2$  등)을 포함한다. 상이한 전해질 용액들은 상이한 충전된 입자들의 검출을 위해 사용될 수 있다.

[0044] [0051] 전기 영동 충전된(electrophoretic charged) 입자 전좌(translocation)는 나노포어 디바이스(200)의 최상부 2D 어레이(202A)에 인접한 최상부 챔버(미도시됨) 및 나노포어 디바이스(200)의 저부 2D 어레이(202E)에 인접한 저부 챔버(미도시됨)에 배치되는 전극들에 바이어스를 적용함으로써 구동될 수 있다. 일부 실시예들에서, 나노포어 디바이스(200)는, 최상부 및 저부 챔버들이 나노포어 디바이스(200)의 나노포어 필라들(210)에 의해 유체적으로 그리고 전기적으로 커플링되도록 중간 챔버(미도시됨)에 배치된다. 최상부, 중간, 및 저부 챔버들은 전해질 용액을 보유할 수 있다.

[0045] [0052] 도 3은 다른 실시예에 따른 나노포어 디바이스(300)를 개략적으로 묘사한다. 도 3은 3D 나노포어(310) 및 나노-전극 스텍들(nano-electrode schemes)를 도시하는 단면도(x-z 평면)로 최상부 2D 어레이(302)를 묘사한다. 각각의 나노포어(310)는 나노-전극들(312)에 의해 둘러싸여, 나노포어(310)의 채널이 나노-전극들(312)을 사용하여 생성되는 바이어스 전계 조건(electric bias field condition) 하에서 작동하는 것을 허용한다. 십자-패턴화된 나노갭(cross-patterned nanogap) 나노-전극들(312CS 내지 312Cn, 312RS 내지 312Rn)은 나노포어 디바이스(300)의 최상부 상의 2개의 층들에 배치된다. 이러한 나노-전극들(312CS 내지 312Cn, 312RS 내지 312Rn)은 각각, 나노포어 어레이를 위한 열 및 행 억제 나노-전극들(312CS 내지 312Cn, 312RS 내지 312Rn)이다. 최상부 2D 어레이(302)(x-y 평면도)에 도시되는 바와 같은 십자-패턴화된 나노-전극들(312CS 내지 312Cn, 312RS 내지 312Rn)은 금속 리소그래피 단계들에서 형성/패턴화될 수 있다. 3D 스택의 나머지 2D 어레이들에서의 나노-전극들(312)은 평면 증착 금속들에 의해 형성된다. 나노포어(310)의 홀 필라들은 금속 나노-전극들(312CS 내지 312Cn, 312RS 내지 312Rn)에 의해 둘러싸이고, 그리고 이에 따라 다중 적층된 나노-전극들(312)에 적용되는 전기 바이어스의 전체적인 영향 하에서 작동할 수 있다.

[0046] [0053] 최상부 2D 어레이(302)에서 나노갭 나노-전극들(312CS-312Cn, 312RS-312Rn)을 선택하기 위해 억제 전기 바이어스(0V 내지 VCC)를 적용함으로써, 최상부 2D 나노포어 어레이(302)에서의 하나 이상의 나노포어들(302)을 통한 생체분자 전좌(예컨대, 전기 영동)은 일 실시예에 따라 나노포어 어레이 작동을 제어하도록 억제될 수 있다. 나노-전극들(312CS 내지 312Cn, 312RS 내지 312Rn)에 적용되는 전기 바이어스는 나노-전극들(312CS 내지 312Cn, 312RS 내지 312Rn)에 대해 수직한 방향으로 최상부 챔버(미도시됨)로부터 저부 챔버(미도시됨)로 충전된 입자들(예컨대, 핵산들)의 이온 전좌를 억제하기에 충분한 전계를 생성할 수 있다. 나노-전극(312)의 매개 이온 전좌 억제는 실질적으로 완료될 수 있거나, 전기 바이어스는 단지 이온 전좌의 속도를 감소시키도록 변조될 수 있다. 일 실시예에서, 하나 이상의 나노포어들(310)이 (예컨대, DNA 생체분자들 전좌 및 염기 서열 분석을 위해) 선택된 후에, 3D 나노포어 나노-전극들(312)의 스택에서의 전기 바이어스는 생체분자 전좌 속도를 제어하기 위해 변조될 수 있다. 일 실시예에서, 억제 전기 바이어스는 수직 방향의 이온 전류 흐름을 감소/정지시켜,

이에 의해 나노-전극들(312CS 내지 312Cn, 312RS 내지 312Rn)의 나노갭에 의해 규정되는 다양한 열들 및 행들을 선택하고 그리고/또는 선택해제한다. 동시에, 나노-전극들(312)은 3D 수직 나노포어(310)의 필라들을 통해 충전된 입자들(예컨대, DNA 생체분자들)의 통과로부터 초래되는 전류 변조들을 검출할 수 있다. 일부 실시예들에서, 나노-전극들(312)은, 이온 차단(ion blockade), 터널링(tunneling), 정전식 감지(capacitive sensing), 압전식(piezoelectric), 및 마이크로웨이브-감지(microwave-sensing)를 포함하는 다양한 원리들을 사용하여 전류 변조들을 검출할 수 있다.

[0047] [0054] 도 4는 도 3에서 묘사되는 나노포어 디바이스(300)의 전압 작동을 예시하는 표(400)이다. 도 4에서 도시되는 바와 같이, 나노포어 디바이스(300)는 다양한 전극들(312)에 적용되는 전압을 변조함으로써 전파 및 관독(감지) 모드 둘 모두로 작동될 수 있다.

[0048] [0055] 도 5는 일 실시예에 따른 나노포어 디바이스에서 단일 3D 나노포어 센서(520)를 개략적으로 예시한다. 센서(520)는 열 억제 전극 층(column inhibitory electrode layer)(522), 행 억제 전극 층(524), 및 복수의 속도 제어/감지 전극 층들(526, 528, 530)을 갖는다. 이러한 층들은 상하로 적층되고 그리고 수직 나노포어(510) 홀 필라를 규정하기 위해 절연 층(532)(예컨대,  $\text{SiO}_2$ )에 의해 분리된다. 각각의 층은 폴리실리콘 또는 금속(예컨대, Ta, Al, Cr, Au-Cr, Ni, 그래핀 등) 최상부 서브-층 및 다양한 다른 서브-층들(예컨대,  $\text{Al}_2\text{O}_3$ ,  $\text{Si}_3\text{N}_4$ ,  $n^+$  또는  $p^+$  폴리실리콘 등)을 가질 수 있다. 3D 나노포어 센서(520)는 이온 차단, 터널링, 정전식 감지, 압전식, 및 마이크로웨이브-감지를 포함하는 다양한 원리들로 작동할 수 있다. 속도 제어/감지 전극 층들(526, 528, 530)은 각각의 전극 층들(526, 528, 530)에 속도 제어 또는 감지 바이어스를 적용함으로써 활성화될 수 있다. 감지 전극 층들(526, 528, 530)은 전기 특성(예컨대, 전극 전류 및/또는 터널링 전류)에서의 변화를 검출할 수 있다.

[0049] [0056] 3D 나노포어 디바이스들(예컨대, 200, 300)은 형상 계수 오버헤드(overhead)를 최소화하면서 어레이에서 직접적인 또는 타겟팅된(targeted) 염기 서열 분석을 허용하는데, 왜냐하면 나노포어 디바이스들(200, 300)에서의 2D 어레이들(202, 302)은 수평으로 위치결정되는 대신에 수직으로 적층될 수 있어, 고밀도 적용들을 허용하기 때문이다. 추가적으로, 3D 나노포어 디바이스들(예컨대, 200, 300)은 스케일러블(scalable)이며, 이 때 큰 3D 나노포어 디바이스들에 대한 매체는 1,000개 초과인 나노포어(210, 310) 필라들을 갖는다. 결과적으로, 보다 큰 수의 염기 서열 분석 센서들은 동일한 형상 계수 내에서 수용될 수 있다. 3D 나노포어 디바이스들(예컨대, 200, 300)은 또한, 사용자의 요구들을 수용하도록 보다 구조적인 가요성을 제공하기 위해 생체 나노포어 또는 하이브리드 나노포어 기술들을 포함할 수 있다.

[0050] [0057] 3D 나노포어 디바이스들(예컨대, 300)에서, 각각의 나노포어(310) 필라는 복수의 나노포어들(310)을 규정하는 나노-전극들(312)의 스택으로 구성된다. 이렇게 함으로써, 각각의 나노포어(310) 열에서 센서들의 유효 표면적은 단일 센서의 표면적보다 수십배(orders of magnitude) 더 클 수 있다. 일 실시예에서, 유효 센서 표면적은 단일 센서의 표면적보다 100배 내지 1000배만큼 더 클 수 있다. 유효 센서 표면적에서의 이러한 증가는, 제조 비용들을 감소시키면서, 신호 대 잡음비(sensor signal to noise ratio) 및 민감도를 상당히 개선시킬 수 있다.

[0051] 예시적인 나노포어 디바이스 제조 방법들

[0052] [0058] 3D 나노포어 디바이스들(예컨대, 200, 300)은 많은 상이한 방법들을 활용하여 제조될 수 있다. 일 실시예에서, 반도체 기술(예컨대, 아래에서 설명되는 CMOS 공정)은 3D 나노포어 디바이스들(200, 300)을 제조하는데 사용된다. CMOS 공정은 또한, 나노포어(310)의 폭이 큰 나노포어 어레이를 사용하여 조정가능한 것을 허용한다. 일 실시예에서, 나노포어(310)의 폭은 록업 테이블과 함께 소프트웨어를 사용하여 제조하는 동안 제어될 수 있어, 대량 생산 제조를 허용한다. CMOS 공정을 사용하는 것은 CMOS 기술에서 바이오센서 솔루션들(solutions)을 내장할 수 있다. 다양한 실시예들에서, CMOS 공정은, 전기화학 반응들 및/또는 감이온 전계효과 트랜지스터(ion-sensitive field effect transistor) 기술을 위한 2-딤 웰(dim well)을 포함한다. 미세유체 채널들은(예컨대, 다이(die) 내의) 3D 나노포어 디바이스들(200, 300)로 통합될 수 있으며, 따라서 디바이스들(200, 300)의 비용을 감소시킨다.

[0053] [0059] 도 6a 내지 도 6e는 일 실시예에 따른 나노포어 디바이스를 제조하는 방법(600)을 예시한다. 도 6a에서 도시되는 바와 같이, 제1 유전체 기층 층(예컨대,  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$  등)(602A),  $\text{Si}_3\text{N}_4$ 의 제1 기층 층(604A) 및 금속(예컨대, Au-Cr, Al, 그래핀 등)의 제1 층 또는 폴리실리콘 층(607A)은 상하로 증착된다. 그 후, 유전체 기층,

기초, 및 금속의 제2 및 제3 층들(602B, 604B, 607B, 602C, 604C, 607C)은 상하로 그리고 이전의 층들 위에 증착된다. 예를 들어, 이러한 증착 단계들은, 기초 유전체 층들(602)의 "CVD(chemical vapor deposition)" 및/또는 "ALD(Atomic Layer Deposition)"을 사용하여 수행될 수 있어, 유전체 층들, 및/또는 멤브레인 유전체 층들(아래의 도 6c 참조)을 트리밍한다(trimming). 제1 유전체 기초 층(602A)은 기판 커플링된 낮은 레벨 소음(substrate coupled low level noise)을 감소시키기 위해 약 100nm 내지 1000nm의 두께를 가질 수 있다.

[0054] [0060] 도 6b에서 도시되는 바와 같이, 그 후, 나노포어(610)는 (예컨대, 높은 종횡비(aspect ratio)(5 초과)의 나노포어 홀 트렌치 식각 공정(nanopore hole trench etching process)을 사용하여) 증착된 층들로 식각된다(etched). 높은 종횡비 식각은, 나노포어(610)의 채널 필라의 트렌치 프로파일에 날카로운 형상을 제공할 수 있다. 나노포어 필라의 총 깊이는 적용들에 따라 수백 나노미터(nanometer) 내지 수 마이크론(micron)일 수 있다.

[0055] [0061] 다음으로, 도 6c에서 도시되는 바와 같이, 유전체 코팅(612)(예컨대,  $\text{Si}_3\text{N}_4$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{SiO}_2$  등)의 박층들(thin layers)은 (예컨대, "ALD(atomic layer deposition)"에 의해) 나노포어(610)의 폭을 결정하기 위해 나노포어(610)의 내부 표면 상에 증착된다. 유전체 코팅(612)은 (예컨대, 약 10nm 내지 약 50nm으로) 두께가 변경될 수 있다. (예컨대, ALD를 사용하여) 나노포어(610)의 내부 표면 상에 증착되는 유전체 코팅(612)의 양을 제어함으로써, 타겟 나노포어(610)의 약 2nm 내지 약 100nm의 폭들이 달성될 수 있다. 이에 따라, 나노포어/트렌치(610)의 폭/직경은 다양한 적용들에 맞추기 위해 유전체 코팅(612)의 ALD를 사용하여 제어될 수 있다. 최상부 유전체 코팅(612)은 약 5nm 내지 약 20nm의 두께를 가질 수 있다. 적용들 및 요구되는 나노포어(610)의 개구 치수들에 따라, 다양한 리소그래피 기술들(예컨대, 대량 생산에서 사용되는 기술들)은 나노포어(610)의 개구를 식각하는 데 사용될 수 있다. 또한, 나노포어(610) 채널의 깊이는, 본원에 설명되는 제조 방법들을 용이하게 사용하는 경우, 쉽게 요구되는 민감성 및 정확도를 위해 선택될 수 있다.

[0056] [0062] 도 6d에서 도시되는 바와 같이, 수직 나노포어 채널 및 적층된 층들은, 최상부 및 어드레싱(addressing) 회로들 상에 전극들(614)(예컨대, 행 및 열 억제 전극들)에 대한 접근을 제공하도록 수평(X 축선) 및 수직(Y 축선) 나노포어 채널들을 형성하기 위해 에칭된다(예컨대, 증착된 층들의 오른쪽 측 상의 "단계들"을 참조). 기초  $\text{Si}_3\text{N}_4$  (또는  $\text{Al}_2\text{O}_3$ ) 층들(604A)은 모든 수평 전극들에 대한 전기 액세스(electrical access)를 제공하기 위해 선택적으로 습식 식각된다(wet etched). 최종적으로, 나머지 공간은 금속으로 채워진다.

[0057] [0063] 도 6e는 생체고분자(예컨대, DNA)를 염기 서열 분석하기 위한 사용에서의 제조된 3D 나노포어 디바이스를 묘사한다.

[0058] [0064] 도 7a 내지 도 7e는 다른 실시예에 따른 나노포어 디바이스를 제조하는 방법(700)을 예시한다. 도 6a 내지 도 6e 및 도 7a 내지 도 7e에서 묘사되는 방법들(600, 700)은 유사하고 그리고 동일한 기술들 중 많은 것들을 공유한다.

[0059] [0065] 도 7a에서 도시되는 바와 같이, 유전체 필름들(예컨대,  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$ , ZnO,  $\text{HfO}_2$ , 등; 10nm 내지 100nm)의 다중 층들, 저응력 질화 필름(low stress nitride film)( $\text{Si}_3\text{N}_4$ ) 및 금속(Ta, Al, Cr, Ti, Au-Cr, 그래핀 등; 수 nm 내지 수백 nm) 및 내부-금속 층( $\text{SiO}_2$ )(전체적으로 702)은 (낮은 압력/플라즈마 향상된) CVD 또는 ALD(Atomic Layer Deposition)를 사용하여 Si 또는 석영 기판 상에 증착되어 적층된다. 다음으로, 저부 챔버 개구(704)( $5 \times 5$  내지  $100 \times 100 \mu\text{m}^2$ )는 딥(deep) RIE(Reactive Ion Etching) 또는 KOH 습식 식각에 의해 식각된다.

[0060] [0066] 도 7b에서 도시되는 바와 같이, 최상부 금속 층(706)은 증착된다. 다음으로, 최상부 챔버 개구(708)는 RIE에 의한 높은 종횡비의 나노포어 홀 딥 트렌치 식각 공정을 사용하여 규정된다. 이러한 공정은 수nm 내지 약 100nm의 나노포어 트렌치 식각 개구 직경들을 생성할 수 있다. 콜로이드 마스크(colloidal mask)(예컨대, 나노-도트들, 퀀텀-도트들, 또는 그래핀 산화물 포어들)를 사용하는 리소그래피 기술들은 또한, 종래의 공구들 대신에 사용될 수 있다.

[0061] [0067] 도 7c 및 도 7d에서 도시되는 바와 같이, 유전체들(610)의 박층들(예컨대, 필름들)은 또한, (ALD를 사용하여) 약 2nm 내지 약 1000nm의 타겟 나노포어 폭들을 달성하도록 나노포어 폭을 트리밍하기 위해 ALD에 의해 증착될 수 있다. 나노포어 채널 폭들은 또한, 가변 트렌치 폭을 가지도록 제어될 수 있어, 타겟 직경을 위한 가변 나노포어 폭을 허용한다.

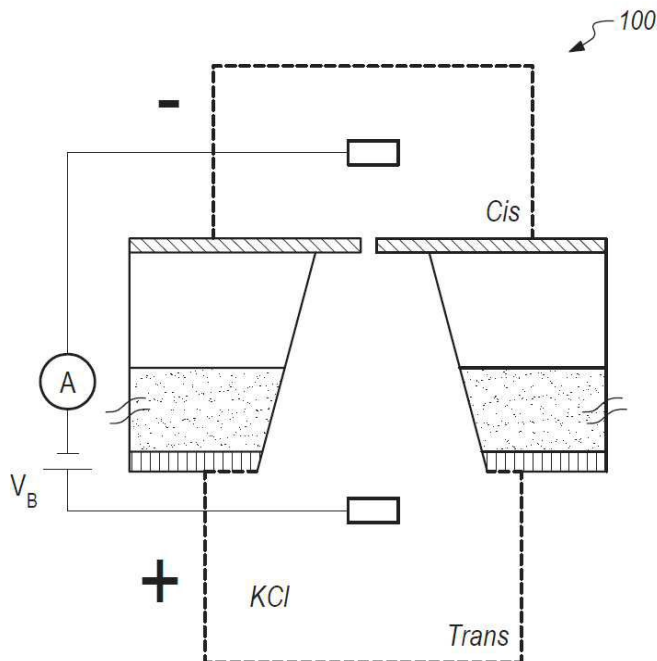


- [0062] [0068] 도 7e는 생체고분자(예컨대, DNA)를 염기 서열 분석하기 위한 사용에서의 제조된 3D 나노포어 디바이스를 묘사한다.
- [0063] [0069] 3D 나노포어 디바이스는 고밀도의 저비용 나노포어 채널들을 사용하여 복합(multiplex) 염기 서열 분석 적용들을 용이하게 할 수 있다. 3D 나노포어 디바이스의 다수의 전극들은 제어된 바이어싱(biasing)에 의해 전하 속도를 제어하기 위해 "TOF(Time of Flight)" 기술을 제공하도록 요구된 염기 서열 분석 적용들에 따라 선택될 수 있다. 전하 속도를 제어하는 것은 DNA 분자들의 판독을 개선할 수 있고 그리고 센서의 민감성을 개선할 수 있다. 3D 나노포어 디바이스는 또한, 전기-화학적, 열적, 또는 전기-광학 반응이 전기화학 및/또는 염기 서열 분석 반응들을 향상하기 위해 멀티-전극 시스템을 갖는 확장되고 분리된 나노포어 웰에서 발생하는 것을 용이하게 할 수 있다. 3D 나노포어 디바이스는, 멀티-어레이 구성을 사용하여 다중 염기 서열 분석을 추가적으로 용이하게 할 수 있으며, 여기서 개별적인 나노포어 채널 필라들은 처리가능하다(addressable). 게다가, 3D 나노포어 디바이스는 나노포어 채널 필라 및/또는 프로브-매개된(probe-mediated) 타겟팅된 염기 서열 분석 내에서 표준 qPCR을 추가적으로 용이하게 할 수 있다. 또한, 3D 나노포어 채널 개구 폭은 상이한 적용들을 위해 조정가능하다. 일 실시예에서, 나노포어 채널 개구 폭은 약 1nm 내지 약 100nm으로 조정가능하다. 나노포어 채널 개구 폭은 제조 동안 전자적으로 조정가능할 수 있다. 본원에 설명되는 3D 나노포어 디바이스들은, 뉴클레오티드들(nucleotides), 핵산들, 및 단백질들과 같은 생체분자들을 포함하는 (하지만, 이에 제한되지 않음) 다양한 충전된 입자들의 검출에서 사용될 수 있다(직접 검출). 3D 나노포어 디바이스들은 또한 DNA 염기 서열 분석 및 단백질-DNA 상호작용들의 검출에서 사용될 수 있다.
- [0064] [0070] 리소그래피 공정들(예컨대, "TSV(Through-Silicon Via)" 제작)을 사용하여 금속 또는 폴리실리콘 평면 기반 나노포어 어레이들을 제조하는 것은 제조 비용 및 라인 저항(라인 저항은 스케일링에 대한 IR 강하 및 RC 지연 제한들을 상당히 감소시킴)을 최소화한다.
- [0065] [0071] 아래의 청구항들의 모든 수단들 또는 단계 첨가 기능 요소들의 대응하는 구조들, 재료들, 작용들 및 등가물들은 특별히 청구된 바와 같이 다른 청구된 요소들과 조합하여 기능을 수행하기 위한 임의의 구조들, 재료들, 작용들 및 등가물들을 포함하는 것으로 의도된다. 개시가 위의 실시예들과 연계하여 설명되었지만, 이전의 설명 및 청구항들은 개시의 범주를 제한하지 않아야 하는 것이 이해되어야 한다. 개시에 대한 범주 내의 다른 이점들 및 수정들은 개시가 속하는 기술 분야에서의 당업자에게 명백할 것이다.
- [0066] [0072] 개시의 다양한 예시적인 실시예들이 본원에서 설명된다. 이러한 예들에 대한 참조는 비제한적인 의미로 이루어진다. 이들은 개시의 보다 폭넓게 적용가능한 실시예들을 예시하도록 제공된다. 설명된 실시예들에 대한 다양한 변경들이 이루어질 수 있으며, 그리고 등가물들은 개시의 진정한 사상 및 범주로부터 벗어나지 않고 치환될 수 있다. 또한, 많은 수정들은 특정한 상황들, 재료, 물질의 조성, 공정, 공정 작용(들) 또는 단계(들)을 본 개시의 목적(들), 사상 또는 범주에 적응시키도록 이루어질 수 있다. 추가적으로, 당업자에 의해 이해되는 바와 같이, 본원에서 설명된 그리고 예시된 각각의 개별적인 변형들은 본 개시들의 범주 또는 사상으로 부터 벗어나지 않고 다른 수개의 실시예들 중 임의의 실시예의 특징들로부터 쉽게 분리될 수 있거나 이 특징들과 조합될 수 있는 별개의 컴포넌트들 및 특징들을 갖는다. 모든 이러한 수정들은 본 개시와 연관된 청구항들의 범주 내에 있는 것으로 의도된다.
- [0067] [0073] 대상 진단 또는 중재 절차들을 실행하기 위해 설명되는 디바이스들 중 임의의 디바이스는 이러한 중재들을 실행할 때의 사용을 위해 패키징된 조합으로 제공될 수 있다. 이러한 공급 "키트들"은, 사용을 위한 설명서들을 더 포함할 수 있고 그리고 이러한 목적들을 위해 일반적으로 채택되는 바와 같은 살균 트레이들 또는 용기들에서 패키징될 수 있다.
- [0068] [0074] 개시는 대상 디바이스들을 사용하여 수행될 수 있는 방법들을 포함한다. 본 방법은 이러한 적합한 디바이스를 제공하는 작용을 포함할 수 있다. 이러한 제공은 최종 사용자에게 의해 수행될 수 있다. 다시 말해, "제공" 작용은 단지, 대상 방법에서 필수 디바이스를 제공하기 위해 최종 사용자 획득, 접근, 접근법, 포지션, 셋업, 활성화, 파워-업 또는 그렇지 않으면 작용을 요구한다. 본원에서 인용되는 방법들은, 상황들의 인용된 순서뿐만 아니라 논리적으로 가능한 인용된 상황들의 임의의 순서로 실행될 수 있다.
- [0069] [0075] 재료 선택 및 제조에 관한 상세들과 함께, 개시의 예시적인 실시예들은 위에서 제시되었다. 본 개시의 다른 상세들은 당업자에 의해 일반적으로 공지되거나 이해될 뿐만 아니라 위에서 참조된 특허들 및 공보들과 연관되어 이해될 수 있다. 동일한 것은 일반적으로 또는 논리적으로 채택되는 바와 같이 부가의 작용들에 대한 개시의 방법 기반 실시예들에 대해 유효할 수 있다.

- [0070] [0076] 또한, 비록 개시가 다양한 특징들을 선택적으로 포함하는 수개의 예들을 참조하여 설명되었지만, 개시는 개시의 각각의 변형에 대해 고려되는 바와 같이 설명되거나 표시되는 것에 제한되지 않는다. 설명된 실시예들에 대한 다양한 변형들이 이루어질 수 있으며, 그리고 (본원에 인용되거나 일부 간결성을 위해 포함되지 않은 것과 관계없이) 등가물들은 개시의 진정한 사상 및 범주로부터 벗어나지 않고 치환될 수 있다. 또한, 여기서 값들의 범위가 제공된다면, 이러한 범위의 상한 및 하한 사이의 각각의 사이 값(intervening value) 및 언급된 이러한 범위에서 임의의 다른 언급된 값 또는 사이 값은 개시 내에 포함되는 것이 이해된다.
- [0071] [0077] 또한, 설명되는 발명의 변형들의 임의의 선택적인 특징이 독립적으로, 또는 본원에 설명되는 특징들 중 임의의 하나 이상과 조합하여 제시될 수 있고 그리고 청구될 수 있는 것이 고려된다. 단수형 용어에 대한 참조는 복수의 동일한 물질들이 존재하는 가능성을 포함한다. 보다 구체적으로, 본원에 그리고 이에 연관된 청구항들에서 사용되는 바와 같이, 단수 형태 표현들, "상기" 및 "그"는 문맥에서 명확하게 달리 표현되지 않는 한 복수의 언급들을 포함한다. 다시 말해, 관사들(articles)의 사용은 본 개시와 연관된 청구항들뿐만 아니라 위의 설명에서 대상 항목 중 "적어도 하나"를 허용한다. 이러한 청구항들이 임의의 선택적인 요소를 제외하도록 작성될 수 있는 것이 추가적으로 유의된다. 이렇게 함으로써, 이러한 언급은 청구항 요소들의 인용, 또는 "부정적인" 제한의 사용과 연관되어 "오직", "단지" 등과 같은 이러한 배타적인 전문용어의 사용을 위한 선행어 기초로서의 역할을 하는 것으로 의도된다.
- [0072] [0078] 이러한 배타적인 전문용어의 사용 없이, 본 개시와 연관된 청구항들에서의 용어 "포함한다"는 — 주어진 수의 요소들이 이러한 청구항들에서 열거되거나 특징의 추가가 이러한 청구항들에서 제시되는 요소의 특성을 변형하는 것으로 간주될 수 있는 여부와 관계 없이 — 임의의 부가의 요소의 포함을 허용한다. 본원에서 구체적으로 규정되는 바를 제외하고, 본원에서 사용되는 모든 기술적 그리고 과학적 용어들은, 청구항 유효성을 유지하면서, 가능한 폭넓게 일반적으로 이해되는 의미로서 제공될 수 있다.
- [0073] [0079] 본 개시의 폭은 제공되는 예들 및/또는 대상 규격에 제한되지 않을 수 있으며, 오히려 단지 본 개시와 연관된 청구항 언어의 범주에 의해서만 제한될 수 있다.

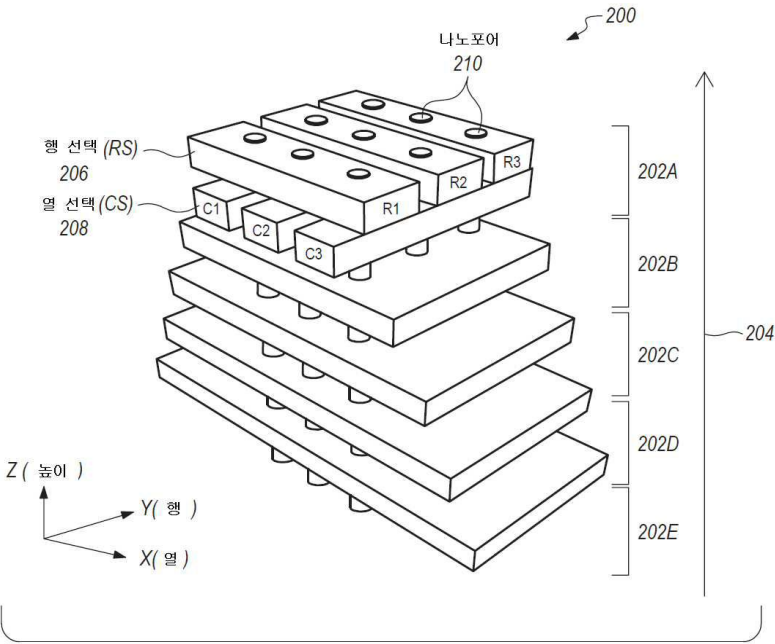
## 도면

### 도면1

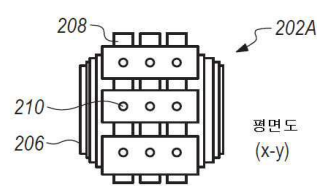


(종래 기술)

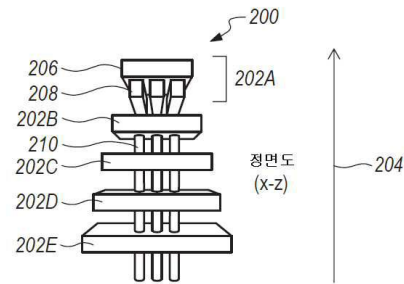
도면2a



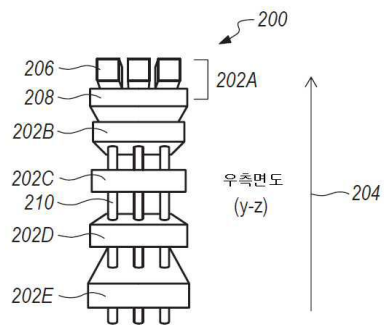
도면2b



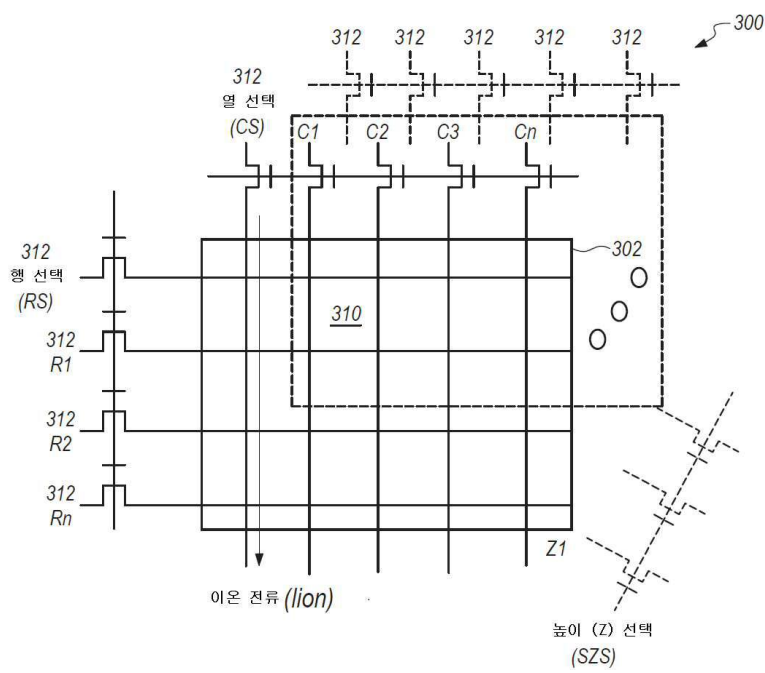
도면2c



도면 2d



도면3



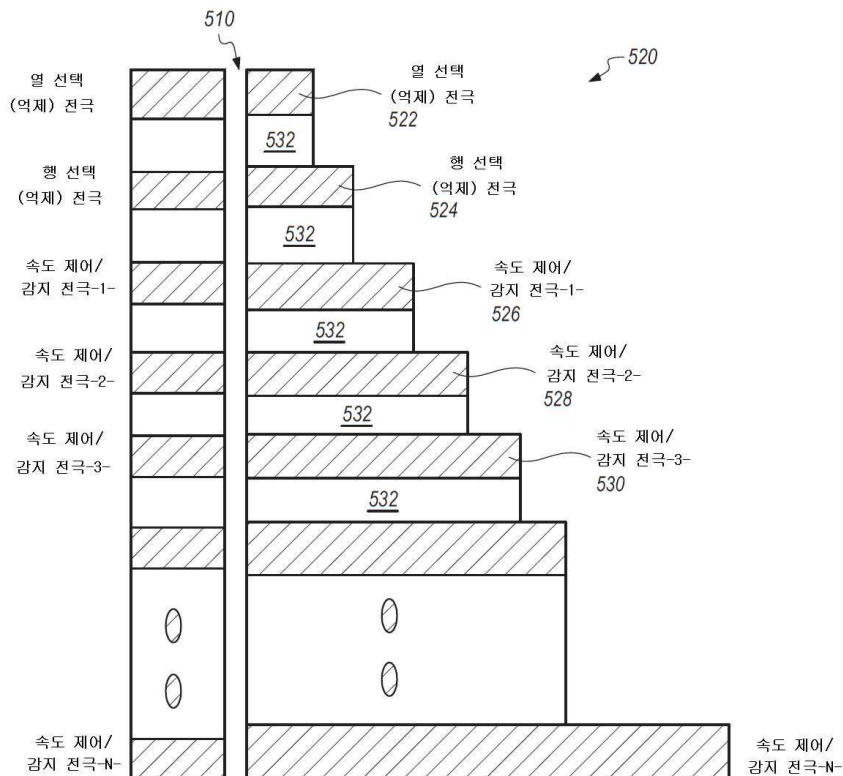
도면4

$VPP=0V-3.3V$ ,  $VCC=0V-2.8V$ ,  $VSE=0.1V-1.5V$ ,  
달리 명시하지 않은 한, 다른 전극들 = GND

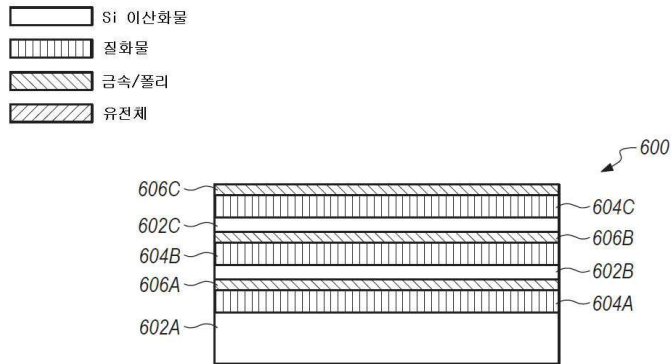
400

| SZS=VCC ( 선택된 평면 ), OV ( 선택되지 않은 평면 ) |            |     |     |
|---------------------------------------|------------|-----|-----|
|                                       |            | VR  | VC  |
| 억제 작동                                 | $V(SR/SC)$ | 0   | 0   |
|                                       | $V(SR/UC)$ | 0   | VPP |
|                                       | $V(UR/SC)$ | VPP | 0   |
|                                       | $V(UR/UC)$ | VPP | VCC |
| 정상 작동                                 | $V(SR/SC)$ | VPP | VPP |
|                                       | $V(SR/UC)$ | VPP | 0   |
|                                       | $V(UR/SC)$ | 0   | VPP |
|                                       | $V(UR/UC)$ | 0   | 0   |
| 감지 작동                                 | $V(SR/SC)$ | VCC | VSE |
|                                       | $V(SR/UC)$ | VCC | 0   |
|                                       | $V(UR/SC)$ | 0   | 0   |
|                                       | $V(UR/UC)$ | 0   | 0   |

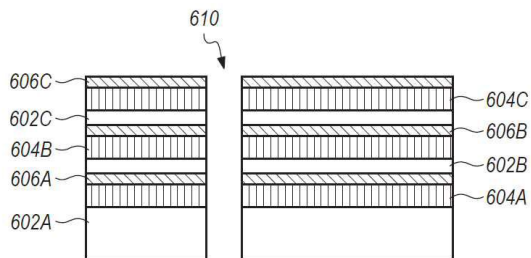
도면5



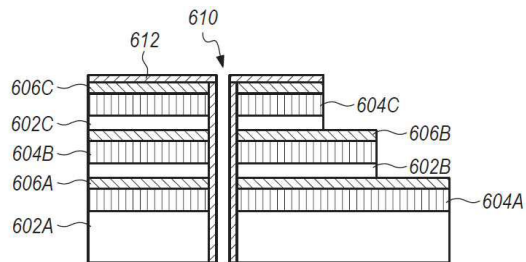
도면6a



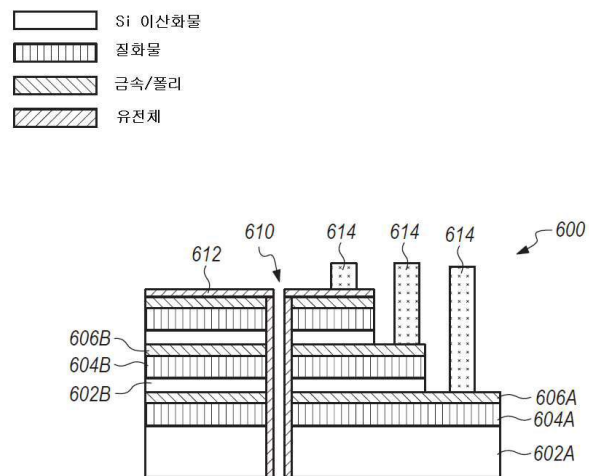
도면6b



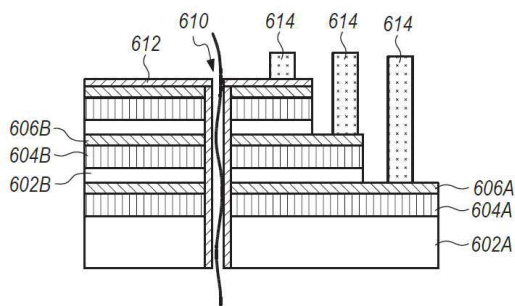
도면6c



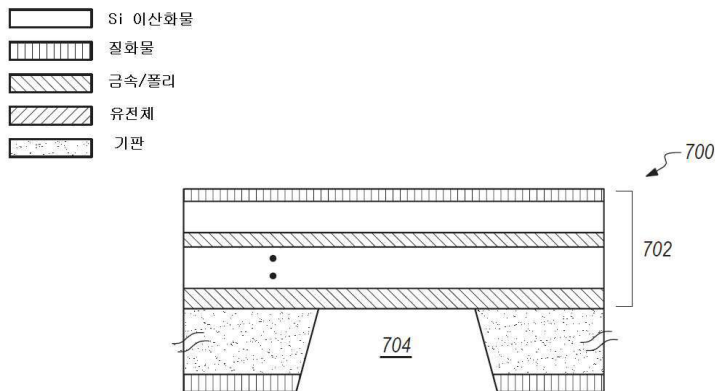
도면6d



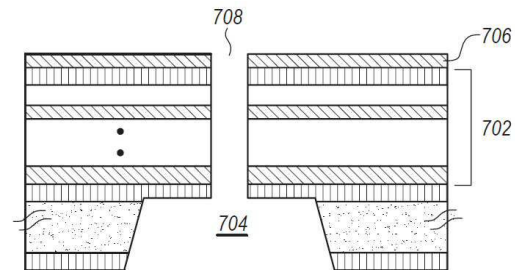
도면6e



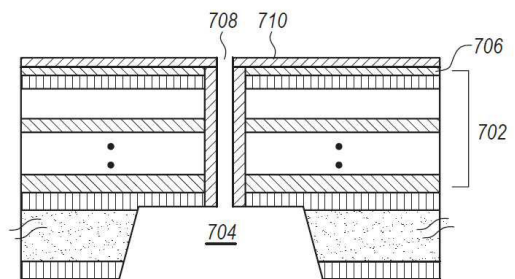
도면7a



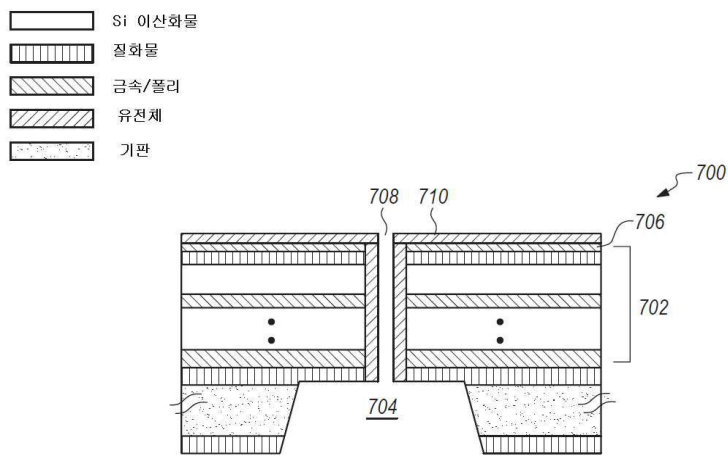
도면7b



도면7c



도면7d



도면7e

