

(12) 发明专利

(10) 授权公告号 CN 101976216 B

(45) 授权公告日 2012. 09. 05

(21) 申请号 201010519749. 9

(22) 申请日 2010. 10. 26

(73) 专利权人 哈尔滨工业大学

地址 150001 黑龙江省哈尔滨市南岗区西大直街 92 号

(72) 发明人 俞洋 杨智明 付宁 王帅  
乔立岩 彭喜元

(74) 专利代理机构 哈尔滨市松花江专利商标事  
务所 23109

代理人 张果瑞

(51) Int. Cl.

G06F 11/22 (2006. 01)

(56) 对比文件

杨鹏, 邱静, 刘冠军. 嵌入式芯核测试标准  
IEEE Std 1500 综述. 《测控技术》. 2006, 第 25

卷 (第 8 期), 40-43.

乔立岩, 向刚, 俞洋, 王帅. 基于 IEEE1500  
标准的 IP 核测试壳设计. 《电子测量技术》. 2010,  
第 33 卷 (第 7 期), 88-91, 95.

审查员 孟祥岳

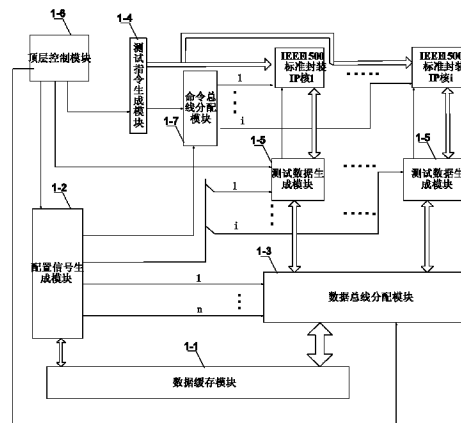
权利要求书 4 页 说明书 6 页 附图 5 页

(54) 发明名称

基于 IEEE 1500 标准的 IP 核测试结构及测试  
方法

(57) 摘要

基于 IEEE 1500 标准的 IP 核测试结构及测试  
方法, 涉及 IP 核测试结构和方法, 解决了现有的  
IP 核测试技术耗时长、测试效率低的问题, 过程  
如下: 一、开启配置信号生成模块, 生成测试所需  
的配置信号; 二、开启命令总线分配模块, 在配置  
信号的作用下将命令总线与被测 IP 核的命令信  
号线相连。三、开启测试指令生成模块, 在上层控  
制指令的作用下, 给被测 IP 核提供控制信号和编  
码后的测试指令。四、开启数据总线分配模块, 配  
置测试数据传输的通路。五、开启相应的测试数据  
生成模块, 给被测 IP 核提供测试激励。六、使被  
测 IP 核正常工作, 捕获 IP 核的测试响应。本发明通  
过在 FPGA 内增加测试结构实现了 IP 核的测试, 设  
计简单而灵活。



1. 一种基于 IEEE 1500 标准的 IP 核测试结构,其特征在于所述基于 IEEE 1500 标准的 IP 核测试结构包括 FPGA 处理器 (1) 和 RS232 收发器 (2),FPGA 处理器 (1) 的信号通讯端与 RS232 收发器 (2) 的信号通讯端相连,RS232 收发器 (2) 的上位机通讯端用于与上位机相连,所述 FPGA 处理器 (1) 内部固化有数据缓存模块 (1-1)、配置信号生成模块 (1-2)、数据总线分配模块 (1-3)、测试指令生成模块 (1-4)、i 个测试数据生成模块 (1-5)、顶层控制模块 (1-6) 和命令总线分配模块 (1-7),顶层控制模块 (1-6) 的配置信号生成使能信号输出端与配置信号生成模块 (1-2) 的配置信号生成使能信号输入端相连,顶层控制模块 (1-6) 的数据总线分配使能信号输出端与数据总线分配模块 (1-3) 的数据总线分配使能信号输入端相连,顶层控制模块 (1-6) 的测试指令生成使能信号输出端与测试指令生成模块 (1-4) 的测试指令生成使能信号输入端相连,顶层控制模块 (1-6) 的测试数据生成使能信号输出端同时与 i 个测试数据生成模块 (1-5) 的测试数据生成使能信号输入端相连,测试指令生成模块 (1-4) 的第 1、2、...、i 个 IP 核命令控制信号输出端分别与第 1、2、...、i 个被测 IEEE 1500 标准封装 IP 核的命令控制信号输入端相连,测试指令生成模块 (1-4) 的命令总线输出端与命令总线分配模块 (1-7) 的信号输入端通过命令总线相连,命令总线分配模块 (1-7) 的第 1、2、...、i 个命令信号输出端分别与第 1、2、...、i 个被测 IEEE 1500 标准封装 IP 核的命令信号输入端相连,每个测试数据生成模块 (1-5) 的 IP 核测试数据传输控制信号输出端与对应的被测 IEEE 1500 标准封装 IP 核的测试数据传输控制信号输入端相连,每个测试数据生成模块 (1-5) 的 IP 核测试数据通讯端与对应的被测 IEEE 1500 标准封装 IP 核的第一 IP 核测试数据通讯端通过数据总线相连,数据缓存模块 (1-1) 的配置信号通讯端与配置信号生成模块 (1-2) 的配置信号通讯端相连,数据缓存模块 (1-1) 的测试数据总线通讯端与数据总线分配模块 (1-3) 的测试数据总线通讯端通过数据总线相连,配置信号生成模块 (1-2) 的命令总线分配控制信号输出端与命令总线分配模块 (1-7) 的总线分配控制信号输入端相连,配置信号生成模块 (1-2) 的测试数据生成控制信号输出端同时与 i 个测试数据生成模块 (1-5) 的测试数据生成控制信号输入端相连,配置信号生成模块 (1-2) 的 n 个数据总线分配控制信号输出端与数据总线分配模块 (1-3) 的 n 个数据总线分配控制信号输入端相连,i 个测试数据生成模块 (1-5) 的第二 IP 核测试数据通讯端与数据总线分配模块 (1-3) 的 IP 核测试数据通讯端通过数据总线相连。

2. 一种基于 IEEE 1500 标准的 IP 核测试方法,其特征在于所述基于 IEEE 1500 标准的 IP 核测试方法是基于 IEEE 1500 标准的 IP 核测试结构实现的,每个测试周期的具体过程如下:

步骤 A、RS232 收发器 (2) 接收的数据通过数据缓存模块 (1-1) 将串行数据转换成并行数据存入数据缓存模块 (1-1) 内部的 FIFO 缓存器中,所述接收的数据包括上层指令信号、配置信号和测试激励信号;

步骤 B、顶层控制模块 (1-6) 开启配置信号生成模块 (1-2),并控制配置信号生成模块 (1-2) 从数据缓存模块 (1-1) 中提取配置信号,配置信号生成模块 (1-2) 将配置信号锁存在其内部的锁存器中,并将该配置信号分别发送给数据总线分配模块 (1-3)、测试数据生成模块 (1-5) 和命令总线分配模块 (1-7);

步骤 C、命令总线分配模块 (1-7) 在配置信号的作用下将命令总线与被测 IEEE 1500 标准封装 IP 核的命令控制端口相连接;

步骤 D、顶层控制模块 (1-6) 开启测试指令生成模块 (1-4), 测试指令生成模块 (1-4) 在上层指令信号的控制下产生被测 IEEE 1500 标准封装 IP 核的命令控制信号和编码后的测试指令, 为被测 IEEE 1500 标准封装 IP 核配置不同测试模式, 使得被测 IEEE 1500 标准封装 IP 核处于指定的测试模式下;

步骤 E、顶层控制模块 (1-6) 开启数据总线分配模块 (1-3), 数据总线分配模块 (1-3) 在配置数据的作用下将数据总线与被测 IEEE 1500 标准封装 IP 核对应的测试数据生成模块 (1-5) 的数据输入端口相连接;

步骤 F、顶层控制模块 (1-6) 开启  $i$  个测试数据生成模块 (1-5), 每个测试数据生成模块 (1-5) 向对应的被测 IEEE 1500 标准封装 IP 核传输测试数据传输控制信号, 并通过数据总线为对应的被测 IEEE 1500 标准封装 IP 核提供测试激励信号;

步骤 G、每个测试数据生成模块 (1-5) 接收对应的被测 IEEE 1500 标准封装 IP 核产生的测试响应;

步骤 H、数据总线分配模块 (1-3) 接收  $i$  个测试数据生成模块 (1-5) 发送的测试响应, 并将测试响应存储在数据缓存模块 (1-1) 内部的 FIFO 缓存器中;

步骤 I、数据缓存模块 (1-1) 将并行数据转换成串行数据, 通过 RS232 收发器 (2) 发送至上位机, 完成一个周期的测试。

3. 根据权利要求 2 所述的基于 IEEE 1500 标准的 IP 核测试方法, 其特征在于数据缓存模块 (1-1) 是在数据缓存模块接收数据状态机的控制下工作, 所述数据缓存模块接收数据状态机包括三个状态: 等待状态、数据缓存状态、等待读取缓存数据状态; 每个状态的工作及各状态之间的跳转为:

等待状态, 等待 RS232 收发器 (2) 发送数据, 若 RS232 收发器 (2) 检测到数据到达, 则状态机将转换到数据缓存状态;

数据缓存状态, 接收 RS232 收发器 (2) 发送的数据, 并将接收的数据转换成并行数据存入 FIFO 缓存器, 若数据存储完毕, 状态机将转换到等待读取缓存数据状态;

等待读取缓存数据状态, 等待配置信号生成模块 (1-2) 提取数据, 若数据提取完毕, 状态机将转换到等待状态。

4. 根据权利要求 2 所述的基于 IEEE 1500 标准的 IP 核测试方法, 其特征在于配置信号生成模块 (1-2) 是在配置信号生成模块状态机的控制下工作的, 所述配置信号生成模块状态机包括三个状态: 等待配置状态、锁存配置信号状态和发送配置信号状态; 每个状态的工作及各状态之间的跳转为:

等待配置状态, 检测顶层控制模块 (1-6) 发出的配置信号生成使能信号, 当检测到所述配置信号生成使能信号时, 状态机转换到锁存配置信号状态;

锁存配置信号状态, 状态机从 FIFO 缓存器中提取配置信号, 并将所述配置信号锁存于锁存器中, 锁存完毕后, 状态机转换到发送配置信号状态;

发送配置信号状态, 状态机将配置信号发送给数据总线分配模块 (1-3)、测试数据生成模块 (1-5) 和命令总线分配模块 (1-7), 若配置信号发送完毕, 状态机转换到等待配置状态。

5. 根据权利要求 2 所述的基于 IEEE 1500 标准的 IP 核测试方法, 其特征在于命令总线分配模块 (1-7) 和数据总线分配模块 (1-3) 均在是总线分配模块状态机的控制下工作的,

所述总线分配模块状态机包括三个状态：等待启动状态、分配状态和等待测试完成状态；每个状态的工作及各状态之间的跳转为：

等待启动状态，检测顶层控制模块（1-6）发出的使能信号，当检测到所述使能信号，则状态机转换到分配状态；

分配状态，状态机根据配置信号的内容分配命令总线 and 数据总线，若总线分配完成，状态机转换到等待测试完成状态；

等待测试完成状态，若测试完成，状态机转换到等待启动状态。

6. 根据权利要求 2 所述的基于 IEEE 1500 标准的 IP 核测试方法，其特征在于测试指令生成模块（1-4）是在测试指令生成模块状态机的控制下工作的，所述测试指令生成模块状态机包括四个状态：等待启动状态、提取控制信号状态、生成指令信号状态和等待测试完成状态；每个状态的工作及各状态之间的跳转为：

等待启动状态，检测顶层控制模块（1-6）发出的测试指令生成使能信号，当检测到测试指令生成使能信号时，则状态机转换到提取控制信号状态；

提取控制信号状态，状态机提取上层指令信号，提取成功时，则状态机转换到生成指令信号状态；

生成指令信号状态，状态机根据上层指令信号向被测 IEEE 1500 标准封装 IP 核发送命令控制信号和编码后的测试指令为被测 IEEE 1500 标准封装 IP 核配置测试模式，命令控制信号发送完成，则状态机转换到等待测试完成状态；

等待测试完成状态，若测试完成，状态机转换到等待启动状态。

7. 根据权利要求 2 所述的基于 IEEE 1500 标准的 IP 核测试方法，其特征在于测试数据生成模块（1-5）是在测试数据生成模块状态机的控制下工作的，所述测试数据生成模块状态机包括五个状态：等待启动状态、提取测试激励信号状态、激励状态、等待返回测试响应信号状态和发送测试响应信号状态；每个状态的工作及各状态之间的跳转为：

等待启动状态，检测顶层控制模块（1-6）发出的测试数据生成使能信号，当检测到测试数据生成使能信号时，则状态机转换到提取测试激励信号状态；

提取测试激励信号状态，状态机根据测试模式指令信号的内容提取测试激励信号，提取成功时，则状态机转换到激励状态；

激励状态，向对应的被测 IEEE 1500 标准封装 IP 核传输测试数据传输控制信号，并通过数据总线为对应的被测 IEEE 1500 标准封装 IP 核提供测试激励信号，发送测试数据传输控制信号和测试激励信号完成，则状态机转换到等待返回测试响应信号状态；

等待返回测试响应信号状态，状态机接收被测 IEEE 1500 标准封装 IP 核产生的测试响应，接收测试响应完毕，则状态机转换到发送测试响应信号状态；

发送测试响应信号状态，通过数据总线将测试响应存储在数据缓存模块（1-1）内部的 FIFO 缓存器中，存储完成，则状态机转换到等待启动状态。

8. 根据权利要求 2 所述的基于 IEEE 1500 标准的 IP 核测试方法，其特征在于数据缓存模块（1-1）是在数据缓存模块发送数据状态机的控制下工作的，所述数据缓存模块发送数据状态机包括三个状态：等待测试完成状态、存储测试响应信号状态、发送测试响应信号状态；每个状态的工作及各状态之间的跳转为：

等待测试完成状态，检测数据总线分配模块（1-3）发送的测试响应信号，若检测到所

述测试响应信号,则状态机转换到存储测试响应信号状态;

存储测试响应信号状态,将测试响应信号存入 FIFO 缓存器中,若测试响应信号存储完毕,状态机将转换到发送测试响应信号状态;

发送测试响应信号状态,将 FIFO 缓存器中的并行数据转换成串行数据发送至 RS232 收发器 (2),测试响应信号发送完毕,状态机将转换到等待测试完成状态。

## 基于 IEEE 1500 标准的 IP 核测试结构及测试方法

### 技术领域

[0001] 本发明涉及集成电路测试领域,具体涉及 IP 核测试结构和方法。

### 背景技术

[0002] 可编程片上系统 SOPC 是具有一定通用性的器件,用户可以对 SOPC 器件进行编程来实现所需的逻辑功能,具有很高的灵活性。随着集成电路技术的快速发展,SOPC 系列器件的种类日益丰富,性能不断提高,但随着 SOPC 规模和集成度的不断扩大,对其可靠性要求也不断提高,其测试工作变得越来越复杂。SOPC 器件是基于 IP 核的设计,在 IP 核集成到 SOPC 内部之后,原本可测的 IP 核端口访问和控制变得复杂,测试时 IP 核的隔离、测试存取机制、测试控制和观察机制等问题便突现出来。

[0003] 为了实现对 IP 核的测试,首先要解决 IP 核的测试访问、测试控制及观察机制等大量的测试问题,需要一种规范化的设计方法。IEEE 1500 标准的制定是实现 IP 核测试的基础,IEEE 1500 标准提供了一种封装结构,在 IP 核上加上测试封装后,就可以与周围环境隔离作为单独实体被测试,也不会影响 IP 核的正常功能。但通过分析 IEEE 1500 标准,可以看出在 IEEE 1500 标准中不包含芯片级测试指令、测试数据和相应的控制信号的生成。

[0004] 在测试数据传递给被测 IP 核时,目前大多技术采用串行操作模式,使得测试数据的传递非常耗时。

### 发明内容

[0005] 本发明为了解决现有的 IP 核测试技术耗时长、测试效率低的问题,提供一种应用于 SOPC 系统的基于 IEEE 1500 标准的 IP 核测试结构及测试方法。

[0006] 基于 IEEE 1500 标准的 IP 核测试结构,它包括 FPGA 处理器和 RS232 收发器,FPGA 处理器的信号通讯端与 RS232 收发器的信号通讯端相连,RS232 收发器的上位机通讯端用于与上位机相连,所述 FPGA 处理器内部固化有数据缓存模块、配置信号生成模块、数据总线分配模块、测试指令生成模块、 $i$  个测试数据生成模块、顶层控制模块和命令总线分配模块,顶层控制模块的配置信号生成使能信号输出端与配置信号生成模块的配置信号生成使能信号输入端相连,顶层控制模块的数据总线分配使能信号输出端与数据总线分配模块的数据总线分配使能信号输入端相连,顶层控制模块的测试指令生成使能信号输出端与测试指令生成模块的测试指令生成使能信号输入端相连,顶层控制模块的测试数据生成使能信号输出端同时与  $i$  个测试数据生成模块的测试数据生成使能信号输入端相连,测试指令生成模块的第 1、2、 $\dots$ 、 $i$  个 IP 核命令控制信号输出端分别与第 1、2、 $\dots$ 、 $i$  个被测 IEEE 1500 标准封装 IP 核的命令控制信号输入端相连,测试指令生成模块的命令总线输出端与命令总线分配模块的信号输入端通过命令总线相连,命令总线分配模块的第 1、2、 $\dots$ 、 $i$  个命令信号输出端分别与第 1、2、 $\dots$ 、 $i$  个被测 IEEE 1500 标准封装 IP 核的命令信号输入端相连,每个测试数据生成模块的 IP 核测试数据传输控制信号输出端与对应的被测 IEEE 1500 标准封装 IP 核的测试数据传输控制信号输入端相连,每个测试数据生成模块的 IP 核测试数

据通讯端与对应的被测 IEEE 1500 标准封装 IP 核的第一 IP 核测试数据通讯端通过数据总线相连,数据缓存模块的配置信号通讯端与配置信号生成模块的配置信号通讯端相连,数据缓存模块的测试数据总线通讯端与数据总线分配模块的测试数据总线通讯端通过数据总线相连,配置信号生成模块的命令总线分配控制信号输出端与命令总线分配模块的总线分配控制信号输入端相连,配置信号生成模块的测试数据生成控制信号输出端同时与 i 个测试数据生成模块的测试数据生成控制信号输入端相连,配置信号生成模块的 n 个数据总线分配控制信号输出端与数据总线分配模块的 n 个数据总线分配控制信号输入端相连, i 个测试数据生成模块的第二 IP 核测试数据通讯端与数据总线分配模块的 IP 核测试数据通讯端通过数据总线相连。

[0007] 它是基于 IEEE 1500 标准的 IP 核测试结构实现的,每个测试周期的具体过程如下:

[0008] 步骤 A、RS232 收发器 2 接收的数据通过数据缓存模块将串行数据转换成并行数据存入其内部的 FIFO 缓存器中,所述数据包括上层指令信号、配置信号和测试激励信号;

[0009] 步骤 B、顶层控制模块开启配置信号生成模块,并控制配置信号生成模块从数据缓存模块中提取配置数据,配置信号生成模块将配置信号锁存在其内部的锁存器中,并将该配置信号分别发送给数据总线分配模块、测试数据生成模块和命令总线分配模块;

[0010] 步骤 C、命令总线分配模块在配置数据的作用下将命令总线与被测 IEEE 1500 标准封装 IP 核的命令控制端口相连接;

[0011] 步骤 D、顶层控制模块开启测试指令生成模块,测试指令生成模块在上层指令信号的控制下产生被测 IEEE 1500 标准封装 IP 核的命令控制信号和编码后的测试指令,为被测 IEEE 1500 标准封装 IP 核配置不同测试模式,使得被测 IEEE 1500 标准封装 IP 核处于指定的测试模式下;

[0012] 步骤 E、顶层控制模块开启数据总线分配模块,数据总线分配模块在配置数据的作用下将数据总线与被测 IP 核对应的测试数据生成模块的数据输入端口相连接;

[0013] 步骤 F、顶层控制模块开启 i 个测试数据生成模块,每个测试数据生成模块向对应的被测 IEEE 1500 标准封装 IP 核传输测试数据传输控制信号,并通过数据总线为对应的被测 IEEE 1500 标准封装 IP 核提供测试激励信号;

[0014] 步骤 G、每个测试数据生成模块接收对应的被测 IEEE 1500 标准封装 IP 核产生的测试响应;

[0015] 步骤 H、数据总线分配模块接收 i 个测试数据生成模块发送的测试响应,并将测试响应存储在数据缓存模块内部的 FIFO 缓存器中;

[0016] 步骤 I、数据缓存模块将并行数据转换成串行数据,通过 RS232 收发器发送至上位机,完成一个周期的测试。

[0017] 本发明中采用并行测试总线传输数据,提高测试效率,并发明了总线分配模块,总线分配模块可以在不同时刻将测试总线分配给不同的 IP 核,提高了总线利用率,这种基于 IEEE 1500 标准的 IP 核测试结构及测试方法,使集成于 SOPC 系统的 IP 核经过 IEEE 1500 标准封装后,在测试结构的作用下获得可测性和可控性,实现了并行测试,并能灵活配置测试顺序,提高了测试效率。本发明通过在 FPGA 内增加测试结构实现了 IP 核的测试,设计简单而灵活。

## 附图说明

[0018] 图 1 为基于 IEEE 1500 标准的 IP 核测试结构的整体示意图。图 2 为 FPGA 处理器的内部结构示意图。图 3 为数据缓存模块接收数据状态机的工作原理示意图。图 4 为数据缓存模块发送数据状态机的工作原理示意图。图 5 为配置信号生成模块状态机的工作原理示意图。图 6 为总线分配模块状态机的工作原理示意图。图 7 为测试指令生成模块状态机的工作原理示意图。图 8 为测试数据生成模块状态机的工作原理示意图。图 9 为本发明的流程图。

## 具体实施方式

[0019] 具体实施方式一、结合图 1 和图 2 说明本实施方式,基于 IEEE 1500 标准的 IP 核测试结构,它包括 FPGA 处理器 1 和 RS232 收发器 2, FPGA 处理器 1 的信号通讯端与 RS232 收发器 2 的信号通讯端相连,RS232 收发器 2 的上位机通讯端用于与上位机相连,所述 FPGA 处理器 1 内部固化有数据缓存模块 1-1、配置信号生成模块 1-2、数据总线分配模块 1-3、测试指令生成模块 1-4、i 个测试数据生成模块 1-5、顶层控制模块 1-6 和命令总线分配模块 1-7,顶层控制模块 1-6 的配置信号生成使能信号输出端与配置信号生成模块 1-2 的配置信号生成使能信号输入端相连,顶层控制模块 1-6 的数据总线分配使能信号输出端与数据总线分配模块 1-3 的数据总线分配使能信号输入端相连,顶层控制模块 1-6 的测试指令生成使能信号输出端与测试指令生成模块 1-4 的测试指令生成使能信号输入端相连,顶层控制模块 1-6 的测试数据生成使能信号输出端同时与 i 个测试数据生成模块 1-5 的测试数据生成使能信号输入端相连,测试指令生成模块 1-4 的第 1、2、...、i 个 IP 核命令控制信号输出端分别与第 1、2、...、i 个被测 IEEE 1500 标准封装 IP 核的命令控制信号输入端相连,测试指令生成模块 1-4 的命令总线输出端与命令总线分配模块 1-7 的信号输入端通过命令总线相连,命令总线分配模块 1-7 的第 1、2、...、i 个命令信号输出端分别与第 1、2、...、i 个被测 IEEE 1500 标准封装 IP 核的命令信号输入端相连,每个测试数据生成模块 1-5 的 IP 核测试数据传输控制信号输出端与对应的被测 IEEE 1500 标准封装 IP 核的测试数据传输控制信号输入端相连,每个测试数据生成模块 1-5 的 IP 核测试数据通讯端与对应的被测 IEEE 1500 标准封装 IP 核的第一 IP 核测试数据通讯端通过数据总线相连,数据缓存模块 1-1 的配置信号通讯端与配置信号生成模块 1-2 的配置信号通讯端相连,数据缓存模块 1-1 的测试数据总线通讯端与数据总线分配模块 1-3 的测试数据总线通讯端通过数据总线相连,配置信号生成模块 1-2 的命令总线分配控制信号输出端与命令总线分配模块 1-7 的总线分配控制信号输入端相连,配置信号生成模块 1-2 的测试数据生成控制信号输出端同时与 i 个测试数据生成模块 1-5 的测试数据生成控制信号输入端相连,配置信号生成模块 1-2 的 n 个数据总线分配控制信号输出端与数据总线分配模块 1-3 的 n 个数据总线分配控制信号输入端相连,i 个测试数据生成模块 1-5 的第二 IP 核测试数据通讯端与数据总线分配模块 1-3 的 IP 核测试数据通讯端通过数据总线相连。

[0020] 本实施方式中电脑的 RS232 标准串口设计可采用美信公司的 MAX232 芯片作为电平转换芯片,FPGA 处理器 1 可以采用 ALTERA 公司的 Cyclone EP1C6Q240C8 芯片。

[0021] 具体实施方式二、结合图 1 和图 2 和图 9 说明本实施方式,基于 IEEE 1500 标准的

IP 核测试方法,它是基于 IEEE 1500 标准的 IP 核测试结构实现的,每个测试周期的具体过程如下:

[0022] 步骤 A、RS232 收发器 2 接收的数据通过数据缓存模块 1-1 将串行数据转换成并行数据存入其内部的 FIFO 缓存器中,所述数据包括上层指令信号、配置信号和测试激励信号;

[0023] 步骤 B、顶层控制模块 1-6 开启配置信号生成模块 1-2,并控制配置信号生成模块 1-2 从数据缓存模块 1-1 中提取配置数据,配置信号生成模块 1-2 将配置信号锁存在其内部的锁存器中,并将该配置信号分别发送给数据总线分配模块 1-3、测试数据生成模块 1-5 和命令总线分配模块 1-7;

[0024] 步骤 C、命令总线分配模块 1-7 在配置数据的作用下将命令总线与被测 IEEE 1500 标准封装 IP 核的命令控制端口相连接;

[0025] 步骤 D、顶层控制模块 1-6 开启测试指令生成模块 1-4,测试指令生成模块 1-4 在上层指令信号的控制下产生被测 IEEE 1500 标准封装 IP 核的命令控制信号和编码后的测试指令,为被测 IEEE 1500 标准封装 IP 核配置不同测试模式,使得被测 IEEE 1500 标准封装 IP 核处于指定的测试模式下;

[0026] 步骤 E、顶层控制模块 1-6 开启数据总线分配模块 1-3,数据总线分配模块 1-3 在配置数据的作用下将数据总线与被测 IP 核对应的测试数据生成模块 1-5 的数据输入端口相连接;

[0027] 步骤 F、顶层控制模块 1-6 开启 i 个测试数据生成模块 1-5,每个测试数据生成模块 1-5 向对应的被测 IEEE 1500 标准封装 IP 核传输测试数据传输控制信号,并通过数据总线为对应的被测 IEEE 1500 标准封装 IP 核提供测试激励信号;

[0028] 步骤 G、每个测试数据生成模块 1-5 接收对应的被测 IEEE 1500 标准封装 IP 核产生的测试响应;

[0029] 步骤 H、数据总线分配模块 1-3 接收 i 个测试数据生成模块 1-5 发送的测试响应,并将测试响应存储在数据缓存模块 1-1 内部的 FIFO 缓存器中;

[0030] 步骤 I、数据缓存模块 1-1 将并行数据转换成串行数据,通过 RS232 收发器 2 发送至上位机,完成一个周期的测试。

[0031] 具体实施方式三、结合图 3 说明本实施方式,本实施方式是对具体实施方式二中步骤 A 的进一步说明,数据缓存模块 1-1 的是在数据缓存模块接收数据状态机的控制下工作,所述数据缓存模块接收数据状态机包括三个状态:等待状态、数据缓存状态、等待读取缓存数据状态;每个状态的工作及各状态之间的跳转为:

[0032] 等待状态,等待 RS232 收发器 2 发送数据,若检测到 RS232 收发器 2 数据到达,则状态机将转换到数据缓存状态;

[0033] 数据缓存状态,接收 RS232 收发器 2 发送的数据,并将接收的数据转换成并行数据存入 FIFO 缓存器,若数据存储完毕,状态机将转换到等待读取缓存数据状态;

[0034] 等待读取缓存数据状态,等待配置信号生成模块 1-2 提取数据,若数据提取完毕,状态机将转换到等待状态。

[0035] 具体实施方式四、结合图 5 说明本实施方式,本实施方式是对具体实施方式一中步骤 B 的进一步说明,配置信号生成模块 1-2 是在配置信号生成模块状态机的控制下工作

的,所述配置信号生成模块状态机包括三个状态:等待配置状态、锁存配置信号状态和发送配置信号状态;每个状态的工作及各状态之间的跳转为:

[0036] 等待配置状态,检测顶层控制模块 1-6 发出的配置信号生成使能信号,当检测到所述配置信号生成使能信号时,状态机转换到提取缓存数据状态;

[0037] 锁存配置信号状态,状态机从 FIFO 缓存器中提取配置信号,并将所述配置信号锁存锁存器中,锁存完毕后,状态机转换到发送配置信号状态;

[0038] 发送配置信号状态,状态机将配置信号发送给数据总线分配模块 1-3、测试数据生成模块 1-5 和命令总线分配模块 1-7,若数据发送完毕,状态机转换到等待配置状态。

[0039] 具体实施方式五、结合图 6 说明本实施方式,本实施方式是对具体实施方式一中步骤 C 和步骤 E 的进一步说明,命令总线分配模块 1-7 和数据总线分配模块 1-3 均是在是总线分配模块状态机的控制下工作的,所述总线分配模块状态机包括三个状态:等待启动状态、分配状态和等待测试完成状态;每个状态的工作及各状态之间的跳转为:

[0040] 等待启动状态,检测顶层控制模块 1-6 发出的使能信号,当检测到所述使能信号,则状态机转换到分配状态;

[0041] 分配状态,状态机根据配置数据的内容分配命令总线 and 数据总线,若总线分配完成,状态机转换到等待测试完成状态;

[0042] 等待测试完成状态,若测试完成,状态机转换到等待启动状态。

[0043] 具体实施方式六、结合图 7 说明本实施方式,本实施方式是对具体实施方式一中步骤 D 的进一步说明,测试指令生成模块 1-4 是在测试指令生成模块状态机的控制下工作的,所述测试指令生成模块状态机包括四个状态:等待启动状态、提取控制信号状态、生成指令信号状态和等待测试完成状态;每个状态的工作及各状态之间的跳转为:

[0044] 等待启动状态,检测顶层控制模块 1-6 发出的测试指令生成使能信号,当检测到测试指令生成使能信号时,则状态机转换到提取控制信号状态;

[0045] 提取控制信号状态,状态机提取上层指令信号,提取成功时,则状态机转换到生成指令信号状态;

[0046] 生成指令信号状态,状态机根据上层指令信号向被测 IEEE 1500 标准封装 IP 核发送命令控制信号和编码后的测试指令为被测 IEEE 1500 标准封装 IP 核配置测试模式,测试模式指令信号发送完成,则状态机转换到等待测试完成状态;

[0047] 等待测试完成状态,若测试完成,状态机转换到等待启动状态。

[0048] 具体实施方式七、结合图 8 说明本实施方式,本实施方式是对具体实施方式一中步骤 F 和步骤 G 的进一步说明,测试数据生成模块 1-5 是在测试数据生成模块状态机的控制下工作的,所述测试数据生成模块状态机包括五个状态:等待启动状态、提取测试激励信号状态、激励状态、等待返回测试响应信号状态和发送测试响应信号状态;每个状态的工作及各状态之间的跳转为:

[0049] 等待启动状态,检测顶层控制模块 1-6 发出的测试数据生成使能信号,当检测到测试数据生成使能信号时,则状态机转换到提取测试激励信号状态;

[0050] 提取测试激励信号状态,状态机根据测试模式指令信号的内容提取测试激励信号,提取成功时,则状态机转换到激励状态;

[0051] 激励状态,向对应的被测 IEEE 1500 标准封装 IP 核传输测试数据传输控制信号,

并通过数据总线为对应的被测 IEEE 1500 标准封装 IP 核提供测试激励信号,发送测试数据传输控制信号和测试激励信号完成,则状态机转换到等待返回测试响应信号状态;

[0052] 等待返回测试响应信号状态,状态机接收被测 IEEE 1500 标准封装 IP 核产生的测试响应,接收测试响应完毕,则状态机转换到发送测试响应信号状态;

[0053] 发送测试响应信号状态,通过数据总线将测试响应存储在数据缓存模块 1-1 内部的 FIFO 缓存器中,存储完成,则状态机转换到等待启动状态。

[0054] 具体实施方式八、结合图 4 说明本实施方式,本实施方式是对步骤 H 和步骤 I 的进一步说明,数据缓存模块 1-1 是在数据缓存模块发送数据状态机的控制下工作的,所述数据缓存模块发送数据状态机包括三个状态:等待测试完成状态、存储测试响应信号状态、发送测试响应信号状态;每个状态的工作及各状态之间的跳转为:

[0055] 等待测试完成状态,检测数据总线分配模块 1-3 发送的测试响应信号,若检测到所述测试响应信号,则状态机转换到存储测试响应信号状态;

[0056] 存储测试响应信号状态,将测试响应信号数据存入 FIFO 缓存器中,若数据存储完毕,状态机将转换到发送测试响应信号状态;

[0057] 发送测试响应信号状态,将 FIFO 缓存器中的并行数据转换成串行数据发送至 RS232 收发器 2,数据发送完毕,状态机将转换到等待测试完成状态。

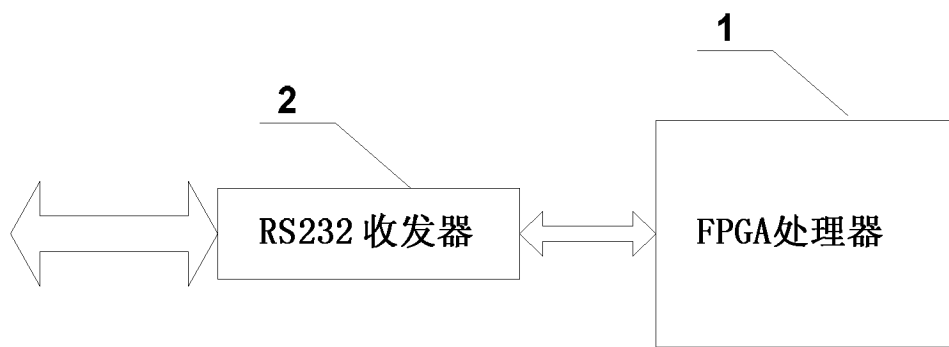


图 1

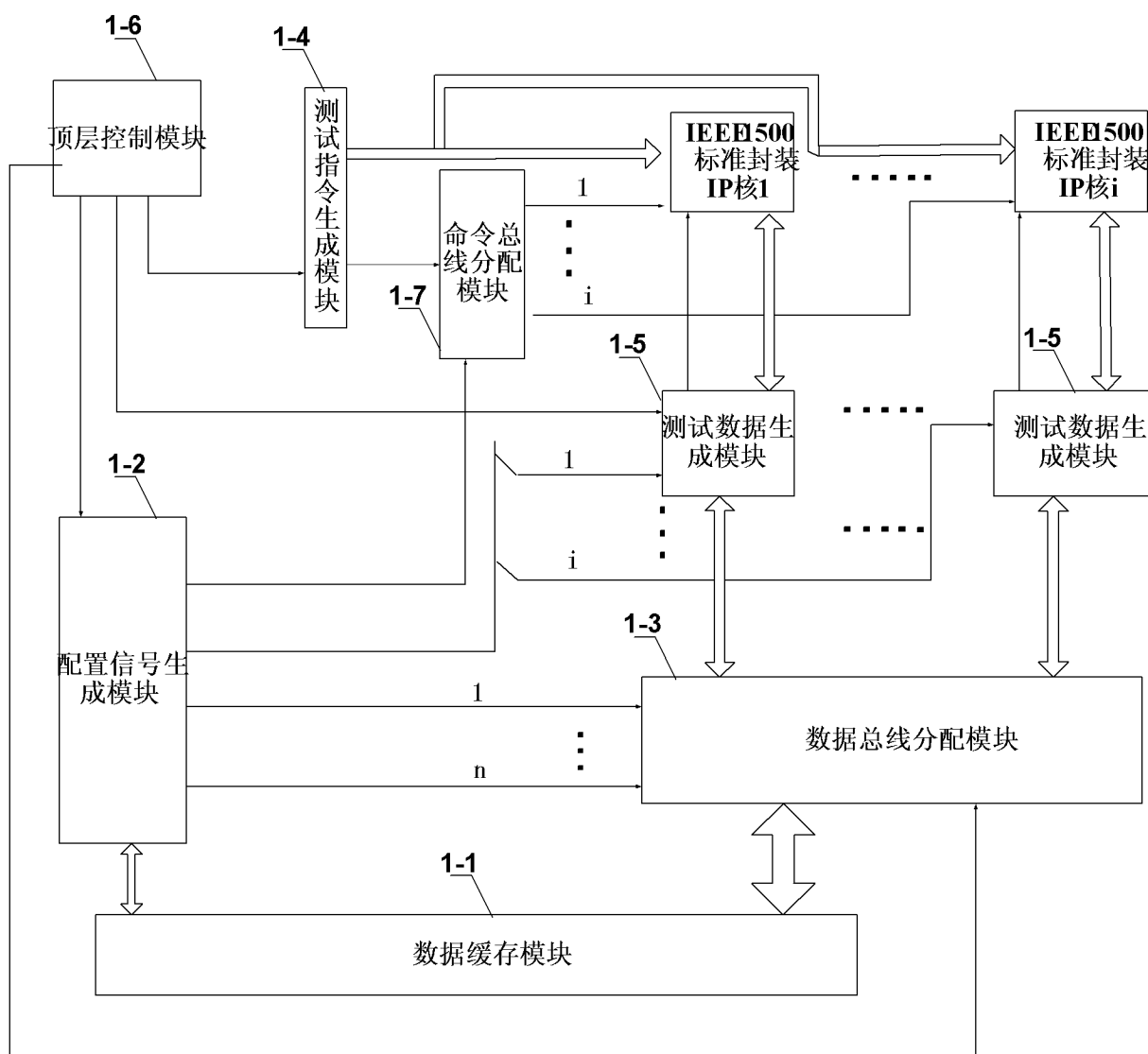


图 2

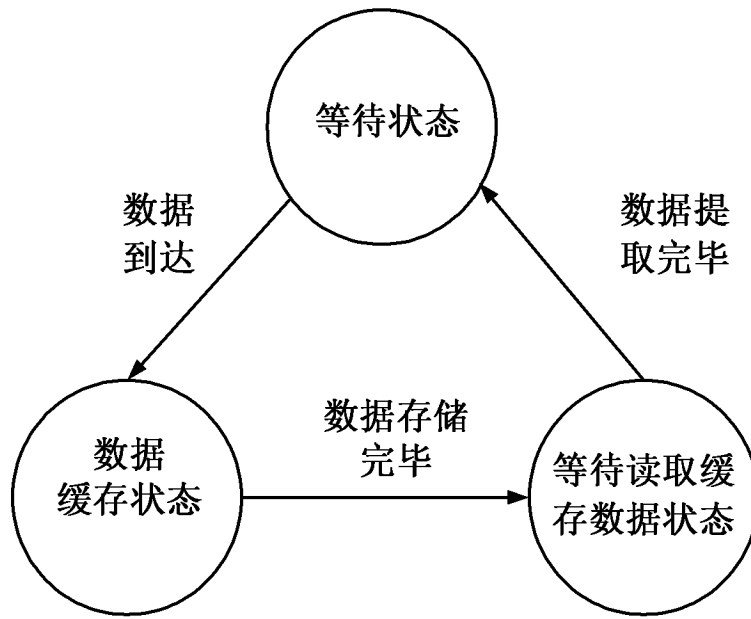


图 3

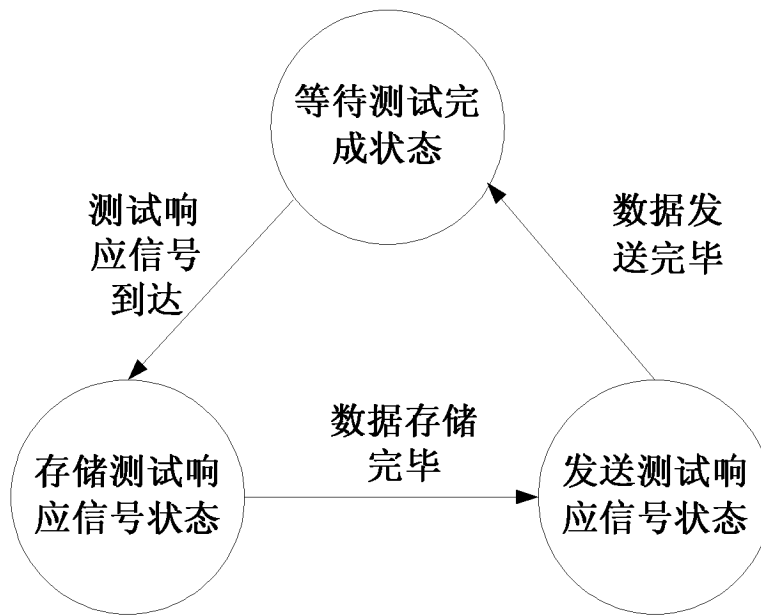


图 4

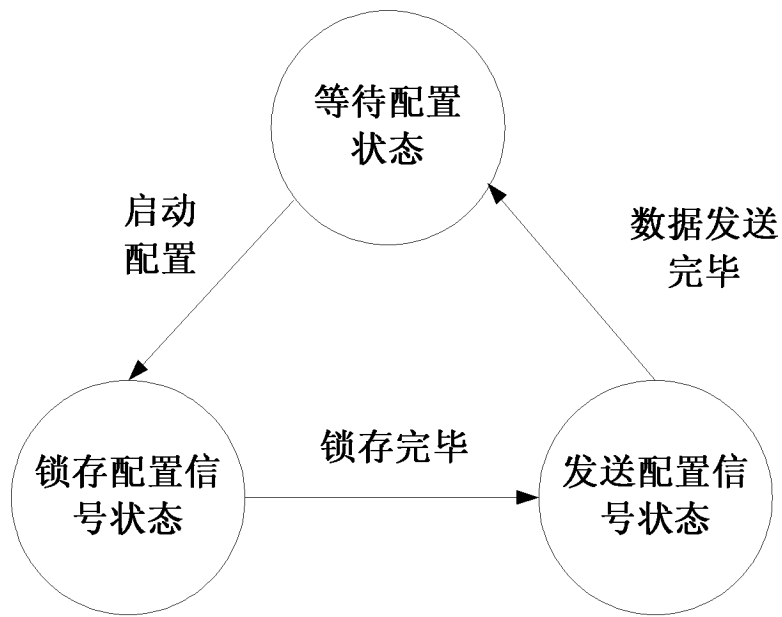


图 5

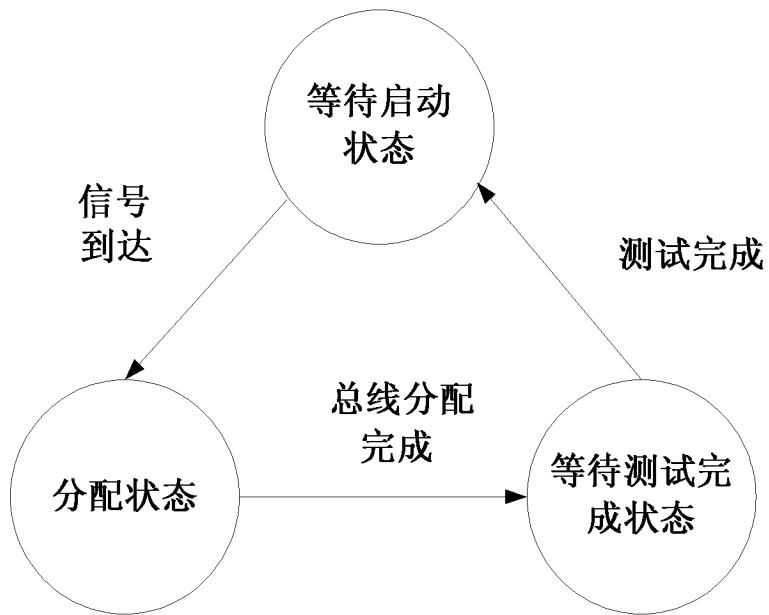


图 6

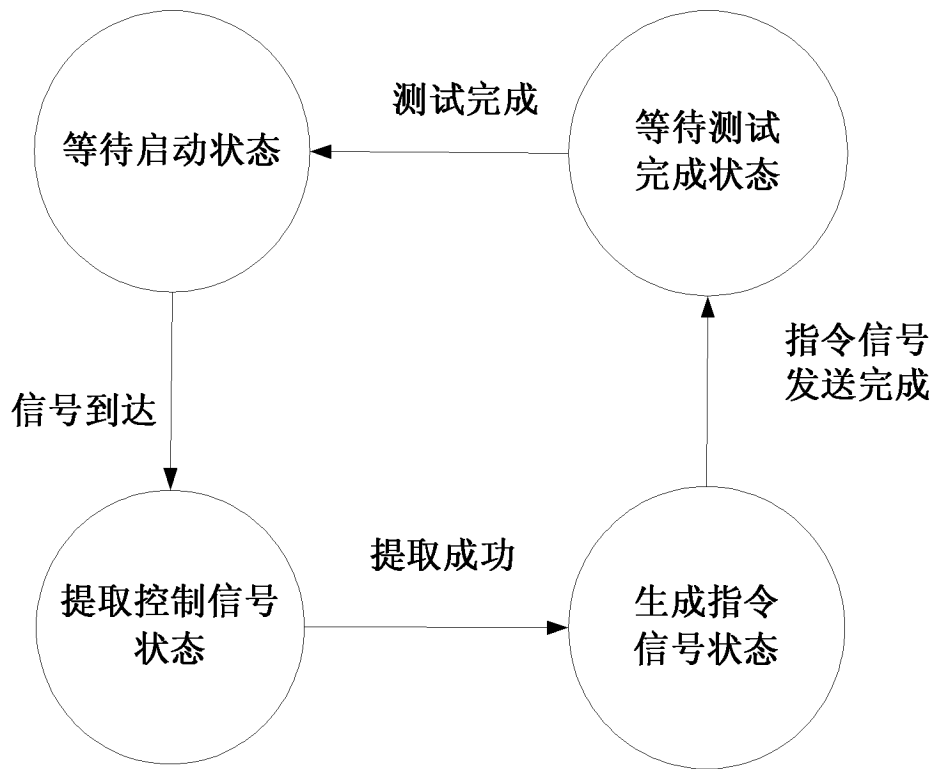


图 7

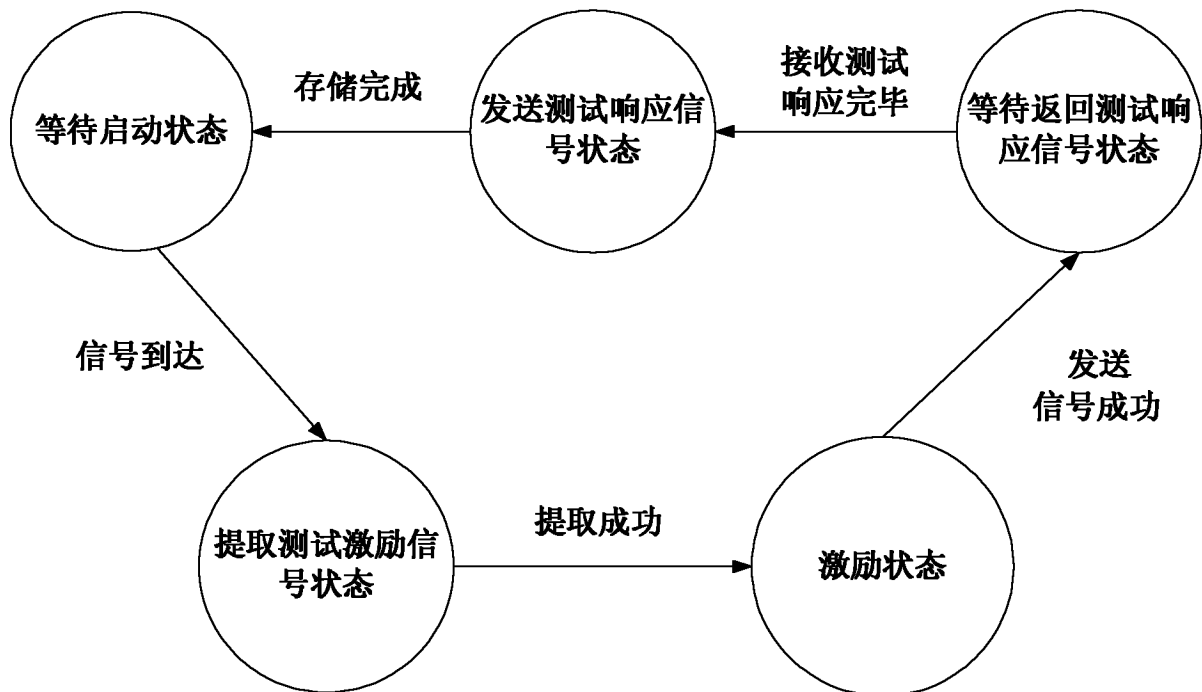


图 8

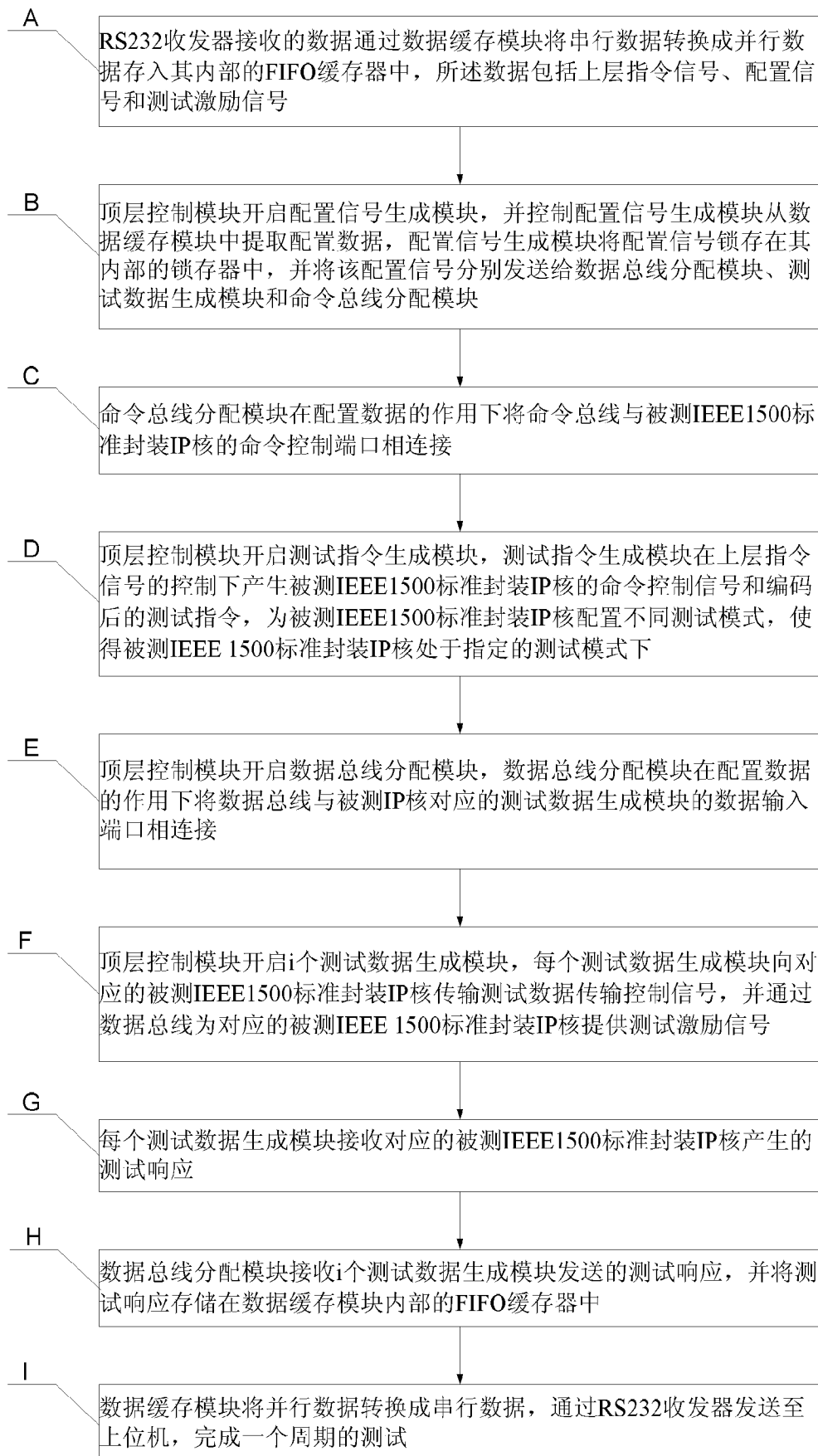


图 9