

310432

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: 有 無主張優先權
 日本 1995年9月29日 7-252400 無主張優先權

有關微生物已寄存於: 寄存日期: 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係關於由可利用電氣方式改寫臨限值電壓之電晶體所構成之半導體非揮發性記憶裝置，尤關於利用電氣方式頻繁的改寫臨限值電壓之非揮發性記憶裝置及使用該裝置之電腦系統。

快閃記憶體係可利用電氣方式整批的抹消記憶內容之單電晶體／晶胞方式之一種半導體非揮發性記憶裝置。因為快閃記憶體中，每一位元之佔有面積小，可實現高積體化，故最近受到矚目，已有許多有關其構造，連接方法，及驅動方法之研究開發。

目前已有刊載於 Symposium on VLSI Circuits Digest of Technical Papers pp97-98 1993之 DINOR(Divided bit Line NOR) 方式，同樣刊載於該報告中 p p 99-100，1993之 NOR 方式，同樣刊載於該報告中 p p 61-62 1994中之 AND 方式，刊載於 International Electron Devices Meeting Tech. Dig. pp-19-22 1993中之 HICR (High Capacity-Coupling Ratio) 方式，及刊載於 Symposium on VLSI Circuits Digest of Technical Papers pp20-21 1992中之 NAND 方式。

第 7，8，9，10 及 11 圖分別為利用 NOR 方式，DINOR 方式，HICR 方式及 NAND 方式之記憶體晶胞之連接例圖。第 7，8，9，10 及 11 圖中， W_1, \dots, W_m 為字線。B1，B2 為位元線，各記憶體晶胞係由具有控制閘極及漂浮閘極之 1 個電晶體所構成

五、發明說明(2)

。上述各方式可根據記憶體晶胞之連接狀態分類成 NOR, DINOR, AND, HICR 方式之 NOR 型連接時與 NAND 方式。

依照第 7 圖所示之 NOR 型連接，讀出時之選擇字線電壓係電源電壓 V_{cc} 。在電子儲存於漂浮閘極之狀態下，來自控制閘極之記憶體晶胞臨限值電壓升高，即使選擇字線而在控制閘極上施加 V_{cc} 亦不會有記憶體晶胞電流通過。在電子未注入漂浮閘極之狀態（放出電子）下，記憶體晶胞臨限值電壓低，有選擇字線之記憶體晶胞電流通過。以偵測放大器接受記憶體晶胞電流而判定資訊之 '0' 或 '1'。

第 12 a 圖表示 NOR 型連接時對應於 2 個記憶資訊之記憶體晶胞之臨限值電壓 V_{thL} 與 V_{thH} 之分佈。 V_{thL} 表示電子未注入漂浮閘極時之記憶體晶胞之臨限值電壓， V_{thH} 表示電子儲存於漂浮閘極時之記憶體晶胞之臨限值電壓。

因為在 NOR 型連接時，讀出時之非選擇字線之施加電壓為接地電壓 V_{ss} ，故若記憶體晶胞之臨限值電壓成為負電壓時，即成為誤讀出之原因。因此，必須以高精確度進行控制以免 V_{thL} 成為負電壓。

以下參照第 1 圖說明第 9 圖所示 NOR 型連接時之 AND 方式之寫入動作（將臨限值電壓改寫成 V_{thL} 之動作）程序之一實施例。在 NAND 方式之寫入動作時，從 CPU 輸入寫入指令，連接於記憶體晶胞陣列之所需字

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

線之記憶體晶胞群（以後稱為片段（sector））之位址，及寫入資料於記憶裝置中。設定單位寫入時間而在對應於被選擇之片段之寫入資料之記憶體晶胞上整批的寫入之後進行核對。核對結果若有寫入不充分之記憶體晶胞，亦即尚未達到寫入臨限值電壓（ V_v ）之記憶體晶胞時，改寫裝置內部之寫入資料，以便只對寫入不充分之記憶體晶胞繼續進行寫入動作。寫入，核對，資料寫入動作一直重複進行至全部寫入對象之記憶體晶胞之臨限值電壓達到寫入臨限值電壓（ V_v ）為止。

因為依照這種動作程序於每一位元控制片段內之記憶體晶胞之寫入側之臨限值電壓 V_{thL} ，故寫入後可使 V_{thL} 側之記憶體晶胞之臨限值電壓成為一致。

在考慮 V_{thL} 之分佈範圍之下，將寫入臨限值電壓（ V_v ）設定為 V_{thL} 對全部寫入狀態之記憶體晶胞不會成為負值之狀態，例如 1.5 V 左右。

第 12 (b) 圖表示對應於 NAND 方式時之 2 個記憶資訊之記憶體晶胞之臨限值電壓 V_{thL} 與 V_{thH} 之分佈。在 NAND 方式時，將讀出時之非選擇字線做為電源電壓 V_{cc} 使用，而無論臨限值電壓之高低資訊如何，將全部非選擇記憶體晶胞做為通過電晶體使用。讀出時之選擇字線上施加之電壓為接地電壓 V_{ss} 。因此， V_{thL} 係設定在因接地電壓 V_{ss} 而有記憶體晶胞電流通過之數值，而 V_{thH} 係設定在非選擇字線電壓之電源電壓 V_{cc} 與選擇字線電壓之接地電壓 V_{ss} 之間。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

因爲在 NAND 方式時係將全部非選擇記憶體晶胞做爲通過電晶體使用，故必須以高精確度控制閘極電壓較高之 V_{thH} (寫入側)，以免其超過電源電壓 V_{cc} 。因此，在 NAND 方式中亦重複的進行寫入，核對，資料改寫動作，並於每一位元控制記憶體晶胞之寫入臨限值，一直到與上述 AND 方式時相同的，全部寫入對象之記憶體晶胞之臨限值電壓達到寫入臨限值電壓 (V_v) 爲止。

考慮 V_{thH} 之分佈範圍，將寫入臨限值電壓 (V_v) 設定爲寫入對象之全部記憶體晶胞之臨限值電壓不會成爲高於電源電壓 V_{cc} 之電壓值，例如 2.5V 左右。

在上述習用之 NOR 型連接及 NAND 型連接時，皆對每一記憶體晶胞控制片段內之記憶體晶胞之寫入側臨限值電壓，但卻未充分進行抹消側之臨限值電壓控制。亦即只確保成爲最大或最小之臨限值電壓，以便在 NOR 型連接時成爲高於電源電壓 V_{cc} ，在 NAND 方式時成爲低於接地電壓 V_{ss} 。

以下參照第 3 圖說明習用之 NAND 方式之抹消 (昇高臨限值電壓) 之動作程序之一實施例。首先半導體非揮發性記憶裝置從 CPU 接受抹消指令及執行抹消之片段之位址。然後，在裝置內部設定資料，重複進行抹消，核對，及整批判定動作。在片段內全部記憶體晶胞之臨限值電壓成爲高於核對時之字線電壓時，完成抹消動作。亦即，雖然已保證抹消側之臨限值電壓成爲高於核對時之字線電壓，亦即昇高臨限值之動作，但因爲未對片段內之每一記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

憶體晶胞控制抹消側之臨限值電壓，故如第12(a)圖所示，較高側之臨限值電壓 V_{thH} 之分佈具有大約2V左右之範圍。

同樣的，在NAND方式中亦與第12(b)圖相同的具有臨限值電壓低側 V_{thL} 之臨限值電壓分佈範圍。

如上所述，NOR型連接(NCR, DINOR, AND, HICR等)或任何一種NAND方式中，抹消側之記憶體晶胞之臨限值電壓(NCR, NAND為低側之臨限值電壓 V_{thL} ，而DINOR, AND, HICR為高側之臨限值電壓 V_{thH})之分佈皆有其範圍，故記憶體晶胞之2個狀態之臨限值電壓差之絕對值 $|V_{thH} - V_{thL}|$ 大，不能降低改寫動作時之絕緣膜之總通過電荷量(與2種狀態時之臨限值電壓差之絕對值成比例)。因此，損傷絕緣膜，又產生膜質劣化，故其可改寫之次數有限。

本發明之一個目的為提供一種可利用電氣方式改寫之半導體非揮發性記憶裝置中，可抑制對應於裝置內部之2個記憶資訊之記憶體晶胞之臨限值電壓之分佈，可提高改寫耐性之半導體非揮發性記憶裝置，及使用該裝置之電腦系統。

依照本發明之半導體非揮發性裝置，係一種包括分別具有控制閘極，吸極及源極之許多非揮發性半導體記憶體晶胞，上述許多非揮發性半導體記憶體晶胞之控制閘極互相共同連接之字線，及分別與上述許多非揮發性半導體記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

憶體晶胞之各吸極連接之許多位元線，對上述許多非揮發性半導體記憶體晶胞寫入時，只對上述寫入不充分之非揮發性半導體記憶體晶胞繼續進行上述寫入之半導體非揮發性記憶裝置，其中對上述許多非揮發性半導體記憶體晶胞進行抹消時，只對上述抹消不充分之非揮發性半導體記憶體晶胞繼續進行上述抹消。

以下說明以 A N D 型記憶體晶胞寫入及抹消之動作。寫入動作係將臨限值電壓降低至低側之臨限值電壓 V_{thL} 。例如在記憶體晶胞之控制閘極上，亦即字線上施加 $-10V$ 左右之負電壓，選擇晶胞中記憶體晶胞之吸極端子電壓為例如 $5V$ 左右，而非選擇晶胞則為 $0V$ 。在選擇記憶體晶胞之漂浮閘極與吸極之間產生電壓差，漂浮閘極內之電子因佛拉·諾德茵 (Fowler-Nordheim) 隧道現象而被吸引至吸極側。在非選擇記憶體晶胞中，因為漂浮閘極與吸極間之電壓差小，故可防止電子從漂浮閘極內釋出。

抹消係將臨限值電壓升高至高側之臨限值電壓 V_{thH} 。例如在記憶體晶胞之控制閘極，亦即在字線上施加 $16V$ 左右之高電壓，選擇晶胞中，記憶體晶胞之吸極端子電壓成為 $0V$ ，而非選擇晶胞中則成為大約 $8V$ 之電壓。在選擇記憶體晶胞之漂浮閘極與通道間產生電壓差，通道內之電子因佛拉·諾德茵隧道現象而注入漂浮閘極內。因為非選擇記憶體晶胞之電壓差小，故可防止電子注入漂浮閘極內。

五、發明說明(7)

上述半導體非揮發性記憶裝置中，因為檢測已進行寫入之非揮發性半導體記憶體晶胞之狀態而只對上述寫入不充分之非揮發性半導體記憶體晶胞繼續進行寫入，而且檢測已進行抹消之非揮發性半導體記憶體晶胞之狀態，只對上述抹消不充分之非揮發性半導體記憶體晶胞繼續進行抹消，故可抑制寫入側非揮發性半導體記憶體晶胞之臨限值電壓分佈之不均勻，及抹消側非揮發性半導體記憶體晶胞之臨限值電壓分佈之不均勻。因此，可減少寫入側臨限值電壓與抹消側臨限值電壓間之電壓差絕對值，可減少改寫記憶體晶胞之臨限值電壓之動作時，通過絕緣膜之總電荷量。

依照本發明之電腦系統，具有上述半導體非揮發性記憶裝置與中央處理裝置，而且不依照中央處理裝置之指令執行上述半導體非揮發性記憶裝置之上述再寫入或上述再抹消。

依照上述電腦系統，因為不根據中央處理裝置之指令執行上述半導體非揮發性記憶裝置之上述再寫入及上述再抹消，故系統不會變成複雜。

因為在非揮發性半導體記憶體晶胞臨限值電壓之改寫動作時可利用佛拉·諾德茵隧道現象，故可實現低電壓之單一電源化。如此，在使用該裝置之電腦系統中，可因低電壓化而降低消耗電路，及提高可靠性。

以下參照圖式說明本發明之實施例。

首先參照第14圖說明本實施例之半導體非揮發性裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

置之構造。

本發明之半導體非揮發性記憶裝置包括記憶體晶胞陣列 \underline{u} ， \underline{d} ，行位址緩衝器 X A D B，行位址解碼器 X D C R，偵測器放大器與資料門鎖器共用之偵測門鎖電路 S L 及閘極陣列電路 Y G，列位址緩衝器 Y A D B，列位址解碼器 Y D C R，輸入緩衝電路 D I B，輸出緩衝器 D O B，多工器 M P，模態控制電路 M C，控制信號緩衝器 C S B，及內部電源電壓 V S 等。記憶體晶胞係由可利用電氣方式改寫記憶體晶胞之臨限值電壓之 E E P R O M 所構成。

雖然無特別限制，但在控制信號緩衝器 C S B 之外部端子 $\overline{C E}$ ， $\overline{O E}$ ， $\overline{W E}$ ， $\overline{S C}$ 分別輸入晶粒啓動信號，輸出啓動信號，寫入啓動信號，及串聯時鐘信號等，配合各信號產生內部控制信號之時序信號。

就緒 (Ready) / 忙線 (Busy) 信號從外部端子 R / \overline{B} 輸入模態控制器 M C 中。

本實施例中之 $\overline{C E}$ ， $\overline{O E}$ ， $\overline{W E}$ 等之符號「 $\overline{\quad}$ 」表示相補信號。

雖然無特別限制，但內部電源電壓 V S 從外部輸入電源電壓 V c c 而產生讀出字線電壓 V r，昇高臨限值電壓之動作時之字線電壓 V h，其核對字線電壓 V h v，降低臨限值電壓之動作時之字線電壓 V l，其核對字線電壓 V l v，讀出位元線電壓 V r b，讀出基準位元線電壓 V r r，昇高臨限值電壓之動作時之吸極端子電壓 V h d

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

，其轉換閘極電壓 V_{ht} ，降低臨限值電壓之動作時之吸極端子電壓 V_{ld} ，及其轉換閘極電壓 V_{lt} 。上述各電壓亦可從外部供給。

從內部電源電壓 V_S 產生之字線電壓 V_r ， V_h ， V_{hv} ， V_l ， V_{lv} ，及轉換閘極電壓 V_{ht} ， V_{lt} 輸入行位址解碼器 $XDCR$ ，而位元線電壓 V_{rb} ， V_{rr} ， V_{wd} ， V_{hd} 及轉換閘極電壓 V_{ht} ， V_{lt} 輸入偵測門鎖器 SL 。

內部電源電壓亦可共用電源電壓。例如亦可共用昇高臨限值電壓之動作時之吸極端子電壓 V_{hd} 與降低臨限值電壓之動作時之吸極端子電壓 V_{ld} ，或共用轉換閘極電壓 V_{ht} 與 V_{lt} 。

雖然無特別限制，但行，列位址緩衝器 $XADB$ ， $YADB$ 係被裝置內部之晶粒啓動選擇信號 \overline{CE} 活化，從外部端子輸入位址信號 AX ， AY ，形成由與從外部端子供給之位址信號同相之內部位址信號，及相位相反之位址信號所構成之相補位址信號。行位址解碼器 $XDCR$ 形成對應於行位址緩衝器 $XADB$ 之相補位址信號之記憶體晶胞群之字線 W 之選擇信號，而列位址解碼器 $YDCR$ 形成對應於列位址緩衝器 $YADB$ 之相補位址信號之記憶體晶胞群之位元線 B 之選擇信號。上述各選擇信號選擇記憶體墊塊 (Mat) 內之任意字線 W 及位元線 B ，並選擇所需之記憶體晶胞。

雖然無特別限制，但記憶體晶胞陣列 u ， d 內之記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

體晶胞由例如行位址解碼器 X D C R 及列位址解碼器 Y D C R 以 8 位元或 16 位元之單位選擇，並進行寫入及讀出。假設 1 個資料塊之記憶體晶胞在字線方向（行方向）有 m 個，在位元線方向（列方向）有 n 個時，則由 8 個或 16 個構成 $m \times n$ 個記憶體晶胞群之資料塊。

如上所述，記憶體晶胞陣列 u 及 d 內之記憶體晶胞之構造與 E P R O M 之記憶體晶胞類似，而使用具有控制閘極與漂浮閘極之公知之記憶體晶胞構造，或具有控制閘極與漂浮閘極，及選擇閘極之公知之記憶體晶胞構造。以下參照第 4 圖說明具有控制閘極及漂浮閘極之記憶體晶胞之構造。

第 4 圖所示非揮發性記憶體晶胞之構造與 1987 年發表之 International Electron Devices Meeting Tech. Dig. pp. 560-563 中之快閃記憶體之記憶體晶胞之電晶體相同。雖然無特別限制，該記憶體晶胞係形成於由單結晶 p 型矽所構成之半導體基板上。

該非揮發性記憶體晶胞係由包括控制閘極 1，吸極 2，源極 3，漂浮閘極 5，層間絕緣膜 4，隧道絕緣膜 6，p 型基板 7，吸極與源極領域之高不純物濃度之 N 型擴散層 8，9，吸極側之低不純物濃度之 N 型擴散層 10，及源極側之低不純物濃度之 P 型擴散層 11 之電晶體元件構成 1 個快閃抹消型 E E P R O M 晶胞。

上述各記憶體晶胞係以例如從第 7 圖至第 11 圖所示之 N O R 型，D I N O R 型，A N D 型，H I C R 型或

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(11)

N A N D 型等方式連接而構成記憶體晶胞陣列部 u 及 d。

以下參照第 5 a, 5 b, 6 a, 6 b 圖之記憶體晶胞之斷面模式圖及端子施加電壓說明將記憶體晶胞之臨限值電壓選擇性的升高及降低之動作，亦即改寫動作手法。

第 5 a, 5 b 圖中表示選擇性的降低片段內之記憶體晶胞之臨限值電壓之動作。在連接於片段上之字線上施加例如 -10 V 左右之負壓而在片段內之全部記憶體晶胞之控制閘極上施加 -10 V 之電壓。如第 5 a 圖所示，在希望降低臨限值電壓之記憶體晶胞上，亦即被選擇之記憶體晶胞之吸極端子上選擇性的施加例如 5 V 左右之電壓，即可在漂浮閘極與吸極之間產生電壓差，利用佛拉·諾德茵隧道現象將漂浮閘極內之電子吸引至吸極側。另外，如第 5 b 圖所示，在非選擇記憶體晶胞之吸極端子施加 0 V 即可消除漂浮閘極與吸極間之電位差，防止電子從漂浮閘極內釋出。

第 6 a, 6 b 圖表中將片段內之記憶體晶胞之臨限值電壓選擇性的升高之動作。在連接於片段之字線上施加例如 16 V 左右之正電壓而在片段內之全部記憶體晶胞之控制閘極上施加 16 V 之電壓。如第 6 a 圖所示，在希望升高臨限值電壓之記憶體晶胞上，亦即被選擇之記憶體晶胞之吸極端子上選擇性的施加 0 V 之電壓，即可在漂浮閘極與頻道之間產生電壓差，可利用佛拉·諾德茵隧道現象將通道內之電子吸引至漂浮閘極內。另外，如第 6 b 圖所示，在非選擇記憶體晶胞之吸極端子上施加例如 8 V 左右之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

電壓，即可減少漂浮閘極與通道間之電位差，防止電子注入漂浮閘極內。

在降低臨限值電壓之動作時施加於非選擇字線上之電壓係施加正電壓，以防止因吸極電壓所造成之干擾（Disturbance，電子之放電）。因此，在改寫動作時將源極開放而防止正常電流之通過。亦可將昇高記憶體晶胞之臨限值電壓之動作時之吸極電壓，亦即通道電壓設定為負電壓而降低控制閘極之電壓，亦即字線電壓。

由第 a，5 b，6 a，6 b 圖可知，片段內之記憶體晶胞之臨限值電壓可藉著對每一記憶體晶胞設定施加於其吸極端子之電壓值而選擇性的改寫。為了對每一記憶體晶胞設定施加於片段內之記憶體晶胞之吸極端子上之電壓，可如後文中所述，使設在每一位元線之偵測門鎖電路 S L 內之正反器具有施加於各記憶體晶胞之吸極端子上之電壓資訊。

以下參照第 1 7 圖說明偵測門鎖電路 S L。第 1 7 圖為以第 1 4 圖之開放位元線方式配置記憶體晶胞陣列部 u，d 與偵測門鎖電路 S L 之連接之一電路圖。

第 1 7 圖中，只在設置於記憶體晶胞陣列部 u 內之位元線 B u 1 與記憶體晶片記憶體晶胞陣列部 d 內之位元線 B d 1 間之包含正反器之偵測門鎖電路上附加符號 S L 1，而對其他位元線 B u n 及 B d n 亦連接相同（等效）之偵測門鎖電路。偵測門鎖電路 S L 之控制信號依照位元線之偶數 / 奇數分開。其理由為防止位元線之寄生線間之電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(13)

容量對偵測動作發生不良之影響。例如在連接於偶數位元線 (B u 2 , B u 4 或 B d 2 , B d 4) 之記憶體晶胞正在進行偵測動作時，將奇數位元線 (B u 1 , B u 3 或 B d 1 , B d 3) 之電位設定為 V_{ss} 而使寄生線間電容量成爲一定值，並讀出連接於偶數位元線側之記憶體晶胞。

記憶體晶胞陣列部 u 內之奇數位元線 $B u_n$ ($n = 1, 3$) 連接於以閘極信號 $B D e u$ 爲輸入，將位元線之電位放電成爲接地電壓 V_{ss} 之 MOS 電晶體 M_1 ，以閘極信號 $R C e u$ 爲輸入而預先電位元線之電位之 MOS 電晶體 M_2 ，以預充電信號 $P C e u$ 爲閘極輸入信號之 MOS 電晶體 M_3 ，及以正反器之資訊爲閘極輸入信號之 MOS 電晶體 M_4 。 M_3 與 M_4 之連接不限定於第 17 圖所示之方式，亦可爲電源電壓 V_{cc} 側爲 M_3 ，位元線 $B u_n$ 側爲 M_4 。奇數位元線 $B u_n$ 連接於配線 $B u_n f$ ，而配線 $B u_n f$ 連接於以閘極信號 $T R e u$ 爲輸入之 MOS 電晶體 M_5 。正反器側配線 $B u_1 f$ 連接於以將正反器之電位放電成爲接地電壓 V_{ss} 之閘極信號 $R S L e u$ 爲輸入之 MOS 電晶體 M_6 ，以配合列位址之列閘極信號 $Y a d d$ 爲輸入而產生正反器內之資訊之 MOS 電晶體 M_7 ，及以正反器內之資訊爲閘極輸入信號之 MOS 電晶體 M_8 。連接於第奇數條配線 $B u_n f$ 之 MOS 電晶體 M_8 之吸極連接於共用信號 $A L e u$ ，源極連接於接地電壓 V_{ss} 而組成多段輸入 NOR 電路連接。亦即 MOS 電晶體 M_8 係判

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

定連接於第奇數條配線 B_{unf} 之全部正反器之資訊是否成爲接地電壓 V_{ss} 之 MOS 電晶體。

在記憶體晶胞陣列 u 內之偶數位元線 B_{un} ($n = 2, 4$) 及記憶體晶胞陣列部 d 內之奇數位元線 B_{dn} ($n = 1, 3$) 及偶數位元線 B_{dn} ($n = 2, 4$) 上亦連接構造相同之電路。

以上說明本實施例之半導體非揮發性記憶裝置之構造。以下參照第 1, 2 圖說明本實施例特徵之臨限值電壓之改寫動作程序。有關本實施例之寫入動作程序，係與上述表示習用之寫入動作之程序相同。亦即半導體非揮發性記憶裝置從 CPU 接受指示寫入之指令，進行寫入之片段內之記憶體晶胞群之位址，及寫入資料(步驟 S1 - S3)。然後，在對每一位元線設置之偵測門鎖電路 SL 內之正反器內設定寫入資料，配合該寫入資料對片段內之記憶體晶胞選擇性的進行寫入動作(步驟 S4)。然後，整批的將臨限值電壓核對(步驟 S5)，改寫正反器內之資料，以便只對寫入不充分之記憶體晶胞繼續進行寫入動作(步驟 S6)。然後重複進行寫入動作，核對，及資料改寫動作，一直到全部寫入對象之記憶體晶胞之臨限值電壓達到一定之臨限值電壓爲止(步驟 7)。

以下說明第 2 圖之抹消動作程序。

半導體非揮發性記憶裝置從 CPU 接受指示抹消之指令，及進行抹消之片段內之記憶體晶胞群之位址(步驟 S11 及 S12)。然後，在對每一位元線設置之偵測門

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

鎖電路 S L 內之正反器上設定一定之資料(步驟 S 1 3)，對片段內之記憶體晶胞進行整批之抹消動作(步驟 S 1 4)。然後，以片段單位整批的將臨限值電壓核對(步驟 1 5)，改寫正反器之資料(步驟 S 1 6)以便只對抹消不充分之記憶體晶胞繼續進行抹消動作。然後，重複進行抹消動作，核對，資料改寫動作，一直到全部寫入對象之記憶體晶胞之臨限值電壓達到一定之臨限值電壓為止。亦即本實施例之改寫動作程序因為在核對動作後與臨限值電壓整批判定動作之間必定進行資料改寫動作，故可對每一記憶體晶胞進行高精確度之控制。

第 1 3 a 圖表示執行本實施例之改寫動作程序時之記憶體晶胞臨限值電壓之分布。由第 1 3 (a) 圖可知，執行本實施例之改寫動作程序即可使高臨限值電壓 V_{thH} 之分布範圍與低臨限值電壓 V_{thL} 之分布成爲一致。

本實施例之改寫動作程序係假設記憶體晶胞具有高臨限值電壓與低臨限值電壓，亦即具有雙值之資訊，但在記憶體晶胞具有多值資訊時亦可執行本實施例之改寫動作程序。以下參照第 1 3 (b) 圖說明記憶體晶胞具有 4 值資訊時之實施例。依照本實施例之抹消動作，控制每一位元之記憶體晶胞之臨限值電壓 t_{h4} (或 V_{th1}) 而使臨限值電壓分佈成爲整齊，並且於每三個其他臨限值電壓 V_{th1} (或 V_{th4})， V_{th2} ， V_{th3} 執行本實施例之寫入動作程序，即可如第 1 3 b 圖所示的使四個臨限值電壓之分布成爲一致。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

執行本實施例之改寫動作程序後，各臨限值電壓對半導體非揮發性記憶裝置之記憶資訊之不均勻成爲1V以下。該臨限值電壓之不均勻係依存因一次寫入或抹消動作而改變記憶體晶胞臨限值電壓之數值 ΔV_{th} ，及核對動作時通過晶胞電流之記憶體晶胞之數量之背部偏壓效果之數值。爲了更進一步抑制臨限值電壓之不均勻，最有效之方法係減小寫入或抹消時之臨限值電壓變化量 ΔV_{th} ，改善源極側之電阻值。

第15，16圖表示執行以片段單位改寫記憶體晶胞之臨限值電壓之動作程序時之偵測門鎖電路SL內之正反器之資料。

第15，16圖所示之正反器之資料“0”將連接於正反器之記憶體晶胞之臨限值電壓定義爲高電壓狀態之臨限值電壓，而正反器之資料之電壓爲接地電壓 V_{ss} 。正反器之資料“1”將記憶體晶胞之臨限值電壓定義爲低電壓狀態之臨限值電壓。正反器之資料例如爲外部電源電壓 V_{cc} ，在改寫動作時成爲內部昇壓電位之吸極端子電壓 V_{hd} ， V_{ld} 。

首先參照第15圖說明降低記憶體晶胞之臨限值電壓之動作程序。若降低記憶體晶胞之臨限值電壓之動作為寫入動作時，則輸入將連接於保持高臨限值電壓（抹消狀態）之記憶體晶胞之偵測門鎖電路內之正反器設定爲“0”，而將連接於改寫成低臨限值電壓之記憶體晶胞之正反器設定爲“1”之資料。若降低記憶體晶胞之臨限值電壓之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (17)

動作爲抹消動作時，則將正反器之全部資料設定爲「1」。然後，對連接於因第5 a，5 b圖所示之吸極邊緣佛拉·諾德茵隧道現象而設定「1」之正反器之記憶體晶胞進行改寫動作。亦即，使連接於被選擇之片段之選擇字線之電壓成爲5 V，使連接於設定「0」之正反器之位元線之電壓成爲 V_{ss} ，只對連接於設定「1」之正反器之記憶體晶胞吸出其漂浮閘極內之電子。

在核對時，將選擇字線之電壓設定爲例如1.5 V，只對連接於設定爲「1」之正反器之位元線進行選擇性預充電。在改寫臨限值電壓達到與核對字線電壓同值之1.5 V之記憶體晶胞中，晶胞電流通過而成爲通路，將位元線之電位放電。因此，將正反器之資料改寫成「0」。在臨限值電壓未達到1.5 V之記憶體晶胞中無晶胞電流通過而成爲斷路，位元線之電位保持預充電時之電壓而保持正反器之資料爲「1」。將核對後之正反器之資料做爲再改寫資料，重複進行改寫及核對動作。正反器之全部資料成爲「0」時，即完成降低臨限值電壓之動作。該整批判定係在晶胞內自動的進行。

以下參照第16圖說明升高記憶體晶胞之臨限值電壓之動作程序。若升高記憶體晶胞之臨限值電壓之動作爲寫入動作時，則輸入使連接於保持低臨限值電壓（抹消狀態）之記憶體晶胞之偵測門鎖電路內之正反器成爲「1」，使連接於改寫成高臨限值電壓之記憶體晶胞之正反器成爲「0」之資料。若升高記憶體晶胞之臨限值電壓之動作爲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

抹消動作時，則將正反器之全部資料設定為「0」。然後，對連接於第6圖所示之因吸極邊緣佛拉·諾德茵隧道現象而設定為「1」之正反器之記憶體晶胞進行改寫動作。亦即將連接於被選擇之片段之選擇字線之電壓設定為16V，將連接於設定為「0」之正反器之位元線電壓設定為 V_{ss} ，將連接於設定為「1」之正反器之位元線電壓設定為8V，只對連接於設定為「0」之正反器之記憶體晶胞之漂浮閘極內注入電子。

在核對時，將選擇字線之電壓設定為例如4.0V，以全部位元線為對象進行預充電。因此改寫臨限值電壓未達到與核對字線電壓同值之4.0V之記憶體晶胞中通過晶胞電流而成為斷路，將位元線之電位放電。因此，正反器之資料保持「0」。另一方面，臨限值電壓達到4.0V之記憶體晶胞中無晶胞電流通過，故成為導通，位元線之電位保持預充電之電壓，被改寫成正反器之資料「1」。然後，以核對後之正反器之資料做為再改寫資料，反複進行改寫及核對動作。當正反器之全部資料成為「0」時，降低臨限值電壓之動作即告完成，該整批判定係在晶粒內自動的進行。

第18，19圖表示第17圖所示偵測門鎖電路SL之時序波形圖。

第18，19圖中之時序圖係選擇記憶體晶胞陣列部u側之片段之波形圖。實線所示之波形為記憶體晶胞陣列部u側之信號，虛線所示之波形為記憶體晶胞陣列d側之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

信號。將構成記憶體晶胞陣列 u, d 之記憶體晶胞之連接做為第 9 圖所示 A N D 型之連接記憶體晶胞。

第 18 圖表示在降低記憶體晶胞之臨限值電壓之動作中之偵測閘鎖電路 S L 之時序波形圖。

然後，在到達 t_2 之前確定正反器之資料，在 t_2 至 t_6 之間進行降低臨限值電壓之動作，在 t_6 至 t_{10} 之間核對連接至於第偶數條位元線之記憶體晶胞（以後稱偶數側），在 t_{10} 至 t_{11} 之間核對連接於第奇數條位元線之記憶體晶胞群（以後稱奇數側），在 t_{11} 至 t_{13} 之間判定記憶體晶胞臨限值電壓之全位元終了。

若降低臨限值電壓之動作為抹消動作時，在 t_1 至 t_2 之間選擇非選擇側之 R S L e d, R S L o d 而使正反器之電源電壓 $V S P e / o, V S N e / o$ 活化而將正反器之資料設定為全選擇。若降低臨限值電壓之動作為寫入動作時，在 t_1 之前將寫入資訊輸入構成偵測閘鎖電路 S L 之正反器中，跳過 t_1 至 t_2 之間，成為從 t_2 開始之時序波形。

在 t_2 至 t_3 之間選擇 P C e u, P C o u 而將正反器之資料選擇性的從位元線 B 1 傳送至 B n。然後，在 t_3 至 t_5 之間選擇 T R e u, T R o u 而供給改寫吸極電壓。在選擇 T R e u, T R o u 之前選擇 P C e u, P C o u 之理由為，若選擇 T R e u, T R o u 時，因為從位元線 B u 1 至 B u n 之電容量大於從正反器側 B u 1 f 至 B u n f 之電容量，可能破壞正反器之資料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

將 $T R e u$ 、 $T R o u$ 及 $S G l a / b$ 之電位設定為 $6 V$ 之理由為轉換降低臨限值電壓之動作時之吸極端子電壓 $5 V$ ($V S P e$ 及 $V S P o$)。若需要昇高吸極電壓時，考慮 $T R e u$ 、 $T R o u$ 及閘極信號 $S G l u / b$ 之吸極側選擇閘極 1 之 $M O S$ 電晶體之臨限值電壓而設定 $T R e u$ 、 $T R o u$ 及 $S G l u / b$ 之閘極電位。

將選擇字線電壓 $W u$ 之電位下降 ($t 3$) 後選擇 $S G l u / b$ ($t 4$) 之理由為字線之延遲時間大於吸極側之選擇閘極 1。實際上之改寫時間為從 $t 4$ 至 $t 5$ 之間，將字線設定為負電壓 $-10 V$ ，使位元線電壓選擇性的成為 $5 V$ ，即可在所需之記憶體晶胞之漂浮閘極上產生電場而放出電子。

在 $t 5$ 至 $t 6$ 之期間內，為了將位元線 $B u 1$ 至 $B u n$ 之電位及副位元線 $S u b B i t L i n e$ ，副源極線 $S u b S o u r c e L i n e$ 之電位放電成為接地電壓 $V s s$ 而選擇 $B D e u / d$ 、 $B D o u / d$ 及吸極側選擇閘極 1 之閘極信號 $S G l u / b$ ，源極側選擇閘極 2 之閘極信號 $S G 2 u / b$ 。

在 $t 6$ 至 $t 7$ 之期間內，為了以正反器之資料選擇性的對位元線進行預充電，及將基準電位供給於非選擇側記憶體墊片 $M e m o r y M a t d$ 側之位元線而選擇 $P C e u$ 及 $P C e d$ 。此時，若考慮 $M O S$ 電晶體之臨限值電壓，假設預充電電位為 $1.0 V$ 時， $P C e u$ 之電位變成 $2.0 V$ ，而在基準電位 $0.5 V$ 時， $R C e d$ 之電位變成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

1 . 5 V .

在到達 t_7 之前，爲了保持正反器之資料而將內部電源電壓 V_{SPe} / o , V_{SNe} / o 活化。在到達 t_6 至 t_{11} 之間，選擇字線電位成爲核對電壓 1 . 5 V .

偶數側核對時之記憶體晶胞之放電時間係從 t_7 時選擇源極側選擇閘極 2 之閘極信號 SG_{2u} 開始至 t_8 時之吸極側選擇閘極 1 之閘極信號 SG_{1u} 成爲非活化爲止之時間。在此期間內，偶數側之正反器由於 $RSLeu / d$ 信號之活化而被復置。

然後，在 t_8 至 t_9 之期間內選擇 $TReu / e$ ，再度將偶數側之正反器之電源電壓 V_{SPe} , V_{SNe} 活化，即可將核對後之記憶體晶胞之資訊輸入偶數側之正反器中。亦即根據記憶體晶胞之資訊之臨限值電壓低或高，將位元線之電位保持於放電狀態或預充電電壓。在 t_9 至 t_{10} 之間，將偶數側核對時之位元線 $Bun - 1$ 之電位及副位元線 Sub Bit Line，及副源極線 Sub Source Line 之電位放電成爲接地電壓 V_{ss} 。

然後，與偶數側核對時相同的，在 t_{10} 至 t_{11} 之間進行奇數側核對動作。然後，在 t_{11} 至 t_{13} 之間判定記憶體晶胞臨限值電壓之全部位元線終了。若全部記憶體晶胞之臨限值電壓之下降，則正反器之資料之電位成爲接地 ou 電壓 V_{ss} 而判定該 V_{ss} 。將 $ALeu$ 及 $ALou$ 活化（從 t_{11} 至 t_{12} ）後，檢測其電位，若成爲接地電壓 V_{ss} 時，則重回至 t_2 ，繼續進行降低臨

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

限值電壓之動作。若 $A L e u$ ， $A L o u$ 成爲高位準時，則終止降低臨限值電壓之動作。

第 19 圖表示昇高記憶體晶胞之臨限值電壓之動作時之偵測門鎖電路 $S L$ 之時序波形圖。

在到達 t_2 之前確定正反器之資料，在 t_2 至 t_6 之間進行昇高臨限值電壓之動作。在 t_6 至 t_{12} 之間核對偶數側，在 t_{12} 至 t_{13} 之間核對奇數側，在 t_{13} 至 t_{15} 之間判定記憶體晶胞臨限值電壓之全部位元終了。

若昇高臨限值電壓之動作爲抹消動作時，在 t_1 至 t_2 之間選擇該選擇墊片側之 $R S L e d$ ， $R S L o d$ 而使正反器之臨限值電壓 $V S P e / o$ ， $V S N e / o$ 活化，將正反器之資料設定爲全選擇。若昇高臨限值電壓之動作爲寫入動作時，在達到 t_1 之前將寫入資訊輸入構成偵測放大器 $S L$ 之正反器中，跳過 t_1 至 t_2 之間，成爲從 t_2 開始之時序波形。

在 t_2 至 t_3 之間，使 $P C o u$ 活化而將正反器之資料傳送至位元線。然後，在達到 t_6 之期間內，與降低臨限值電壓之動作相同的活化信號線，即可執行昇高臨限值電壓之動作。然而，進行此時之改寫之對象字線之電位係施加字線電壓 $V h$ 之 16 V 之高電壓，正反器之電源電壓 $V S P e / o$ 爲非選擇通通及吸極電壓 $V h d$ 之電壓 8 V，又將轉換吸極電壓之 MOS 電晶體之閘極信號 $T R e u / d$ ， $T R o u / d$ 及 $S G l u / b$ 之電位設定爲 9 V 之重新選擇轉換閘極電壓 $V h t$ 。

五、發明說明 (23)

在 t_6 至 t_7 之間，爲了在選擇之全位元線上供應預充電電位，在非選擇側記憶體墊片之位元線上供應基準電位而施加 $2V$ 之 $R C e u$ 之電壓，及 $1.5V$ 之 $R C e d$ 之電壓。核對偶數側時之記憶體晶胞之放電時間係從 t_7 之選擇源極側選擇閘極 2 之閘極信號 $S G 2 u$ 開始至 t_8 之吸極側選擇閘極 1 之閘極信號 $S G 1 u$ 之非活化爲止。

在 t_8 至 t_9 之間選擇 $P C e u / d$ ，將正反器之資料傳送至位元線。然後，在 t_9 至 t_{10} 之間進行正反器之復置動作，在 t_{10} 至 t_{11} 之間選擇 $T R e u / d$ ，再度使偶數側之正反器之臨限值電壓 $V S P e$ ， $V S N e$ 活化，即可將核對後之記憶體晶胞之資訊輸入偶數側之正反器中。

然後，與偶數側核對時相同的在 t_{12} 至 t_{13} 之期間內進行奇數側之核對動作。然後，在 t_{13} 至 t_{15} 之間進行判定。若需要升高臨限值電壓之記憶體晶胞之臨限值電壓高於核對字線電壓時，正反器之資料之電位變成電源電壓 $V S P e / o$ 之電位而判定該高電位狀態。因此，將非選擇側之 $A L e d$ 及 $A L o d$ 活化而進行檢測。若爲接地電壓 $V s s$ 時，則成爲從 t_2 開始升高臨限值電壓之動作，而在高位準時完成動作。

由以上說明及圖式可知，可將本發明目的之對應於半導體非揮發性記憶裝置之資訊之記憶體晶胞之臨限值電壓如第 13 圖所示的與對應於各資訊之臨限值電壓成爲一致。爲了與雙值以上之資訊成爲對應，例如使最低之臨限值

五、發明說明 (24)

電壓成爲抹消狀態，在每一位元控制使其臨限值電壓成爲一致，輸入每一次動作後昇高臨限值電壓之動作之寫入資料，在每一位元予以控制而使臨限值電壓成爲一致。亦可使最高之臨限值電壓成爲抹消狀態，在寫入動作時實現低臨限值電壓。

以上說明本發明之具體實施例，但本發明不受上述實施例之限制，可在不超過其要旨之範圍內變更實施。

例如在以上說明中係說明將本發明之半導體非揮發性記憶裝置應用於快閃記憶體 (E E P R O M) 之例。但本發明亦可應用於利用電氣方式改寫之 E E P R O M ， E P R O M 等其他非揮發性記憶晶胞。

本發明之裝置不但以快閃記憶體使用於記憶裝置單位，又可做爲電腦系統，數位靜止攝影機系統，汽車系統等各種系統之記憶裝置廣泛的使用。以下參照第 2 4 圖說明將本發明應用於電腦系統之實施例。

第 2 0 圖中之電腦系統中包括做爲資訊機器之中央處理裝置 C P U ，設在資訊處理系統內之 I / O 匯流排，匯流單元，存取主記憶體或擴充記憶體等高速記憶體之記憶體控制單元 Memoyr Control Unit，做爲主記憶體之 D R A M ，儲存基本控制程式之 R O M ，及前端連接於鍵盤之鍵盤控制器 K B D C 等。顯示轉接器 Display Adapter 連接於 I / O 匯流排，而該顯示轉接器之前端連接於顯示器。該 I / O 匯流排連接於並聯埠 I / F ，滑鼠等串聯埠 I / F ，軟碟驅動器 F D D ，及變換成來自該 I

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(25)

／ O 匯流排之 H D D I / F 之緩衝控制器 H D D 緩衝器。此外，又連接於來自該記憶體控制單元 Memory Control Unit 之匯流排，而連接於擴充 R A M 及做為主記憶體之 D R A M 。

以下說明該電腦系統之動作。接通電源而開始動作後，首先 C P U 經由該 I / O 匯流排存取該 R O M ，進行初期診斷及初期設定。然後，將系統程式從補助記憶裝置中裝載於做為主記憶體之 D R A M 。 C P U 經由該 I / O 匯流排存取 H D D 控制器之 H D D 。

系統處式之裝載完成後，根據使用者之處理要求進行處理。使用者利用該 I / O 匯流排上之鍵盤控制器 K B D C 或顯示轉接器進行處理所需之輸入及輸出而同時進行處理。視需要可應用連接於並聯埠 I / F ，串聯埠 I / F 之輸入輸出裝置。

若主記憶容量不足時，在本體上之做為主記憶體之 D R A M 利用擴充 R A M 補償主記憶。若使用者希望讀寫檔案時，使用者將該 H D D 當做補助記憶裝置而要求存取補助記憶裝置。由本發明之快閃記憶體構成之快閃檔案系統接受其指令而存取檔案資料。

如上所述，本發明之快閃記憶體等半導體非揮發性記憶裝置可做為電腦系統之快閃檔案系統廣泛的應用。

在筆記型個人電腦，攜帶用資訊終端等電腦系統中，使用可插裝於系統上之個人電腦 (P C) 卡。如第 2 1 圖所示，該 P C 卡中包括具有 R O M 及 R A M 之 C P U ，連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

接於該 P C U 以便互相授受資料之快閃記憶體陣列 (F L A S H - A R R A Y) , 控制器 (Controller) , 可發射資料之控制邏輯電路 Control Logic , 緩衝器 , 及介面電路等。

該 P C 卡中 , 可在快閃記憶體 , 控制邏輯電路 , 緩衝器 , 與介面電路之間授受資料 , 而 P C 卡在插入系統本體上時 , 可經由介面電路連接於系統匯流排。

例如 C P U 以 8 位元之資料形成進行全部管理 , 執行介面控制 , 改寫及讀出動作控制 , 及運算處理等。快閃記憶體陣列係例如由 3 2 M 位元之快閃記憶體裝置陣列所構成。例如 1 個片段係由 5 1 2 信息組之資料區域及 1 6 信息組之公用區域所構成 , 而 8 1 9 2 片段成爲 1 個裝置。

控制器係由晶胞基區 (Cell Base) 或分立 I C 等所構成 , 而設有由 D R A M 或 S R A M 所構成之片段表格。控制邏輯電路產生時序信號 , 控制信號 , 而緩衝器係用來暫時儲存改寫時之資料。

如上所述 , 快閃記憶體等記憶體裝置又可使用於 P C 卡 , 而該非揮發性半導體記憶裝置可應用於需要利用電氣方式改寫資料之各種系統中。

上述實施例可產生如下之效果。

(1) 在改寫動作 (寫入動作及抹消動作) 程序中 , 在改寫動作後之核對之後改寫資料 , 以該資料進行再改寫動作而抑制記憶體晶胞之臨限值電壓分佈 , 故可減小寫入與抹消時之臨限值電壓之差 , 可大幅度的提高改寫次數。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(27)

(2) 抑制對應於資訊之各記憶體晶胞之臨限值電壓分佈，故可降低在具有多值資訊之半導體非揮發性記憶裝置之改寫動作時之最大電壓，可提高寄生電晶體等之耐壓。

(3) 尤其在可利用電氣方式改寫之半導體非揮發性記憶裝置中，利用佛拉·諾德因隧道現象進行改寫動作，故可實現低電壓之單一電源化，又因為提高改寫次數，故在使用本發明裝置之電腦系統中，可因低電壓化而減少系統之消耗功率，可提高可靠性。

圖式：

第1圖為本發明一實施例之半導體非揮發性記憶裝置之寫入動作之流程圖；

第2圖為本發明一實施例之半導體非揮發性記憶裝置之抹消動作之流程圖；

第3圖為習用例之抹消動作之流程圖；

第4圖為本發明一實施例之半導體非揮發性記憶體晶胞之電晶體之斷面圖；

第5a，5b圖為本發明一實施例之將半導體非揮發性記憶體晶胞之電晶體之臨限值電壓選擇性的降低之動作時之電壓施加例之斷面圖；

第6a，6b圖為本發明一實施例之將半導體非揮發性記憶體晶胞之電晶體之臨限值電壓選擇性的昇降之動作時之電壓施加例之斷面圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(28)

第7圖為構成1個記憶體晶胞陣列部之記憶體晶胞之連接例(NOR)之電路圖；

第8圖為構成1個記憶體晶胞陣列部之記憶體晶胞之連接例(DINOR)之電路圖；

第9圖為構成1個記憶體晶胞陣列部之記憶體晶胞之連接例(AND)之電路圖；

第10圖為構成1個記憶體晶胞陣列部之記憶體晶胞之連接例(HICR)之電路圖；

第11圖為構成1個記憶體晶胞陣列部之記憶體晶胞之連接例(NAND)之電路圖；

第12a, 12b圖為利用習用例之改寫動作時之記憶體晶胞臨限值電壓分佈之圖；

第13a, 13b圖為利用本發明實施例之改寫動作時之記憶體晶胞臨限值電壓之分佈圖；

第14圖為本發明一實施例之半導體非揮發性記憶裝置之功能方塊圖；

第15圖為本發明一實施例之降低記憶體晶胞臨限值電壓之動作時之偵測放大器內之正反器之資料之圖；

第16圖為本發明一實施例之昇高記憶體晶胞臨限值電壓之動作時之偵測放大器之正反器之資料之圖；

第17圖為本發明一實施例之偵測門鎖電路之詳細電路圖；

第18圖為本發明一實施例之降低臨限值電壓之動作時之動作時序波形圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

第19圖為本發明一實施例之昇高臨限值電壓之動作時之動作時序波形圖；

第20圖為本發明一實施例之利用半導體非揮發性記憶裝置之電腦系統之方塊圖；

第21圖為本發明一實施例之利用半導體非揮發性記憶裝置之個人電腦卡之方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

半導體非揮發性記憶裝置及使用該
裝置之電腦系統

一種半導體非揮發性記憶裝置及使用該裝置之電腦系統，在半導體非揮發性記憶裝置進行改寫(寫入或抹消)動作後，繼續對半導體非揮發性記憶裝置之記憶體晶胞中，臨限值電壓未達到核對字線電壓之記憶體晶胞進行改寫動作，藉以提高半導體非揮發性記憶裝置之改寫耐性。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

訂

線

六、申請專利範圍

1. 一種半導體非揮發性記憶裝置，主要包括分別具有控制閘極，吸極，及源極之許多非揮發性半導體記憶體晶胞，共同連接於許多非揮發性半導體記憶體晶胞之控制閘極之字線，及分別連接於該許多非揮發性半導體記憶體晶胞之吸極之許多位元線，在該許多非揮發性半導體記憶體晶胞上寫入時，只對該寫入不充之非揮發性半導體記憶體晶胞繼續進行該寫入，其特徵為包括：對該許多非揮發性半導體記憶體晶胞進行抹消時，只對該抹消不充分之非揮發性半導體記憶體繼續進行該抹消之裝置。

2. 一種半導體非揮發性記憶裝置，主要包括分別具有控制閘極，吸極，及源極之許多非揮發性半導體記憶體晶胞，共同的連接於該許多非揮發性半導體記憶體晶胞之控制閘極之字線，分別連接於該許多非揮發性半導體記憶體晶胞之吸極之許多位元線，及分別連接於該許多位元線，分別保持該許多非揮發性半導體記憶體晶胞之各非揮發性半導體記憶體晶胞之改寫資料之許多閘鎖電路，在該許多閘鎖電路上設定該改寫資料，而且對該許多非揮發性半導體記憶體晶胞進行寫入動作時，配合該許多非揮發性半導體記憶體晶胞之各非揮發性半導體記憶體晶胞之狀態重新設定該許多閘鎖電路之該改寫資料，配合該重新設定之該改寫資料，控制對每一非揮發性半導體記憶體晶胞之該寫入動作之繼續或停止，其特徵為包括：在該許多閘鎖電路上設定該改寫資料，而且對該許多非揮發性半導體記憶體晶胞進行抹消動作時，配合該許多非揮發性半導體記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

體晶胞之各非揮發性半導體記憶體晶胞之狀態重新設定該改寫資料，配合該重新設定之該改寫資料對該許多非揮發性半導體記憶體晶胞之各非揮發性半導體記憶體晶胞繼續進行或停止進行該抹消動作。

3. 如申請專利範圍第2項之裝置，其中保持於該許多閃鎖電路中之該改寫資料，係配合將該許多非揮發性半導體記憶體晶胞之資訊分別整批的讀出於該許多位元線上時發生之該許多位元線之各位元線之電位變化在該裝置內部重新設定。

4. 如申請專利範圍第1項之裝置，其中該許多非揮發性半導體記憶體晶胞具有第1臨限值電壓及與該第1臨限值電壓不同之第2臨限值電壓，而該第1臨限值電壓與該第2臨限值電壓之不均勻為1V以下。

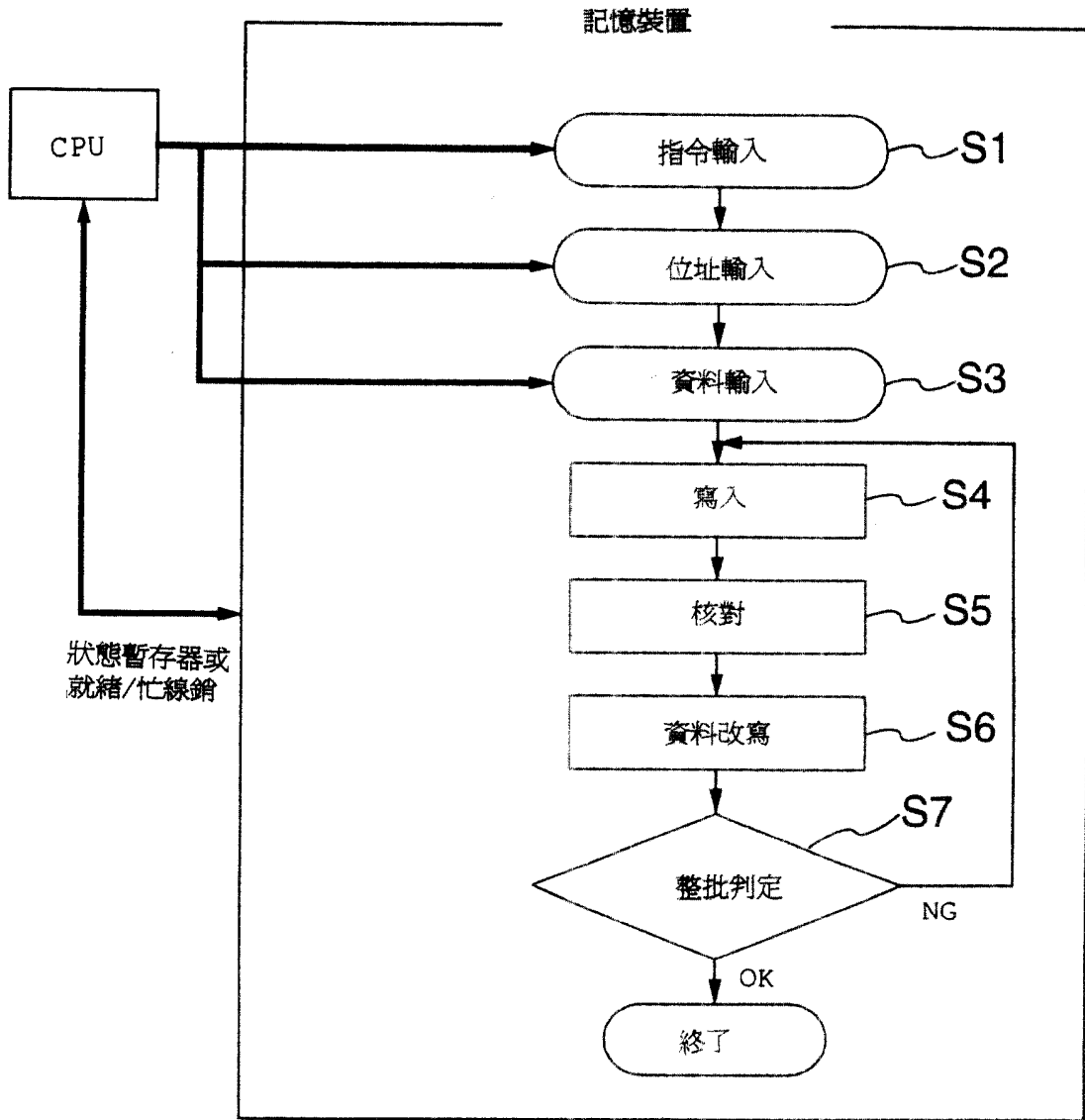
5. 一種具有如申請專利範圍第1項之半導體非揮發性記憶裝置之電腦系統，其特徵為：該半導體非揮發性記憶裝置之該重新寫入或該重新抹消不依照中央處理裝置之指令執行。

(請先閱讀背面之注意事項再填寫本頁)

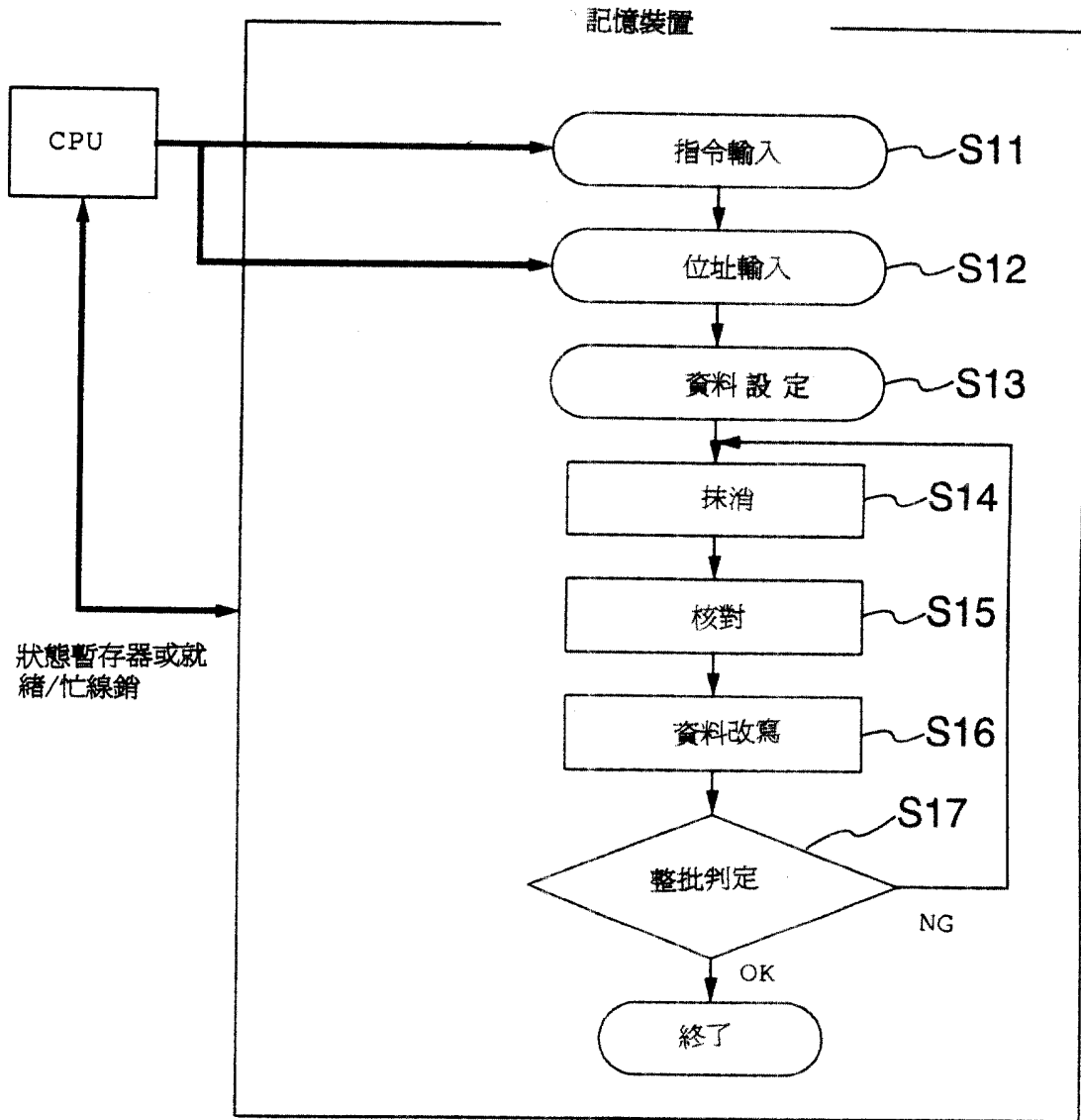
裝

訂

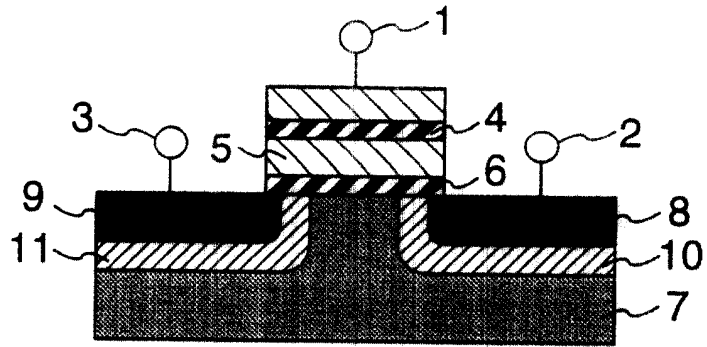
第 1 圖



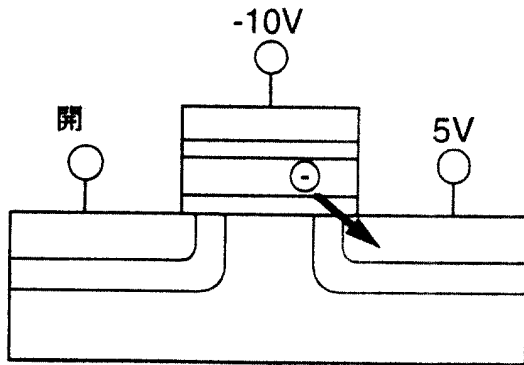
第 2 圖



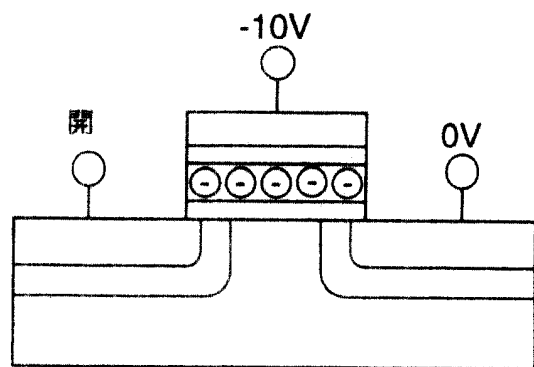
第 4 圖



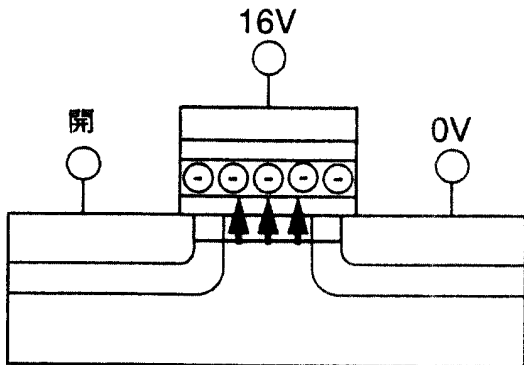
第 5 圖a



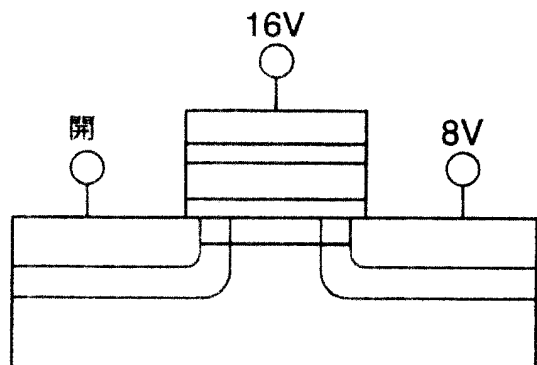
第 5 圖b



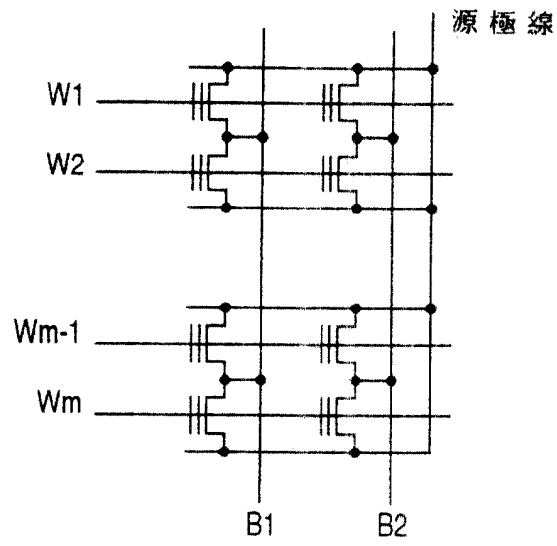
第 6 圖a



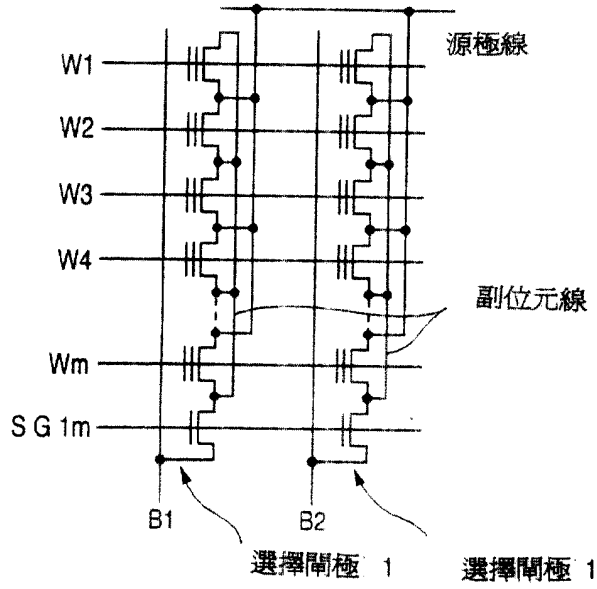
第 6 圖b



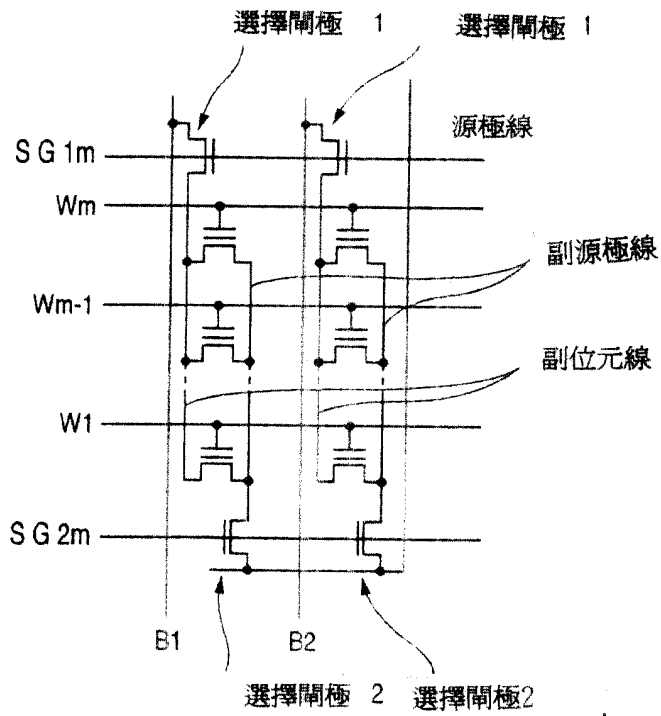
第 7 圖



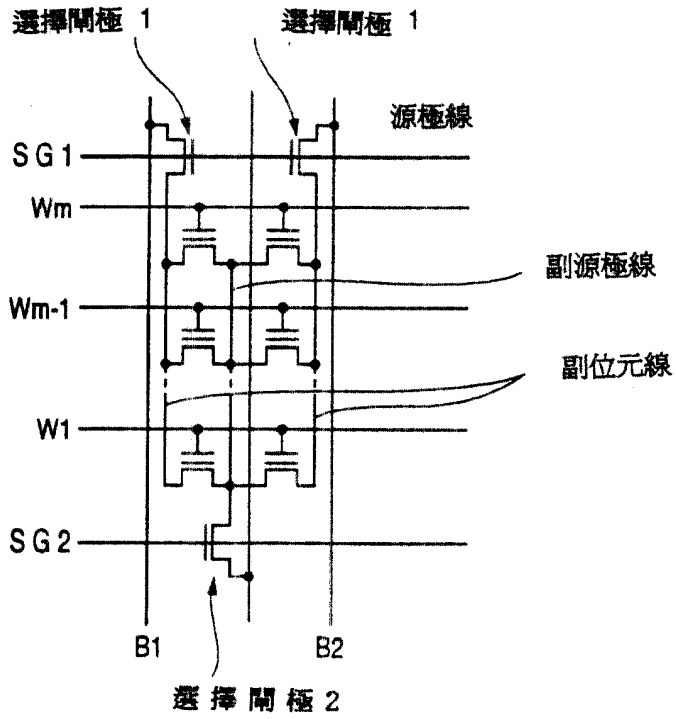
第 8 圖



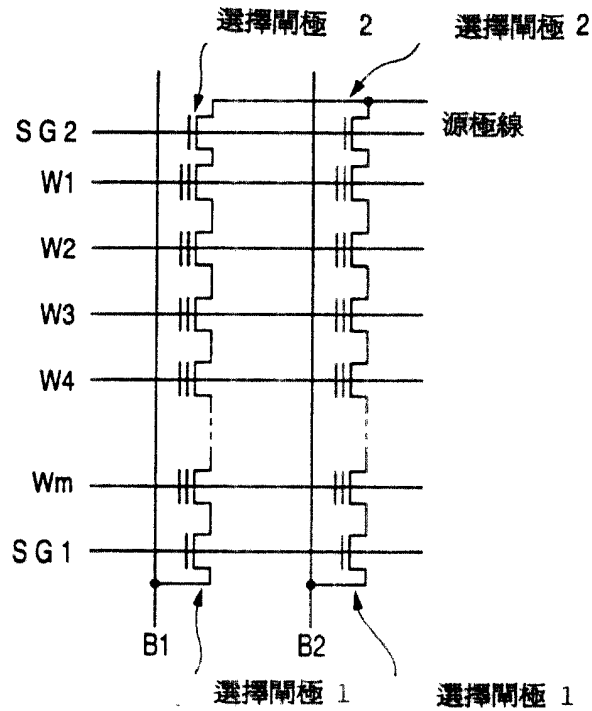
第 9 圖



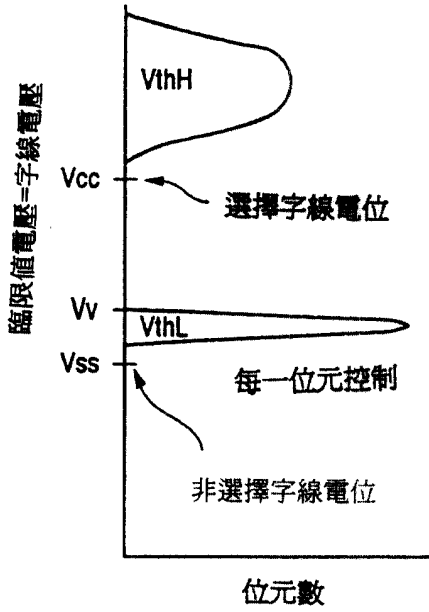
第10圖



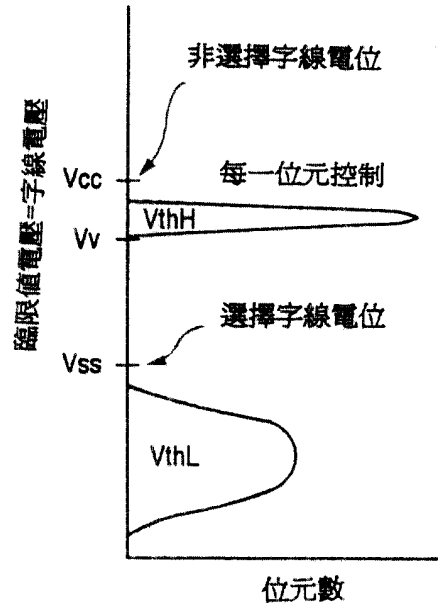
第11圖



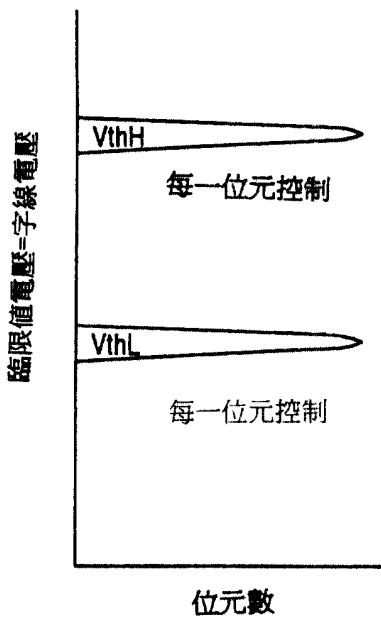
第12圖 a



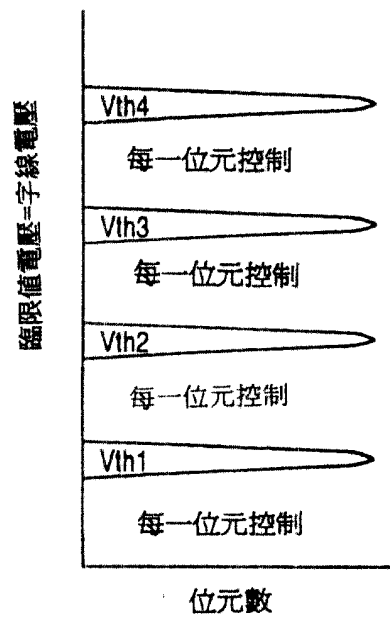
第12圖 b



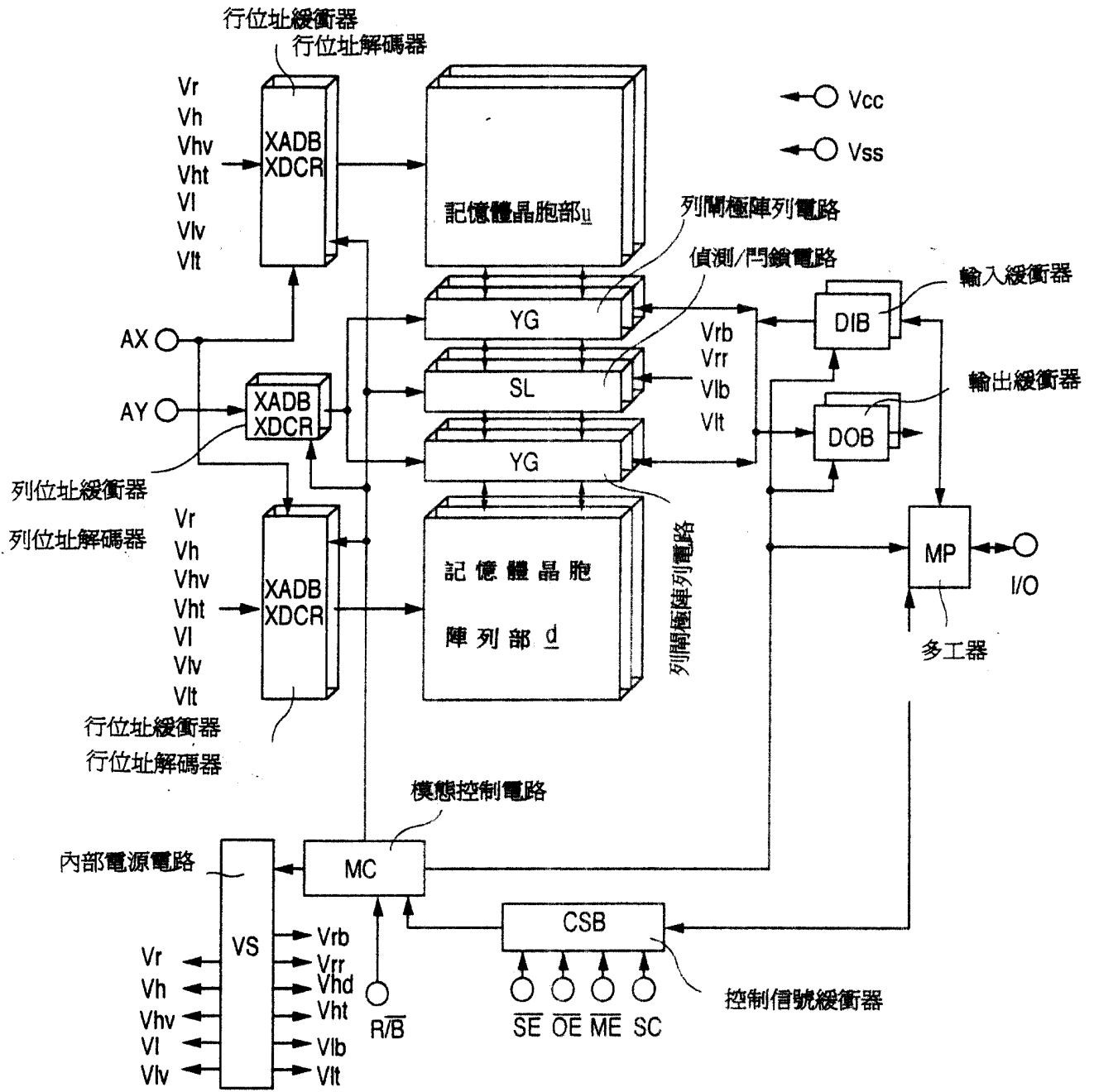
第13圖 a



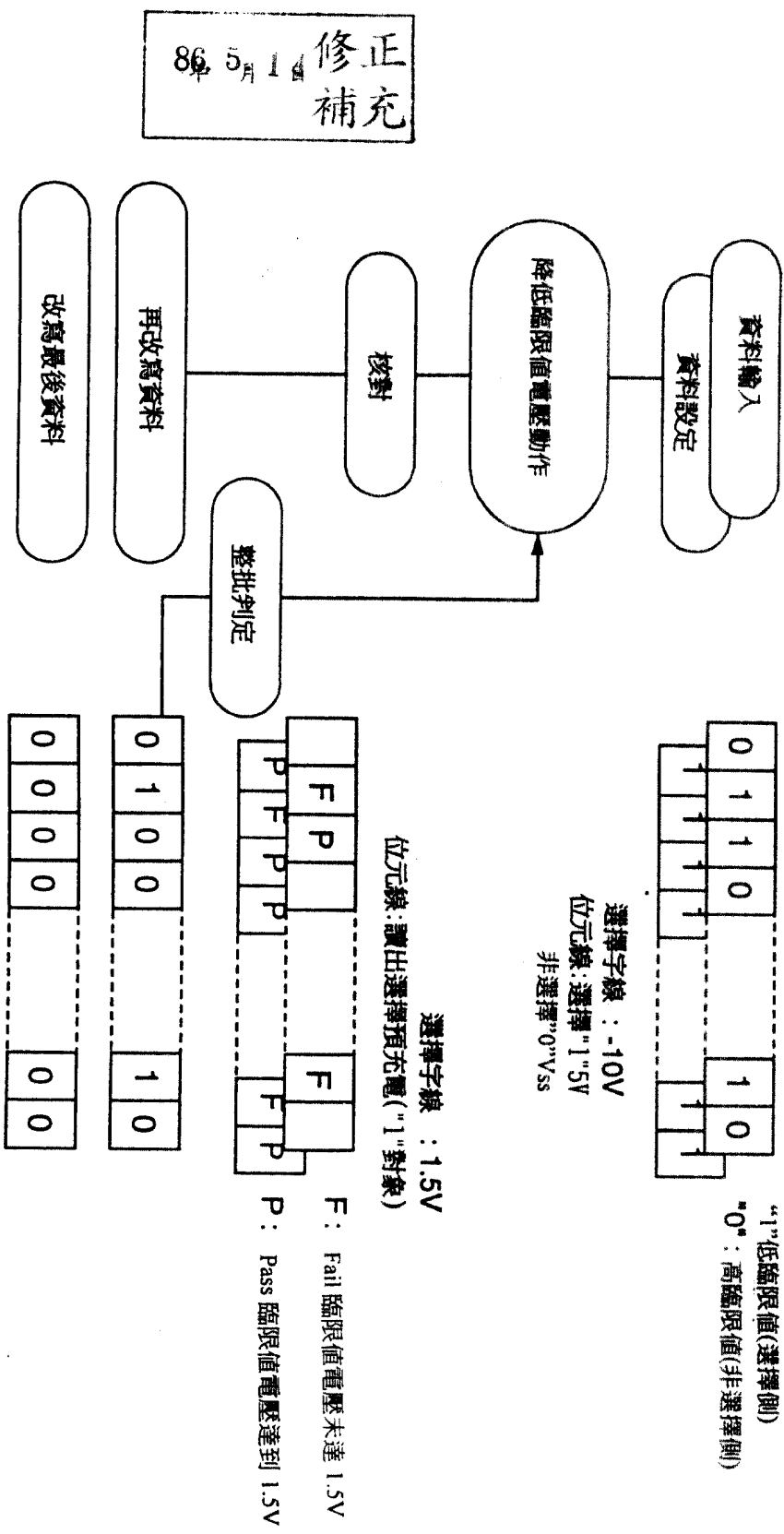
第13圖 b



第14圖

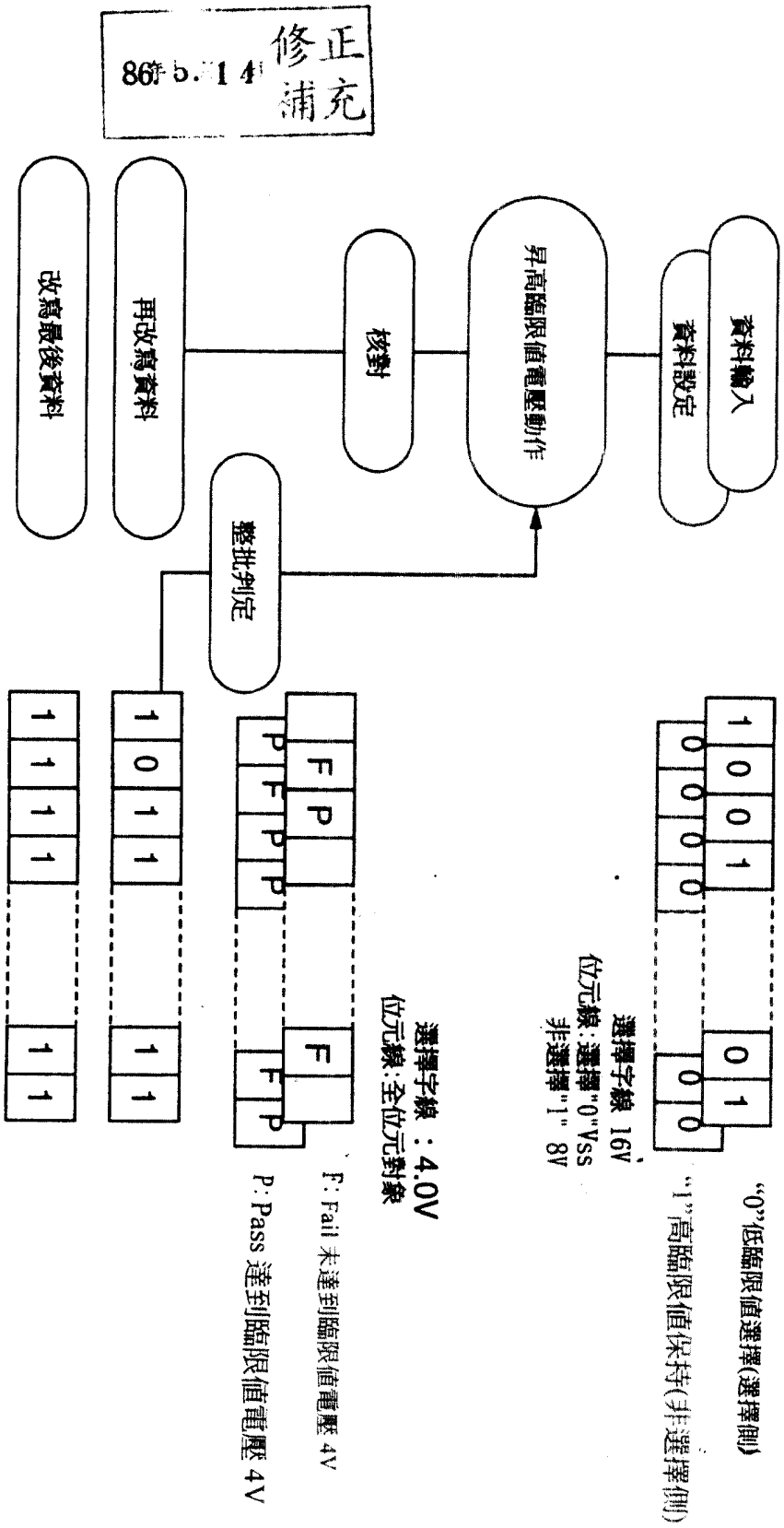


第15圖



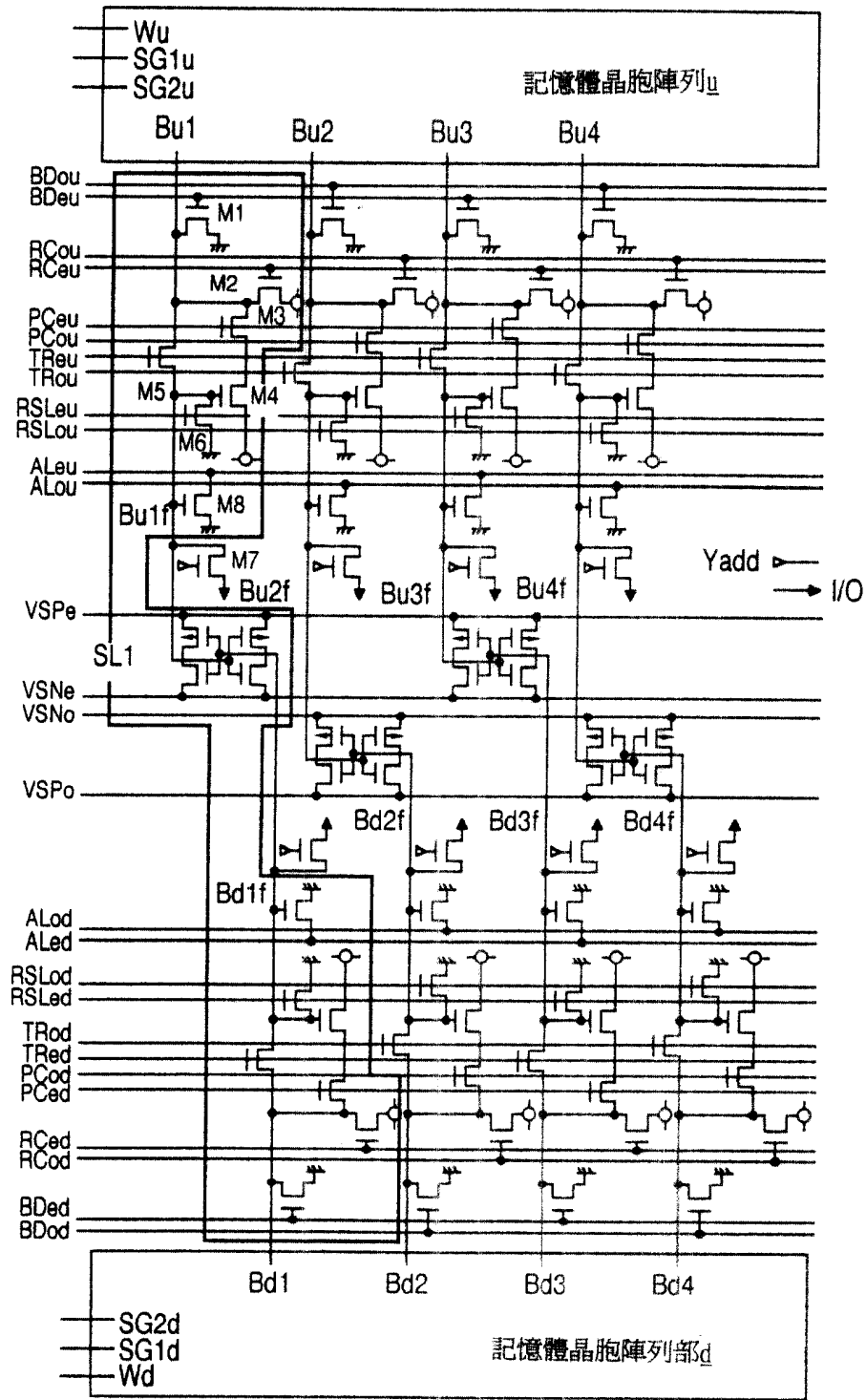
86年5月1日修正補充

第16圖

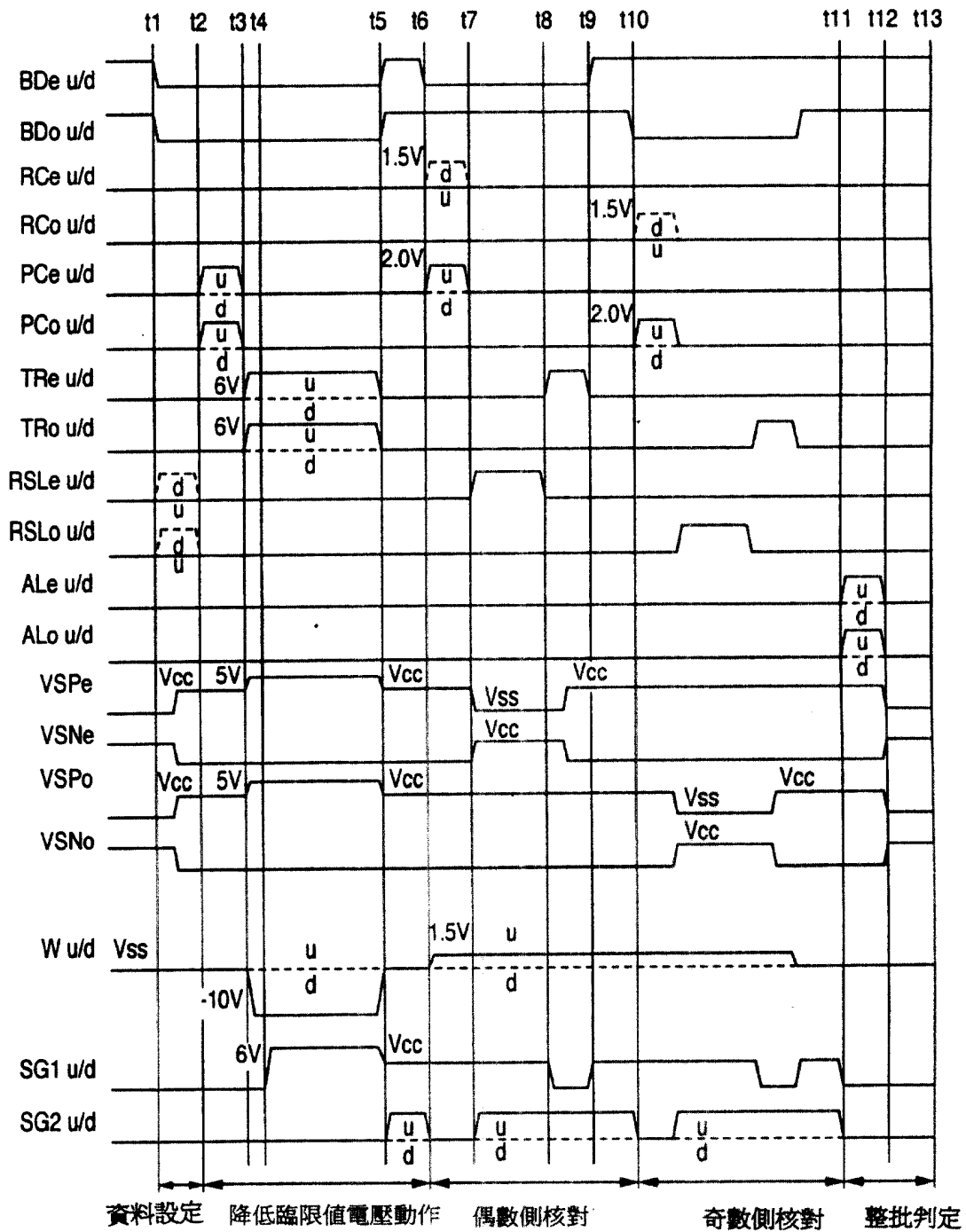


修正
補充
86年5月14日

第17圖



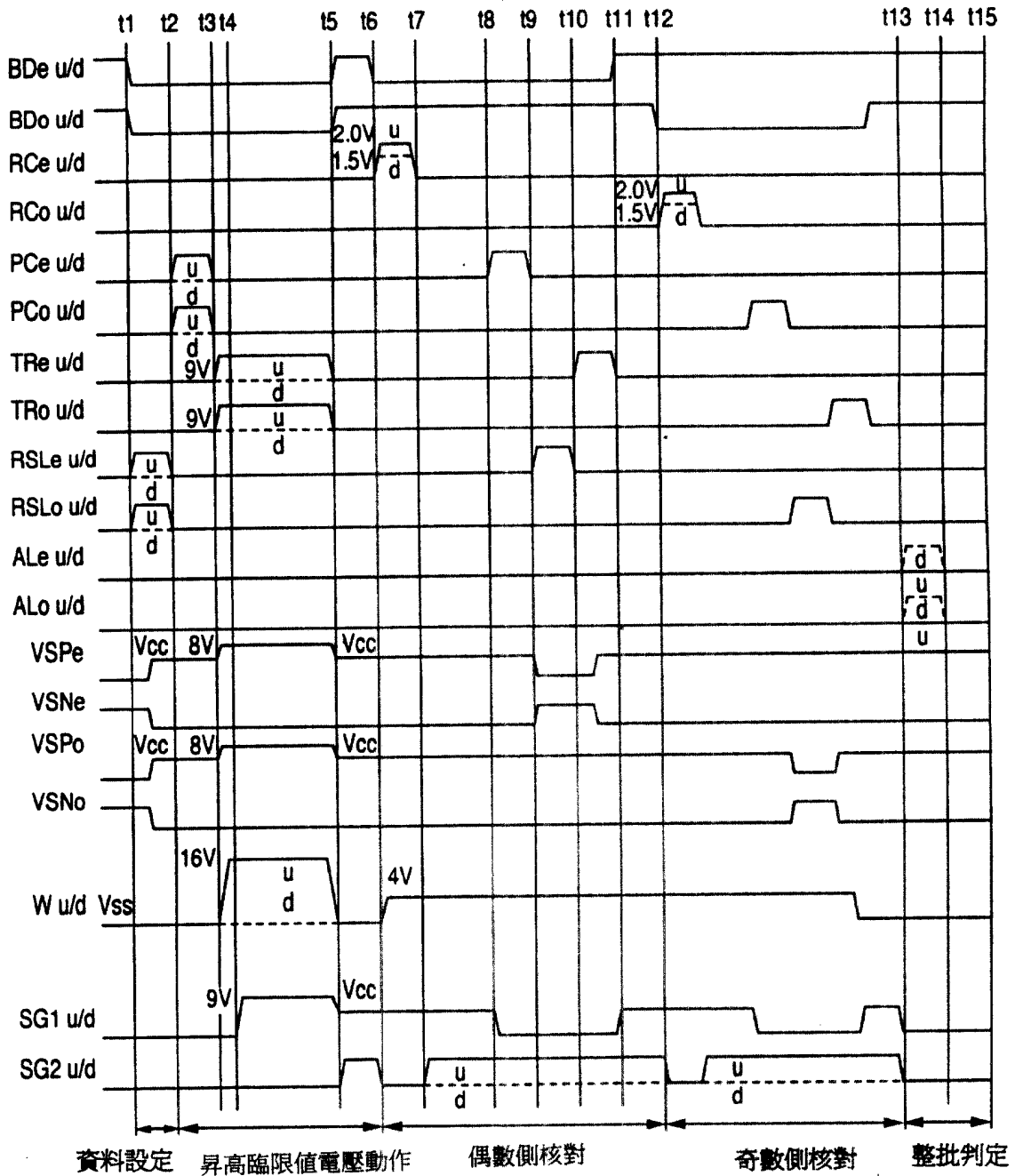
第18圖



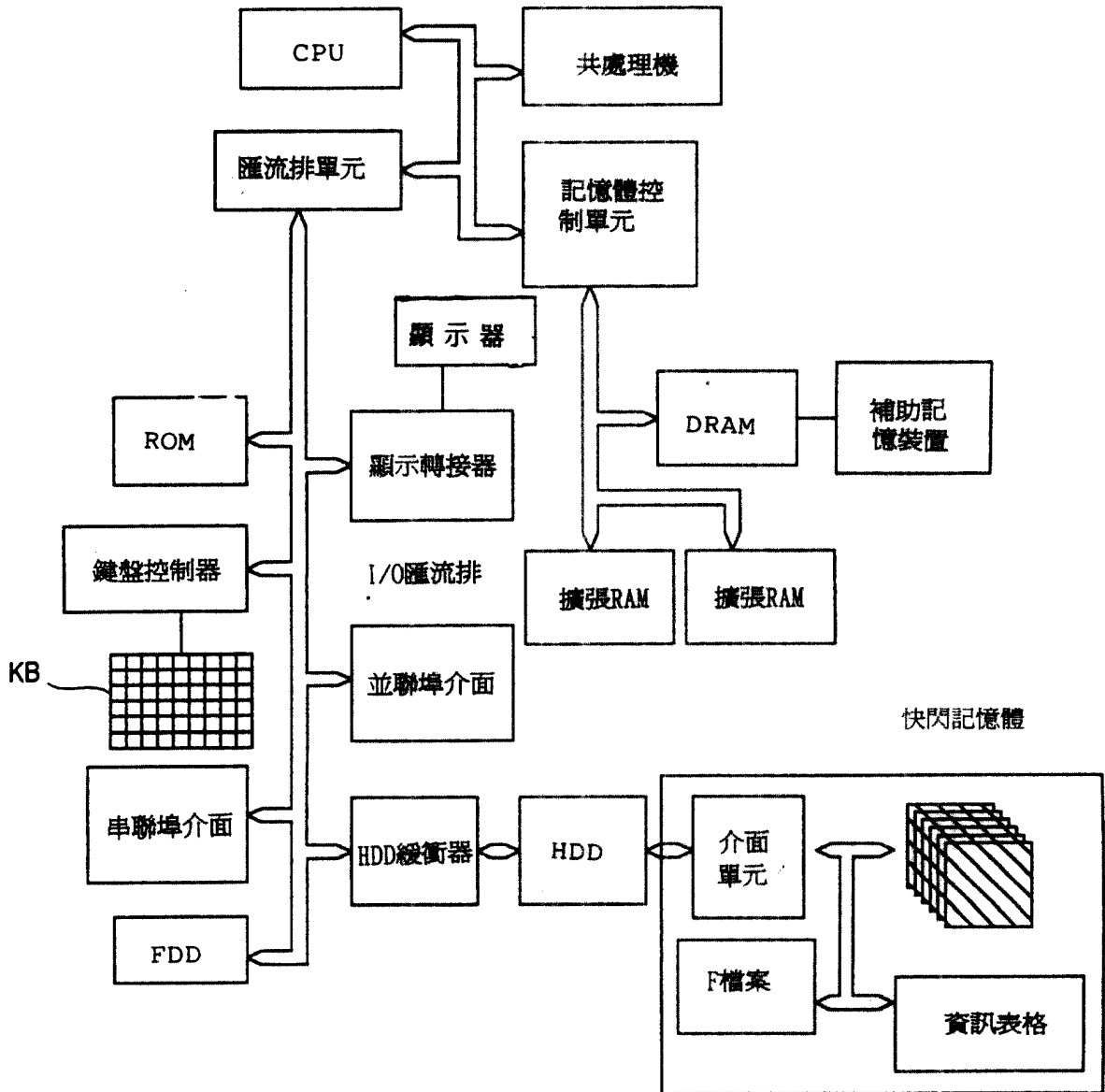
310432

86.年.月.日 修正
補充

第19圖



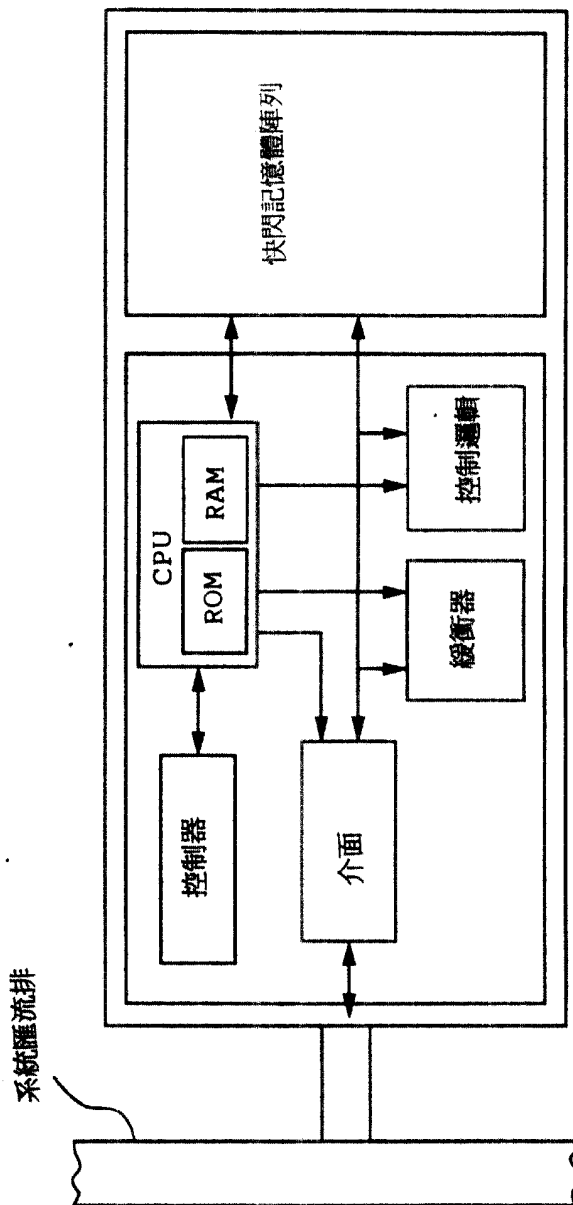
第20圖



310432

86.5.14 修正
年 月 日 補充

第21圖



公告本

310432

310432

310432

申請日期	85 年 9 月 24 日
案 號	85111684
類 別	Int. Cl. G11C 14/00

A4
C4

86年5月4日 修正
補充

(以上各欄由本局填註)

發明專利說明書(修正本)

一、發明 名稱	中 文	半導體非揮發性記憶裝置及使用該裝置之電腦系統
	英 文	
二、發明 創作人	姓 名	(1) 田中利廣 (2) 加藤正高 (3) 足立哲生
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都あきる野市二宮二二七三-五 (2) 日本國東京都小金井市貫井北町五-一三-一 -一三〇五 (3) 日本國東京都八王子市晚町一-四八-一八
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製