

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5426318号
(P5426318)

(45) 発行日 平成26年2月26日(2014.2.26)

(24) 登録日 平成25年12月6日(2013.12.6)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	619A
HO1L 29/786	(2006.01)	HO1L 29/78	613Z
HO1L 21/28	(2006.01)	HO1L 29/78	618B
HO1L 21/8236	(2006.01)	HO1L 29/78	616U
HO1L 27/088	(2006.01)	HO1L 29/78	618C

請求項の数 12 (全 57 頁) 最終頁に続く

(21) 出願番号

特願2009-244086 (P2009-244086)

(22) 出願日

平成21年10月23日 (2009.10.23)

(65) 公開番号

特開2010-135760 (P2010-135760A)

(43) 公開日

平成22年6月17日 (2010.6.17)

審査請求日 平成23年12月16日 (2011.12.16)

(31) 優先権主張番号

特願2008-281647 (P2008-281647)

(32) 優先日

平成20年10月31日 (2008.10.31)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 秋元 健吾

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 津吹 将志

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】論理回路

(57) 【特許請求の範囲】

【請求項 1】

デプレッショントランジスタと、
エンハンスマント型トランジスタと、を有し、
前記デプレッショントランジスタのソース及びドレインの一方には、高電源電圧が与えられ、

前記デプレッショントランジスタのゲートは、前記デプレッショントランジスタのソース及びドレインの他方と電気的に接続され、

前記エンハンスマント型トランジスタのゲートに、第1の信号が入力され、
前記エンハンスマント型トランジスタのソース及びドレインの一方は、前記デプレッショントランジスタのソース及びドレインの他方と電気的に接続され、 10

前記エンハンスマント型トランジスタのソース及びドレインの他方に、低電源電圧が与えられ、

前記デプレッショントランジスタと前記エンハンスマント型トランジスタの接続箇所の電圧が、第2の信号として出力され、

前記デプレッショントランジスタ及び前記エンハンスマント型トランジスタは、
ゲート電極と、

前記ゲート電極上に設けられたゲート絶縁層と、

前記ゲート絶縁層上に設けられた第1の酸化物半導体層と、

前記第1の酸化物半導体層の一部に接する一対の第2の酸化物半導体層と、

前記一対の第2の酸化物半導体層の一方に接するソース電極と、
 前記一対の第2の酸化物半導体層の他方に接するドレイン電極と、を有し、
 前記エンハンスマント型トランジスタは、前記第1の酸化物半導体層上で且つ前記ソース電極及び前記ドレイン電極の間の領域に還元防止層を有し、
 前記デプレッション型トランジスタは、前記第1の酸化物半導体層上で且つ前記ソース電極及び前記ドレイン電極の間の領域に前記還元防止層を有さず、
 前記エンハンスマント型トランジスタは、前記第1の酸化物半導体層における前記ゲート絶縁層との接触面と反対側の面であって前記ソース電極及び前記ドレイン電極の間に、酸素イオン照射処理によって形成された酸素空孔制御領域を有し、
 前記酸素空孔制御領域は、前記デプレッション型トランジスタより、酸素空孔密度が低いことを特徴とする論理回路。 10

【請求項2】

請求項1において、
 前記一対の第2の酸化物半導体層は、ソース領域及びドレイン領域としての機能を有することを特徴とする論理回路。

【請求項3】

請求項1または請求項2において、
 前記第1の酸化物半導体層または前記第2の酸化物半導体層の少なくとも一方は、インジウム、ガリウム、及び亜鉛を有することを特徴とする論理回路。

【請求項4】

デプレッション型トランジスタと、
 エンハンスマント型トランジスタと、を有し、
 前記デプレッション型トランジスタのソース及びドレインの一方には、高電源電圧が与えられ、
 前記デプレッション型トランジスタのゲートは、前記デプレッション型トランジスタのソース及びドレインの他方と電気的に接続され、
 前記エンハンスマント型トランジスタのゲートに、第1の信号が入力され、
 前記エンハンスマント型トランジスタのソース及びドレインの一方は、前記デプレッション型トランジスタのソース及びドレインの他方と電気的に接続され、
 前記エンハンスマント型トランジスタのソース及びドレインの他方に、低電源電圧が与えられ。 30

前記デプレッション型トランジスタと前記エンハンスマント型トランジスタの接続箇所の電圧が、第2の信号として出力され、

前記デプレッション型トランジスタ及び前記エンハンスマント型トランジスタは、
 ゲート電極と、
 前記ゲート電極上に設けられたゲート絶縁層と、
 前記ゲート絶縁層上に設けられた酸化物半導体層と、
 前記酸化物半導体層の一部に接するソース電極及びドレイン電極と、を有し、
 前記エンハンスマント型トランジスタは、前記酸化物半導体層上で且つ前記ソース電極及び前記ドレイン電極の間の領域に還元防止層を有し、
 前記デプレッション型トランジスタは、前記酸化物半導体層上で且つ前記ソース電極及び前記ドレイン電極の間の領域に還元防止層を有さず。 40

前記エンハンスマント型トランジスタは、前記酸化物半導体層における前記ゲート絶縁層との接触面と反対側の面であって前記ソース電極及び前記ドレイン電極の間に、酸素イオン照射処理によって形成された酸素空孔制御領域を有し、
 前記酸素空孔制御領域は、前記デプレッション型トランジスタより、酸素空孔密度が低いことを特徴とする論理回路。

【請求項5】

請求項4において、
 前記酸化物半導体層は、インジウム、ガリウム、及び亜鉛を有することを特徴とする論 50

理回路。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記デプレッション型トランジスタ及び前記エンハンスマント型トランジスタを有する第 1 のインバータ回路並びに第 2 のインバータ回路と、

第 3 のインバータ回路と、

第 1 のトランジスタと、

第 2 のトランジスタと、を有し、

前記第 1 のトランジスタのゲートに、第 1 のクロック信号が入力され、

前記第 1 のトランジスタのソース及びドレインの一方に、入力信号が入力され、

前記第 1 のトランジスタのソース及びドレインの他方は、前記第 1 のインバータ回路の入力端子と電気的に接続され、

前記第 1 のインバータ回路の出力端子は、前記第 2 のインバータ回路の入力端子と電気的に接続され、

前記第 1 のインバータ回路の出力端子は、前記第 3 のインバータ回路の入力端子と電気的に接続され、

前記第 3 のインバータ回路の出力端子から出力信号が出力され、

前記第 2 のトランジスタのゲートに、第 2 のクロック信号が入力され、

前記第 2 のトランジスタのソース及びドレインの一方は、前記第 1 のトランジスタのソース及びドレインの他方と電気的に接続され、

前記第 2 のトランジスタのソース及びドレインの他方は、前記第 2 のインバータ回路の出力端子と電気的に接続されることを特徴とする論理回路。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記デプレッション型トランジスタ及び前記エンハンスマント型トランジスタは、同じ導電型を有することを特徴とする論理回路。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記エンハンスマント型トランジスタの前記ソース電極または前記ドレイン電極は、前記ゲート絶縁層に設けられた開口部を介して前記デプレッション型トランジスタのゲート電極に接することを特徴とする論理回路。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項に記載の論理回路を用いることを特徴とする表示装置。

【請求項 10】

請求項 9 に記載の表示装置は、発光表示装置、液晶表示装置、または電気泳動表示装置としての機能を有することを特徴とする表示装置。

【請求項 11】

請求項 1 乃至請求項 8 のいずれか一項に記載の論理回路を有することを特徴とする電子機器。

【請求項 12】

請求項 11 に記載の電子機器は、テレビジョン装置、モニタ、カメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、または大型ゲーム機としての機能を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いた薄膜トランジスタを具備する回路に関する。具体的には論理回路に関する。

【背景技術】

10

20

30

40

50

【0002】

液晶表示装置に代表されるように、ガラス基板などの平板に形成される薄膜トランジスタ（TFT：Thin Film Transistorともいう）は、主にアモルファスシリコン、または多結晶シリコンなどの半導体材料を用いて作製される。アモルファスシリコンを用いたTFTは、電界効果移動度が低いもののガラス基板の大面積化に対応することができ、一方、多結晶シリコンを用いたTFTは、電界効果移動度が高いもののレーザアニールなどの結晶化工程が必要であり、ガラス基板の大面積化には必ずしも適応しないといった特性を有している。

【0003】

これに対し、半導体材料として酸化物半導体を用いてTFTを作製し、該TFTを電子デバイスや光デバイスに応用する技術が注目されている。例えば、半導体材料として酸化亜鉛、In-Ga-Zn-O系酸化物半導体を用いてTFTを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。10

【0004】

酸化物半導体にチャネル形成領域（チャネル領域ともいう）を設けたTFTは、アモルファスシリコンを用いたTFTよりも高い電界効果移動度が得られている。酸化物半導体膜はスパッタリング法などによって300℃以下の温度で膜形成が可能であり、多結晶シリコンを用いたTFTよりも製造工程が簡単である。

【0005】

このような酸化物半導体を用いてガラス基板、プラスチック基板などにTFTを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイ（ELディスプレイともいう）または電子ペーパなどの表示装置への応用が期待されている。20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来の酸化物半導体を用いたTFTは、ノーマリーオンであるデプレッション型になりやすいといった傾向があり、また、経時的に閾値電圧がシフトしてしまうといった問題があった。このため、所望の閾値電圧を有するトランジスタ、例えばノーマリーオフであるエンハンスメント型のトランジスタを用いて構成される論理回路に従来の酸化物半導体を用いたTFTを適用することは困難であった。30

【0008】

上記問題を鑑み、酸化物半導体を用いた薄膜トランジスタにおいて所望の閾値電圧を得ることを課題の一つとし、具体的には該薄膜トランジスタを所望の閾値電圧を有するトランジスタを用いて構成される論理回路に適用することを課題の一つとする。

【課題を解決するための手段】

【0009】

本明細書に開示する発明の一形態は、バックチャネル上に還元を防止するための層を有し、閾値電圧が制御されたエンハンスメント型トランジスタを具備する論理回路である。40

【0010】

具体的な構成の一は、ソース及びドレインの一方に高電源電圧が与えられ、ゲートとソース及びドレインの他方が電気的に接続されたデプレッション型トランジスタと、ゲートに第1の信号が入力され、ソース及びドレインの一方がデプレッション型トランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方に低電源電圧が与えられ、デプレッション型トランジスタとの接続箇所の電圧が第2の信号として出力されるエンハンスメント型トランジスタと、を有し、デプレッション型トランジスタ及びエ

ンハンスマント型トランジスタは、ゲート電極と、ゲート電極上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられた第1の酸化物半導体層と、第1の酸化物半導体層の一部に接し、ソース領域及びドレイン領域となる一対の第2の酸化物半導体層と、ソース領域である第2の酸化物半導体層に接するソース電極と、ドレイン領域である第2の酸化物半導体層に接するドレイン電極と、を有し、エンハンスマント型トランジスタは、第1の酸化物半導体層におけるソース電極及びドレイン電極の間の領域上に還元防止層を有する構成である。

【0011】

また、他の具体的な構成は、ゲートに第1のクロック信号が入力され、ソース及びドレインの一方に入力信号が入力される第1のトランジスタと、入力端子が第1のトランジスタのソース及びドレインの他方に電気的に接続された第1のインバータ回路と、入力端子が第1のインバータ回路の出力端子に電気的に接続された第2のインバータ回路と、入力端子が第1のインバータ回路の出力端子に電気的に接続され、出力端子から出力信号を出力する第3のインバータ回路と、ゲートに第2のクロック信号が入力され、ソース及びドレインの一方が第1のトランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方が第2のインバータ回路の出力端子に電気的に接続される第2のトランジスタと、を有し、第1のインバータ回路及び第2のインバータ回路は、ソース及びドレインの一方に高電源電圧が与えられ、ゲートとソース及びドレインの他方が電気的に接続されたデプレッション型トランジスタと、ゲートに第1の信号が入力され、ソース及びドレインの一方がデプレッション型トランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方に低電源電圧が与えられ、デプレッション型トランジスタとの接続箇所の電圧が第2の信号として出力されるエンハンスマント型トランジスタと、を有し、デプレッション型トランジスタ及びエンハンスマント型トランジスタは、ゲート電極と、ゲート電極上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられた第1の酸化物半導体層と、第1の酸化物半導体層の一部に接し、ソース領域及びドレイン領域となる一対の第2の酸化物半導体層と、ソース領域である第2の酸化物半導体層に接するソース電極と、ドレイン領域である第2の酸化物半導体層に接するドレイン電極と、を有し、エンハンスマント型トランジスタは、第1の酸化物半導体層におけるソース電極及びドレイン電極の間の領域上に還元防止層を有する構成である。

【0012】

エンハンスマント型トランジスタは、第1の酸化物半導体層におけるゲート絶縁層との接触面と反対側の面であってソース電極及びドレイン電極の間に設けられた酸素空孔制御領域を有する構成とすることもできる。

【0013】

また、第1の酸化物半導体層及び第2の酸化物半導体層は、インジウム、ガリウム、及び亜鉛を有する構成とすることもできる。

【0014】

また、他の具体的な構成は、ソース及びドレインの一方に高電源電圧が与えられ、ゲートとソース及びドレインの他方が電気的に接続されたデプレッション型トランジスタと、ゲートに第1の信号が入力され、ソース及びドレインの一方がデプレッション型トランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方に低電源電圧が与えられ、デプレッション型トランジスタとの接続箇所の電圧が第2の信号として出力されるエンハンスマント型トランジスタと、を有し、デプレッション型トランジスタ及びエンハンスマント型トランジスタは、ゲート電極と、ゲート電極上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられた酸化物半導体層と、酸化物半導体層の一部に接するソース電極及びドレイン電極と、エンハンスマント型トランジスタは、酸化物半導体層におけるソース電極及びドレイン電極の間の領域上に還元防止層を有する構成である。

【0015】

また、他の具体的な構成は、ゲートに第1のクロック信号が入力され、ソース及びドレインの一方に入力信号が入力される第1のトランジスタと、入力端子が第1のトランジスタ

10

20

30

40

50

のソース及びドレインの他方に電気的に接続された第1のインバータ回路と、入力端子が第1のインバータ回路の出力端子に電気的に接続された第2のインバータ回路と、入力端子が第1のインバータ回路の出力端子に電気的に接続され、出力端子から出力信号を出力する第3のインバータ回路と、ゲートに第2のクロック信号が入力され、ソース及びドレインの一方が第1のトランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方が第2のインバータ回路の出力端子に電気的に接続される第2のトランジスタと、を有し、第1のインバータ回路及び第2のインバータ回路は、ソース及びドレインの一方で高電源電圧が与えられ、ゲートとソース及びドレインの他方が電気的に接続されたデプレッション型トランジスタと、ゲートに第1の信号が入力され、ソース及びドレインの一方がデプレッション型トランジスタのソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方に低電源電圧が与えられ、デプレッション型トランジスタとの接続箇所の電圧が第2の信号として出力されるエンハンスマント型トランジスタと、を有し、デプレッション型トランジスタ及びエンハンスマント型トランジスタは、ゲート電極と、ゲート電極上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられた酸化物半導体層と、酸化物半導体層の一部に接するソース電極及びドレイン電極と、エンハンスマント型トランジスタは、酸化物半導体層におけるソース電極及びドレイン電極の間の領域上に還元防止層を有する構成である。10

【0016】

エンハンスマント型トランジスタは、第1の酸化物半導体層におけるゲート絶縁層との接触面と反対側の面であってソース電極及びドレイン電極の間に設けられた酸素空孔制御領域を有する構成とすることもできる。20

【0017】

または酸化物半導体層は、インジウム、ガリウム、及び亜鉛を有する構成とすることもできる。

【0018】

また、デプレッション型トランジスタ及びエンハンスマント型トランジスタは、互いに同じ導電型とすることもできる。

【0019】

また、エンハンスマント型トランジスタのソース電極またはドレイン電極は、ゲート絶縁層に設けられた開口部を介してデプレッション型トランジスタのゲート電極に接する構成とすることもできる。30

【0020】

本明細書中で用いる酸化物半導体は、 $InMO_3 (ZnO)_m$ ($m > 0$) で表記されるものである。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることの他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。なお、本明細書において、インジウム、ガリウム、及び亜鉛を有する酸化物半導体膜をIn-Ga-Zn-O系非単結晶膜ともいう。40

【0021】

In-Ga-Zn-O系非単結晶膜の結晶構造は、スパッタ法で成膜した後、熱処理を200~500、代表的には300~400で10分~100分行っているため、アモルファス構造がXRD(X線回析)の分析では観察される。また、TFTの電気特性もゲート電圧±20Vにおいて、オンオフ比が10⁹以上、移動度が10以上のものを作製することができる。

【0022】

なお、本書類(明細書、特許請求の範囲または図面など)において、論理回路とは入力された信号をもとに論理演算を行い、演算結果に従った信号を出力する回路であり、例えば組み合わせ論理回路(例えばNOT回路やNAND回路)や順序論理回路(例えばフリッ

10

20

30

40

50

プロップ回路やシフトレジスタ)なども論理回路に含まれる。

【発明の効果】

【0023】

経時的な閾値電圧のシフトが抑制された酸化物半導体を用いたエンハンスマント型薄膜トランジスタを提供することができるため、エンハンスマント型トランジスタを有する論理回路においても酸化物半導体を用いたトランジスタを適用することができる。

【図面の簡単な説明】

【0024】

【図1】実施の形態1における論理回路の回路構成を示す回路図である。

【図2】実施の形態1における論理回路の動作を説明するための回路図である。

10

【図3】実施の形態1における論理回路の回路構成を示す回路図である。

【図4】実施の形態1における論理回路の動作を説明するための回路図である。

【図5】実施の形態1における論理回路の動作を説明するための回路図である。

【図6】実施の形態1における論理回路の動作を示すタイミングチャート図である。

【図7】実施の形態1における論理回路の回路構成を示す回路図である。

【図8】実施の形態1における論理回路の動作を説明するための図である。

【図9】実施の形態1における論理回路の構造を示す図である。

【図10】実施の形態1における論理回路の構造を示す図である。

【図11】実施の形態2における論理回路の回路構成を示す回路図である。

20

【図12】実施の形態2におけるNAND回路の回路構成を示す回路図である。

【図13】実施の形態2におけるNAND回路の動作を説明するための回路図である。

【図14】実施の形態2における論理回路の動作を示すタイミングチャート図である。

【図15】実施の形態3における論理回路の構造を示す図である。

【図16】実施の形態4における論理回路の構造を示す図である。

【図17】実施の形態5における論理回路の作製方法を示す断面図である。

【図18】実施の形態5における論理回路の作製方法を示す断面図である。

【図19】実施の形態6における表示装置の構成を示すブロック図である。

【図20】実施の形態6に示す表示装置における駆動回路の構成を示すブロック図である。

。

【図21】実施の形態7における表示装置の画素の回路構成を示す回路図である。

30

【図22】実施の形態7における表示装置の画素の構造を示す図である。

【図23】実施の形態7における表示装置の画素の構造を示す図である。

【図24】実施の形態8における表示装置の画素の回路構成を示す回路図である。

【図25】実施の形態8における表示装置の画素の構造を示す断面図である。

【図26】実施の形態8における表示装置の構造を示す図である。

【図27】実施の形態9における電子ペーパーの構造を示す断面図である。

【図28】実施の形態9における電子ペーパーを適用した電子機器を示す図である。

【図29】実施の形態10における表示装置の構造を示す図である。

【図30】実施の形態11における電子機器を示す図である。

【図31】実施の形態11における電子機器を示す図である。

40

【図32】実施の形態11における電子機器を示す図である。

【図33】実施例1における薄膜トランジスタを説明するための図である。

【発明を実施するための形態】

【0025】

各実施の形態について、図面を用いて以下に説明する。但し、本明細書に開示する発明は以下の説明に限定されず、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

【0026】

(実施の形態1)

50

本実施の形態では、論理回路の一形態について説明する。

【0027】

まず本実施の形態における論理回路の回路構成について図1を用いて説明する。図1は本実施の形態における論理回路の回路構成を示す回路図である。

【0028】

図1に示す論理回路は、トランジスタ101と、トランジスタ102と、を有する組み合わせ論理回路である。

【0029】

なお、本書類（明細書、特許請求の範囲または図面など）において、トランジスタは、ゲート、ソース、及びドレインの少なくとも3つの端子を有する。

10

【0030】

ゲートとは、ゲート電極及びゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいい、例えば表示装置における走査線もゲート配線に含まれる。

【0031】

ソースとは、ソース領域、ソース電極、及びソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいい、例えば表示装置における信号線がソース電極に電気的に接続される場合にはソース配線に信号線も含まれる。

20

【0032】

ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいい、例えば表示装置における信号線がドレイン電極に電気的に接続される場合にはドレイン配線に信号線も含まれる。

30

【0033】

また、本書類（明細書、特許請求の範囲または図面など）において、トランジスタのソースとドレインは、トランジスタの構造や動作条件などによって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲または図面など）においては、ソース及びドレインから任意に選択した一方の端子をソース及びドレインの一方と表記し、他方の端子をソース及びドレインの他方と表記する。

【0034】

トランジスタ101は、デプレッション型のトランジスタ（デプレッション型トランジスタともいう）であり、ソース及びドレインの一方が電源線103に電気的に接続され、電源線103を介してソース及びドレインの一方に高電源電圧（Vddともいう）が与えられる。また、ゲートと、ソース及びドレインの他方とが電気的に接続（ダイオード接続ともいう）されている。なお、デプレッション型トランジスタとは、例えばNチャネル型トランジスタの場合において閾値電圧が負の値であるトランジスタのことをいう。

40

【0035】

なお、一般的に電圧とは、2点間における電位の差（電位差ともいう）のことをいい、電位とは、ある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。しかし、電子回路では、一点のみであっても、例えば該一点の電位と基準となる電位（基準電位ともいう）との電位差を値として用いることがあり、また、電圧と電位の値は、いずれもボルト（V）で表されるため、本願の書類（明細書及び特許請求の範囲）では、特に指定する場合を除き、一点のみであっても電圧を値とし

50

て用いる場合がある。

【0036】

トランジスタ102は、エンハンスマント型のトランジスタ（エンハンスマント型トランジスタともいう）であり、ソース及びドレインの一方がトランジスタ101のソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方が電源線104に電気的に接続され、電源線104を介してソース及びドレインの他方に低電源電圧（Vssともいう）が与えられる。低電源電圧は、例えば接地電位（VGN&Dともいう）または所定の電圧である。なお、エンハンスマント型トランジスタは、例えばNチャネル型トランジスタの場合において閾値電圧が正の値であるトランジスタのことをいう。

【0037】

高電源電圧は、低電源電圧より相対的に値の高い電圧であり、低電源電圧は、高電源電圧より相対的に値の低い電圧である。それぞれの値は回路の仕様などにより適宜設定されるため特に限定されない。例えば $V_{dd} > V_{ss}$ であっても必ずしも $|V_{dd}| > |V_{ss}|$ であるとは限らない。また $V_{dd} > V_{ss}$ であっても必ずしも $V_{GND} = V_{ss}$ であるとも限らない。

【0038】

また、トランジスタ101及びトランジスタ102は互いに同じ導電型のトランジスタを適用することができる。本実施の形態では、一例としてトランジスタ101及びトランジスタ102がNチャネル型トランジスタであるとして説明する。

【0039】

次に図1に示す論理回路の動作について説明する。本実施の形態における論理回路では、第1の信号がトランジスタ102のゲートに入力され、トランジスタ101とトランジスタ102との接続箇所（ノードともいう）105の電圧が第2の信号として出力される。具体的な動作について以下に説明する。

【0040】

本実施の形態における論理回路の動作は、第1の信号がロウ状態であるかハイ状態であるかによって2種類に分けることができる。ロウ状態はハイ状態より相対的に電圧が低い状態であり、ハイ状態はロウ状態より相対的に電圧が高い状態を表す。それぞれの場合について図2を用いて説明する。図2は本実施の形態における論理回路の動作を示す図である。なお、本実施の形態では、一例としてロウ状態のときが0のデータであり、ハイ状態のときが1のデータであるとして説明するが、これに限定されず、ロウ状態のときが1のデータとし、ハイ状態のときが0のデータとすることもできる。なお、ロウ状態のときの電圧をロウ電圧（VLともいう）、ハイ状態のときの電圧をハイ電圧（VHともいう）という。ロウ電圧及びハイ電圧の値は一定の値に限定されるものではなく、ロウ電圧は一定値以下であればよく、またハイ電圧は一定値以上であればよい。

【0041】

図2(A)は第1の信号の電圧（V1ともいう）がハイ状態の場合、すなわち $V1 = VH$ の場合における動作を示している。図2(A)に示すように、 $V1 = VH$ の場合、トランジスタ102がオン状態になる。トランジスタ102がオン状態のときトランジスタ102の抵抗値（R102ともいう）がトランジスタ101の抵抗値（R101ともいう）より低くなる、すなわち $R102 < R101$ となるため、ノード105の電圧（V105ともいう）がVLとなり、第2の信号の電圧（V2ともいう）はVLとなる。

【0042】

また、図2(B)は $V1 = VL$ の場合における動作を示している。図2(B)に示すように、 $V1 = VL$ の場合トランジスタ102がオフ状態になる。トランジスタ102がオフ状態のとき、 $R102 > R101$ となるため、 $V105 = VH$ となり、 $V2 = VH$ となる。このとき第2の信号の電圧であるVHの値は、 $V_{dd} - V_{th101}$ となる（ V_{th101} はトランジスタ101の閾値電圧を示す）。以上が図1に示す論理回路の動作である。

【0043】

10

20

30

40

50

さらに図1に示す組み合わせ論理回路を用いて順序論理回路を構成することができる。組み合わせ回路を用いた論理回路の回路構成について図3を用いて説明する。図3は本実施の形態における論理回路の回路構成を示す回路図である。

【0044】

図3に示す論理回路は、トランジスタ111と、インバータ1121と、インバータ1122と、インバータ1123と、トランジスタ113と、有する。

【0045】

トランジスタ111は、ゲートに第1のクロック信号(CL1ともいう)が入力され、ソース及びドレインの一方に信号が入力される。ソース及びドレインの一方に入力される信号を入力信号という。

10

【0046】

インバータ1121は、入力端子がトランジスタ111のソース及びドレインの他方に電気的に接続される。

【0047】

インバータ1122は、入力端子がインバータ1121の出力端子に電気的に接続される。

【0048】

インバータ1123は、入力端子がインバータ1121の出力端子に電気的に接続され、出力端子から第2の信号が出力される。

【0049】

インバータ1121乃至インバータ1123には、それぞれ図1に示す論理回路を適用することができる。

20

【0050】

トランジスタ113は、ゲートに第2のクロック信号(CL2ともいう)が入力され、ソース及びドレインの一方がトランジスタ111のソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方がインバータ1122の出力端子に電気的に接続される。

【0051】

第1のクロック信号及び第2のクロック信号はハイ状態とロウ状態の2つの状態を有し、ハイ状態のときの電圧はハイ電圧となり、ロウ状態のときの電圧は、ロウ電圧となる。

30

【0052】

また、第1のクロック信号及び第2のクロック信号は、位相が相反の関係であり、例えば所定の期間において、第1のクロック信号がハイ状態のときには、第2のクロック信号はロウ状態であり、第1のクロック信号がロウ状態のときには、第2クロックの信号はハイ状態である。

【0053】

なお、本実施の形態では、トランジスタ111のゲートに第1のクロック信号が入力され、トランジスタ113のゲートに第2のクロック信号が入力される場合について説明するが、これに限定されず、トランジスタ111のゲートに第2のクロック信号が入力され、トランジスタ113のゲートに第1のクロック信号が入力される構成とすることもできる。

40

【0054】

次に図3に示す論理回路の動作について図4、図5、及び図6を用いて説明する。図4及び図5は図3に示す論理回路の動作を示す図であり、図6は図3に示す論理回路の動作を示すタイミングチャート図である。

【0055】

図3に示す論理回路の動作は、主に4つの期間に分けられる。それぞれの期間について以下に説明する。

【0056】

まず第1の期間では、図6に示すように第1のクロック信号がハイ状態、すなわちCL1

50

$= V_H$ となり、第 2 のクロック信号がロウ状態、すなわち $C_L 2 = V_L$ になることにより、図 4 (A) に示すようにトランジスタ 111 がオン状態になり、トランジスタ 113 がオフ状態になる。さらに入力信号の電圧 (V_{in} ともいう) はハイ電圧になる、すなわち $V_{in} = V_H$ になる。

【0057】

このときトランジスタ 111 がオン状態であるため、ノード 114 の電圧 (V_{114} ともいう) は V_H になる。さらにノード 114 の電圧がインバータ 1121 の入力端子に与えられるため、インバータ 1121 から V_L の信号が出力され、ノード 115 の電圧 (V_{115} ともいう) は V_L になる。さらにノード 115 の電圧がインバータ 1122 の入力端子に与えられるため、インバータ 1122 から V_H の信号が出力されるが、トランジスタ 113 がオフ状態のため、ノード 114 にはインバータ 1122 の出力信号の電圧は与えられない。また、ノード 115 の電圧はインバータ 1123 の入力端子にも与えられるため、図 4 (A) に示すようにインバータ 1123 から V_H の信号が出力される。以上が第 1 の期間における動作である。 10

【0058】

次に第 2 の期間では、図 6 に示すように $C_L 1 = V_L$ になり、 $C_L 2 = V_H$ になることにより、図 4 (B) に示すようにトランジスタ 111 がオフ状態になり、トランジスタ 113 がオン状態になる。さらに $V_{in} = V_L$ になる。

【0059】

このときトランジスタ 111 がオフ状態であるため、 $V_{in} = V_L$ であっても $V_{114} = V_H$ のまま維持される。さらにノード 114 の電圧がインバータ 1121 の入力端子に与えられるため、インバータ 1121 から V_L の信号が出力され、 $V_{115} = V_L$ に維持される。さらにノード 115 の電圧がインバータ 1122 の入力端子に与えられ、インバータ 1122 から V_H の信号が出力され、さらにトランジスタ 113 がオン状態のため、ノード 114 にインバータ 1122 の信号の電圧が与えられる。また、ノード 115 の電圧はインバータ 1123 の入力端子にも与えられるため、図 4 (B) に示すようにインバータ 1123 から V_H の信号が出力される。以上が第 2 の期間における動作である。 20

【0060】

次に第 3 の期間では図 6 に示すように $C_L 1 = V_H$ になり、 $C_L 2 = V_L$ になることにより、図 5 (C) に示すようにトランジスタ 111 がオン状態になり、トランジスタ 113 がオフ状態になる。さらに $V_{in} = V_L$ のままである。 30

【0061】

このときトランジスタ 111 がオン状態であるため、 $V_{114} = V_L$ になる。さらにノード 114 の電圧がインバータ 1121 の入力端子に与えられるため、インバータ 1121 から V_H の信号が出力され、 $V_{115} = V_H$ になる。さらにノード 115 の電圧がインバータ 1122 の入力端子に与えられるため、インバータ 1122 から V_L の信号が出力されるが、トランジスタ 113 がオフ状態のため、ノード 114 にはインバータ 1122 の出力信号の電圧は与えられない。また、ノード 115 の電圧はインバータ 1123 の入力端子にも与えられるため、図 5 (C) に示すようにインバータ 1123 から V_L の信号が出力される。以上が第 3 の期間における動作である。 40

【0062】

次に第 4 の期間では、図 6 に示すように $C_L 1 = V_L$ になり、 $C_L 2 = V_H$ になることにより、図 5 (D) に示すようにトランジスタ 111 がオフ状態になり、トランジスタ 113 がオン状態になる。さらに $V_{in} = V_L$ のままである。

【0063】

このときトランジスタ 111 がオフ状態であるため、 $V_{114} = V_L$ のまま維持される。さらに $V_{114} = V_L$ であるため、インバータ 1121 から V_H の信号が出力され、 $V_{115} = V_H$ に維持される。さらに $V_{115} = V_H$ であるため、インバータ 1122 から V_L の信号が出力され、さらにトランジスタ 113 がオン状態のため、ノード 114 にインバータ 1122 の信号の電圧が与えられる。また、ノード 115 の電圧はインバータ 11 50

23の入力端子にも与えられるため、図5(D)に示すようにインバータ1123からVLの信号が出力される。以上が第4の期間における動作である。

【0064】

上記動作により図3に示す論理回路は、入力された信号の状態に基づいた出力信号を生成することができる。

【0065】

なお、図3に示す論理回路において、インバータ1123にブートストラップ法を用いた組み合わせ論理回路を適用することもできる。ブートストラップ法を用いた論理回路について図7を用いて説明する。図7は本実施の形態におけるブートストラップ法を用いた論理回路の回路構成を示す回路図である。

10

【0066】

図7に示す論理回路は、図1に示す論理回路の回路構成に加え、トランジスタ106と、容量素子108と、容量素子109と、を有し、さらにトランジスタ101の代わりにトランジスタ107を有する。図7に示す論理回路において、図1に示す論理回路と同じ部分は、図1に示す論理回路の説明を適宜援用する。

【0067】

トランジスタ106は、ゲート、並びにソース及びドレインの一方が電源線103に電気的に接続され、ゲート、並びにソース及びドレインの一方に高電源電圧が与えられ、ソース及びドレインの他方がトランジスタ107のゲートに電気的に接続される。

20

【0068】

トランジスタ107は、ゲートがトランジスタ106のソース及びドレインの他方に電気的に接続され、ソース及びドレインの一方が電源線103に電気的に接続され、ソース及びドレインの一方に高電源電圧が与えられる。

【0069】

容量素子108は、第1端子及び第2端子を有し、第1端子がトランジスタ106のソース及びドレインの他方に電気的に接続され、第2端子がトランジスタ107のソース及びドレインの他方に電気的に接続される。

【0070】

容量素子109は、第1端子及び第2端子を有し、第1端子がトランジスタ107のソース及びドレインの他方に電気的に接続され、第2端子が電源線104に電気的に接続され、第2端子に低電源電圧が与えられる。

30

【0071】

次に図7に示す論理回路の動作について説明する。

【0072】

図7に示す論理回路では、図1に示す論理回路と同様に第1の信号がトランジスタ102のゲートに入力され、トランジスタ107とトランジスタ102とのノード1111の電圧が第2の信号として出力される。

【0073】

さらに図7に示す論理回路の動作は、第1の信号の電圧がロウ状態であるかハイ状態であるかによって2種類に分けることができる。それぞれの場合について図8を用いて説明する。図8は本実施の形態における論理回路の動作を示す図である。なお、本実施の形態では、一例としてロウ状態のときが0のデータであり、ハイ状態のときが1のデータであるとして説明するが、これに限定されずロウ状態のときが1のデータとし、ハイ状態のときが0のデータとすることもできる。

40

【0074】

図8(A)は、V1=VHの場合における動作を示している。図8(A)に示すようにV1=VHの場合、トランジスタ102がオン状態になる。トランジスタ102がオン状態のとき、トランジスタ102の抵抗値がトランジスタ107の抵抗値(R107ともいう)より低くなる、すなわちR102 < R107となり、ノード1111の電圧(V1111ともいう)がVLであるため、V2=VLとなる。さらにこのときトランジスタ106

50

のソース及びドレインの他方とトランジスタ 107 のゲートとのノード 110 の電圧が、高電源電圧からトランジスタ 106 の閾値電圧 (V_{th106} ともいう) を引いた値、すなわち $V_{dd} - V_{th106}$ となったところでトランジスタ 106 がオフ状態になり、ノード 110 は浮遊状態 (フローティング状態ともいう) になる。

【0075】

図 8 (B) は、 $V_1 = V_L$ の場合における動作を示している。図 8 (B) に示すように、 $V_1 = V_L$ の場合トランジスタ 102 がオフ状態になる。トランジスタ 102 がオフ状態のとき、 $R_{102} > R_{107}$ となり、容量素子 109 によりノード 1111 の電圧が上昇し、さらに容量素子 108 による容量結合によりノード 110 の電圧も上昇するため、 $V_2 = V_{110} = V_{1111} = V_H$ となる。このとき V_H の値は、図 1 に示す論理回路の第 2 の信号の電圧である V_H より大きな値となり、 $V_H = V_{dd} + V_{th106}$ になる。以上が図 7 に示す論理回路の動作である。

【0076】

上記のように、図 7 に示す論理回路をインバータ 1123 に用いることにより第 2 の信号の電圧を増幅させることができる。

【0077】

次に図 1 に示す論理回路の構造について図 9 を用いて説明する。図 9 は図 1 に示す論理回路の構造を示す図であり、図 9 (A) は上面図であり、図 9 (B) 及び図 9 (C) は図 9 (A) に示す論理回路の Z1 - Z2 における断面図である。

【0078】

図 9 (A) 及び図 9 (B) に示すように、本実施の形態における論理回路は、トランジスタ 201 及びトランジスタ 202 を有し、具体的には、基板 210 と、基板 210 上にゲート電極 2111 及びゲート電極 2112 と、ゲート電極 2111 及びゲート電極 2112 を覆うように設けられたゲート絶縁層 212 と、ゲート電極 2111 上のゲート絶縁層 212 上に設けられた酸化物半導体層 2131 と、ゲート電極 2112 上のゲート絶縁層 212 上に設けられた酸化物半導体層 2132 と、酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b と、還元防止層 218 と、を有する。

【0079】

トランジスタ 201 は、図 1 におけるトランジスタ 101 に相当し、基板 210 上にゲート電極 2111 が設けられ、ゲート電極 2111 上にゲート絶縁層 212 が設けられ、ゲート絶縁層 212 上に酸化物半導体層 2131 が設けられ、酸化物半導体層 2131 上に一対の酸化物半導体層である酸化物半導体層 2141a 及び酸化物半導体層 2141b が設けられ、酸化物半導体層 2141a 及び酸化物半導体層 2141b に接するように一対の電極である電極 215 及び電極 216 が設けられる。

【0080】

なお、A の上に B が形成されている、あるいは、A 上に B が形成されている、と明示的に記載する場合は、A の上に B が直接接して形成されていることに限定されない。直接接してはいない場合、つまり、A と B と間に別の対象物が介在する場合も含むものとする。ここで、A、B は、対象物 (例えば装置、素子、回路、配線、電極、端子、膜、または層など) であるとする。

【0081】

従って例えば層 A の上または層 A 上に層 B が形成されていると明示的に記載されている場合は、層 A の上に直接接して層 B が形成されている場合と、層 A の上に直接接して別の層 (例えば層 C や層 D など) が形成されていて、その上に直接接して層 B が形成されている場合とを含むものとする。なお、別の層 (例えば層 C や層 D など) は、単層でもよいし、複層でもよい。

【0082】

また、トランジスタ 202 は、図 1 におけるトランジスタ 102 に相当し、基板 210 上にゲート電極 2112 が設けられ、ゲート電極 2112 上にゲート絶縁層 212 が設けら

10

20

30

40

50

れ、ゲート絶縁層 212 上に酸化物半導体層 2132 が設けられ、酸化物半導体層 2132 上に一対の酸化物半導体層である酸化物半導体層 2142a 及び酸化物半導体層 2142b が設けられ、酸化物半導体層 2142a 及び酸化物半導体層 2142b に接するよう 10 に一対の電極である電極 216 及び電極 217 が設けられ、酸化物半導体層 2132 上に還元防止層 218 が設けられる。

【0083】

基板 210 としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、もしくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板などを用いることができる。プラスチック基板としては、例えば、FRP (Fiber glass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエスチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやポリエスチルフィルムで挟んだ構造のシートを基板として用いることもできる。

【0084】

ゲート電極 2111 及びゲート電極 2112 としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、またはスカンジウムなどの金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。また形成されたゲート電極 2111 及びゲート電極 2112 の端部はテー 20 パ形状であることが好ましい。

【0085】

例えばゲート電極 2111 及びゲート電極 2112 それぞれの 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層もしくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金の層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。

【0086】

ゲート絶縁層 212 は、シリコン、アルミニウム、イットリウム、タンタル、またはハフニウムの酸化物、窒化物、酸化窒化物、または窒化酸化物の一種またはそれらの化合物を少なくとも 2 種以上含む化合物を用いることができる。また、ゲート絶縁層 212 に、塩素、フッ素などのハロゲン元素を含ませてもよい。

【0087】

酸化物半導体層 2131 及び酸化物半導体層 2132 は、第 1 の酸化物半導体層である。酸化物半導体層 2131 及び酸化物半導体層 2132 としては、例えば In-Ga-Zn-O 系非単結晶膜などを用いることができる。

【0088】

酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b は、第 2 の酸化物半導体層であり、ソース領域及びドレイン領域として機能する。酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b は、例えば酸化物半導体層 2131 及び酸化物半導体層 2132 の成膜条件とは異なる成膜条件で形成された In-Ga-Zn-O 系非単結晶膜により形成される。例えばスパッタ法でのアルゴンガス流量を 40 sccm とした条件で得られる酸化物半導体膜で形成した酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b は、N 型の導電型を有し、活性化エネルギー (E) が 0.01 eV 以上 0.1 eV 以下である。なお、本実施の形態では、酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b は、In-Ga-Zn-O 系非単結晶膜であり、少なくともアモルファス成分を含んでいるも 40 50

のとする。また、酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b の中に結晶粒（ナノクリスタル）を含む場合がある。この酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b 中の結晶粒（ナノクリスタル）は直径 1 nm ~ 10 nm、代表的には 2 nm ~ 4 nm 程度である。

【0089】

なお、酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b は、必ずしも設ける必要はなく、図 9 (C) に示すように、酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b が無い構成とすることもできるが、酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b を設けることにより、例えば上部の電極と第 1 の酸化物半導体層との間を良好な接合とすることができる、ショットキー接合に比べて熱的にも安定な動作を行うことができる。また高いドレイン電圧でも良好な移動度を保持することもできる。

【0090】

電極 215 乃至電極 217 は、ソース電極またはドレイン電極として機能する。電極 215 乃至電極 217 としては、アルミニウム、銅、クロム、シリコン、チタン、ネオジム、スカンジウム、モリブデンなどの元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、200 ~ 600 の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることができ。電極 215 乃至電極 217 として、チタン膜、アルミニウム膜、チタン膜の積層を用いると低抵抗であり、かつアルミニウム膜にヒロックが発生しにくい。電極 215 乃至電極 217 は、スパッタ法や真空蒸着法で形成することができる。また、電極 215 乃至電極 217 は、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法などを用いて吐出し焼成して形成しても良い。

【0091】

還元防止層 218 は、少なくとも酸化物半導体層 2132 における電極 216 及び電極 217 の間の領域（バックチャネル領域ともいう）上に設けられ、酸化物半導体層 2132 への水分などの不純物の侵入の防止やバックチャネル領域の還元を防止する機能を有する。還元防止層 218 としては、例えば非還元性の膜を用いることができ、例えば酸化シリコンまたは酸化アルミニウムなどの酸化膜を用いることができる。なお還元防止層 218 は、機能の一つに還元防止機能を含んでいればよく、さらに他の機能を付加させることもできる。

【0092】

なお、本実施の形態に示す論理回路は、トランジスタ 202 としてバックチャネル領域に所定の処理を行いエンハンスマント型になるように閾値電圧をシフトさせた薄膜トランジスタを適用することもできる。所定の処理としては例えば酸素空孔（酸素空孔欠陥ともいう）の密度を制御する処理（酸素空孔制御処理ともいう）があり、酸素空孔制御処理としては、例えば酸素プラズマ処理、酸素気流中のアニール処理、及び酸素イオン照射処理などがある。例えば酸素プラズマ処理は、酸素ガスのグロー放電プラズマで生成されたラジカルで酸化物半導体層の表面を処理することであるが、プラズマを生成するガスとしては酸素のみでなく、酸素ガスと希ガスの混合ガスであってもよい。該薄膜トランジスタを適用することにより酸化物半導体を用いたトランジスタを用いた場合においても、より容易に異なる閾値電圧の複数のトランジスタを用いた論理回路を構成することができる。酸素空孔制御処理によりトランジスタ 201 とトランジスタ 202 とで酸素空孔密度を異ならせてデプレッション型トランジスタ及びエンハンスマント型トランジスタの両方を有する論理回路を構成することができる。

【0093】

また、本実施の形態の論理回路は、一つのトランジスタのソース電極及びドレイン電極の

10

20

30

40

50

一方と、他のトランジスタのゲート電極とが直接接する構造とすることもできる。該構造の論理回路について図10を用いて説明する。図10は、本実施の形態における論理回路の構造を示す図であり、図10(A)は論理回路の上面図であり、図10(B)は図10(A)の論理回路のZ1-Z2における断面図である。なお図10に示す論理回路のうち、図9に示す論理回路と同一の部分については図9の論理回路の説明を適宜援用する。

【0094】

図10に示す論理回路は、図9に示す論理回路と同様にトランジスタ201及びトランジスタ202を有し、さらに図10に示す論理回路は、トランジスタ201において、ゲート電極2111がゲート絶縁層212に設けられた開口部を介して電極216に直接接する。

10

【0095】

上記のように、ゲート絶縁層212に設けられた開口部を介してゲート電極2111及び電極216を接続させたトランジスタを用いた論理回路は、良好なコンタクトを得ることができ、接触抵抗を低減することができる。よって開口の数の低減、開口の数の低減による占有面積の縮小を図ることができる。

【0096】

以上のように、酸化物半導体を用いた薄膜トランジスタを用いて異なる閾値電圧を有するトランジスタを用いた論理回路を提供することができる。また酸化物半導体を用いた薄膜トランジスタを用いることにより論理回路を高速動作させることができる。また、同一導電型のトランジスタを用いて論理回路を構成することができるため、異なる導電型のトランジスタを用いた論理回路に比べ、工程を簡略にすることができます。

20

【0097】

(実施の形態2)

本実施の形態では、上記実施の形態1の図3に示す論理回路を単位順序論理回路として用いたシフトレジスタについて説明する。なお本実施の形態では、一例として図3に示す論理回路を単位順序論理回路として説明する。

【0098】

本実施の形態におけるシフトレジスタは、上記実施の形態1の図3に示す論理回路を単位順序論理回路として複数有し、複数の単位順序論理回路が互いに直列接続で電気的に接続された構成である。具体的な構成について図11を用いて説明する。図11は本実施の形態におけるシフトレジスタの構成を示す回路図である。

30

【0099】

図11に示すシフトレジスタは、論理回路3011と、論理回路3012と、論理回路3013と、NAND回路3140と、NAND回路3141と、NAND回路3142と、NAND回路3143と、を有する。なお図11において3つ(3段ともいう)の単位順序論理回路を示すが、これに限定されず、2段以上であればよい。

【0100】

論理回路3011は、トランジスタ3111と、インバータ3121Aと、インバータ3122Aと、インバータ3123Aと、トランジスタ3131と、を有する。論理回路3011は、図3に示す論理回路と回路構成が同じであり、具体的には、トランジスタ3111はトランジスタ111に相当し、インバータ3121Aはインバータ1121に相当し、インバータ3122Aはインバータ1122に相当し、インバータ3123Aは、インバータ1123に相当し、トランジスタ3131はトランジスタ113に相当する。よって各回路の説明については図3に示す論理回路の説明を適宜援用する。また、論理回路3011では、トランジスタ3111のゲートに第1のクロック信号が入力され、トランジスタ3131のゲートに第2のクロック信号が入力される。

40

【0101】

論理回路3012は、トランジスタ3112と、インバータ3121Bと、インバータ3122Bと、インバータ3123Bと、トランジスタ3132と、を有する。論理回路3012は、図3に示す論理回路と構成が同じであり、具体的には、トランジスタ3112

50

はトランジスタ111に相当し、インバータ3121Bはインバータ1121に相当し、インバータ3122Bはインバータ1122に相当し、インバータ3123Bは、インバータ1123に相当し、トランジスタ3132はトランジスタ113に相当する。よって各回路の説明については、図3に示す論理回路の説明を適宜援用する。また、論理回路3012では、トランジスタ3112のゲートに第2のクロック信号が入力され、トランジスタ3132のゲートに第1のクロック信号が入力される。

【0102】

論理回路3013は、トランジスタ3113と、インバータ3121Cと、インバータ3122Cと、インバータ3123Cと、トランジスタ3133と、を有する。論理回路3013は、図3に示す論理回路と構成が同じであり、具体的には、トランジスタ3113はトランジスタ111に相当し、インバータ3121Cはインバータ1121に相当し、インバータ3122Cはインバータ1122に相当し、インバータ3123Cは、インバータ1123に相当し、トランジスタ3133はトランジスタ113に相当する。よって各回路の説明については、図3に示す論理回路の説明を適宜援用する。また、論理回路3013では、トランジスタ3113のゲートに第1のクロック信号が入力され、トランジスタ3133のゲートに第2のクロック信号が入力される。

10

【0103】

また、論理回路3011は、インバータ3123Aの出力端子が論理回路3012におけるトランジスタ3112のソース及びドレインの一方に電気的に接続され、論理回路3012は、インバータ3123Bの出力端子が論理回路3013におけるトランジスタ3113のソース及びドレインの一方に電気的に接続される。

20

【0104】

さらに論理回路3011は、トランジスタ3111のソース及びドレインの一方がNAND回路3140の第1の入力端子に電気的に接続され、インバータ3123Aの出力端子がNAND回路3140の第2の入力端子、及びNAND回路3141の第1の入力端子に電気的に接続される。また、論理回路3012は、トランジスタ3112のソース及びドレインの一方がNAND回路3140の第2の入力端子及びNAND回路3141の第1の入力端子に電気的に接続され、インバータ3123Bの出力端子がNAND回路3141の第2の入力端子、及びNAND回路3142の第1の入力端子に電気的に接続される。また、論理回路3013は、トランジスタ3113のソース及びドレインの一方がNAND回路3141の第2の入力端子及びNAND回路3142の第1の入力端子に電気的に接続され、インバータ3123Cの出力端子がNAND回路3142の第2の入力端子、及びNAND回路3143の第1の入力端子に電気的に接続される。

30

【0105】

NAND回路3140乃至NAND回路3143は、すべて論理回路を構成するトランジスタと同一導電型のトランジスタを用いて構成することができる。同一導電型のトランジスタを用いて構成することにより、論理回路と同一工程に形成することができ、作製が容易になる。同一導電型のトランジスタを用いたNAND回路の回路構成について図12を用いて説明する。図12は本実施の形態におけるNAND回路の回路構成を示す回路図である。

40

【0106】

図12に示すNAND回路は、トランジスタ321と、トランジスタ322と、トランジスタ323と、を有する。

【0107】

トランジスタ321は、デプレッション型トランジスタであり、ソース及びドレインの一方が電源線325に電気的に接続され、ソース及びドレインの一方に高電源電圧が与えられ、ゲートとソース及びドレインの他方とが電気的に接続される。

【0108】

トランジスタ322は、エンハンスマント型トランジスタであり、ソース及びドレインの一方がトランジスタ321のソース及びドレインの他方に電気的に接続される。

50

【0109】

トランジスタ323は、エンハンスマント型のトランジスタであり、ソース及びドレインの一方がトランジスタ322のソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方が電源線324に電気的に接続され、ソース及びドレインの他方に低電源電圧が与えられる。

【0110】

本実施の形態における論理回路では、第1の入力信号がトランジスタ323のゲートに入力され、第2の入力信号がトランジスタ322のゲートに入力され、トランジスタ322とトランジスタ321とのノード326の電圧（V326ともいう）が出力信号として出力される。

10

【0111】

次に図12に示すNAND回路の動作について説明する。

【0112】

図12に示すNAND回路の動作は、第1の入力信号の電圧（V_{in1}ともいう）及び第2の入力信号の電圧（V_{in2}）の少なくとも一つまたは全部がロウ電圧であるか、第1の入力信号の電圧及び第2の入力信号の電圧がハイ電圧であるかによって2種類に分けることができる。それぞれの場合について図13を用いて説明する。図13は本実施の形態におけるNAND回路の動作を示す図である。なお、本実施の形態では、一例としてロウ状態のときが0のデータであり、ハイ状態のときが1のデータであるとして説明するが、これに限定されずロウ状態のときが1のデータとし、ハイ状態のときが0のデータとすることもできる。

20

【0113】

図13（A）は、V_{in1} = VH且つV_{in2} = VL、V_{in1} = VL且つV_{in2} = VH、及びV_{in1} = VL且つV_{in2} = VLの場合における動作を示している。このときトランジスタ322及びトランジスタ323の一方または両方がオフ状態になり、トランジスタ322及びトランジスタ323の抵抗値（R322 + R323ともいう）がトランジスタ321の抵抗値（R321ともいう）より高くなる、すなわちR322 + R323 > R321となるため、V326 = VHとなり、出力信号の電圧（V_{out}ともいう）はVHとなる。

30

【0114】

また、図13（B）は、V_{in1} = VH且つV_{in2} = VHの場合における動作を示している。このときトランジスタ321及びトランジスタ322がオン状態になり、R322 + R323 < R321となるため、V326 = VLとなり、V_{out} = VLとなる。以上が図12に示すNAND回路の動作である。

【0115】

上記のようにNAND回路を同一導電型のトランジスタにより構成することにより、他の論理回路と同一工程で作製することができる。また、図12の構成に限定されず、同じ機能を有するのであれば他の回路構成であっても適用することができる。

【0116】

次に図11に示すシフトレジスタの動作について図14を用いて説明する。図14は図11に示すシフトレジスタの動作を示すタイミングチャート図である。

40

【0117】

図11に示すシフトレジスタは、論理回路3011乃至論理回路3013において、それぞれ図4乃至図6に示す論理回路の動作が順次行われる。各論理回路の動作については上記図4乃至図6に示す論理回路の動作の説明を適宜援用する。

【0118】

さらに本実施の形態におけるシフトレジスタの動作は、図14に示すように10個の期間に分けられる。第1の期間において論理回路3011の入力信号の電圧V_{in}がVHになり、第2の期間から第3の期間にかけて論理回路3011と論理回路3012とのノード3171の電圧（V3171ともいう）がVHからVLに変化する。さらに第3の期間及

50

び第4の期間においてNAND回路3140の出力信号の電圧はVHになる。

【0119】

論理回路3012は、第4の期間から第5の期間にかけて入力信号（論理回路3011の出力信号）がVLからVHに変化し、第5の期間から第6の期間にかけて論理回路3012と論理回路3013とのノード3172の電圧（V3172ともいう）がVHからVLに変化する。第6の期間及び第7の期間においてNAND回路3141の出力信号の電圧がVHになる。

【0120】

論理回路3013は、第7の期間から第8の期間にかけて入力信号（論理回路3012の出力信号）がVLからVHに変化し、第8の期間から第9の期間にかけて論理回路3013と次段の論理回路とのノード3173の電圧（V3173ともいう）がVHからVLに変化する。第9の期間及び第10の期間においてNAND回路3142の出力信号の電圧がVHになる。

10

【0121】

論理回路3013の出力端子に別の論理回路が接続されていた場合、上記のように、ある期間において入力信号がVLからVHに変化し、別のある期間において出力信号がVHに変化する。さらに論理回路の出力信号がVLである期間においてNAND回路3143の出力信号の電圧がVHになる。

【0122】

上記のように酸化物半導体を用いたTFTを具備する論理回路を用いてシフトレジスタを構成することができる。また、酸化物半導体を用いたTFTは従来のアモルファスシリコンを用いたTFTより移動度が高いため、シフトレジスタに酸化物半導体を用いたTFTを適用することによりシフトレジスタを高速駆動させることができる。

20

【0123】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0124】

（実施の形態3）

本実施の形態では、上記実施の形態とは異なる構成のトランジスタを用いた論理回路について説明する。

【0125】

30

本明細書に開示する発明の一形態である論理回路は、図9に示す構造のトランジスタに限定されず、他の構造のトランジスタを用いて構成することもできる。他の構造のトランジスタを適用した論理回路について図15を用いて説明する。図15は本実施の形態のおける論理回路の構造を示す図であり、図15（A）は上面図であり、図15（B）は図15（A）に示す論理回路のZ1-Z2間の断面図である。なお、図15に示す論理回路において、図9に示す論理回路と同じ部分については図9に示す論理回路の説明を適宜援用する。

【0126】

図15に示す論理回路は、図9に示す論理回路と同様にトランジスタ201及びトランジスタ202を有する。

40

【0127】

さらに図15に示す論理回路において、トランジスタ201は、基板210上にゲート電極2111が設けられ、ゲート電極2111上にゲート絶縁層212が設けられ、ゲート絶縁層212上に一対の電極である電極215及び電極216が設けられ、電極215及び電極216上に酸化物半導体層2141a及び酸化物半導体層2141bが設けられ、ゲート絶縁層212、電極215、及び電極216上に酸化物半導体層2131が設けられる。

【0128】

また、トランジスタ202は、基板210上にゲート電極2112が設けられ、ゲート電極2112上にゲート絶縁層212が設けられ、ゲート絶縁層212上に一対の電極であ

50

る電極 216 及び電極 217 が設けられ、電極 216 及び電極 217 上に酸化物半導体層 2142a 及び酸化物半導体層 2142b が設けられ、ゲート絶縁層 212、酸化物半導体層 2142a 及び酸化物半導体層 2142b、並びに電極 216 及び電極 217 上に酸化物半導体層 2132 が設けられ、酸化物半導体層 2132 における電極 216 及び電極 217 の間の領域上に還元防止層 218 が設けられる。なお酸化物半導体層 2141a 及び 2141b は、図 9 (A) 及び図 9 (B) に示す論理回路における酸化物半導体層 2141a 及び酸化物半導体層 2141b に相当し、酸化物半導体層 2142a 及び 2142b は、図 9 (A) 及び図 9 (B) に示す論理回路における酸化物半導体層 2142a 及び 2142b に相当する。

【0129】

10

図 15 に示す論理回路は、電極 215 乃至電極 217 上、酸化物半導体層 2141a、酸化物半導体層 2141b、酸化物半導体層 2142a、及び酸化物半導体層 2142b 上に酸化物半導体層 2131 及び酸化物半導体層 2132 が設けられた構造（ボトムコンタクト型ともいう）のトランジスタを用いて構成される。ボトムコンタクト型トランジスタを用いて本明細書に開示する発明の一形態である論理回路を構成することとすることにより、酸化物半導体層と電極との接触面積を増やすことができ、ピーリングなどを防止することができる。

【0130】

また、図 15 に示す論理回路は、図 9 に示す論理回路と同様にトランジスタ 202 としてバックチャネル領域に所定の処理を行いエンハンスマント型になるように閾値電圧をシフトさせた薄膜トランジスタを適用することもできる。所定の処理としては上記実施の形態 1 に示した処理を適用することができる。

20

【0131】

なお、図 15 に示す論理回路では、図 9 (A) 及び図 9 (B) に示す論理回路と同様に、酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b を設けた構成としているが、これに限定されず、酸化物半導体層 2141a 及び酸化物半導体層 2141b、並びに酸化物半導体層 2142a 及び酸化物半導体層 2142b を設けない構成とすることもできる。

【0132】

また、図 15 に示す論理回路では、図 10 に示す論理回路と同様に、トランジスタ 202 のゲート電極 2112 と電極 216 とがゲート絶縁層 212 に設けられた開口部を介して接する構造にすることもできる。

30

【0133】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0134】

(実施の形態 4)

本実施の形態では、上記実施の形態とは異なる構造のトランジスタを用いた論理回路について説明する。

【0135】

図 9 及び図 15 に示す構造のトランジスタに限定されず、他の構造のトランジスタを用いて論理回路を構成することができる。図 9 及び図 15 に示す論理回路とは異なる他の構造のトランジスタを適用した論理回路について図 16 を用いて説明する。図 16 は本実施の形態における論理回路の構造を示す図であり、図 16 (A) は上面図であり、図 16 (B) は図 16 (A) に示す Z1 - Z2 間の断面図である。なお、図 16 に示す論理回路において、図 9 に示す論理回路と同じ部分については図 9 に示す論理回路の説明を適宜援用する。

40

【0136】

図 16 に示す論理回路は、図 9 に示す論理回路と同様にトランジスタ 201 及びトランジスタ 202 を有する。

【0137】

50

さらに図16に示す論理回路において、トランジスタ201は、基板210上にゲート電極2111が設けられ、ゲート電極2111上にゲート絶縁層212が設けられ、ゲート絶縁層212上に酸化物半導体層2131が設けられ、酸化物半導体層2131の一部の上にバッファ層2191が設けられ、酸化物半導体層2131上及びバッファ層2191上に酸化物半導体層2141a及び酸化物半導体層2141bが設けられ、酸化物半導体層2141a及び酸化物半導体層2141b上に一対の電極である電極215及び電極216が設けられる。

【0138】

また、トランジスタ202は、基板210上にゲート電極2112が設けられ、ゲート電極2112上にゲート絶縁層212が設けられ、ゲート絶縁層212上に酸化物半導体層2132が設けられ、酸化物半導体層2132における電極216及び電極217の間の領域上にバッファ層2192が設けられ、酸化物半導体層2132上及びバッファ層2192上に酸化物半導体層2142a及び酸化物半導体層2142bが設けられ、酸化物半導体層2142a及び酸化物半導体層2142b上に一対の電極である電極216及び電極217が設けられる。

【0139】

バッファ層2191及びバッファ層2192としては、無機材料（酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など）を用いることができる。感光性または非感光性の有機材料（有機樹脂材料）（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、ベンゾシクロブテンなど）、もしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シロキサンを用いてもよい。作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。また、湿式法である、スピントロート法などの塗布法、液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷などパターンが形成される方法）を用いることもできる。バッファ層2191及びバッファ層2192としては成膜後にエッチングにより形状を加工して形成してもよいし、液滴吐出法などによって選択的に形成してもよい。

【0140】

図16に示す論理回路は、バッファ層を設けた構造（チャネルストップ型ともいう）トランジスタを用いて構成される。例えばバッファ層を非還元性の膜（例えば酸化シリコンまたは酸化アルミニウムなど）により形成することにより、バッファ層を還元防止層として機能させることができるために、従来のチャネルストップ型トランジスタと同じ構造のトランジスタを用いて本明細書に開示する発明の一形態である論理回路を構成することができる。

【0141】

図16に示す論理回路において、トランジスタ202としてバックチャネル領域に所定の処理を行いエンハンスマント型になるように閾値電圧をシフトさせた薄膜トランジスタを適用することもできる。所定の処理としては上記実施の形態1に示した処理を適用することができる。

【0142】

なお、図16に示す論理回路では、図9(A)及び図9(B)に示す論理回路と同様に、酸化物半導体層2141a及び酸化物半導体層2141b、並びに酸化物半導体層2142a及び酸化物半導体層2142bを設けた構成としているが、これに限定されず、酸化物半導体層2141a及び酸化物半導体層2141b、並びに酸化物半導体層2142a及び酸化物半導体層2142bを設けない構成とすることもできる。

【0143】

また、図16に示す論理回路では、図10に示す論理回路と同様に、トランジスタ202のゲート電極2112と電極216とがゲート絶縁層212に設けられた開口部を介して接する構造にすることもできる。

【0144】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

10

20

30

40

50

【0145】

(実施の形態5)

本実施の形態では、論理回路の作製方法について説明する。なお、本実施の形態では、一例として、図9(A)及び図9(B)に示す論理回路の作製方法について説明する。

【0146】

本実施の形態の論理回路の作製方法について図17及び図18を用いて説明する。図17及び図18は本実施の形態における論理回路の作製方法を示す断面図である。

【0147】

まず図17(A)に示すように、基板210上に第1の導電膜を形成し、第1のフォトマスクを用いて選択的に第1の導電膜のエッチングを行い、ゲート電極2111及びゲート電極2112を形成し、ゲート電極2111及びゲート電極2112上にゲート絶縁層212を形成する。第1の導電膜は、例えばスパッタ法により形成することができ、ゲート絶縁層212は、プラズマCVD法またはスパッタ法を用いて形成することができる。また、このときゲート電極2111及びゲート電極2112はテーパ状に形成されることが好ましい。

【0148】

次にゲート絶縁層212上に第1の酸化物半導体膜を成膜し、さらにその上に第2の酸化物半導体膜を成膜する。第1の酸化物半導体膜は、例えばスパッタ法により成膜することができる。なお、第1の酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層212の表面及び開口部の底面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板上にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、N₂Oなどを加えた雰囲気で行ってもよい。また、アルゴン雰囲気にC₁₂、C_F₄などを加えた雰囲気で行ってもよい。

【0149】

次に第2のフォトマスクを用いて第1の酸化物半導体膜及び第2の酸化物半導体膜のエッチングを行い、さらに第2の導電膜を形成する。第2の導電膜は、例えばスパッタ法により形成することができる。さらに第3のフォトマスクを用いて選択的に第2の導電膜のエッチングを行い、図17(B)に示すように、電極215、電極216、及び電極217を形成する。なお、第2の導電膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層212の表面、エッチングされた酸化物半導体層に付着しているゴミを除去することが好ましい。

【0150】

なお、第2の導電膜のエッチングの際に、第1の酸化物半導体層及び第2の酸化物半導体層の一部をエッチングし、図15(B)に示すように、ゲート絶縁層212上に酸化物半導体層2131及び酸化物半導体層2132を形成し、酸化物半導体層2131上に酸化物半導体層2141a及び酸化物半導体層2141bを形成し、酸化物半導体層2132上に酸化物半導体層2142a及び酸化物半導体層2142bを形成する。このエッチングでゲート電極2111及びゲート電極2112と重なる部分の酸化物半導体層2131、酸化物半導体層2132の厚さは薄くなる。

【0151】

この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば第2の導電膜としてアルミニウム膜、またはアルミニウム合金膜を用いる場合は、磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。このエッチング工程において、酸化物半導体層2131及び酸化物半導体層2132も一部エッチングされる。また酸化物半導体層2141a及び酸化物半導体層2141b、酸化物半導体層2142a及び酸化物半導体層2142b、及び電極215乃至電極217のエッチングを一度に行うため、また酸化物半導体層2141a及び酸化物半導体層2141b、酸化物半導体層2142a及び酸化物半導体層2142b、及び電極215乃至電極21

7の端部は一致し、連続的な構造となっている。またウェットエッティングを用いた場合、エッティングが等方的に行われ、電極215乃至電極217の端部はレジストマスクより後退する。

【0152】

さらに本実施の形態における論理回路の作製方法では、一例としてエンハンスメント型トランジスタとして機能させるトランジスタの酸化物半導体層（本実施の形態では酸化物半導体層2132）に酸素空孔制御処理を行う。図18（C）に示すように、酸素空孔制御処理を行い、酸化物半導体層2132におけるゲート絶縁層212との接触面とは反対側の面であって、電極216及び電極217の間に酸素空孔密度の低い酸素空孔制御領域250を形成する。本実施の形態では酸素空孔制御処理の一例として酸素プラズマ処理を行う。処理条件については形成されるトランジスタの閾値電圧が正の値になるよう適宜設定される。

10

【0153】

なお、図18（C）において、酸素プラズマ処理は少なくとも酸化物半導体層2132に行えばよく、酸化物半導体層2131に対しては行わなくてもよい。例えば酸化物半導体層2132のみに酸素プラズマ処理を行いたい場合には、酸化物半導体層2131上にマスクを形成し、酸素プラズマ処理を行えばよい。また酸化物半導体層2131に酸素プラズマ処理をした場合、閾値電圧は正の値にシフトしてしまうが、上部に還元防止層を設けなければ経時的な閾値電圧のシフトにより閾値電圧はシフトするため、結果的にデプレッション型トランジスタ及びエンハンスメント型トランジスタの両方を作製することができる。また、酸化物半導体層2131にも酸素プラズマ処理する場合には別途マスクを設ける必要が無くなるため、工程を簡略化することができる。

20

【0154】

次に大気雰囲気下または窒素雰囲気下で加熱処理を行う。加熱処理は、200～600、代表的には300～500で行なうことが好ましい。この熱処理により酸化物半導体膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理（光アニールも含む）は重要である。なお、熱処理を行うタイミングは、酸化物半導体膜の成膜後であれば特に限定されず、半導体膜の成膜後であればいつ行ってもよい。

30

【0155】

次に図18（D）に示すように、後のエンハンスメント型トランジスタとして機能させるトランジスタの酸化物半導体層（図18（D）では酸化物半導体層2132）における酸素空孔制御領域250を含む電極216及び電極217の間の領域上に還元防止層218を形成する。エンハンスメント型トランジスタとして機能させるトランジスタの酸化物半導体層のみに還元防止層218を形成することにより、還元防止層218を設けない半導体層に対応するトランジスタはデプレッション型トランジスタになるため、閾値電圧の異なるトランジスタを同一基板上に形成することができる。還元防止層218は例えればスパッタ法により形成することができる。

【0156】

なお、上述した工程順序は一例であって特に限定されない。例えば、フォトマスク数が1枚増えるが、第2の導電膜をエッティングするフォトマスクと、酸化物半導体層及び酸化物半導体膜の一部をエッティングするフォトマスクを別々に用いてエッティングを行ってもよい。

40

【0157】

また、図18（C）における酸素プラズマ処理をせずに図18（D）においてスパッタ法により還元防止層218を形成することにより酸素プラズマ処理の代わりとすることもできる。スパッタ法により還元防止層218を形成する場合、ガスとして酸素を用いるため酸素プラズマ処理と同様の効果が得ることができるためである。

【0158】

上記方法により、図9（A）及び図9（B）に示す論理回路を作製することができる。ま

50

た、本実施の形態における作製方法を用いることにより、同一基板上に閾値電圧の異なるトランジスタを用いた論理回路を作製することができる。

【0159】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0160】

(実施の形態6)

本実施の形態では、上記実施の形態に示した論理回路を適用可能なデバイスの一例として表示装置について説明する。

【0161】

上記実施の形態に示した各論理回路は、例えば液晶表示装置やエレクトロルミネセンス表示装置など、様々な表示装置に適用可能である。本実施の形態における表示装置の構成について図19を用いて説明する。図19は本実施の形態における表示装置の構成を示すブロック図である。

10

【0162】

図19に示すように、本実施の形態における表示装置は、画素部701と、走査線駆動回路702と、信号線駆動回路703と、を有する。

【0163】

画素部701は、複数の画素704を有するドットマトリクス構造であり、具体的には、複数の画素704は、行列方向に複数配置されている。それぞれの画素704は走査線を介して走査線駆動回路702に電気的に接続され、信号線を介して信号線駆動回路703に電気的に接続される。なお、図19において、走査線及び信号線については便宜のため省略する。

20

【0164】

走査線駆動回路702は、データ信号を入力する画素704を選択する回路であり、走査線を介して選択信号を画素704に出力する。

【0165】

信号線駆動回路703は、画素704に書き込むデータを信号として出力する回路であり、信号線を介して走査線駆動回路702により選択された画素704に画素データを信号として出力する。

30

【0166】

画素704は、少なくとも表示素子とスイッチング素子とにより構成される。表示素子としては、例えば液晶素子やEL素子などの発光素子を適用することができ、スイッチング素子としては例えばトランジスタなどを適用することができる。

【0167】

次に走査線駆動回路702及び信号線駆動回路703の構成例について図20を用いて説明する。図20は駆動回路の構成を示すブロック図であり、図20(A)は走査線駆動回路の構成を示すブロック図であり、図20(B)は信号線駆動回路の構成を示すブロック図である。

【0168】

まず走査線駆動回路702は、図20(A)に示すように、シフトレジスタ900、レベルシフタ901、バッファ902と、を有する。

40

【0169】

シフトレジスタ900にはゲートスタートパルス(GSP)、ゲートクロック信号(GCK)などの信号が入力され、各順序論理回路において順次選択信号が出力される。また、シフトレジスタ900に上記実施の形態2に示したシフトレジスタを適用することができる。

【0170】

また、信号線駆動回路703は、図20(B)に示すように、シフトレジスタ903、第1のラッチ回路904、第2のラッチ回路905、レベルシフタ906、バッファ907と、を有する。

50

【0171】

シフトレジスタ903には、スタートパルス(SSP)などの信号が入力され、各順序論理回路において順次選択信号が出力される。

【0172】

第1のラッチ回路904にはデータ信号が入力される。第1のラッチ回路は、例えば上記実施の形態に示した論理回路のいずれか一つまたは複数用いて構成することができる。

【0173】

バッファ907は、信号を増幅させる機能を有し、オペアンプなどを有する。バッファ907は、例えば上記実施の形態に示した論理回路のいずれか一つまたは複数用いて構成することができる。

10

【0174】

第2のラッチ回路905にはラッチ(LAT)信号を一時保持することができ、保持されたラッチ信号を一斉に図19における画素部701に出力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第2のラッチ回路905は不要とすることができる。また、第2のラッチ回路905は、例えば上記実施の形態に示した論理回路のいずれか一つまたは複数用いて構成することができる。

【0175】

次に図19に示す表示装置の動作について説明する。

【0176】

まず走査線駆動回路702で走査線が選択され、選択された走査線に接続された画素704は、走査線駆動回路702から入力される信号により、信号線を介して信号線駆動回路703からデータ信号が出力される。これにより画素704は、データの書き込みが行われ表示状態になる。走査線駆動回路702により走査線が選択され、すべての画素704においてデータ書き込みが行われる。以上が本実施の形態における表示装置の動作である。

20

【0177】

図19に示す表示装置の各回路は、すべて同一基板上に設けることもでき、また同一の導電型のトランジスタにより構成することができる。同一基板上に設けることにより小型化することができ、同一の導電型のトランジスタで構成することにより工程を簡略化することができる。

30

【0178】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0179】

(実施の形態7)

本実施の形態では、上記実施の形態6に示した表示装置の一例として液晶表示装置について説明する。

【0180】

本実施の形態における表示装置の画素の回路構成例について図21を用いて説明する。図21は本実施の形態における表示装置の画素の回路構成を示す回路図である。

40

【0181】

図21に示すように、画素はトランジスタ821と、液晶素子822と、保持容量素子823と、を有する。

【0182】

トランジスタ821は、選択スイッチとして機能し、ゲートが走査線804に電気的に接続され、ソース及びドレインの一方が信号線805に電気的に接続される。

【0183】

液晶素子822は、第1端子及び第2端子を有し、第1端子がトランジスタ821のソース及びドレインの他方に電気的に接続され、第2端子に接地電位または一定の値の電圧が与えられる。液晶素子822は、第1端子の一部または全部となる第1の電極と、第2端子の一部または全部となる第2の電極と、第1の電極と第2の電極の間に電圧が印加され

50

ることにより透過率が変化する液晶分子を有する層（液晶層という）により構成される。

【0184】

保持容量素子823は、第1端子及び第2端子を有し、第1端子がトランジスタ821のソース及びドレインの他方に電気的に接続され、第2端子に接地電位または一定の値の電圧が与えられる。保持容量素子823は、第1端子の一部または全部となる第1の電極と、第2端子の一部または全部となる第2の電極と、誘電体層により構成される。なお、保持容量素子823は必ずしも設ける必要はないが、保持容量素子823を設けることにより、トランジスタ821のリーク電流による影響を抑制することができる。

【0185】

なお、本実施の形態における表示装置には、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

【0186】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が10μs～100μsと短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0187】

次に図21に示す画素の動作について説明する。

【0188】

まずデータが書き込まれる画素が選択され、選択された画素は、走査線804から入力される信号によりトランジスタ821がオン状態になる。

【0189】

このとき信号線805からのデータ信号がトランジスタ821を介して入力され、液晶素子822の第1端子の電圧はデータ信号の電圧となり、液晶素子822は第1端子と第2端子の間に印加される電圧に応じた透過率に設定される。データ書き込み後、走査線804から入力される信号によりトランジスタ821がオフ状態になり、液晶素子822は表示期間の間設定された透過率を維持し、表示状態となる。上記動作を走査線804毎に順次行い、すべての画素において上記動作が行われる。以上が画素の動作である。

【0190】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0191】

また、通常の垂直周期を1.5倍もしくは2倍以上にすることで応答速度を改善するとともに各フレーム内の分割された複数フィールド毎に書き込む階調を選択する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0192】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して

10

20

30

40

50

複数の L E D を制御できるため、液晶層の光学変調の切り替えタイミングに合わせて L E D の発光タイミングを同期させることもできる。この駆動技術は、L E D を部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合は、消費電力の低減効果が図れる。

【 0 1 9 3 】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【 0 1 9 4 】

次に上記画素を含む本実施の形態における表示装置の構造について図 2 2 を用いて説明する。図 2 2 は本実施の形態における表示装置の画素の構造を示す図であり、図 2 2 (A) 10 は上面図であり、図 2 2 (B) は断面図である。なお、図 2 2 (A) における A 1 - A 2 、 B 1 - B 2 の点線は、図 2 2 (B) における断面 A 1 - A 2 、断面 B 1 - B 2 に相当する。

【 0 1 9 5 】

図 2 2 (A) 及び図 2 2 (B) に示すように、本実施の形態における表示装置は、 A 1 - A 2 の断面において、基板 2 0 0 0 上にゲート電極 2 0 0 1 と、ゲート電極 2 0 0 1 上に設けられたゲート絶縁層 2 0 0 2 と、ゲート絶縁層 2 0 0 2 上に設けられた酸化物半導体層 2 0 0 3 と、酸化物半導体層 2 0 0 3 上に設けられた一対の酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b と、酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b に接するように設けられた電極 2 0 0 5 a 及び電極 2 0 0 5 b と、電極 2 0 0 5 a 、 20 電極 2 0 0 5 b 、及び酸化物半導体層 2 0 0 3 上に設けられた保護絶縁層 2 0 0 7 と、保護絶縁層 2 0 0 7 に設けられた開口部を介して電極 2 0 0 5 b に接する電極 2 0 2 0 と、を有する。

【 0 1 9 6 】

また、 B 1 - B 2 の断面において、基板 2 0 0 0 上に電極 2 0 0 8 と、電極 2 0 0 8 上にゲート絶縁層 2 0 0 2 と、ゲート絶縁層 2 0 0 2 上に設けられた保護絶縁層 2 0 0 7 と、保護絶縁層 2 0 0 7 上に設けられた電極 2 0 2 0 と、を有する。

【 0 1 9 7 】

電極 2 0 2 2 及び電極 2 0 2 9 と、電極 2 0 2 3 、電極 2 0 2 4 、及び電極 2 0 2 8 とは 30 F P C に接続するための電極または配線となる。

【 0 1 9 8 】

基板 2 0 0 0 としては、上記実施の形態 1 に示す基板 2 1 0 に適用可能な基板を用いて形成することができる。

【 0 1 9 9 】

ゲート電極 2 0 0 1 、電極 2 0 0 8 、電極 2 0 2 2 、及び電極 2 0 2 3 としては、上記実施の形態 1 におけるゲート電極 2 1 1 1 及びゲート電極 2 1 1 2 に適用可能な材料及び作製方法を用いて形成することができる。

【 0 2 0 0 】

ゲート絶縁層 2 0 0 2 としては、上記実施の形態 1 におけるゲート絶縁層 2 1 2 に適用可能な材料及び作製方法を適用して形成することができる。本実施の形態ではゲート絶縁層 2 0 0 2 として 5 0 n m の酸化シリコン膜を形成する。

【 0 2 0 1 】

酸化物半導体層 2 0 0 3 としては、例えば上記実施の形態における酸化物半導体層 2 1 3 1 及び酸化物半導体層 2 1 3 2 に適用可能な材料及び作製方法を適用して形成することができる。ここでは、直径 8 インチの I n 、 G a 、及び Z n を含む酸化物半導体ターゲット (I n ₂ O ₃ : G a ₂ O ₃ : Z n O = 1 : 1 : 1) を用いて、基板とターゲットの間との距離を 1 7 0 m m 、圧力 0 . 4 P a 、直流 (D C) 電源 0 . 5 k W 、アルゴンまたは酸素雰囲気下で I n - G a - Z n - O 系非単結晶膜を成膜することにより酸化物半導体層 2 0 0 3 を形成する。なお、パルス直流 (D C) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。I n - G a - Z n - O 系非単結晶膜の膜厚は、 5 n m ~ 2 40 50

0 0 nm であることが好ましい。本実施の形態では、In - Ga - Zn - O 系非単結晶膜の膜厚を 1 0 0 nm とする。また酸化物半導体膜の成膜前に、逆スパッタを行うこともできる。

【 0 2 0 2 】

酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b は、例えば上記実施の形態における酸化物半導体層 2 1 4 1 a 及び酸化物半導体層 2 1 4 1 b、並びに酸化物半導体層 2 1 4 2 a 及び酸化物半導体層 2 1 4 2 b に適用可能な材料及び作製方法を適用して形成することができる。ここでは、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ としたターゲットを用い、成膜条件は、圧力を 0.4 Pa とし、電力を 5 0 0 W とし、成膜温度を室温とし、アルゴンガス流量 4 0 s c c m を導入して In - Ga - Zn - O 系非単結晶膜をスパッタで成膜することにより酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b を形成する。なお、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ 1 nm ~ 1 0 nm の結晶粒を含む In - Ga - Zn - O 系非単結晶膜が形成されることがある。なお、ターゲットの成分比、成膜圧力 (0.1 Pa ~ 2.0 Pa)、電力 (2 5 0 W ~ 3 0 0 0 W : 8 インチ)、温度 (室温 ~ 1 0 0)、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1 nm ~ 1 0 nm の範囲で調節されうると言える。In - Ga - Zn - O 系非単結晶膜の膜厚は、5 nm ~ 2 0 nm であることが好ましい。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b の膜厚を 5 nm とする。

【 0 2 0 3 】

なお、酸化物半導体層 2 0 0 3 となる In - Ga - Zn - O 系非単結晶膜は、酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b となる In - Ga - Zn - O 系非単結晶膜の成膜条件と異ならせる。例えば、酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b となる In - Ga - Zn - O 系非単結晶膜の成膜条件における酸素ガス流量とアルゴンガス流量の比よりも酸化物半導体層 2 0 0 3 となる In - Ga - Zn - O 系非単結晶膜の成膜条件における酸素ガス流量の占める比率が多い条件とする。具体的には、酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b となる In - Ga - Zn - O 系非単結晶膜の成膜条件は、希ガス (アルゴン、またはヘリウムなど) 霧囲気下 (または酸素ガス 1 0 % 以下、アルゴンガス 9 0 % 以上) とし、酸化物半導体層 2 0 0 3 となる In - Ga - Zn - O 系非単結晶膜の成膜条件は、酸素霧囲気下 (または酸素ガス流量とアルゴンガス流量の比 1 : 1 以上) とする。

【 0 2 0 4 】

酸化物半導体層 2 0 0 4 a 及び酸化物半導体層 2 0 0 4 b となる In - Ga - Zn - O 系非単結晶膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【 0 2 0 5 】

スパッタ法にはスパッタ用電源に高周波電源を用いる R F スパッタ法と、D C スパッタ法があり、さらにパルス的にバイアスを与えるパルス D C スパッタ法もある。R F スパッタ法は主に絶縁膜を成膜する場合に用いられ、D C スパッタ法は主に金属膜を成膜する場合に用いられる。

【 0 2 0 6 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 2 0 7 】

また、チャンバー内部に磁石機構を備えたマグネットロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる E C R スパッタ法を用いるスパッタ装置がある。

10

20

30

40

50

【0208】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0209】

電極2005a、電極2005b、及び電極2024は、例えば上記実施の形態における電極215、電極216、及び電極217に適用可能な材料及び作製方法を適用して形成することができる。電極2005a、電極2005b、及び電極2024としてチタン膜の単層構造とする。

【0210】

また、酸化物半導体層2003のチャネル領域に、酸素プラズマ処理を行ってもよい。酸素プラズマ処理を行うことによりTFTをノーマリーオフとすることができます。また、プラズマ処理を行うことにより、酸化物半導体層2003のエッチングによるダメージを回復することができる。酸素プラズマ処理はO₂、N₂O、好ましくは酸素を含むN₂、He、Ar雰囲気下で行うことが好ましい。また、上記雰囲気にCl₂、CF₄を加えた雰囲気下で行ってもよい。

10

【0211】

保護絶縁層2007はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などを用いることができる。なお、保護絶縁層2007として非還元性の膜（酸化シリコン膜など）を用いることにより上記酸素プラズマ処理を行ったTFTのチャネル領域が保護され、経時的な閾値電圧のシフトを抑制することができる。

20

【0212】

電極2020、電極2029、及び電極2028は、酸化インジウム（In₂O₃）や酸化インジウム酸化スズ合金（In₂O₃SnO₂、ITOと略記する）などを用いてスパッタ法や真空蒸着法などにより形成される。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（In₂O₃ZnO）を用いても良い。

【0213】

30

また、図23(A1)、図23(A2)は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図23(A1)は図23(A2)中のC1-C2線に沿った断面図に相当する。図23(A1)において、保護絶縁膜2054上に形成される透明導電膜2055は、入力端子として機能する接続用の端子電極である。また、図23(A1)において、端子部では、ゲート配線と同じ材料で形成される第1の端子2051と、ソース配線と同じ材料で形成される接続電極2053とがゲート絶縁層2052を介して重なり直接接して導通させている。また、接続電極2053と透明導電膜2055が保護絶縁膜2054に設けられたコンタクトホールを介して直接接して導通させている。

【0214】

40

また、図23(B1)、及び図23(B2)は、ソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図23(B1)は図23(B2)中のD1-D2線に沿った断面図に相当する。図23(B1)において、保護絶縁膜2054上に形成される透明導電膜2055は、入力端子として機能する接続用の端子電極である。また、図23(B1)において、端子部では、ゲート配線と同じ材料で形成される電極2056が、ソース配線と電気的に接続される第2の端子2050の下方にゲート絶縁層2052を介して重なる。電極2056は第2の端子2050とは電気的に接続しておらず、電極2056を第2の端子2050と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第2の端子2050は、保護絶縁膜2054を介して透明導電膜2055と電気的に接続している。

50

【0215】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子、ソース配線と同電位の第2の端子、容量配線と同電位の第3の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宣決定すれば良い。

【0216】

こうしてボトムゲート型のNチャネル型TFTであるTFTを有する画素TFT部、保持容量素子を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。 10

【0217】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電気的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電気的に接続する第4の端子を端子部に設ける。この第4の端子は、共通電極を固定電位、例えばGND、0Vなどに設定するための端子である。

【0218】

本実施の形態で得られるNチャネル型のトランジスタは、In-Ga-Zn-O系非単結晶膜をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。 20

【0219】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電圧、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電圧、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電気的に接続する第5の端子を設ける。

【0220】

ゲート線駆動回路またはソース線駆動回路で酸化物半導体を用いたTFTで形成することにより、製造コストを低減する。そして駆動回路に用いるTFTのゲート電極とソース配線、或いはドレイン配線を直接接続させることでコンタクトホールの数を少なくし、駆動回路の占有面積を縮小化できる表示装置を提供することができる。 30

【0221】

従って、本実施の形態により、電気特性が高く信頼性のよい表示装置を低コストで提供することができる。

【0222】

なお、本実施の形態は他の実施の形態と適宜組み合わせることができる。

【0223】

（実施の形態8）

本実施の形態では、上記実施の形態6に示した表示装置の一例として発光表示装置について説明する。また、本実施の形態では、一例としてエレクトロルミネッセンスを発光素子として利用した発光表示装置について説明する。 40

【0224】

エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0225】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャ 50

リア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0226】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

10

【0227】

本実施の形態における表示装置の画素の回路構成について図24を用いて説明する。図24は本実施の形態における表示装置の画素の回路構成を示す回路図である。

【0228】

図24に示すように、実施の形態における表示装置の画素は、トランジスタ851と、保持容量素子852と、トランジスタ853と、発光素子854と、を有する。

【0229】

トランジスタ851は、ゲートが走査線855に電気的に接続され、ソース及びドレインの一方が信号線856に電気的に接続され、ソース及びドレインの他方に保持容量素子852を介して高電源電圧が与えられる。

20

【0230】

トランジスタ853は、ゲートがトランジスタ851のソース及びドレインの他方に電気的に接続され、ソース及びドレインの一方には高電源電圧が与えられる。

【0231】

発光素子854は、第1端子及び第2端子を含み、第1端子がトランジスタ853のソース及びドレインの他方に電気的に接続され、第2端子に低電源電圧が与えられる。

【0232】

次に図24に示す画素の動作について説明する。

【0233】

30

次に本実施の形態の表示装置における画素の表示動作例について説明する。

【0234】

まずデータ書き込みを行う画素が選択される。選択された画素は、走査線855から入力される走査信号によりトランジスタ851がオン状態になり、所定の値の電圧であるビデオ信号（データ信号ともいう）が信号線856からトランジスタ853のゲートに入力される。

【0235】

トランジスタ853はゲートに入力されるデータ信号に応じた電圧によりオン状態またはオフ状態になる。トランジスタ853がオン状態のとき、発光素子854の第1端子及び第2端子の間に印加される電圧は、トランジスタ853のゲート電圧及び高電源電圧に応じた値となる。このとき発光素子854に第1端子及び第2端子との間に印加された電圧に応じて電流が流れ、発光素子854は流れる電流の量に応じた輝度で発光する。また、保持容量素子852によりトランジスタ853のゲート電圧は一定時間保持されるため、発光素子854は一定時間発光状態を維持する。

40

【0236】

また信号線856から画素に入力されるデータ信号がデジタル形式の場合、画素はトランジスタ851のオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を図24に示す回路構成にして独立にデータ信号に基づいて駆動されることによって、階調表示を行う駆動法である。また時間階調法

50

は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0237】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0238】

また、発光表示装置においても、駆動回路のうち、Nチャネル型TFTで構成することができる駆動回路の一部を画素部のTFTと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路をNチャネル型TFTのみで作製することも可能である。

【0239】

次に、発光素子の構成について、図25を用いて説明する。ここでは、駆動用TFTがNチャネル型の場合を例に挙げて、画素の断面構造について説明する。図25(A)(B)(C)の表示装置に用いられる駆動用TFTであるTFT7001、7011、7021は、上記実施の形態に示すTFTと同様に作製でき、酸化物半導体層を半導体層として含む信頼性の高いTFTである。

【0240】

発光素子は発光を取り出すために少なくとも陽極または陰極の一方が透明であればよい。そして、基板上にTFT及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【0241】

上面射出構造の発光素子について図25(A)を用いて説明する。

【0242】

図25(A)に、駆動用TFTであるTFT7001がNチャネル型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図25(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電気的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLiなどが望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

【0243】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図25(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0244】

次に、下面射出構造の発光素子について図25(B)を用いて説明する。駆動用TFT7011がNチャネル型で、発光素子7012から発せられる光が陰極7017側に射出する。

10

20

30

40

50

る場合の、画素の断面図を示す。図25(B)では、駆動用TFT7011と電気的に接続された透光性を有する導電膜7013上に、発光素子7012の陰極7017が成膜されており、陰極7017上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7017は、図25(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7017として用いることができる。そして発光層7014は、図25(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図25(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属などを用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂などを用いることもできる。

【0245】

陰極7017及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図25(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7017側に射出する。

【0246】

次に、両面射出構造の発光素子について、図25(C)を用いて説明する。図25(C)では、駆動用TFT7021と電気的に接続された透光性を有する導電膜7023上に、発光素子7022の陰極7027が成膜されており、陰極7027上に発光層7024、陽極7025が順に積層されている。陰極7027は、図25(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するA1を、陰極7027として用いることができる。そして発光層7024は、図25(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図25(A)と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0247】

陰極7027と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図25(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7027側の両方に射出する。

【0248】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0249】

なお本実施の形態では、発光素子の駆動を制御するTFT(駆動用TFTともいう)と発光素子が電気的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0250】

次に本実施の形態における表示装置(発光パネルともいう)の外観及び断面について、図26を用いて説明する。図26(A)は、第1の基板上に形成されたTFT及び発光素子を、第2の基板との間にシール材によって封止した、本実施の形態の表示装置の上面図であり、図26(B)は、図26(A)のH-Iにおける断面図に相当する。

【0251】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504bが封止されている。

10

20

30

40

50

04a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルムなど）やカバー材でパッケージング（封入）することが好ましい。

【0252】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、TFTを複数有しており、図26(B)では、画素部4502に含まれるTFT4510と、信号線駆動回路4503aに含まれるTFT4509とを例示している。

【0253】

TFT4509、4510は、酸化物半導体層を半導体層として含む信頼性の高い実施の形態4に示すTFTを適用することができる。また実施の形態5に示すTFTを適用してもよい。本実施の形態において、TFT4509、4510はNチャネル型TFTである。

10

【0254】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極4517は、TFT4510のソース電極またはドレイン電極と電気的に接続されている。なお発光素子4511の構成は、第1の電極4517、電界発光層4512、第2の電極4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

20

【0255】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することができる。

【0256】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0257】

発光素子4511に酸素、水素、水分、二酸化炭素などが侵入しないように、第2の電極4513及び隔壁4520上に保護層を形成してもよい。保護層としては、窒化珪素膜、窒化酸化珪素膜、DLC膜などを形成することができる。

30

【0258】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0259】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極4517と同じ導電膜から形成され、端子電極4516は、TFT4509、4510が有するソース電極及びドレイン電極と同じ導電膜から形成されている。

40

【0260】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電気的に接続されている。

【0261】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエチレンフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0262】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、

50

ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

【0263】

また、必要であれば、発光素子の射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（1/4板、1/2板）、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板または円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0264】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜または多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、または走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図26の構成に限定されない。

【0265】

以上の工程により、信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0266】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることができる。

【0267】

（実施の形態9）
本実施の形態では、上記実施の形態6に示す表示装置の一例として電子ペーパについて説明する。

【0268】

上記実施の形態に示す論理回路は電子ペーパに用いることもできる。電子ペーパは、電気泳動表示装置（電気泳動ディスプレイともいう）とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0269】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0270】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

【0271】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0272】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態4または実施の形態5のTFTによって得られるアクティブマトリクス基板を用いることができる。

【0273】

10

20

30

40

50

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0274】

次に本実施の形態における電子ペーパの構造例について図27を用いて説明する。図27は本実施の形態における電子ペーパの構造を示す断面図である。

【0275】

図27に示す電子ペーパは、基板580上にTFT581と、TFT581上に積層して設けられた絶縁層583、絶縁層584、及び絶縁層585と、絶縁層583乃至絶縁層585に設けられた開口部を介してTFT581のソース電極またはドレイン電極に接する電極587と、電極587と、基板596に設けられた電極588との間に黒色領域590a及び白色領域590bと、周りに液体で満たされているキャビティ594を含む球形粒子589と、球形粒子589の周りに設けられた充填剤595と、を有する。

10

【0276】

TFT581としては、実施の形態4で示すTFTと同様に作製でき、酸化物半導体層を半導体層として含む信頼性の高いTFTである。また、実施の形態5で示すTFTも本実施のTFT581として適用することもできる。

【0277】

球形粒子589を用いた方式はツイストボール表示方式といい、ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極である第1の電極及び第2の電極の間に配置し、第1の電極及び第2の電極に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

20

【0278】

また、球形素子の代わりに電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10μm～200μm程度のマイクロカプセルを用いる。第1の電極と第2の電極との間に設けられるマイクロカプセルは、第1の電極と第2の電極によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子である。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、または表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

30

【0279】

明細書に開示する発明の一実施形態である論理回路は、例えば本実施の形態における電子ペーパの駆動回路として用いることができる。また表示部のトランジスタも酸化物半導体層を用いた薄膜トランジスタを適用することができるため、例えば同一基板に駆動回路及び表示部を設けることもできる。

40

【0280】

または上記電子ペーパは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカードなどの各種カードにおける表示などに適用することができる。電子機器の一例を図28に示す。図28は、電子書籍2700の一例を示している。

【0281】

図28に示すように、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成によ

50

り、紙の書籍のような動作を行うことが可能となる。

【0282】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成としていることで、例えば右側の表示部(図28では表示部2705)に文章を表示し、左側の表示部(図28では表示部2707)に画像を表示することができる。

【0283】

また、図28では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキー ボードやポインティングディバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

10

【0284】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成としても可能である。

20

【0285】

(実施の形態10)

本実施の形態では、上記実施の形態6における表示装置の一形態としてシステムオンパネル型の表示装置について説明する。

【0286】

本明細書に開示する発明である論理回路は、同一基板上に表示部と駆動回路が設けられたシステムオンパネル型の表示装置に適用することもできる。以下に具体的な構成について説明する。

【0287】

本実施の形態における表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機ELなどが含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

30

【0288】

また、本実施の形態における表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。さらに該表示装置を作製する過程における、表示素子が完成する前のー形態に相当する素子基板に關し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッティングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

40

【0289】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクター、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回

50

路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0290】

次に本実施の形態における表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図29を用いて説明する。

【0291】

図29(A1)(A2)は、第1の基板4001上に形成された実施の形態4で示したIn-Ga-Zn-O系非単結晶膜を半導体層として含むTFT4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、本実施の形態における表示装置の上面図であり、図29(B)は、図29(A1)(A2)のM-Nにおける断面図に相当する。

10

【0292】

本実施の形態における表示装置は、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜または多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

20

【0293】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図29(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図29(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0294】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、TFTを複数有しており、図29(B)では、画素部4002に含まれるTFT4010と、走査線駆動回路4004に含まれるTFT4011とを例示している。TFT4010、4011上には絶縁層4020、4021が設けられている。

30

【0295】

TFT4010、4011は、酸化物半導体膜を半導体層として含む信頼性の高い実施の形態4に示すTFTを適用することができる。また実施の形態5に示すTFTを適用してもよい。本実施の形態において、TFT4010、4011はNチャネル型TFTである。

【0296】

また、液晶素子4013が有する画素電極4030は、TFT4010と電気的に接続されている。そして液晶素子4013の対向電極4031は第2の基板4006上に形成されている。画素電極4030と対向電極4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極4030、対向電極4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

【0297】

なお、第1の基板4001、第2の基板4006としては、上記実施の形態における基板210に適用可能な材料及び作製方法を適用することができる。

【0298】

またスペーサ4035は、絶縁膜を選択的にエッチングすることで得られる柱状の隔壁であり、画素電極4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極4031は、TFT4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して対向電極4031と共に通電

50

位線とを電気的に接続することができる。なお、導電性粒子はシール材 4005 に含有させる。

【0299】

なお本実施の形態は透過型液晶表示装置の例であるが、本発明は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0300】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

10

【0301】

また、本実施の形態では、TFTの表面凹凸を低減するため、及びTFTの信頼性を向上させるため、TFTを保護層や平坦化絶縁膜として機能する絶縁層（絶縁層 4020、絶縁層 4021）で覆う構成となっている。なお、保護層は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護層は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、または窒化酸化アルミニウム膜の単層、または積層で形成すればよい。本実施の形態では保護層をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。また非還元膜を用いることにより保護層を還元防止層として機能させることもできる。

20

【0302】

ここでは、保護層として積層構造の絶縁層 4020 を形成する。ここでは、絶縁層 4020 の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護層として酸化珪素膜を用いると、ソース電極及びドレイン電極として用いるアルミニウム膜のヒロック防止に効果がある。

【0303】

また、保護層の二層目として絶縁層を形成する。ここでは、絶縁層 4020 の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護層として窒化珪素膜を用いると、ナトリウムなどの可動イオンが半導体領域中に侵入して、TFT の電気特性を変化させることを抑制することができる。

30

【0304】

また、保護層を形成した後に、半導体層のアニール（250 ~ 400）を行ってもよい。

【0305】

また、平坦化絶縁膜として絶縁層 4021 を形成する。絶縁層 4021 としては、ポリイミド、アクリル、ポリイミドアミド、ベンゾシクロブテン、ポリアミド、エポキシなどの、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）などを用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層 4021 を形成してもよい。

40

【0306】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0307】

絶縁層 4021 の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷など）、ドクターナイフ、ロールコーラー、カーテンコーラー、ナ

50

イフコーダーなどを用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール(300～400)を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく表示装置を作製することが可能となる。

【0308】

画素電極4030、対向電極4031は、酸化タンクスチルを含むインジウム酸化物、酸化タンクスチルを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

【0309】

また、画素電極4030、対向電極4031として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好ましい。

【0310】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、もしくはこれらの2種以上の共重合体などがあげられる。

20

【0311】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0312】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極4030と同じ導電膜から形成され、端子電極4016は、TFT4010、4011のソース電極及びドレイン電極と同じ導電膜で形成されている。

【0313】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

30

【0314】

また図29においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0315】

上記のようにシステムオンパネル型の表示装置を作成することができる。また、本実施の形態における表示装置には上記実施の形態における論理回路を例えば駆動回路に用いることができ、表示部のTFTと同一工程により論理回路を作製することもできる。

【0316】

なお、本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることができる。

【0317】

(実施の形態11)

上記実施の形態6乃至実施の形態10に示す表示装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

50

【0318】

図30(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0319】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

10

【0320】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0321】

図30(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することができ、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

20

【0322】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0323】

また、デジタルフォトフレーム9700は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

30

【0324】

図31(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図31(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの)、マイクロフォン9889)などを備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも表示装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図31(A)に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図31(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0325】

図31(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン

50

投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも本発明に係る表示装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができます。

【0326】

図 32 (A) は、携帯電話機 9000 の一例を示している。携帯電話機 9000 は、筐体 9001 に組み込まれた表示部 9002 の他、操作ボタン 9003、外部接続ポート 9004、スピーカ 9005、マイク 9006 などを備えている。

【0327】

図 32 (A) に示す携帯電話機 9000 は、表示部 9002 を指などで触ることで、情報に入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 9002 を指などで触ることにより行うことができる。

10

【0328】

表示部 9002 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字などの情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【0329】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 9002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 9002 の画面のほとんどにキーボードまたは番号ボタンを表示させが好ましい。

20

【0330】

また、携帯電話機 9000 内部に、ジャイロ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 9000 の向き（縦か横か）を判断して、表示部 9002 の画面表示を自動的に切り替えるようにすることができる。

【0331】

また、画面モードの切り替えは、表示部 9002 を触れること、または筐体 9001 の操作ボタン 9003 の操作により行われる。また、表示部 9002 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0332】

30

また、入力モードにおいて、表示部 9002 の光センサで検出される信号を検知し、表示部 9002 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0333】

表示部 9002 は、イメージセンサとして機能させることもできる。例えば、表示部 9002 に掌や指を触ることで、掌紋、指紋などを撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0334】

図 32 (B) も携帯電話機の一例である。図 32 (B) の携帯電話機は、筐体 9411 に、表示部 9412、及び操作ボタン 9413 を含む表示装置 9410 と、筐体 9401 に操作ボタン 9402、外部入力端子 9403、マイク 9404、スピーカ 9405、及び着信時に発光する発光部 9406 を含む通信装置 9400 とを有しており、表示機能を有する表示装置 9410 は電話機能を有する通信装置 9400 と矢印の 2 方向に脱着可能である。よって、表示装置 9410 と通信装置 9400 の短軸同士を取り付けることも、表示装置 9410 と通信装置 9400 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9400 より表示装置 9410 を取り外し、表示装置 9410 を単独で用いることもできる。通信装置 9400 と表示装置 9410 とは無線通信または有線通信により画像または入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

40

50

【0335】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【実施例1】

【0336】

本実施例では、酸素空孔制御処理の一例として酸素のプラズマ処理により閾値電圧をシフトすることにより作製されるエンハンスメント型である酸化物半導体を用いた薄膜トランジスタについて説明する。

【0337】

本実施例における薄膜トランジスタの構造について図33(A)に示す。

10

【0338】

図33(A)に示す薄膜トランジスタは、基板5001上に設けられたゲート電極5002と、ゲート電極5002上にゲート絶縁層5003と、ゲート絶縁層5003上に設けられた酸化物半導体層5004と、ソース電極またはドレイン電極となる電極5005a及び電極5005bと、を有する。

【0339】

本実施例では、ゲート電極5002としてタンゲステン膜を100nm形成し、ゲート絶縁層5003としてSiON膜を100nm形成し、酸化物半導体層5004としてIn-Ga-Zn-O系非単結晶膜を50nm形成し、電極5005a及び電極5005bとしてチタン膜を100nm形成した。

20

【0340】

さらに本実施例の薄膜トランジスタは、チャネル部の表面を酸素プラズマ処理することにより、閾値電圧をシフトさせている。このとき酸素プラズマ処理は、処理室内を0.4Paとし、アルゴンガスの流量/酸素の流量=10sccm/15sccmとし、RFパワーを500Wとすることにより酸素をプラズマ状態にして行った。また、本実施例ではこのプラズマ処理を5分間行った。

【0341】

本実施例のトランジスタにおける酸素プラズマ処理前後のID-VG測定結果について図33(B)に示す。

30

【0342】

図33(B)に示すように、酸素プラズマ処理前のトランジスタは曲線5006に示すように閾値電圧が負の値のノーマリーオンであるが、酸素プラズマ処理後のトランジスタは、曲線5007に示すように閾値電圧が正の値のノーマリーオフである。このことからも酸化物半導体を用いた薄膜トランジスタにおいて、酸素プラズマ処理を行うことにより、トランジスタの閾値電圧が正の値にシフトし、エンハンスメント型になることがわかる。

【符号の説明】

【0343】

101	トランジスタ
102	トランジスタ
103	電源線
104	電源線
105	ノード
106	トランジスタ
107	トランジスタ
108	容量素子
109	容量素子
110	ノード
111	トランジスタ
113	トランジスタ
114	ノード

40

50

1 1 5	ノード	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 1 0	基板	
2 1 2	ゲート絶縁層	
2 1 5	電極	
2 1 6	電極	
2 1 7	電極	
2 1 8	還元防止層	
2 5 0	酸素空孔制御領域	10
3 2 1	トランジスタ	
3 2 2	トランジスタ	
3 2 3	トランジスタ	
3 2 4	電源線	
3 2 5	電源線	
3 2 6	ノード	
5 8 0	基板	
5 8 1	TFT	
5 8 3	絶縁層	
5 8 4	絶縁層	20
5 8 5	絶縁層	
5 8 7	電極	
5 8 8	電極	
5 8 9	球形粒子	
5 9 4	キャビティ	
5 9 5	充填剤	
5 9 6	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	信号線駆動回路	30
7 0 4	画素	
8 0 4	走査線	
8 0 5	信号線	
8 2 1	トランジスタ	
8 2 2	液晶素子	
8 2 3	保持容量素子	
8 5 1	トランジスタ	
8 5 2	保持容量素子	
8 5 3	トランジスタ	
8 5 4	発光素子	40
8 5 5	走査線	
8 5 6	信号線	
9 0 0	シフトレジスタ	
9 0 1	レベルシフタ	
9 0 2	パッファ	
9 0 3	シフトレジスタ	
9 0 4	ラッチ回路	
9 0 5	ラッチ回路	
9 0 6	レベルシフタ	
9 0 7	パッファ	50

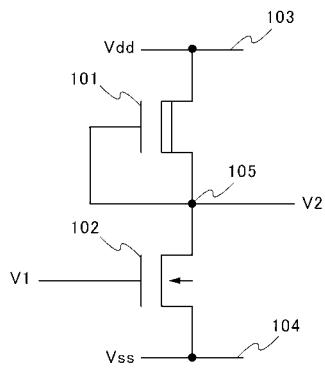
1 1 1 1	ノード	
1 1 2 1	インバー タ	
1 1 2 2	インバー タ	
1 1 2 3	インバー タ	
2 0 0 0	基板	
2 0 0 1	ゲート電極	
2 0 0 2	ゲート絶縁層	
2 0 0 3	酸化物半導体層	
2 0 0 4 a	酸化物半導体層	10
2 0 0 4 b	酸化物半導体層	
2 0 0 5 a	電極	
2 0 0 5 b	電極	
2 0 0 7	保護絶縁層	
2 0 0 8	電極	
2 0 2 0	電極	
2 0 2 2	電極	
2 0 2 3	電極	
2 0 2 4	電極	
2 0 2 8	電極	
2 0 2 9	電極	20
2 0 5 0	端子	
2 0 5 1	端子	
2 0 5 2	ゲート絶縁層	
2 0 5 3	接続電極	
2 0 5 4	保護絶縁膜	
2 0 5 5	透明導電膜	
2 0 5 6	電極	
2 1 1 1	ゲート電極	
2 1 1 2	ゲート電極	
2 1 3 1	酸化物半導体層	30
2 1 3 2	酸化物半導体層	
2 1 4 1 a	酸化物半導体層	
2 1 4 1 b	酸化物半導体層	
2 1 4 2 a	酸化物半導体層	
2 1 4 2 b	酸化物半導体層	
2 1 9 1	バッファ層	
2 1 9 2	バッファ層	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	40
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
3 0 1 1	論理回路	
3 0 1 2	論理回路	
3 0 1 3	論理回路	
3 1 1 1	トランジスタ	50

3 1 1 2	トランジスタ	
3 1 1 3	トランジスタ	
3 1 2 1 A	インバータ	
3 1 2 1 B	インバータ	
3 1 2 1 C	インバータ	
3 1 2 2 A	インバータ	
3 1 2 2 B	インバータ	
3 1 2 2 C	インバータ	
3 1 2 3 A	インバータ	10
3 1 2 3 B	インバータ	
3 1 2 3 C	インバータ	
3 1 3 1	トランジスタ	
3 1 3 2	トランジスタ	
3 1 3 3	トランジスタ	
3 1 4 0	NAND回路	
3 1 4 1	NAND回路	
3 1 4 2	NAND回路	
3 1 4 3	NAND回路	
3 1 7 1	ノード	
3 1 7 2	ノード	20
3 1 7 3	ノード	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	TFT	
4 0 1 1	TFT	30
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	FPC	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極	
4 0 3 1	対向電極	
4 0 3 2	絶縁層	40
4 0 3 5	スペーサ	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	TFT	
4 5 1 0	TFT	50

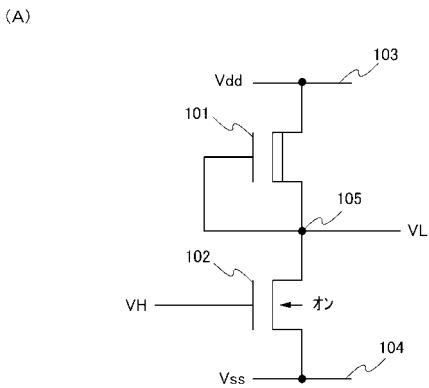
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極	
4 5 1 8 a	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 0 0 1	基板	10
5 0 0 2	ゲート電極	
5 0 0 3	ゲート絶縁層	
5 0 0 4	酸化物半導体層	
5 0 0 5 a	電極	
5 0 0 5 b	電極	
5 0 0 6	曲線	
5 0 0 7	曲線	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
7 0 0 1	T F T	20
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	導電膜	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	30
7 0 1 7	陰極	
7 0 2 1	駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	導電膜	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	陰極	
9 0 0 0	携帯電話機	
9 0 0 1	筐体	
9 0 0 2	表示部	40
9 0 0 3	操作ボタン	
9 0 0 4	外部接続ポート	
9 0 0 5	スピーカ	
9 0 0 6	マイク	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	50

9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	10
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	入力手段（操作キー	20
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	30

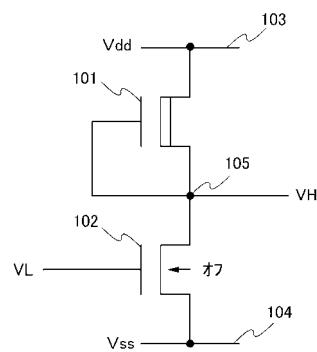
【図1】



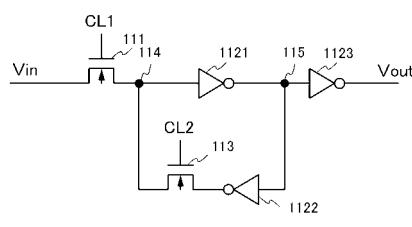
【図2】



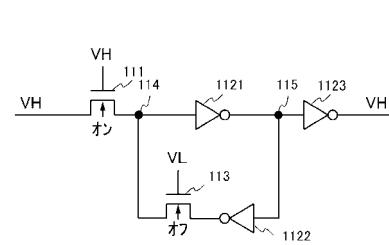
(B)



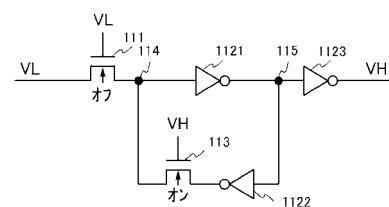
【図3】



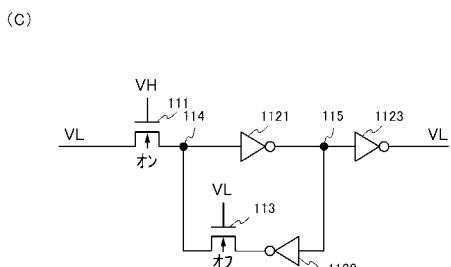
【図4】



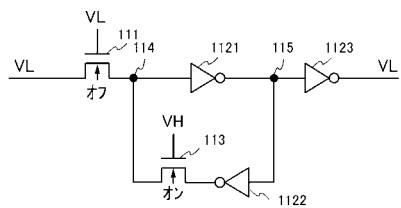
(B)



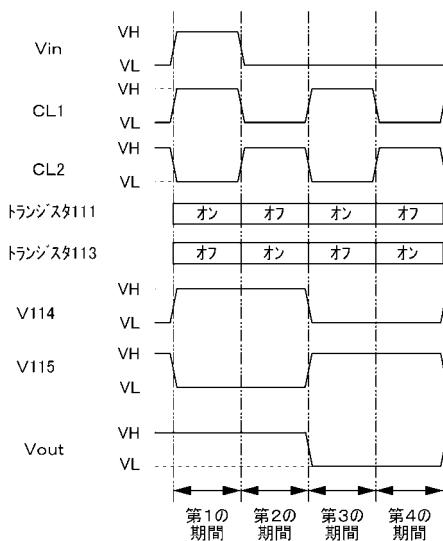
【図5】



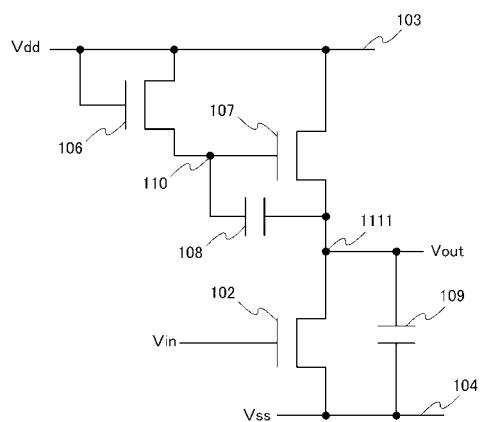
(D)



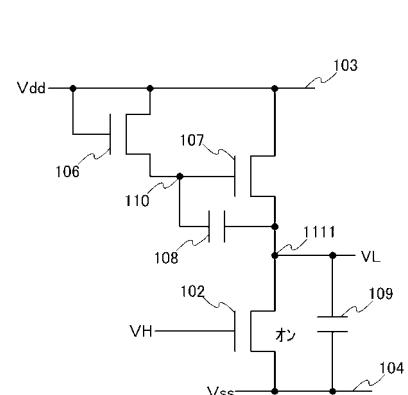
【図6】



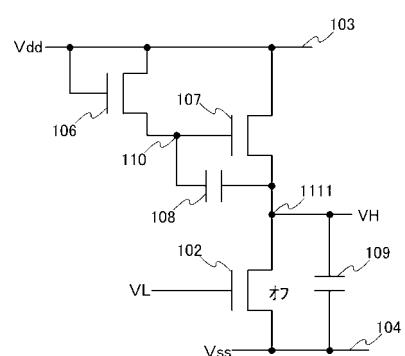
【図7】



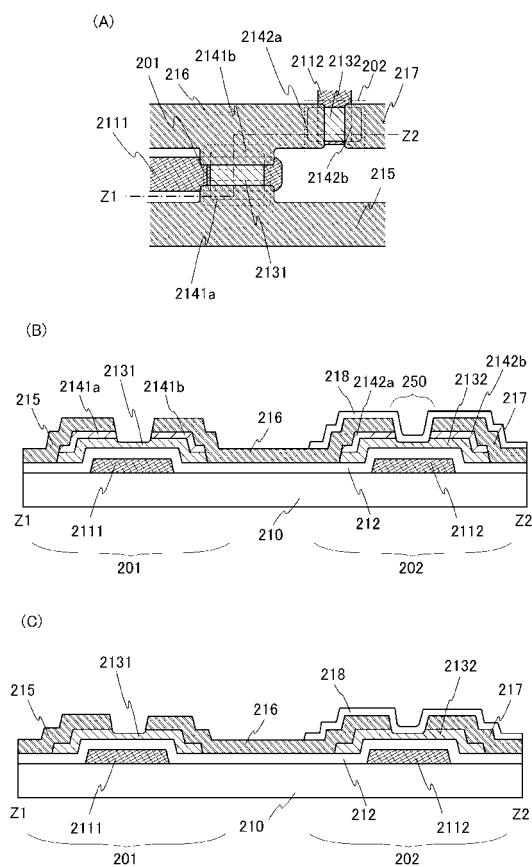
【図8】



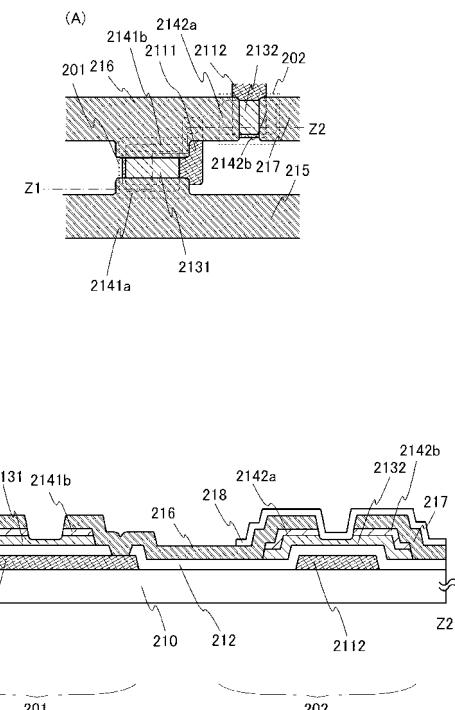
(B)



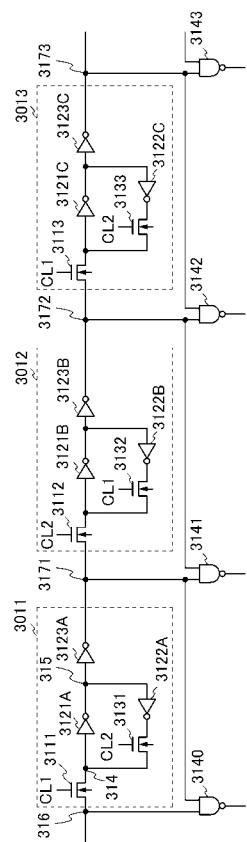
【図9】



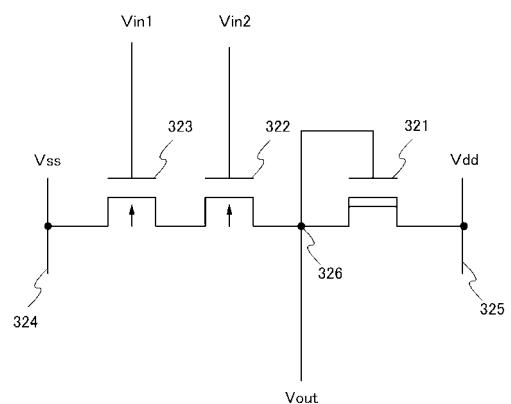
【図10】



【図11】



【図12】



【図13】

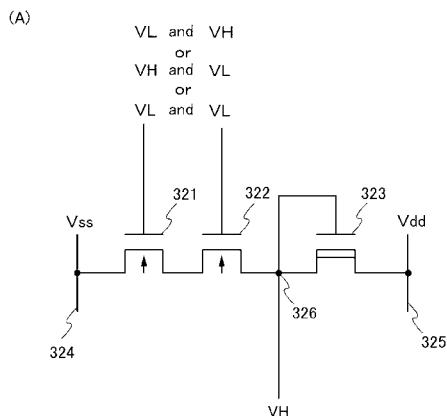
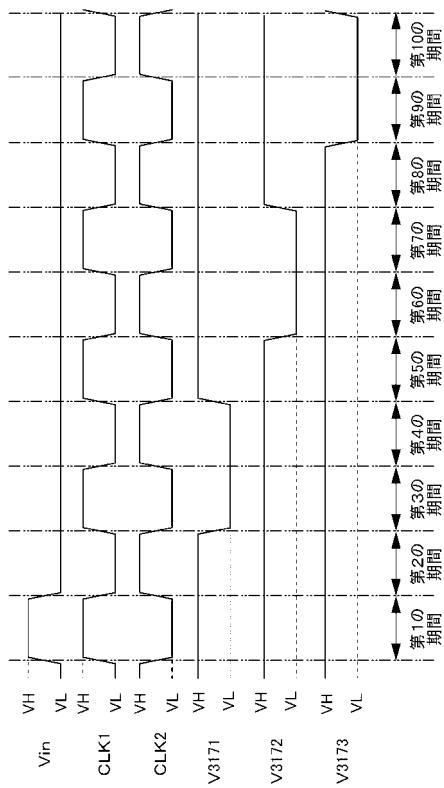
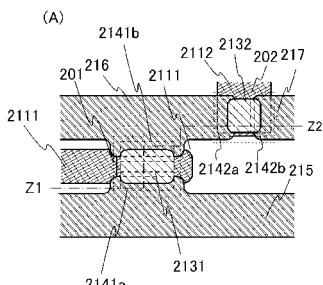


Diagram (B) illustrates a logic cell with four inputs: V_{ss} , VH , VL , and Vdd . The cell has four outputs labeled 324, 321, 322, and 323. The VH and VL inputs are connected to the top and bottom rails respectively. The Vss and Vdd inputs are connected to the left and right rails. The output 324 is connected to the bottom rail. The outputs 321, 322, and 323 are connected to the top rail. The connections between the rails and the outputs are controlled by switches, with labels 321, 322, 323, and 326 indicating the switch states.

【図14】



【図15】



【図16】

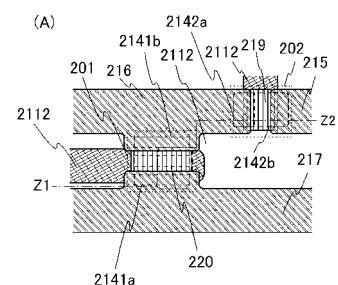
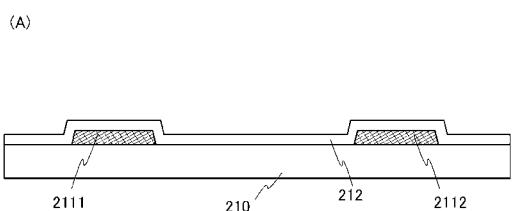
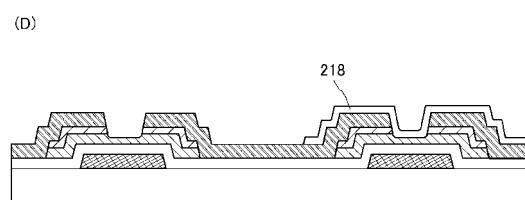
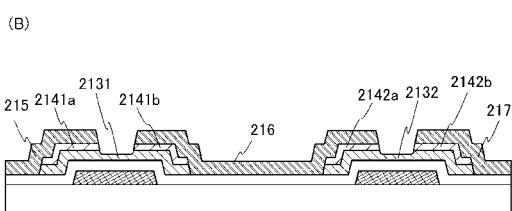
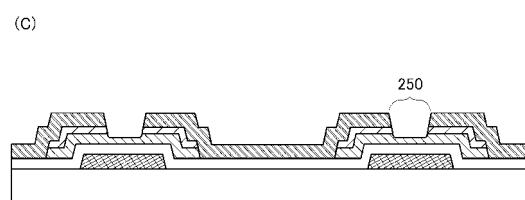


Diagram (B) shows a cross-section of the memory cell structure. It features a floating gate 2141a, 2131, 2191, and 2141b, which is partially covered by a charge trapping layer 216. The floating gate is supported by insulating layers 215 and 210, and is connected to a word line 201. The floating gate is surrounded by a charge trapping layer 2142a, 2192, and 2142b, which is also partially covered by a charge trapping layer 217. The charge trapping layer 217 is supported by insulating layers 2111, 210, 212, and 2112. The entire structure is connected to a bit line 202.

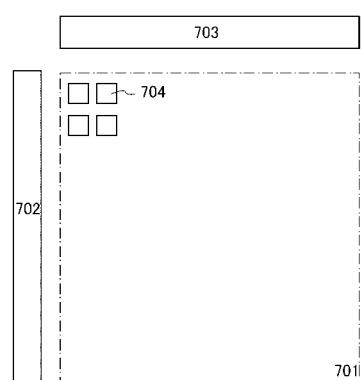
【図17】



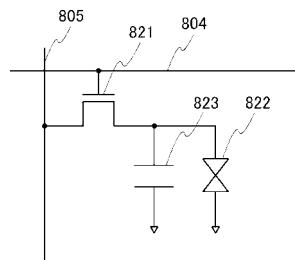
【図18】



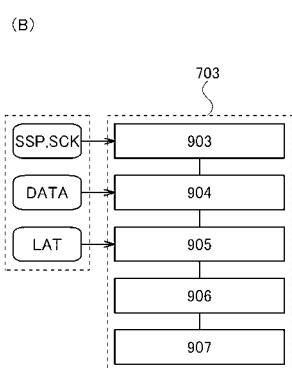
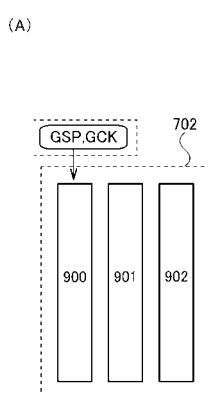
【図19】



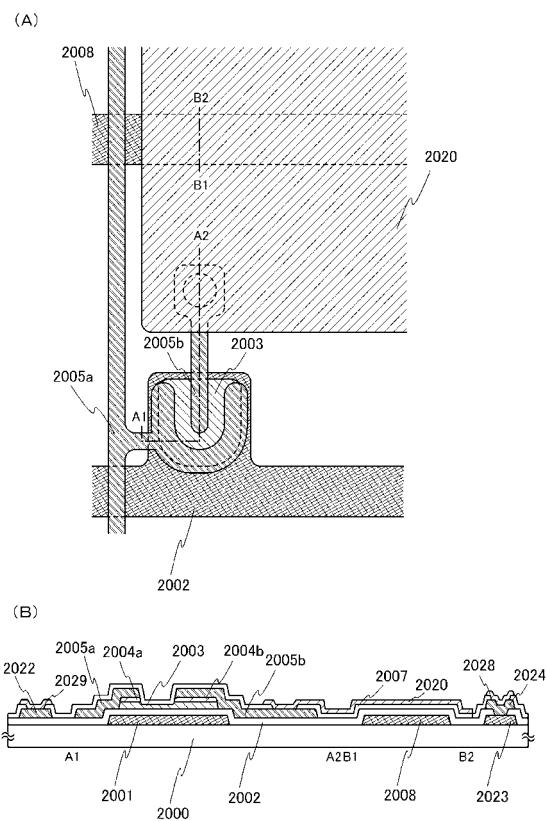
【図21】



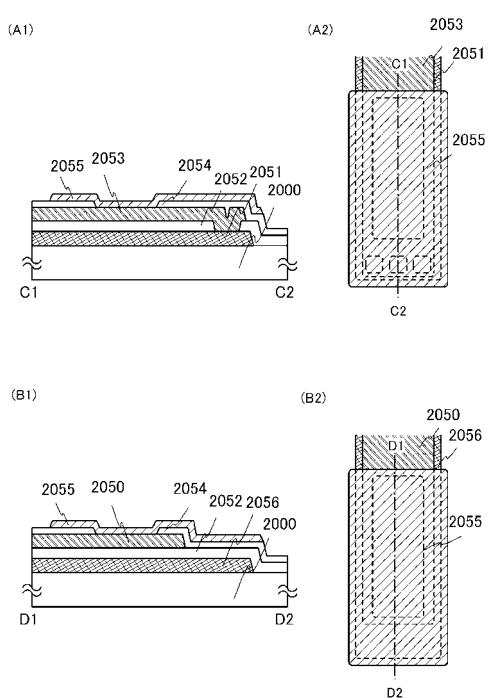
【図20】



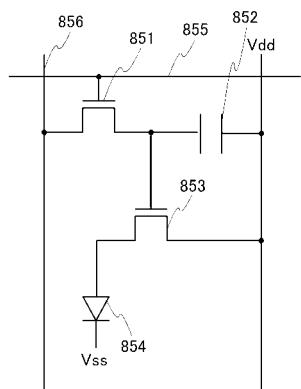
【図22】



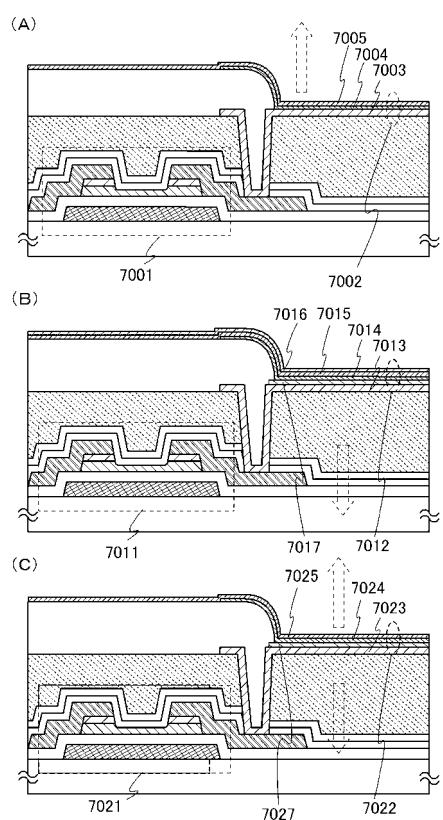
【図23】



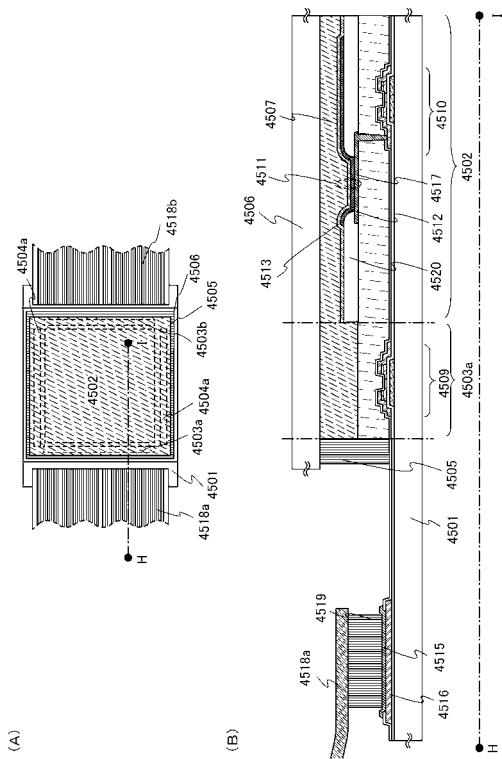
【図24】



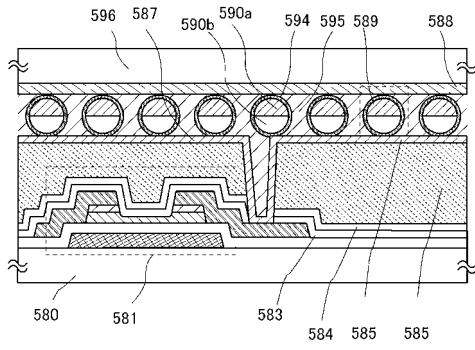
【図25】



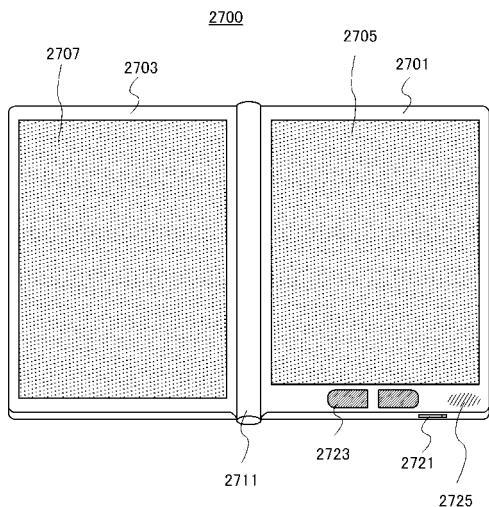
【図26】



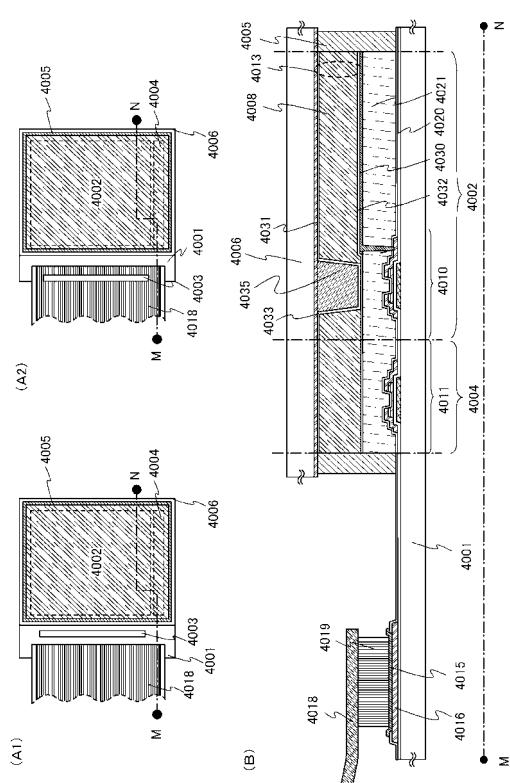
【図27】



【図28】

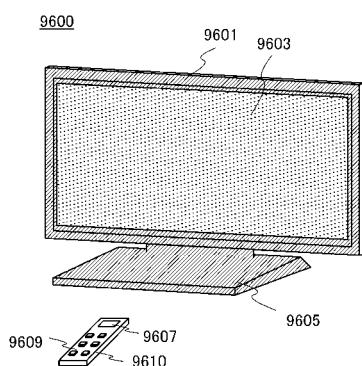


【図29】

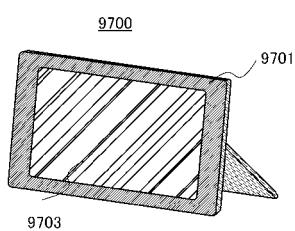


【図30】

(A)

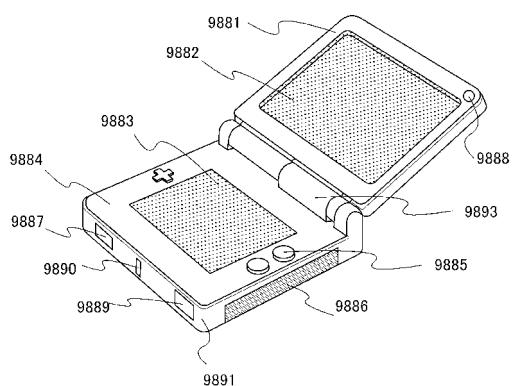


(B)

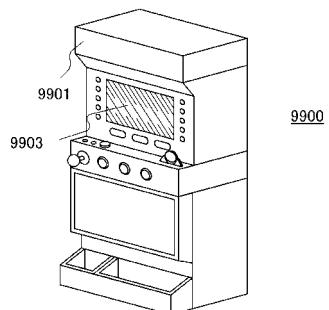


【図31】

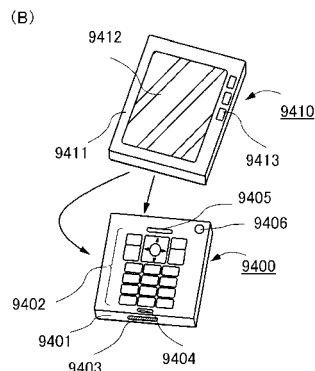
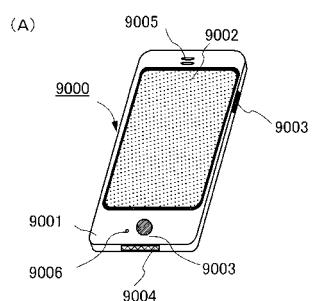
(A)



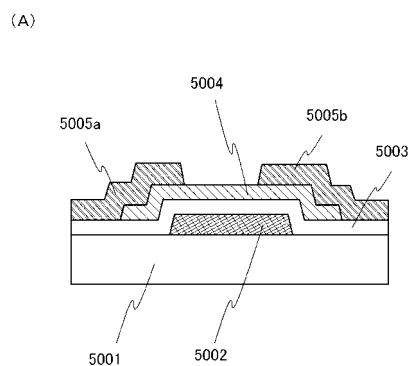
(B)



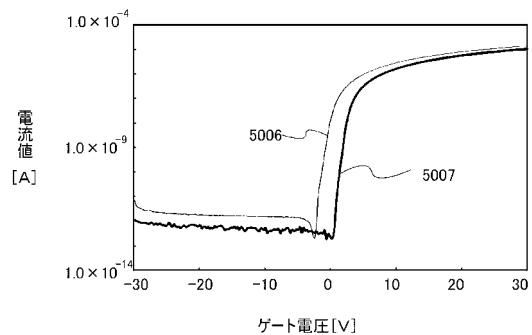
【図32】



【図33】



(B)



フロントページの続き

(51)Int.Cl.	F I
H 01 L 27/08 (2006.01)	H 01 L 21/28 3 0 1 R
H 01 L 21/8234 (2006.01)	H 01 L 21/28 3 0 1 B
H 01 L 27/06 (2006.01)	H 01 L 27/08 3 1 1 A
	H 01 L 27/08 3 3 1 E
	H 01 L 27/08 1 0 2 B
	H 01 L 27/06 1 0 2 A

(56)参考文献 特開2006-165532 (JP, A)

特開2007-299913 (JP, A)

特開2006-165531 (JP, A)

特開2007-150158 (JP, A)

特開平04-285877 (JP, A)

特開2007-318061 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336、29/786