

(21)申請案號：100124602

(22)申請日：中華民國 100 (2011) 年 07 月 12 日

(51)Int. Cl. :

G01R31/02 (2006.01)

H02H7/18 (2006.01)

H01M10/48 (2006.01)

(30)優先權：2010/07/14

日本

2010-159379

(71)申請人：理光股份有限公司(日本) RICOH COMPANY, LTD. (JP)

日本

(72)發明人：菅野純一 KANNO, JUNICHI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：18 項 圖式數：12 共 61 頁

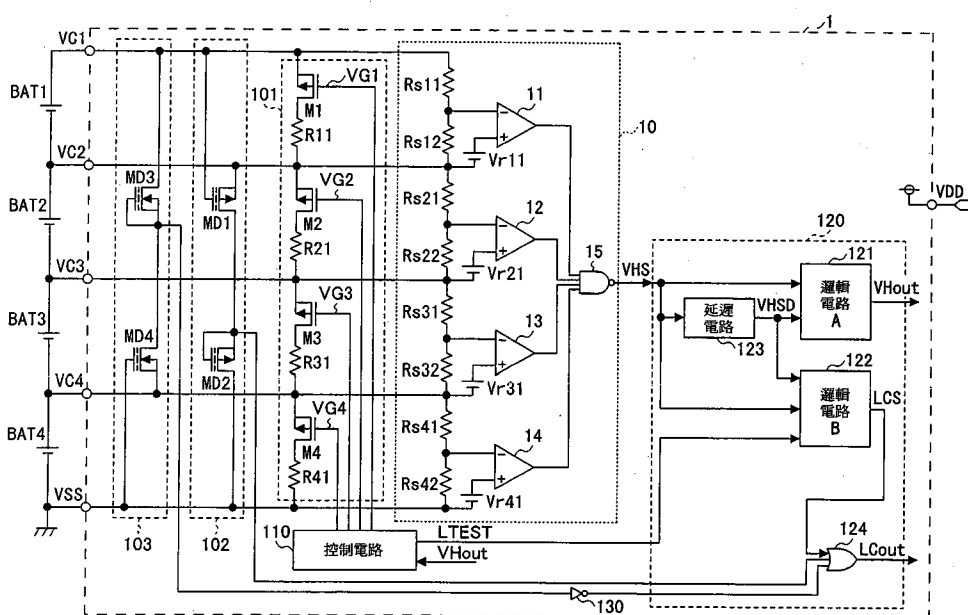
(54)名稱

組電池之保護用半導體裝置，包括該保護用半導體裝置之電池組，及電子裝置

PROTECTIVE SEMICONDUCTOR APPARATUS FOR AN ASSEMBLED BATTERY, A BATTERY PACK INCLUDING THE PROTECTIVE SEMICONDUCTOR APPARATUS, AND AN ELECTRONIC DEVICE

(57)摘要

一種保護組電池的保護用半導體裝置，該電池組包括 N 個串連的二次電池，該保護用半導體包括斷路偵測電路，包含對每個該等 N 個二次電池，劃分該等二次電池所對應之電壓的電壓感應電阻器、參考電壓、和比較由該電壓感應電阻器所得到的電壓和該參考電壓的第一比較器。該保護用半導體裝置也包括連接內部電阻器的電路，在預定時間間隔內連續並選擇性地將電阻器值小於該等電壓感應電阻器之對應一之電阻器值者，並聯到該等對應電壓感應電阻器。該斷路偵測電路偵測該 N 個二次電池和該保護用半導體裝置之間的斷路，其根據當該內部電阻器並聯到該對應電壓感應電阻器時之第一比較器的輸出。



1：半導體裝置

10：斷線/高電壓偵測 電路

11~14：比較器

15 : NAND 電路

101：內部電阻器改變
線路

102：VC1 斷線偵測電
路

103：VSS 斷線偵測電路

110：控制電路

120：判斷電路

121：邏輯電路 A

122：邏輯電路 B

123：延遲電路

124：OR 電路

130：反相電路

BAT1~BAT4：電池

MD1：PMOS 空乏型
電晶體

MD2：PMOS 空乏型
電晶體

MD3：NMOS 空乏型
電晶體

MD4：NMOS 空乏型
電晶體

R11：內部電阻器

Rs11：電壓感應電阻
器

R12：內部電阻器

Rs12：電壓感應電阻
器

Rs21：電壓感應電阻
器

Rs22：電壓感應電阻
器

R31：內部電阻器

Rs31：電壓感應電阻
器

Rs32：電壓感應電阻
器

R41：內部電阻器

Rs41：電壓感應電阻
器

Rs42：電壓感應電阻
器

VC1~VC4：電池連接
終端

VDD：電源供應器終
端

VSS：接地終端

(21)申請案號：100124602

(22)申請日：中華民國 100 (2011) 年 07 月 12 日

(51)Int. Cl. :

G01R31/02 (2006.01)

H02H7/18 (2006.01)

H01M10/48 (2006.01)

(30)優先權：2010/07/14

日本

2010-159379

(71)申請人：理光股份有限公司(日本) RICOH COMPANY, LTD. (JP)

日本

(72)發明人：菅野純一 KANNO, JUNICHI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：18 項 圖式數：12 共 61 頁

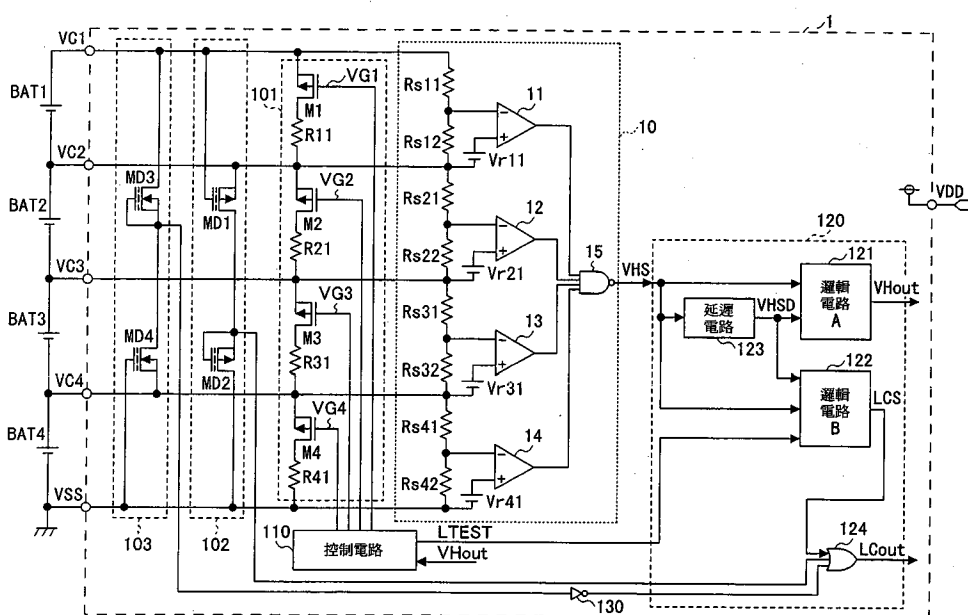
(54)名稱

組電池之保護用半導體裝置，包括該保護用半導體裝置之電池組，及電子裝置

PROTECTIVE SEMICONDUCTOR APPARATUS FOR AN ASSEMBLED BATTERY, A BATTERY PACK INCLUDING THE PROTECTIVE SEMICONDUCTOR APPARATUS, AND AN ELECTRONIC DEVICE

(57)摘要

一種保護組電池的保護用半導體裝置，該電池組包括 N 個串連的二次電池，該保護用半導體包括斷路偵測電路，包含對每個該等 N 個二次電池，劃分該等二次電池所對應之電壓的電壓感應電阻器、參考電壓、和比較由該電壓感應電阻器所得到的電壓和該參考電壓的第一比較器。該保護用半導體裝置也包括連接內部電阻器的電路，在預定時間間隔內連續並選擇性地將電阻器值小於該等電壓感應電阻器之對應一之電阻器值者，並聯到該等對應電壓感應電阻器。該斷路偵測電路偵測該 N 個二次電池和該保護用半導體裝置之間的斷路，其根據當該內部電阻器並聯到該對應電壓感應電阻器時之第一比較器的輸出。



1: 半導體裝置

10：斷線/高電壓偵測 電路

11~14：比較器

15 : NAND 電路

101：內部電阻器改變
線路

102：VC1 斷線偵測電
路

103：VSS 斷線偵測電路

110：控制電路

120：判斷電路

121：邏輯電路 A

六、發明說明：

【發明所屬之技術領域】

本發明係關於保護包含複數個串聯的二次電池之電池組之技術。

【先前技術】

在各種可攜式電子裝置中，如可攜式個人電腦、音頻裝置、相機、和視頻裝置，由於易於處理，電池組被廣泛地使用。電池組包含一個或更多個置於組件裡的二次電池。該二次電池可能包含都具有高容量的鋰電池、鋰聚合物電池、和鎳氫電池。高容量電池可以儲存非常大量的能量，使得該電池可能發熱或甚至起火，且若其過度充電、過度放電、或過電流流入，則會對該人體造成傷害。

因此，電池組中可能會設置保護用半導體裝置來保護該等二次電池不被過度充電、過度放電、過度充電電流、過度放電電流、短路電流、或異常過熱。在任一個該等以上異常事件中需要保護時，該保護用半導體裝置會終結在該等二次電池與充電單元或負載裝置間的該連結，來預防過熱或火災，且同時預防該等二次電池的退化。

這裡同時也提出保護用半導體裝置來保護電池組中複數個串聯的二次電池。例如，日本公開專利編號第2008-027658號（專利文件一）提出有能力偵測該等二次電池組和該保護用半導體裝置之間斷線的保護用半導體裝置。

根據專利文件一的技術目的是偵測二次電池和保護單

元之間的斷線。根據此方法，在充電與放電電流存在時的電池電壓，會與沒有任何充電或放電電流存在時的電池電壓比較。更精確地，該技術是針對電池組中斷線偵測的方法，該電池組包括一個或多個電池區塊的串聯，而每個電池區塊包含複數個並聯的電池。電池區塊的終端電壓在充電或放電的期間，以及大體上沒有充電或放電電流流動的期間測量。然後該方法取得在這些期間內終端電壓差異，而由該終端電壓差異以及在該充電或放電期間的充電或放電電流值，來決定該等電池的內部電阻值。當該內部電阻值超過預設值時，該方法決定該等並聯電池之至少一個會斷線（分離）。

以上保護複數個串聯的二次電池的保護用半導體裝置可以偵測二次電池和保護元件間的斷線。然而，該斷線偵測是充電或放電期間，以及大體上無充電或放電電流的期間執行。因此，該方法在使用二次電池的期間無法偵測二次電池與保護用元件之間的斷線。

【發明內容】

鑒於該上述情況，本發明的目的就是即使在使用二次電池、包含有保護用半導體裝置的電池組、和包含保護用半導體裝置或電池組的電子設備時，提供可偵測二次電池和保護用半導體裝置間斷線的保護用半導體裝置。

本發明的一個態樣，用來保護包含 N 個串聯二次電池的電池組之保護用半導體裝置包含了斷線偵測電路，其對

每個該 N 個二次電池包含，組態來劃分該二次電池電壓的電壓感應電阻器、參考電壓、和組態來比較由該電壓感應電阻器取得的電壓與該參考電壓的第一比較器；以及組態來在預定時間間隔內連續並選擇性地將具有電阻值小於該等電壓感應電阻器之對應一者之電阻值的內部電阻器並聯到該等對應電壓感應電阻器。該斷線偵測電路被組態當該內部電阻器並聯到對應的電壓感應電阻器時，根據該第一比較器的輸出來偵測該 N 個二次電池與該保護用半導體裝置間的斷線。

另一態樣，電池組包含該保護用半導體裝置。

另一態樣，電子裝置包括該保護用半導體裝置或該電池組。

根據依據實施例之保護用半導體裝置，在二次電池與保護用半導體裝置間的連線會在預設時間間隔內被監控。因此，在該等二次電池與該保護用半導體裝置間的斷線，即使在使用該等二次電池時仍可被偵測。此外，該保護用半導體裝置的尺寸可以藉由共享電路零件而減少。

根據實施例，電池組或電子裝置包括該保護用半導體裝置。因此，二次電池和保護用半導體裝置間的斷線，即使在使用該等二次電池時仍可被偵測。此外，該電池組或該電子裝置的尺寸可以藉由共享電路零件而減少。

【實施方式】

（本發明之特點）

根據本發明之實施例，用來保護串聯的複數個二次電池之保護用半導體裝置有以下特點。該保護用半導體裝置包括用作電壓劃分的電壓感應電阻器，其與用作電壓監測的二次電池並聯。在預設時間間隔內，其值小於電壓感應電阻器的內部電阻器，則與電壓感應電阻器（例如與每個其他二次電池相關的電壓感應電阻器）中至少一個並聯。

當保護用半導體裝置和二次電池間沒有斷線時，則在與二次電池連接之電池連接終端不會有因二次電池引起的電壓變異。然而，當保護用半導體裝置與二次電池間有斷線時，在與二次電池斷線之電池連接終端的電壓，會根據電阻值的變異而不同。因此，由於電阻值改變造成的電壓變異，會被檢測為由斷線所引起。

保護用半導體裝置之電源供應器終端（即最上層二次電池之正極的電池連接終端（VC1））和接地終端（VSS）影響保護用半導體裝置的穩定操作。因此，保護用半導體裝置可能包括瞬間偵測與二次電池斷線之電源供應器終端（VC1）或該接地終端（VSS）的電路。

（各種實施例之概要）

根據本發明的基本實施例，在預定的時間間隔內二次電池和保護用半導體裝置間的連接會被監控，為了即使在使用二次電池時也能偵測斷線。

斷線偵測電路的某些該構成元素或零件可能與高電壓偵測電路和/或低電壓偵測電路共享。因此，在以下所述

第一和第二實施例中，斷線偵測電路的某些構成元素會與高電壓偵測電路和/或低電壓偵測電路共享，以減少電路數量。

具體而言，在第一實施例中（見圖1），斷線偵測電路中的電壓感應電阻器Rs11至Rs42、參考電壓Vr11至Vr41、比較器11至14、和NAND電路15，會與高電壓偵測電路共享（為此，該斷線偵測電路可能被稱之為“斷線/高電壓偵測電路”）。

在第二實施例中（見圖6），斷線偵測電路中的電壓感應電阻器Rs13至Rs44、參考電壓Vr12至Vr42、比較器21至24、和OR電路25，會與低電壓偵測電路共享（為此，該斷線偵測電路可能被稱之為“斷線/低電壓偵測電路”）。

第一實施例的電壓感應電阻器Rs11至Rs42和參考電壓Vr11至Vr41的特徵，在只被用做斷線偵測電路時不需要被特別限制。然而，當其同時也被使用為高電壓偵測電路時，該等特徵必須被限制，在偵測到認為是高電壓值時，使得比較器11至14要被反相。

相同地，第二實施例的電壓感應電阻器Rs13至Rs44和參考電壓Vr12至Vr42的特徵，在只被用做斷線偵測電路時不需要被特別限制。然而，當其同時也被使用為低電壓偵測電路時，該等特徵必須被限制，在偵測到認為是低電壓值時，使得比較器21至24要被反相。

第三實施例是針對保護用半導體裝置，其包含類似於第一實施例中的斷線/高電壓偵測電路，和類似第二實施

例中的斷線/低電壓偵測電路。在第三實施例中，斷線偵測可能由使用該斷線/高電壓偵測電路與該斷線/低電壓偵測線路的其一之電壓感應電阻器、參考電壓、和比較器達成。另外，該斷線/高電壓偵測電路和該斷線/低電壓偵測電路兩者可能被使用，並且當斷線偵測時，斷線可能會被其中至少一個偵測到。

在第四實施例中，可以判定在第一實施例中哪個連結被斷線。在第五實施例中，可以判定在第三實施例中哪個連結被斷線。在第六實施例中，VC1斷線偵測電路和VSS斷線偵測電路由使用比較器來達成，而非使用在第一至第五實施例中的反相器。

（實施例）

參考圖示來描述本發明的第一至第六實施例。

第一實施例

圖1是根據第一實施例之保護用半導體裝置1的連接圖，該圖圖示保護用半導體裝置1和二次電池間的連接。如圖1所示，保護用半導體裝置1包括斷線/高電壓偵測電路10、內部電阻器改變線路101、VC1斷線偵測電路102、VSS斷線偵測電路103、控制電路110和判斷電路120。

雖然沒有在圖1中圖示，保護用半導體裝置1可能同時包括斷線/低電壓偵測電路和過電流偵測電路。雖然圖1圖示四個二次電池的狀況，但二次電池的數量未被特別地限

制。

保護用半導體裝置1有連接該四個二次電池的電池連接終端VC1至VC4、接地終端VSS，和電源供應器終端VDD。對電池連接終端VC1而言，最上面（第一個）電池BAT1的正極被連接。對電池連接終端VC2而言，第一電池BAT1的負極和第二電池BAT2的正極被連接。對電池連接終端VC3而言，第二電池BAT2的負極和第三電池BAT3的正極被連接。對電池連接終端VC4而言，第三電池BAT3的該負極和第四電池BAT4的正極被連接。對接地終端VSS（接地電壓）而言，最下層（第四個）電池BAT4的負極被連接。例如，電源供應器終端VDD被連接到電路的電源供應器（未被圖示）以及電池連接終端VC1。

被虛線包圍的斷線/高電壓偵測電路10包括比較器11至14、參考電壓Vr11到Vr41，電壓感應電阻器Rs11至Rs42，和NAND電路15。比較器11、電壓感應電阻器Rs11和Rs12，和參考電壓Vr11組成第一電池BAT1中偵測高電壓的電路。電壓感應電阻器Rs11和Rs12被串聯在電池連接終端VC1和VC2之間。電壓感應電阻器Rs11和Rs12的連接節點被連接到比較器11的反相輸入。參考電壓Vr11被連接到比較器11的正相輸入與電池連接終端VC2之間。因此，電壓感應電阻器Rs11和Rs12與第一電池BAT1相關。

對第二電池BAT2至第四電池BAT4而言，斷線/高電壓偵測電路10之組態可能跟第一電池BAT1以上所述的組態相同。

比較器 11 至 14 的輸出是 NAND 電路 15 的輸入。NAND 電路 15 輸出偵測訊號 VHS 到判斷電路 120。

被其他虛線包圍的內部電阻器改變電路 101 包括 PMOS 電晶體 M1 至 M4，和內部電阻器 R11 至 R41。PMOS 電晶體 M1 和內部電阻器 R11 組成第一電池 BAT1 的內部電阻器改變電路。MOS 電晶體 M1 和電阻器 R11 串聯在電池連接終端 VC1 和 VC2 之間。PMOS 電晶體 M1 的閘極從控制電路 110 接收 MOS 控制訊號 VG1。第二電池 BAT2 至第四電池 BAT4 的內部電阻器改變電路之描述被省略，因它們和第一電池 BAT1 的內部電阻器改變電路相同。

內部電阻器 R11 至 R41 有相同的電阻值，其小於該斷線 / 高電壓偵測電路 10 的電壓感應電阻器 Rs11 至 Rs42 之電阻值。

雖然圖 1 圖示的範例採用 PMOS 電晶體，但也可能使用 NMOS 電晶體（在此狀況中，來自控制電路 110 的 MOS 控制訊號 VG1 到 VG4 也會理所當然的被改變）。

VC1 斷線偵測電路 102 包括 PMOS 空乏型電晶體 MD1 和 MD2。PMOS 空乏型電晶體 MD1 和 MD2 被串聯在電池連接終端 VC2 和接地終端 VSS 之間。PMOS 空乏型電晶體 MD1 的閘極被連接到電池連接終端 VC1。PMOS 空乏型電晶體 MD2 的閘極被連接到 PMOS 空乏型電晶體 MD1 和 MD2 的連接節點。PMOS 空乏型電晶體 MD1 和 MD2 的連接節點被連接到判斷電路 120 中的 OR 電路 124。

藉由連接 PMOS 空乏型電晶體 MD1 的閘極到電源供應

器終端VDD，可以致能在保護用半導體裝置1和二次電池之間的斷線偵測。

VSS斷線偵測電路103包括NMOS空乏型電晶體MD3和MD4。NMOS空乏型電晶體MD3和MD4被串聯在電池連接終端VC1和電池連接終端VC4之間。PMOS空乏型電晶體MD3的閘極被連接到PMOS空乏型電晶體MD3和MD4的連接節點。PMOS空乏型電晶體MD4的閘極被連接到接地終端VSS。PMOS空乏型電晶體MD3和MD4的連接節點透過反相電路130被連接到判斷電路120中的OR電路124。

控制電路110接收高電壓偵測訊號VHout當作輸入，而輸出控制訊號VG1至VG4到內部電阻器改變電路101的PMOS電晶體M1至M4的閘極。控制電路110也輸出斷線確認訊號LTEST到邏輯電路B 122。

雖然未被圖示，但爲了產生控制訊號VG1至VG4，和斷線訊號LTEST，來自振盪線路或外部觸發訊號的時鐘訊號可能被輸入到控制電路110，或外部電容器可能被連接到控制電路110。

被虛線包圍的判斷電路120是判斷是否使用高電壓偵測或低電壓偵測的電路。判斷電路120包括邏輯電路A 121、邏輯電路B 122、延遲電路123、和OR電路124。

邏輯電路A 121自斷線/高電壓偵測電路10接收該偵測訊號VHS，以及自延遲電路123接收該偵測延遲訊號VHSD。邏輯電路A 121輸出高電壓偵測訊號VHout到內部電路（未被圖示）。

邏輯電路 B 122 接收來自斷線 / 高電壓偵測電路 10 的該偵測訊號 VHS、來自控制電路 110 的斷線確認訊號 LTEST、以及來自延遲電路 123 的輸出 VHSD。邏輯電路 B 122 輸出斷線確認訊號 LCS 作為 OR 電路 124 的輸入之一。

延遲電路 123 自斷線 / 高電壓偵測電路 10 接收輸出 VHS。延遲電路 123 輸出偵測延遲輸出 VHSD 到邏輯電路 A 和邏輯電路 B。

OR 電路 124 透過反相電路 130 接收自邏輯電路 B 122 的斷線偵測訊號 LCS、自 VC1 斷線偵測電路 102 的輸出、和自 VSS 斷線偵測電路 103 的輸出。OR 電路 124 輸出斷線偵測訊號 LCout 到內部電路（未被圖示）。

判斷電路 120 的組態未被特別限制，只要它有能力判斷高電壓偵測或斷線偵測是否執行。

延遲電路 123 是設定偵測 / 回復延遲時間的電路，其用來預防因雜訊和其同等所造成的錯誤偵測。當偵測到高電壓而自 NAND 電路 15 的輸出 VHS 從“L”被改變成“H”時，延遲電路 123 的操作可能被起始。直到設定的時間後，當自 NAND 電路 15 的輸出 VHS 是“H”時，延遲電路 123 可能在輸出 VHSD 中輸出 H 脈衝。

在從高電壓偵測狀態回復而自 NAND 電路 15 的輸出 VHS 從“H”被改變成“L”時，延遲電路 123 的操作也可能被起始。直到設定的時間後，當自 NAND 電路 15 的輸出 VHS 是“L”時，延遲電路 123 可能輸出 H 脈衝。

雖然未被圖示，延遲電路 123 自邏輯電路 A 121 接收輸

出 VHout，使得延遲電路 123 可以根據 VHout 的狀態判斷偵測或者回復。高電壓偵測的設定時間可能和高電壓回復的設定時間不同。延遲電路 123 的組態並未被特別限制，只要它可以如上所述的操作。例如，延遲電路 123 可包括計數器，或它可依據其中電容器由恆定電流充電之系統。

邏輯電路 A 121 和 B 122 可包括門鎖電路。雖未被圖示，但邏輯電路 A 121 和 B 122 可與彼此交換各種訊號。當自延遲電路 123 的輸出 VHSD 中的 H 脈衝上升時，邏輯電路 A 121 門鎖自 NAND 電路 15 的輸出 VHS。當自控制電路 110 的輸出 LTEST 下降時，邏輯電路 B 122 門鎖自 NAND 電路 15 的輸出 VHS。

因此，當自 NAND 電路 15 的輸出 VHS 中是“H”時，自延遲電路 123 的輸出 VHSD 中沒有 H 脈衝輸出，邏輯電路 A 121 則不會門鎖自 NAND 電路 15 的輸出 VHS 之訊號，使得自邏輯電路 A 121 的輸出 VHout 不會變成“H”。

(控制電路的操作)

爲了方便描述保護用半導體裝置 1 的操作，說明控制電路 110 的操作。爲了在固定時間間隔 twait 中控制確認二次電池和保護用半導體裝置的連接之程序，控制電路 110 可根據控制電路 110 的時脈輸入產生控制訊號 VG1 至 VG4，以及斷線確認訊號 LTEST。

圖 2 圖示來自圖 1 的保護用半導體裝置 1 中之控制電路 110 的控制訊號之範例。控制電路 110 放置了斷線確認訊號

LTEST，透過該訊號判斷電路120可被通知斷線確認正在進行，該確認在固定時間間隔 t_{wait} 之時間寬度 t_{pw} 中的“H”狀態中。

與斷線確認訊號 LTEST 同步時，控制訊號 VG1 至 VG4 之至少一個被放置在“L”狀態，使得連接到對應控制訊號的 PMOS 電晶體 M1 到 M4 被開啓。取決於被開啓的 PMOS 電晶體，內部電阻器 R11、R21、R31、和 R41 被各自並聯到電壓感應電阻器 Rs11 和 Rs12、Rs21 和 Rs22、Rs31 和 Rs32、Rs41 和 Rs42。

確認斷線偵測的時間間隔 t_{wait} 和在“H”狀態中的斷線確認訊號 LTEST 中之時間 t_{pw} 並未被特別限制。在圖示的範例中，斷線確認時間 t_{pw} 比延遲電路123所設定的高電壓偵測延遲時間短。

設定斷線偵測確認之時間間隔 t_{wait} 和在 H 狀態中的斷線確認訊號 LTEST 中之時間 t_{pw} 的方法並未被特別限制。例如，它們可能藉由調整來自保護用半導體裝置外的觸發輸入的時間間隔來設定；藉由使用設置在保護用半導體裝置1之內部中的振盪電路來設定；或藉由使用保護用半導體裝置外部提供的電容器來設定。

（保護用半導體裝置的操作）

爲了便於描述，假設圖1的範例中的二次電池 BAT1 至 BAT4 的對應電壓爲 VBAT1 至 VBAT4，其和電壓感應電阻 Rs11 至 Rs42 的電阻值有以下的關係：

$$VBAT1 = VBAT2 = VBAT3 = VBAT4 \quad (1.1)$$

$$Rs11 + Rs12 = Rs21 + Rs22 = Rs31 + Rs32 = Rs41 + Rs42 \quad (1.2)$$

圖 3 是在斷線事件中，根據第一實施例之保護用半導體裝置 1 之操作時序圖。該時序圖只圖示描述操作所需的那些訊號。以下，沿時間軸描述該時序圖。

<時間 T1>

在時間 T1，二次電池和電池連接終端 VC2 之間發生斷線。在這個情況中，電池連接終端 VC2 和 VC3 之間的電壓 V2A 由將電壓除以電壓感應電阻器 Rs11 至 Rs22 所得到，其根據下述表達式：

$$V2A = \frac{Rs21 + Rs22}{Rs11 + Rs12 + Rs21 + Rs22} \times (VBAT1 + VBAT2) \quad (1.3)$$

根據表達式 (1.1)、(1.2)、和 (1.3)，電池連接終端 VC2 和 VC3 之間的電壓 V2A 在斷線之前不會自電壓 VBAT2 改變。因此，沒有任何自比較器 11 至 14 的輸出會改變。

<時間 T2>

在時間 T2，來自控制電路 110 的斷線確認訊號 LTEST 從“L”被切換成“H”，因此通知邏輯電路 B 112 斷線偵測確認正在進行，同時控制訊號 VG1 從“H”切換成“L”來啟動

PMOS電晶體M1。結果，內部電阻器R11被並聯到電壓感應電阻器Rs11和Rs12的串聯電路。所以，在電池連接終端VC2和VC3間的電壓V2B根據下列表達式來計算：

$$V2B = \frac{\frac{Rs21 + Rs22}{R11 \times (Rs11 + Rs12)}}{R11 + Rs11 + Rs12} \times (VBAT1 + VBAT2) \quad (1.4)$$

當內部電阻器R11相較於電壓感應電阻器Rs11和Rs12的總和足夠小時（也就是目前實施例的狀況），在電池連接終端VC2和VC3間的電壓則變成與電壓V2C實質相同，其根據下列表達式計算：

$$V2C = \frac{Rs21 + Rs22}{R11 + Rs21 + Rs22} \times (VBAT1 + VBAT2) \quad (1.5)$$

根據表達式（1.4）或（1.5），電池連接終端VC2的電位會增加來逼近電池連接終端VC1的電位，連接終端VC1為二次電池BAT1的正極之連接終端。結果，在電池連接終端VC2和VC3之間的電壓會增加。因此，比較器12偵測高電壓，而自比較器12的輸出被反相到“L”，其表示高電壓偵測狀態（同時其他比較器11、13、和14的輸出仍在H）。因此，自NAND電路15的輸出，即斷線/高電壓偵測電路10的偵測訊號VHS，被從L反相到H。

<時間 T3>

在時間T3，自控制電路110的斷線確認訊號LTEST從H被切換到L，因此通知邏輯電路B 122斷線偵測確認的結束

，同時爲了關閉PMOS電晶體M1，控制訊號VG1從L被切換到H。因此，內部電阻器R11以及電壓感應電阻器Rs11和Rs12的並聯連接被消除，使得電池連接終端VC2和VC3之間的電壓根據表達式（1.3）的計算返回到電壓V2A。因此來自比較器12的輸出又一次被反相到“H”來表示非偵測狀態。然後，自NAND電路15的輸出，即自斷線/高電壓偵測電路10的偵測訊號VHS，從H被反相到L。

因爲根據斷線確認訊號LTEST，在來自斷線/高電壓偵測電路10的偵測訊號VHS爲H的期間，自延遲電路123的輸出VHSD並未變成H，所以邏輯電路B 122判斷有斷線，且將斷線判斷訊號LCS反相到H，來表示斷線偵測狀態。在自邏輯電路B 122接受斷線判斷訊號LCS（H）時，OR電路124反相其輸出，即斷線偵測訊號LCout到H，來表示斷線偵測狀態。

<時間 T4>

在時間T4，自控制電路110的斷線確認訊號LTEST從L被切換到H，因此通知邏輯電路B 122斷線偵測確認正在進行，同時爲了導通PMOS電晶體M2，控制訊號VG2從H被切換到L。結果，內部電阻器R21被並聯到電壓感應電阻器Rs21和Rs22的串聯電路。因此，在電池連接終端VC2和VC3之間的電壓V2D，根據下列表達式計算：

$$V2D = \frac{\frac{R21 \times (Rs21 + Rs22)}{R21 + Rs21 + Rs22}}{Rs11 + Rs12 + \frac{R21 \times (Rs21 + Rs22)}{R21 + Rs21 + Rs22}} \times (VBAT1 + VBAT2) \quad (1.6)$$

當內部電阻器 R21 相較於電壓感應電阻器 Rs21 和 Rs22 的總和足夠小時（也就是目前實施例的狀況），在電池連接終端 VC2 和 VC3 間的電壓則與電壓 V2E 實質相同，其根據下列表達式計算：

$$V2E = \frac{R21}{Rs11 + Rs12 + R21} \times (VBAT1 + VBAT2) \quad (1.7)$$

根據表達式（1.6）或（1.7），電池連接終端 VC2 的電位會減少來逼近電池連接終端 VC3 的電位，連接終端 VC3 為二次電池 BAT2 的負極之連接終端。結果，在電池連接終端 VC2 和 VC3 之間的電壓會減少。反過來，電池連接終端 VC1 和 VC2 間的電壓 V1A 會根據下面所述之表達式（1.8）增加。因此，比較器 11 偵測高電壓並且把它的輸出反相到 L，來表示偵測狀態。結果，自 NAND 電路 15 的輸出，即自斷線/高電壓偵測電路 10 的偵測訊號 VHS 從 L 被反相到 H。

$$V1A = VBAT + VBAT2 - V2E \quad (1.8)$$

<時間 T5>

在時間 T5，自控制電路 110 的斷線確認訊號 LTEST 從 H 被切換到 L，因此通知邏輯電路 B 122 斷線偵測確認已經結

束，同時爲了關閉PMOS電晶體M2，控制訊號VG2從L被切換到H。因此，內部電阻器R21的並聯連接和電壓感應電阻器Rs21和Rs22的串聯電路被消除，使得電池連接終端VC2和VC3之間的電壓根據表達式（1.3）的計算返回到電壓V2A。因此來自比較器11的輸出又一次被反相到非偵測狀態H，使得自斷線/高電壓偵測電路10的輸出，即偵測訊號VHS，從H被反相到L。

因爲根據斷線確認訊號LTEST，在來自斷線/高電壓偵測電路10的輸出VHS爲H的期間，自延遲電路的輸出VHSD並未變成H，所以邏輯電路B 122判斷有斷線，且維持斷線判斷訊號LCS在H，來表示斷線偵測狀態。爲回應斷線偵測訊號LCS，OR電路124維持它的輸出，即斷線偵測訊號LCout在H，來表示斷線偵測狀態。

<時間 T6>

斷線部分在時間T6被更正來回應斷線偵測。

<時間 T7>

在時間T7，自控制電路110的斷線確認訊號LTEST從L被切換到H，因此通知邏輯電路B 122斷線偵測確認正在進行，同時爲了開啓PMOS電晶體M1，控制訊號VG1從H被切換到L。結果，內部電阻器R11被並聯到電壓感應電阻器Rs11和Rs12的串聯電路。然而，和T2與T3之間的時間或T4與T5之間的時間相反，電源供應器連接終端VC2被連接

到二次電池。因此，電池連接終端 VC2 和 VC3 之間的電壓並不是從 VBAT2 改變，使得來自斷線 / 高電壓偵測電路的輸出 VHS 並未被改變。

<時間 T8>

在時間 T8，自控制電路 110 的斷線確認訊號 LTEST 從 H 被切換到 L，因此通知邏輯電路 B 122 斷線偵測確認已經結束，同時為了關閉 PMOS 電晶體 M2，控制訊號 VG2 從 L 被切換到 H。同時間 T7，電源供應器連接終端 VC3 被連接到二次電池，使得在電池連接終端 VC2 和 VC3 之間的電壓沒有被改變。

因為根據斷線確認訊號 LTEST，來自斷線 / 高電壓偵測電路 10 的輸出 VHS 並未改變，所以邏輯電路 B 122 判斷斷線回復正在進行，而將斷線判斷訊號 LCS 反相到回復狀態 L。為回應斷線判斷訊號 LCS，OR 電路 124 將斷線偵測訊號 LCount 自斷線偵測狀態反相到回復狀態 L。

電池連接終端 VC3 或電池連接終端 VC4 之斷線情況中的操作係相似的；因此，描述這些情況的操作會被省略。

圖 4 是根據與 VC1 斷線偵測電路和 VSS 斷線偵測電路相關的第一實施例之保護用半導體裝置 1 的部分電路圖。參考圖 4，會說明 VC1 斷線偵測電路 102 和 VSS 斷線偵測電路 103 的操作。

VC1 斷線偵測電路 102 包括恆定電流反相器，其由 PMOS 空乏型電晶體 MD1 作為切換開關和 PMOS 空乏型電晶

體 MD2 作為恆定電流負載而形成。當電池連接終端 VC1 被連接到二次電池 BAT1 時，PMOS 空乏型電晶體 MD1 的閘極電壓會比源極電壓高出有二次電池 BAT1 的電壓，使得 PMOS 空乏型電晶體 MD1 被關閉。因此，PMOS 空乏型電晶體 MD1 和 MD2 的連接點之電位會變成與接地終端 VSS (L) 相同。

然而，當電池連接終端 VC1 自二次電池 BAT1 的正極斷線時，由於內部電路的影響，施加於電池連接終端 VC1 的電壓會變成大約等於電池連接終端 VC2。結果，PMOS 空乏型電晶體 MD1 的閘極電壓被降低，因此導通 PMOS 空乏型電晶體 MD1，使得 PMOS 空乏型電晶體 MD1 和 MD2 連接點的電位變成與電池連接終端 VC2 (H) 相同。因此，來自 OR 電路 124 的斷線偵測訊號 LCout 會自 L 被反相到 H。

VSS 斷線偵測電路 103 包括恆定電流反相器，其由 NMOS 空乏型電晶體 MD4 作為切換開關和 NMOS 空乏型電晶體 MD3 作為恆定電流負載而形成。當接地終端 VSS 被連接到二次電池 BAT1 時，NMOS 空乏型電晶體 MD4 的閘極電壓會比源極電壓低了有二次電池 BAT4 的電壓，使得 NMOS 空乏型電晶體 MD4 被關閉。因此，NMOS 空乏型電晶體 MD3 和 MD4 的連接點之電位會變成與電池連接終端 VC1 (H) 相同。

然而，當接地終端 VSS 和二次電池 BAT4 的負極之間斷線時，由於內部電路的影響，施加於接地終端 VSS 的電壓會變成大約等於電池連接終端 VC4 的電壓。結果，NMOS

空乏型電晶體 MD4 的閘極電壓被增加，且 NMOS 空乏型電晶體 MD4 被導通，使得 NMOS 空乏型電晶體 MD3 和 MD4 之連接點的電壓變成與電池連接終端 VC4 (L) 相同。因此，來自反相電路 130 的輸出會從 L 被反相成 H，使得來自 OR 電路 124 的輸出，即斷線偵測訊號 LCo_{ut}，會自 L 被反相到 H。

雖然圖示範例中 VC1 斷線偵測電路 102 採用 PMOS 空乏型電晶體 MD2 當作恆定電流來源，以及 VSS 斷線偵測電路 103 採用 NMOS 空乏型電晶體 MD3 當作恆定電流來源，但只要它們包括產生恆定電流的電路，VC1 斷線偵測電路 102 和 VSS 斷線偵測電路 103 的組態並未被特別限制。

圖 5 圖示偵測到高電壓時，根據第一實施例之保護用半導體裝置 1 的操作時序圖。該時序圖只圖示描述操作所需的那些訊號。時序圖會在沿時間軸描述。

<時間 T1>

在二次電池充電開始一段時間之後，二次電池 BAT1 的電壓 VBAT1 在時間 T1 超過高電壓偵測電壓 VD。因為二次電池 BAT1 的電壓 VBAT1 已經超過高電壓偵測電壓 VD，所以比較器 11 的輸出被反相到 L，且來自斷線/高電壓偵測電路 10 的偵測訊號 VHS 被反相到 H。

<時間 T2>

在時間 T2，來自控制電路 110 的斷線確認訊號 LTEST

從 L 被切換到 H，因此通知邏輯電路 B 122 斷線偵測確認正在進行，同時控制訊號 VG1 從 H 被切換成 L 來導通 PMOS 電晶體 M1。結果，內部電阻器 R11 被並聯到電壓感應電阻器 Rs11 和 Rs12。然而，因為並沒有斷線，所以電池連接終端 VC1 至 VC4 和接地終端 VSS 並未被內部電阻器 R11 的連接所影響。因為二次電池 BAT1 的電壓 VBAT1 比高電壓偵測電壓 VD 高，所以斷線 / 高電壓偵測電路 10 的輸出，即偵測訊號 VHS 會維持在 H。

<時間 T3>

在時間 T3，控制電路 110 的斷線確認訊號 LTEST 從 H 被切換到 L，因此通知邏輯電路 B 122 斷線偵測確認的結束，同時為了關閉 PMOS 電晶體 M2，控制訊號 VG1 從 L 被切換到 H。然而，因為二次電池 BAT1 的電壓 VBAT1 比高電壓偵測電壓 VD 高，所以來自斷線 / 高電壓偵測電路 10 的偵測訊號 VHS 會維持在 H，如同在時間 T2。因此，邏輯電路 B 122 判斷並沒有斷線，且維持斷線判斷訊號 LCS 在 L。

<時間 T4>

在時間 T4，高電壓偵測的延遲時間過去。因此，延遲電路 123 在輸出 VHSD 中輸出 H 脈衝，而邏輯電路 A 121 將高電壓偵測訊號 VHout 自 L 反相到 H。結果，保護用半導體裝置 1 被置於高電壓偵測狀態。因此，控制電路 110 的操作被高電壓偵測訊號 VHout 終止。

<時間 T5>

由於負載的連接，二次電池BAT1的電壓VBAT1降低，而在例如時間T5時，下降至低於高電壓偵測電壓VD。然後，自比較器11的輸出被反相到H。結果，來自斷線/高電壓偵測電路10的偵測訊號VHS被反相到L。

<時間 T6>

在時間T6，來自高電壓偵測的回復之延遲時間過去。因此，延遲電路123在輸出VHSD中輸出H脈衝，使得邏輯電路A 121將高電壓偵測訊號由H反相到L。結果，保護用半導體裝置1被置於高電壓偵測狀態之外，因此控制電路110的操作被恢復。

第二實施例

圖6是根據第二實施例中保護用半導體裝置2的連接圖。如圖所示，保護用半導體裝置2包括斷線/低電壓偵測電路20、內部電阻器改變電路101、VC1斷線偵測電路102、VSS斷線偵測電路103、控制電路110、和判斷電路125。

雖然未被圖示，但保護用半導體裝置2可包括圖1所示之斷線/高電壓偵測電路10，或過電流保護電路。雖然圖6所圖示的範例包括四個二次電池，但等二次電池的數量未被限制在四個。

被虛線包圍的斷線/低電壓偵測電路20包括比較器21

至 24、參考電壓 V_{r12} 至 V_{r42} 、電壓感應電阻器 R_{s13} 至 R_{s44} 、和 OR 電路 25。比較器 21、電壓感應電阻器 R_{s13} 和 R_{s14} 、和參考電壓 V_{r12} 組成偵測第一電池 BAT1 之低電壓的電路。

電壓感應電阻器 R_{s13} 和 R_{s14} 被串聯在電池連接終端 VC1 和 VC2 之間。電壓感應電阻器 R_{s13} 和 R_{s14} 的連接節點被連接到比較器 11 的反相輸入。在比較器 21 的正相輸入與電池連接終端 VC2 之間，則連接參考電壓 V_{r12} 。因此，電壓感應電阻器 R_{s13} 和 R_{s14} 與第一電池 BAT1 相關。

第二電池 BAT2 至第四電池 BAT4 的斷線 / 低電壓偵測電路 20 之組態可與第一電池 BAT1 的相同。然而，藉由變換參考電壓 V_{r12} 至 V_{r42} 或變換電壓感應電阻器 R_{s13} 至 R_{s44} 的比例，使比較器 21 至 24 被反相的電壓被設定為低於如圖 1 所示之斷線 / 高電壓偵測電路 10 的反相電壓。

比較器 21 至 24 的輸出被連接到 OR 電路 25 的輸入。來自 OR 電路 25 的輸出，即偵測訊號 VLS，是判斷電路 125 的輸入。控制電路 110 與圖 1 中的控制電路相同，除了輸入由高電壓偵測訊號 VHout 改變成低電壓偵測訊號 VLout。由虛線包圍的判斷電路 125 是判斷低電壓偵測或斷線偵測是否執行的電路。判斷電路 125 包括邏輯電路 C126、邏輯電路 D127、延遲電路 128、和 OR 電路 129。

邏輯電路 C126 自斷線 / 低電壓偵測電路 20 接收偵測訊號 VLS，及自延遲電路 128 接收偵測延遲輸出 VLSD。邏輯電路 C126 輸出低電壓偵測訊號 VLout 到內部電路（未被圖

示)。邏輯電路 D127 接收來自斷線/低電壓偵測電路 20 的偵測訊號 VLS、來自控制電路 110 的斷線確認訊號 LTEST、和來自延遲電路 128 的輸出 VHSD。邏輯電路 D127 輸出斷線判斷訊號 LCS 作為 OR 電路 129 的輸入之一。延遲電路 128 接收來自斷線/低電壓偵測電路 20 的輸出 VLS，且輸出偵測延遲輸出 VLSD 到邏輯電路 C 和 D。OR 電路 129 接收來自邏輯電路 D127 的斷線偵測訊號 LCS、來自 VC1 斷線偵測電路 102 的輸出、和來自反相電路 130 的輸出。OR 電路 129 輸出斷線偵測訊號 LCout 到內部電路（未被圖示）。

判斷電路 125 的組態未被特別限制，只要它有能力判斷低電壓偵測或斷線偵測是否執行。

內部電阻器改變電路 101 的連接與組態、VC1 斷線偵測電路 102、和 VSS 斷線偵測電路 103 的描述被省略，因為它們與圖 1 所示的相同。

延遲電路 128 是用於設定防止由於雜訊及其類似所造成的錯誤偵測之偵測/回復延遲時間的電路。延遲電路 128 的操作可起始於當偵測到低電壓時，來自 OR 電路 25 的輸出 VLS 由 L 被改變成 H。直到設定時間過去，當來自 OR 電路 25 的輸出 VLS 是 H 時，延遲電路 128 可在輸出 VLSD 中輸出 H 脈衝。當由低電壓偵測狀態回復時，來自 OR 電路 25 的輸出 VLS 由 H 被改變到 L，延遲電路 128 的操作也可被起始。直到設定時間過去，當來自 OR 電路 25 的輸出 VLS 是 L 時，延遲電路 128 可在輸出 VLSD 中輸出 H 脈衝。

雖然未被圖示，但來自邏輯電路 C 126 的輸出 VLout 是

延遲電路 128 的輸入，使得偵測或回復可以根據來自邏輯電路 C126 的輸出 VLout 的狀態被判斷。低電壓偵測的設定時間可與低電壓回復的設定時間不同。高電壓的設定時間可與高電壓回復的設定時間不同。延遲電路 128 的組態並未被特別限制，只要它可以執行所需操作。

圖 7 是用於斷線偵測之根據第二實施例的保護用半導體裝置 2 之操作時序圖。時序圖只有圖示描述操作必須的那些訊號。參考圖 7，其描述圖 6 的電路操作。假設來自控制電路 110 的斷線確認訊號 LTEST 和控制訊號 VG1 至 VG4 與圖 2 中所示之等對應訊號相同，且斷線確認時間 tpw 短於由延遲電路 128 判斷的延遲時間。

為便於描述，假設二次電池 BAT1 至 BAT4 分別對應到電壓 VBAT1 至 VBAT4，且圖 2 中的電壓感應電阻器 Rs13 至 Rs44 的電阻值有下列的關係：

$$VBAT1 = VBAT2 = VBAT3 = VBAT4 \quad (2.1)$$

$$Rs13 + Rs14 = Rs23 + Rs24 = Rs33 + Rs34 = Rs43 + Rs44 \quad (2.2)$$

圖 7 的時序圖沿時間軸描述。

<時間 T1>

在時間 T1，二次電池和電池連接終端 VC2 之間發生斷線。在這個時間，電池連接終端 VC2 和 VC3 之間的電壓 V2F 由將電壓除以電壓感應電阻器 Rs13 至 Rs24 所得到，其根據下述表達式：

$$V2F = \frac{Rs23 + Rs24}{Rs13 + Rs14 + Rs23 + Rs24} \times (VBAT1 + VBAT2) \quad (2.3)$$

根據表達式（2.1）、（2.2）、和（2.3），電池連接終端 VC2 和 VC3 之間的電壓 V2F 在斷線之前不會自電壓 VBAT2 改變。因此，沒有任何自比較器 21 至 24 的輸出會改變。

<時間 T2>

在時間 T2，來自控制電路 110 的斷線確認訊號 LTEST 從 L 被切換成 H，因此通知邏輯電路 D127 斷線偵測確認正在進行，同時為了導通 PMOS 電晶體 M1，控制訊號 VG1 從 H 切換成 L。因此，內部電阻器 R11 被並聯到電壓感應電阻器 Rs13 和 Rs14 的串聯電路。因此，在電池連接終端 VC2 和 VC3 間的電壓 V2G 根據下列表達式來計算：

$$V2G = \frac{Rs23 + Rs24}{\frac{R11 \times (Rs13 + Rs14)}{R11 + Rs13 + Rs14} + Rs23 + Rs24} \times (VBAT1 + VBAT2) \quad (2.4)$$

當內部電阻器 R11 相較於電壓感應電阻器 Rs13 和 Rs14 的總和足夠小時（也就是目前實施例的狀況），在電池連接終端 VC2 和 VC3 間的電壓則與電壓 V2H 實質相同，其根據下列表達式計算：

$$V2H = \frac{Rs23 + Rs24}{R11 + Rs23 + Rs24} \times (VBAT1 + VBAT2) \quad (2.5)$$

根據表達式（2.4）或（2.5），電池連接終端 VC2 的電位會被增加來逼近電池連接終端 VC1 的電位，連接終端

VC1爲二次電池BAT1的正極之連接終端。結果，在電池連接終端VC2和VC3之間的電壓會增加。反過來，在電池連接終端VC1和VC2之間的電壓V1B根據下面所示的表達式（2.6）會變較低。因此，比較器21偵測低電壓，且它的輸出被反相到偵測狀態H。因此，來自斷線/低電壓電路20的偵測訊號VLS從L被反相到H。

$$V1B = VBAT1 + VBAT2 - V2H \quad (2.6)$$

<時間 T3>

在時間 T3，自控制電路110的斷線確認訊號LTEST從H被切換到L，因此通知邏輯電路D127斷線偵測確認的結束，同時爲了關閉PMOS電晶體M1，控制訊號VG1從L被切換到H。因此，內部電阻器R11與電壓感應電阻器Rs13和Rs14之串聯電路的並聯連接被消除。結果，電池連接終端VC2和VC3之間的電壓根據表達式（2.3）返回到電壓V2F。結果，來自比較器11的輸出又一次被反相到非偵測狀態L。因此，來自斷線/低電壓偵測電路20的輸出，即偵測訊號VLS，從H被反相到L。

因爲根據斷線確認訊號LTEST，在來自斷線/低電壓偵測電路20的偵測訊號VLS爲H的期間，延遲電路的輸出VHSD並未變成H，所以邏輯電路D127判斷有斷線，且將斷線判斷訊號LCS反相到斷線偵測狀態H。爲回應斷線判斷訊號LCS，OR電路129將它的輸出，即斷線偵測訊號LCout，反相到斷線偵測狀態H。

<時間 T4>

在時間 T4，自控制電路 110 的斷線確認訊號 LTEST 從 L 被切換到 H，因此通知邏輯電路 D127 斷線偵測確認正在進行，同時爲了導通 PMOS 電晶體 M2，控制訊號 VG2 從 H 被切換到 L。因此，內部電阻器 R21 被並聯到電壓感應電阻器 Rs23 和 Rs24 的串聯電路，使得在電池連接終端 VC2 和 VC3 之間的電壓爲電壓 V2J，其由下列表達式計算：

$$V2J = \frac{\frac{R21 \times (Rs23 + Rs24)}{R21 + Rs23 + Rs24}}{Rs13 + Rs14 + \frac{R21 \times (Rs23 + Rs24)}{R21 + Rs23 + Rs24}} \times (VBAT1 + VBAT2) \quad (2.7)$$

當內部電阻器 R21 相較於電壓感應電阻器 Rs23 和 Rs24 的總和足夠小時，在電池連接終端 VC2 和 VC3 間的電壓則與電壓 V2K 實質相同，其根據下列表達式計算：

$$V2K = \frac{R21}{Rs13 + Rs14 + R21} \times (VBAT1 + VBAT2) \quad (2.8)$$

根據表達式 (2.7) 或 (2.8)，電池連接終端 VC2 的電位會減少來逼近電池連接終端 VC3 的電位，連接終端 VC3 爲二次電池 BAT2 的負極之連接終端。結果，在電池連接終端 VC2 和 VC3 之間的電壓會減少。因此，比較器 22 偵測低電壓，且來自比較器 22 的輸出被反相到偵測狀態 H。因此，來自斷線/低電壓偵測電路 20 的輸出，即偵測訊號 VLS，由 L 被反相到 H。

<時間 T5>

在時間 T5，自控制電路 110 的斷線確認訊號 LTEST 從 H 被切換到 L，因此通知邏輯電路 D127 斷線偵測確認已經結束，同時爲了關閉 PMOS 電晶體 M2，控制訊號 VG2 從 L 被切換到 H。結果，內部電阻器 R21 和電壓感應電阻器 Rs23 和 Rs24 之串聯電路的並聯連接被消除，使得電池連接終端 VC2 和 VC3 之間的電壓根據表達式 (2.3) 的計算返回到電壓 V2F。因此來自比較器 22 的輸出又一次被反相到非偵測狀態 L，且自斷線/低電壓偵測電路 20 的偵測訊號 VLS 從 H 被反相到 L。

因爲根據斷線確認訊號 LTEST，在來自斷線/高電壓偵測電路 20 的輸出 VLS 爲 H 的期間，自延遲電路的輸出 VHSD 並未變成 H，所以邏輯電路 D127 判斷有斷線，且因此維持斷線判斷訊號 LCS 在斷線偵測狀態 H 中。爲回應斷線偵測訊號 LCS，OR 電路 129 維持它的輸出，即斷線偵測訊號 LCout 在斷線偵測狀態 H。

<時間 T6>

斷線部分在時間 T6 被更正來回應斷線偵測。

<時間 T7>

在時間 T7，自控制電路 110 的斷線確認訊號 LTEST 從 L 被切換到 H，因此通知邏輯電路 D127 斷線偵測確認正在進行，同時爲了導通 PMOS 電晶體 M1，控制訊號 VG1 從 H 被切

換到 L。結果，內部電阻器 R11 被並聯到電壓感應電阻器 Rs13 和 Rs14 的串聯電路。然而，和 T2 與 T3 之間的時間或 T4 與 T5 之間的時間之情況相反，電源供應器連接終端 VC2 被連接到二次電池。因此，電池連接終端 VC2 和 VC3 之間的電壓並不是從 VBAT2 改變。因此，自斷線 / 低電壓偵測電路的輸出 VLS 並未被改變。

<時間 T8>

在時間 T8，自控制電路 110 的斷線確認訊號 LTEST 從 H 被切換到 L，因此通知邏輯電路 D127 斷線偵測確認已經結束，同時為了關閉 PMOS 電晶體 M2，控制訊號 VG2 從 L 被切換到 H。因為，電源供應器連接終端 VC3 被連接到二次電池，如在時間 T7，電池連接終端 VC2 和 VC3 之間的電壓沒有被改變。

因為根據斷線確認訊號 LTEST，來自斷線 / 低電壓偵測電路 20 的輸出 VHS 並未改變，所以邏輯電路 D127 判斷斷線已經被修復，而將斷線判斷訊號 LCS 反相到回復狀態 L 來表示自斷線中回復。為回應斷線判斷訊號 LCS，OR 電路 129 反相它的輸出，即斷線偵測訊號 LCout，自斷線偵測狀態反相到回復狀態 L。

電池連接終端 VC3 或 VC4 之斷線的情況之操作係相同的。

圖 8 是在低電壓偵測時根據第二實施例之保護用半導體裝置 2 的操作時序圖。時序圖沿時間軸描述。

<時間 T1>

在二次電池充電開始一段時間之後，二次電池BAT1的電壓VBAT1在時間T1低於低電壓偵測電壓VD。因為二次電池BAT1的電壓VBAT1已經低於低電壓偵測電壓VD，所以自比較器21的輸出被反相到H，且來自斷線/低電壓偵測電路20的偵測訊號VLS被反相到H。

<時間 T2>

在時間T2，來自控制電路110的斷線確認訊號LTEST從L被切換到H，因此通知邏輯電路D127斷線偵測確認正在進行，同時為了導通PMOS電晶體M1，控制訊號VG1從H切換成L。結果，內部電阻器R11被並聯到電壓感應電阻器Rs13和Rs14的串聯電路。然而，因為並沒有斷線，所以電池連接終端VC1至VC4和接地終端VSS並未被內部電阻器R11的連接所影響。因為二次電池BAT1的電壓VBAT1低於低電壓偵測電壓VD，所以來自斷線/低電壓偵測電路20的偵測訊號VLS未被改變且維持在H。

<時間 T3>

在時間T3，自控制電路110的斷線確認訊號LTEST從H被切換到L，因此通知邏輯電路D127斷線偵測確認的結束，同時為了關閉PMOS電晶體M2，控制訊號VG2從L被切換到H。然而，因為二次電池BAT1的電壓VBAT1低於低電壓

偵測電壓 V_D ，所以來自斷線/低電壓偵測電路的偵測訊號 V_{LS} 會維持在 H，如同在時間 T2。因此，邏輯電路 D127 判斷並沒有斷線，且維持斷線判斷訊號 LCS 在 L。

<時間 T4>

在時間 T4，低電壓偵測的延遲時間過去，使得延遲電路 128 在輸出 $VLSD$ 中輸出 H 脈衝，而邏輯電路 C126 將低電壓偵測訊號 V_{Lout} 自 L 反相到 H。因為保護用半導體裝置 2 被置於低電壓偵測狀態，所以控制電路 110 的操作被低電壓偵測訊號 V_{Lout} 終止。

<時間 T5>

由於充電，二次電池 $BAT1$ 的電壓 V_{BAT1} 增加，且例如，當來自比較器 21 的輸出被反相到 L 時，在時間 T5 超過低電壓偵測電壓 V_D 。因此，來自斷線/低電壓偵測電路 20 的輸出，即偵測訊號 V_{LS} ，被反相到 L。

<時間 T6>

在時間 T6，當延遲電路 128 在輸出 $VLSD$ 中輸出 H 脈衝，且邏輯電路 C126 將低電壓偵測訊號 V_{Lout} 由 H 反相到 L 時，來自低電壓偵測的回復之延遲時間過去。因此，保護用半導體裝置 2 被置於低電壓偵測狀態之外，且因此控制電路 110 的操作被恢復。

第三實施例

圖 9 是根據第三實施例之保護用半導體裝置 3 的連接圖。保護用半導體裝置 3 是根據圖 1 所示之第一實施例（包括斷線/高電壓偵測電路）和圖 6 所示之第二實施例（包括斷線/低電壓偵測電路）的組合。雖然圖 9 所示的範例包括四個二次電池，但二次電池的數量並未被限制。

圖 9 所示之斷線/高電壓偵測電路 10、斷線/低電壓偵測電路 20、內部電阻器改變電路 101、VC1 斷線偵測電路 102、和 VSS 斷線偵測電路 103，可與圖 1 和圖 6 中所示的等對應電路相同。

第三實施例亦不同於第一實施例：控制電路 110 接收高電壓偵測訊號 VHout 和低電壓偵測訊號 VLout 的邏輯 OR 之訊號當作輸入，而不是接收圖 1 的範例中的高電壓偵測訊號 VHout。

判斷電路 210 接收來自斷線/高電壓偵測電路 10 的輸出 VHS、來自低電壓電路 20 的輸出 VLS、來自控制電路 110 的斷線確認訊號 LTEST、以及來自 VC1 斷線偵測電路 102 和 VSS 斷線偵測電路 103 的輸出訊號。判斷電路 210 可輸出高電壓偵測訊號 VHout、低電壓偵測訊號 VLout、或斷線偵測訊號 LCout 到電路（未被圖示）。

判斷電路 210 的內部組態的描述被省略，因為組態並未被特別限制，只要它有能力判斷是否進行高電壓偵測、低電壓偵測、或斷線偵測即可。

爲了偵測斷線，斷線/高電壓偵測電路 10 與斷線/低電

壓偵測電路20之一的電壓感應電阻器、參考電壓、和比較器可被如上述使用。另外，可使用斷線/高電壓偵測電路10和斷線/低電壓偵測電路20兩者，且可在它們至少其一偵測到斷線時判斷斷線。

第四實施例

圖10是根據本發明的第四實施例之保護用半導體裝置4的連接圖。保護用半導體裝置4是根據圖1的第一實施例修改，使得可偵測哪一個連接被斷線。保護用半導體裝置4包括斷線/高電壓偵測電路10'、內部電阻器改變電路101、VC1斷線偵測電路102、VSS斷線偵測電路103、控制電路110、和判斷電路210。

雖然未被圖示，但保護用半導體裝置4亦可包括如圖6中所示之斷線/低電壓偵測電路20，或過電流偵測電路。雖然圖10所示範例包括四個二次電池，但二次電池的數量並未被特別限制。

斷線/高電壓偵測電路10'和圖1的斷線/高電壓偵測電路10不同，其不同在於NAND電路15被省略，使得比較器11至14的輸出被直接供應到判斷電路210。判斷電路210的內部組態並未被特別限制，只要它有能力判斷是否進行高電壓偵測或低電壓偵測，並且，在斷線偵測的情況中，判斷哪一個連接被斷線（即輸出L是由哪一個比較器而來）。

第五實施例

圖 11 是根據第五實施例的保護用半導體裝置 5 連接圖。保護用半導體裝置 5 和第三實施例的保護用半導體裝置 3 不同，其不同在於增加了判斷哪一個連接被斷線的功能。具體而言，控制訊號 VG1 至 VG4 是提供做為判斷電路 220 的輸入訊號，而斷線偵測訊號 LCout 包括 LCout1 至 LCout3 的三個位元，使得判斷電路 210 可以根據輸入訊號判斷哪一個連接有斷線。

第六實施例

圖 12 是根據第六實施例的保護用半導體裝置的連接圖，其中比較器被使用在 VC1 斷線偵測電路和 VSS 斷線偵測電路中。第六實施例不同於第一至第五實施例，其不同在於 VC1 斷線偵測電路和 VSS 斷線偵測電路是使用比較器達成而非反相器。

如圖 12 所示，在電池連接終端 VC1 和保護用半導體裝置之間用來偵測斷線的 VC1 斷線偵測電路由比較器 301 所提供。比較器 301 接收電池連接終端 VC1 的電位當作反相輸入，以及接收在電池 BAT1（最上面的二次電池）之負極的電池連接終端 VC2 之電位當作正相輸入。用來偵測接地終端 VSS 和保護用半導體裝置之間斷線的 VSS 斷線偵測電路由比較器 302 所提供。比較器 302 接收在接地終端 VSS 的電位（接地電位）當作是正相輸入，以及接收在 BAT4（最下面的二次電池）之正極之電池連接終端 VC4 的電位當作

是反相輸入。

在這個架構中，當電池連接終端 VC1 和二次電池被斷線，且在電池連接終端 VC1 的電位低於在電池連接終端 VC2 的電位時，比較器 301 判斷電池連接終端 VC1 有斷線，並輸出 H。當接地終端 VSS 和二次電池被斷線，且在接地終端 VSS 的電位（接地電位）超過在電池連接終端 VC4 的電位時，比較器 302 偵測接地終端 VSS 斷線並輸出 H。

第七實施例

根據前述實施例的任一個之保護用半導體裝置可被包含在電池組中。藉由共享用於不同目的之電路元件而減少保護用半導體或電池組的尺寸。保護用半導體裝置或電池組可被用在各種電子裝置中，例如可攜式個人電腦、音訊裝置、相機、和視頻裝置。

雖然藉由特定實施例來詳細說明本發明，但如以下申請專利範圍中所描述與定義之本發明的範圍和精神內存在變化和修改。

本發明申請是根據於 2010 年 7 月 14 日提出的日本優先權申請編號 2010-159379，其中的全部內容，在此予以納入參考。

【圖式簡單說明】

前述及本發明之其他物件、特徵和優點在以下發明實施例的更詳細說明中更明確，如伴隨圖式所示，其中：

圖 1 是根據第一實施例的保護用半導體裝置之連接圖
；

圖 2 圖示圖 1 中來自保護用半導體裝置之控制電路的控制訊號；

圖 3 是時序圖，其圖示斷線後根據第一實施例之保護用半導體裝置的操作；

圖 4 是電路圖，圖示根據第一實施例之保護用半導體裝置之操作，特別是 VC1 斷線偵測電路與 VSS 斷線偵測電路；

圖 5 是操作時序圖，圖示保護用半導體裝置在高電壓偵測的操作；

圖 6 是根據第二實施例之保護用半導體裝置之連接圖
；

圖 7 是圖示用於斷線偵測之根據第二實施例之保護用半導體裝置操作的操作時序圖；

圖 8 是圖示用於低電壓偵測之根據第二實施例之保護用半導體裝置的操作時序圖；

圖 9 是根據第三實施例的保護用半導體裝置之連接圖
；

圖 10 是根據第四實施例的保護用半導體裝置之連接圖
；

圖 11 是根據第五實施例的保護用半導體裝置之連接圖
；且

圖 12 是根據第六實施例的保護用半導體裝置之連接圖

。

【 主 要 元 件 符 號 說 明 】

110：控 制 電 路

121：邏 輯 電 路 A

122：邏 輯 電 路 B

123：延 遲 電 路

128：延 遲 電 路

126：邏 輯 電 路 C

127：邏 輯 電 路 D

10：斷 線 / 高 電 壓 偵 測 電 路

20：斷 線 / 低 電 壓 偵 測 電 路

210：判 斷 電 路

220：判 斷 電 路

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100124602

G01R 31/02 (2006-01)
H02H 7/18
H01M 10/48

※申請日：100 年 07 月 12 日

※IPC 分類：

一、發明名稱：(中文／英文)

組電池之保護用半導體裝置，包括該保護用半導體裝置之電池組，及電子裝置
Protective semiconductor apparatus for an assembled battery, a battery pack including
the protective semiconductor apparatus, and an electronic device

二、中文發明摘要：

一種保護組電池的保護用半導體裝置，該電池組包括 N 個串連的二次電池，該保護用半導體包括斷路偵測電路，包含對每個該等 N 個二次電池，劃分該等二次電池所對應之電壓的電壓感應電阻器、參考電壓、和比較由該電壓感應電阻器所得到的電壓和該參考電壓的第一比較器。該保護用半導體裝置也包括連接內部電阻器的電路，在預定時間間隔內連續並選擇性地將電阻器值小於該等電壓感應電阻器之對應一之電阻器值者，並聯到該等對應電壓感應電阻器。該斷路偵測電路偵測該 N 個二次電池和該保護用半導體裝置之間的斷路，其根據當該內部電阻器並聯到該對應電壓感應電阻器時之第一比較器的輸出。

三、英文發明摘要：

A protective semiconductor apparatus for protecting an assembled battery including N secondary cells connected in series includes a disconnection detecting circuit including, for each of the N secondary cells, a voltage-sensing resistor dividing a voltage of a corresponding one of the secondary cells, a reference voltage, and a first comparator comparing a voltage obtained by the voltage-sensing resistor with the reference voltage. The protection semiconductor apparatus also includes a circuit connecting an internal resistor having a resistance value smaller than a resistance value of a corresponding one of the voltage-sensing resistors in parallel to the corresponding voltage-sensing resistors successively and selectively at predetermined time intervals. The disconnection detecting circuit detects disconnection between the N secondary cells and the protective semiconductor apparatus based on an output from the first comparator when the internal resistor is connected in parallel to the corresponding voltage-sensing resistor.

七、申請專利範圍：

1.一種保護組電池的保護用半導體裝置，該組電池包括N個串聯的二次電池，該保護用半導體裝置包含：

斷線偵測電路，對該N個二次電池之每一個包含：

電壓感應電阻器，組態來劃分該等二次電池的電壓；

參考電壓；及

第一比較器，組態來比較由該電壓感應電阻器所得到的電壓和該參考電壓；以及

電路，組態來在預定時間間隔內，連續並選擇性地將具有電阻值小於該等電壓感應電阻器之對應一者之電阻值的內部電阻器並聯到該等對應電壓感應電阻器，其中該斷線偵測電路被組態來根據當該內部電阻器並聯到該對應電壓感應電阻器時之該第一比較器之輸出，偵測該N個二次電池和該保護用半導體裝置之間的斷線。

2.如申請專利範圍第1項之保護用半導體裝置，進一步包含：

高電壓偵測電路，包括第二比較器，其被組態來當該N個二次電池之任一者之該電池電壓增加到或高於預設第一電壓時，反相自該第二比較器的輸出；及/或

低電壓偵測電路，包括第三比較器，其被組態來當該N個二次電池之任一者之該電池電壓減少到或低於預設第二電壓時，反相自該第三比較器的輸出。

3.如申請專利範圍第2項之保護用半導體裝置，其中

在該斷線偵測電路中的該等電壓感應電阻器和該等參考電壓，和該高電壓偵測電路或該低電壓偵測電路共享，且

其中該斷線偵測電路中的該第一比較器被共享為該高電壓偵測電路中的該第二比較器，及/或共享為在該低電壓偵測電路中的該第三比較器。

4.如申請專利範圍第3項之保護用半導體裝置，其中該高電壓偵測電路中的該第一電壓和該低電壓偵測電路中的該第二電壓，由該電壓感應電阻器和該參考電壓設定。

5.如申請專利範圍第1項之保護用半導體裝置，其中連續並選擇性地連結該等內部電阻器到該等對應的電壓感應電阻器的該電路，被組態來連接該內部電阻器的串聯電路和並聯於該等對應電壓感應電阻器的開關，且被組態來連續並選擇性地開啓該等開關。

6.如申請專利範圍第3項之保護用半導體裝置，進一步包含判斷電路，其組態來根據該第一比較器的該輸出，或該第一比較器的該輸出及用於連續並選擇性地開啓該等開關之時序訊號，判斷在該N個二次電池與該保護用半導體裝置間的斷線、該N個二次電池之任一者的該電池電壓增加是否到達或者超過該第一電壓，及/或該N個二次電池之任一者的該電池電壓減少是否到達或者低於該第二電壓。

7.如申請專利範圍第6項之保護用半導體裝置，其中該判斷電路被組態來判斷該N個二次電池之哪一個電源供應器終端自該保護用半導體裝置斷線。

8.如申請專利範圍第1項之保護用半導體裝置，進一步包含電路，其組態來偵測該保護用半導體裝置與該串聯的N個二次電池的最上層一個之正電極電源供應器終端，及/或該串聯的N個二次電池的最下層一個之負電極電源供應器終端間之斷線。

9.如申請專利範圍第8項之保護用半導體裝置，其中偵測該正電極電源供應器終端和該保護用半導體裝置之間的斷線之該電路，其包括反相器，其組態來接收該正電極電源供應器連接終端的電位。

10.如申請專利範圍第8項之保護用半導體裝置，其中組態來偵測該負電極電源供應器終端與該保護用半導體裝置之間的斷線之該電路，包括反相器，其組態來接收該負電極電源供應器終端的電位。

11.如申請專利範圍第8項之保護用半導體裝置，其中組態來偵測該正電極電源供應器連結終端和該保護用半導體裝置之間的斷線之該電路，包括第四比較器，其組態來接收該正電極電源供應器連接終端的電位，作為反相輸入，以及接收該最上層二次電池的負電極電池連接終端之電位，作為非反向輸入。

12.如申請專利範圍第8項之保護用半導體裝置，其中組態來偵測該負電極電源供應器終端與該保護用半導體裝置之間的斷線之該電路，包括第五比較器，其組態來接收該負電極電源供應器連接終端的電位，作為非反相輸入，以及接收該最下層二次電池的正電極電池連接終端之電位

，作為反相輸入。

13.如申請專利範圍第8項之保護用半導體裝置，其中該判斷電路被組態來偵測該正電極電源供應器連接終端與該保護用半導體裝置之間的斷線，或該負電極電源供應器終端與該保護用半導體裝置之間的斷線。

14.如申請專利範圍第1項之保護用半導體裝置，進一步包含振盪電路，組態來設定該等內部電阻器連續並選擇性地連接到該等對應二次電池之該等時間間隔。

15.如申請專利範圍第1項之保護用半導體裝置，其中該等內部電阻器連續並選擇性地連接到該等對應第二電池之該等時間間隔，由調整外部觸發訊號之輸入的該時間間隔來控制。

16.如申請專利範圍第1項之保護用半導體裝置，其中該等內部電阻器連續並選擇性地連接到該等對應二次電池之該等時間間隔，由外部提供的電容器所設定。

17.一種電池組，包括如申請專利範圍第1項之保護用半導體裝置。

18.一種電子裝置，包括如申請專利範圍第1項至第16項之任一項的保護用半導體裝置，或如申請專利範圍第17項的電池組。

圖1

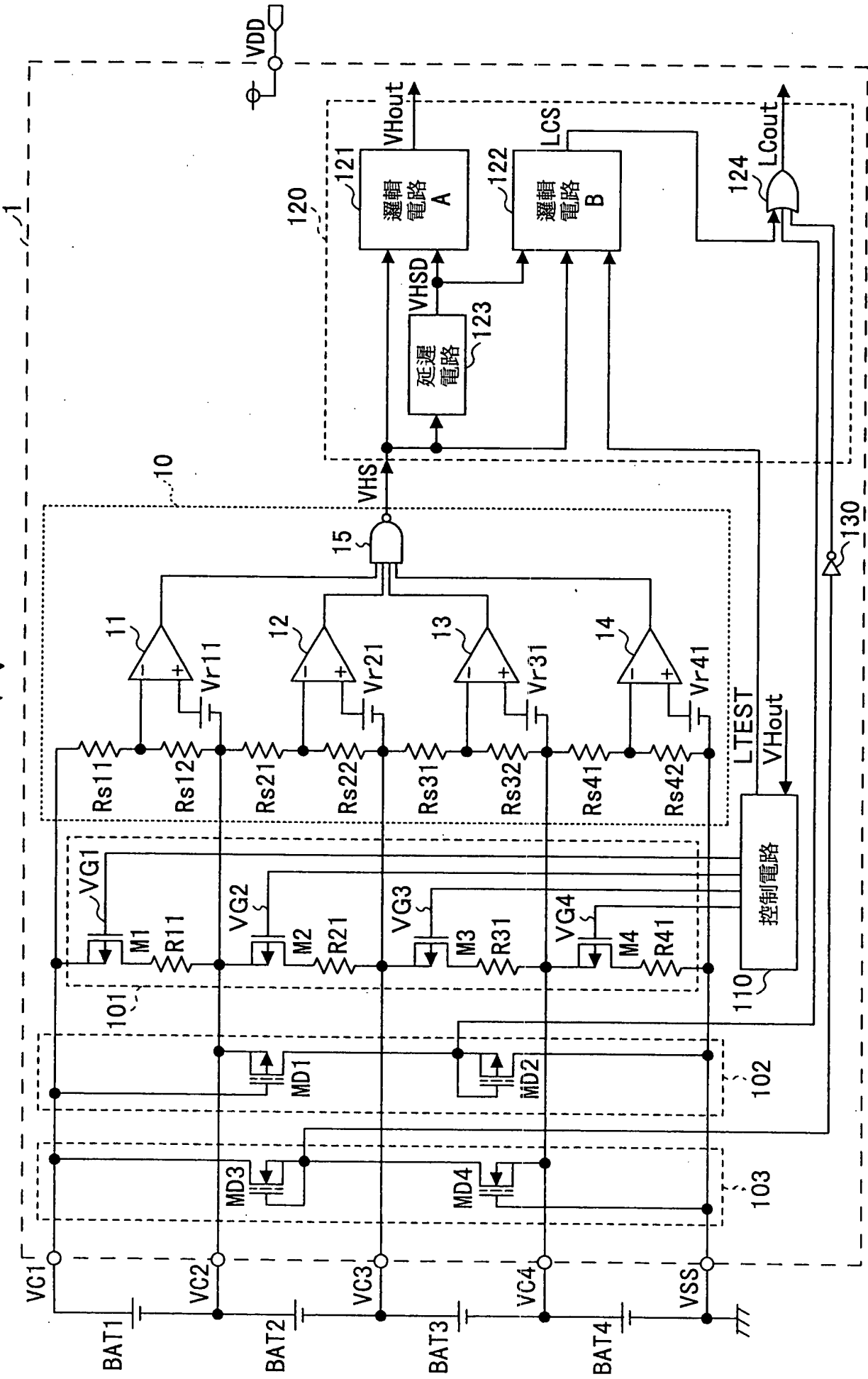
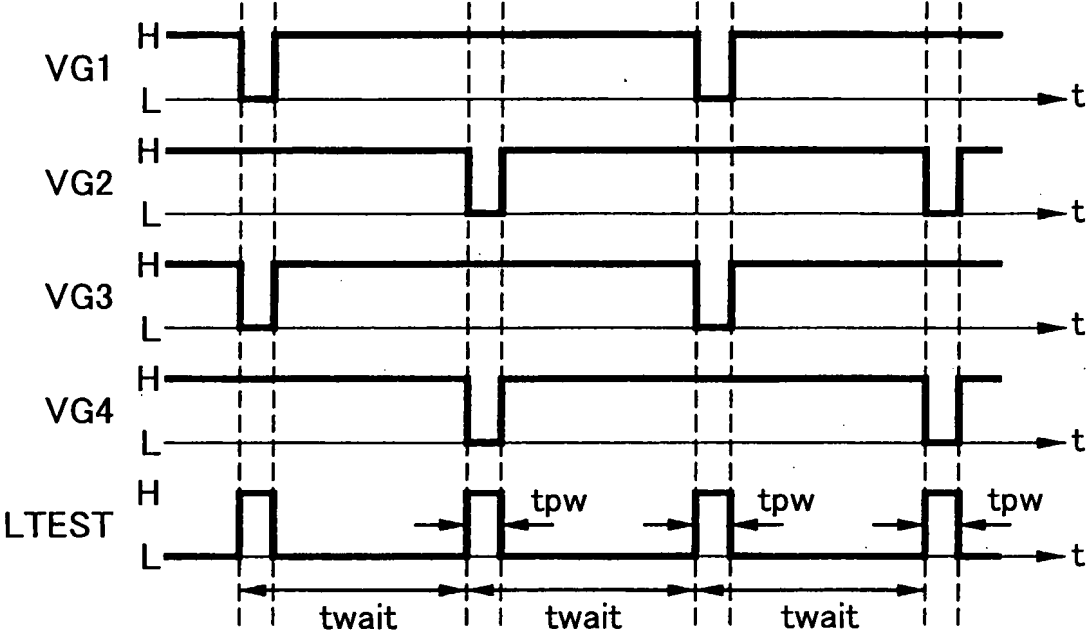
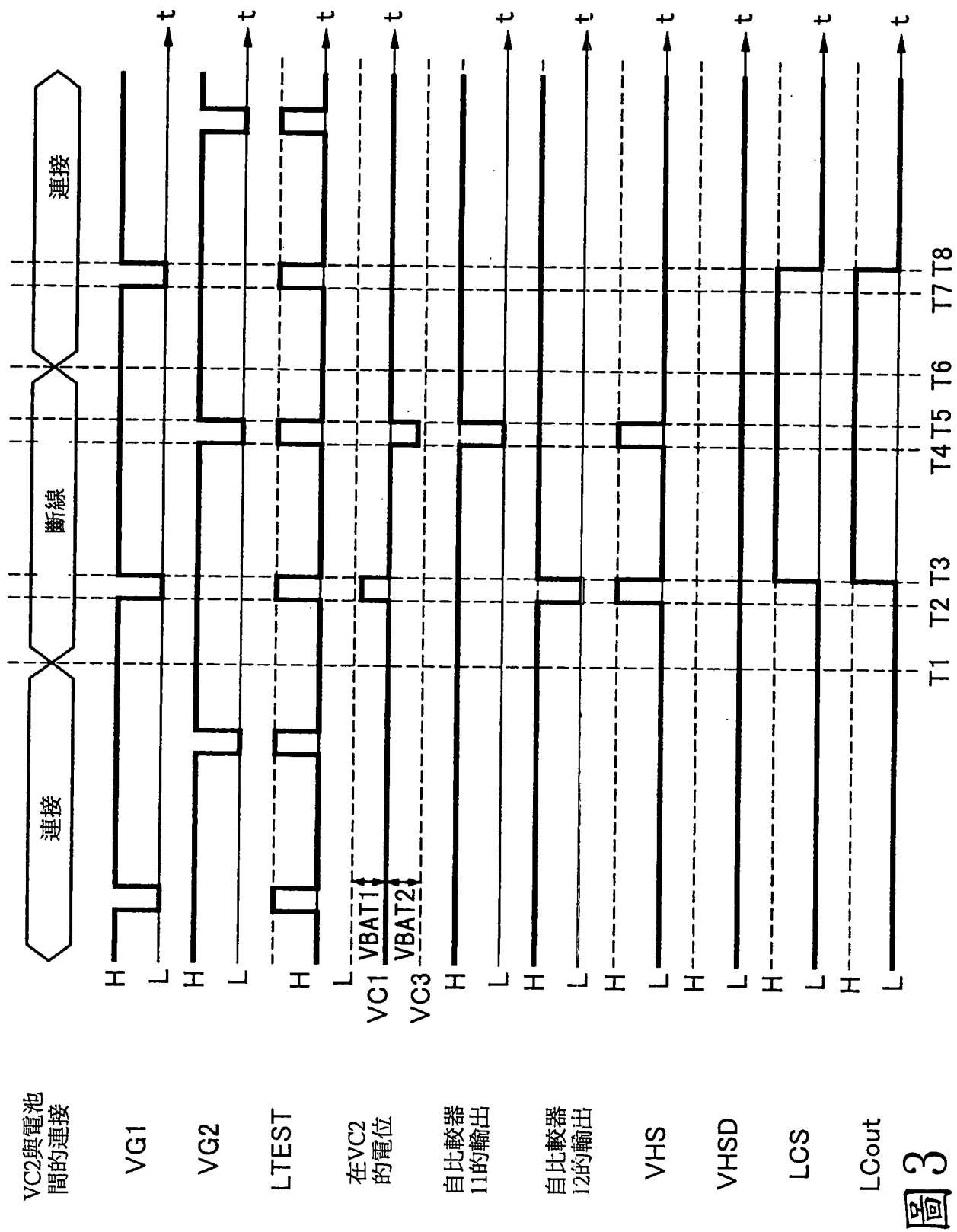


圖 2





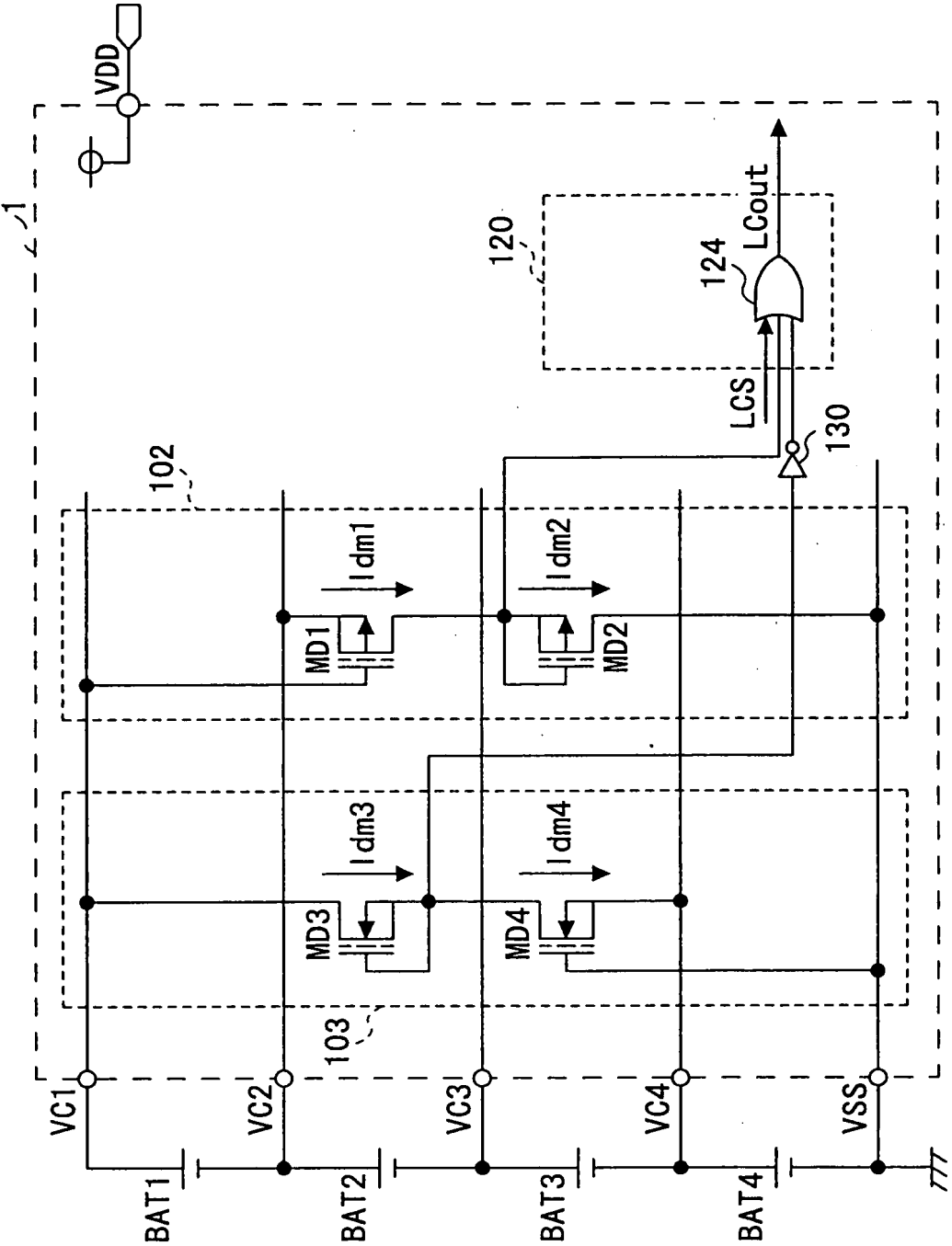


圖 4

圖5

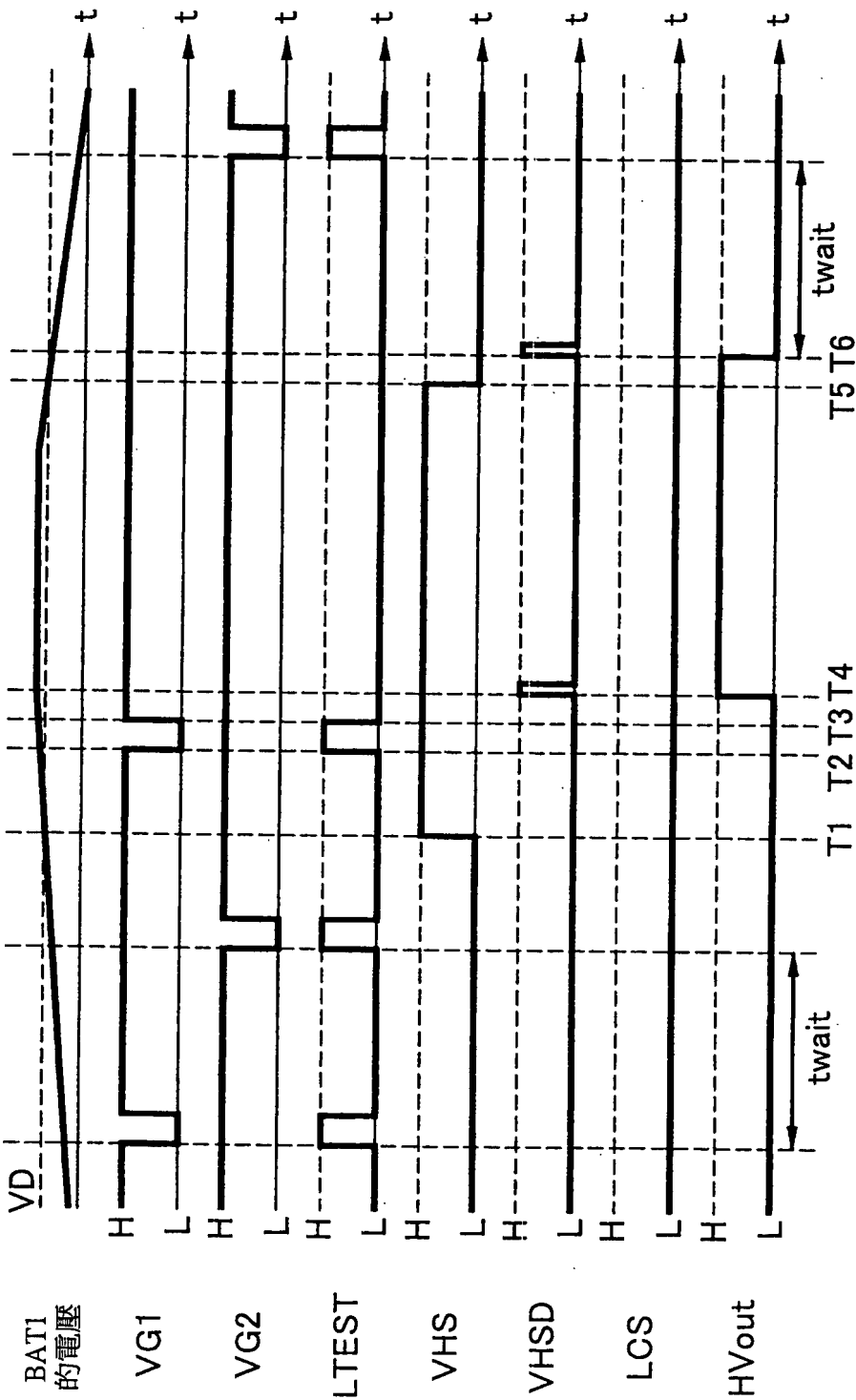
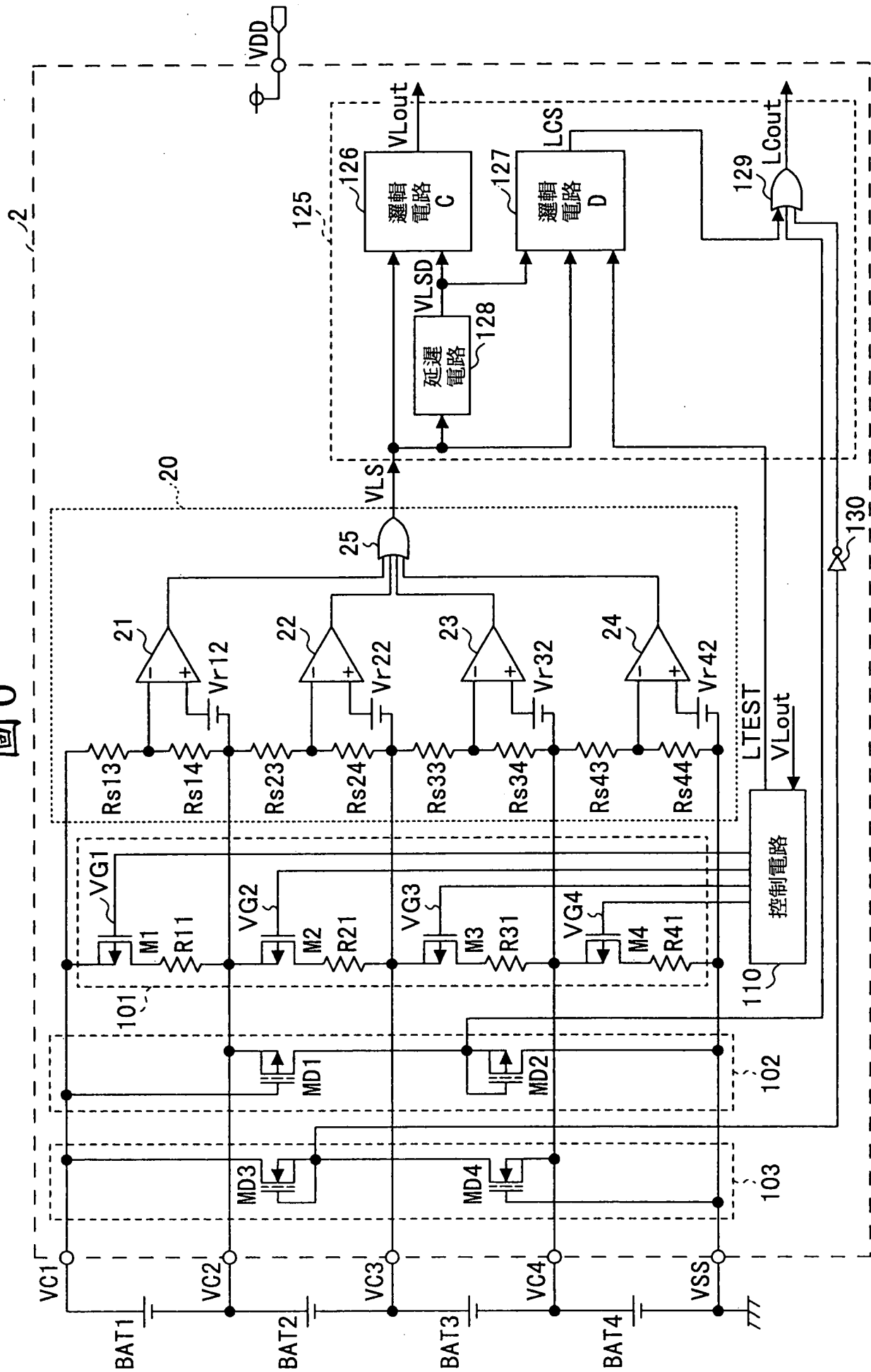


圖6



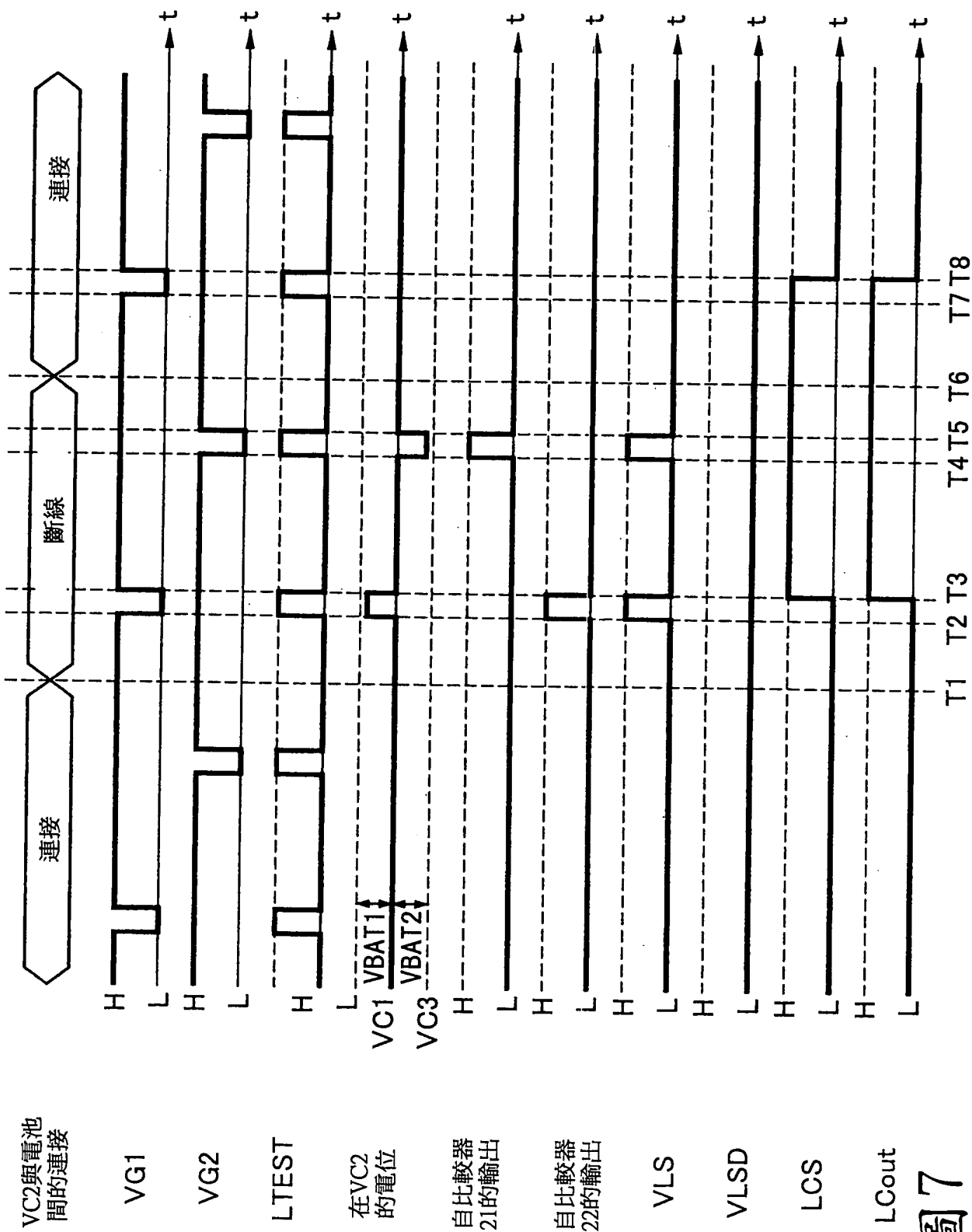


圖7

圖8

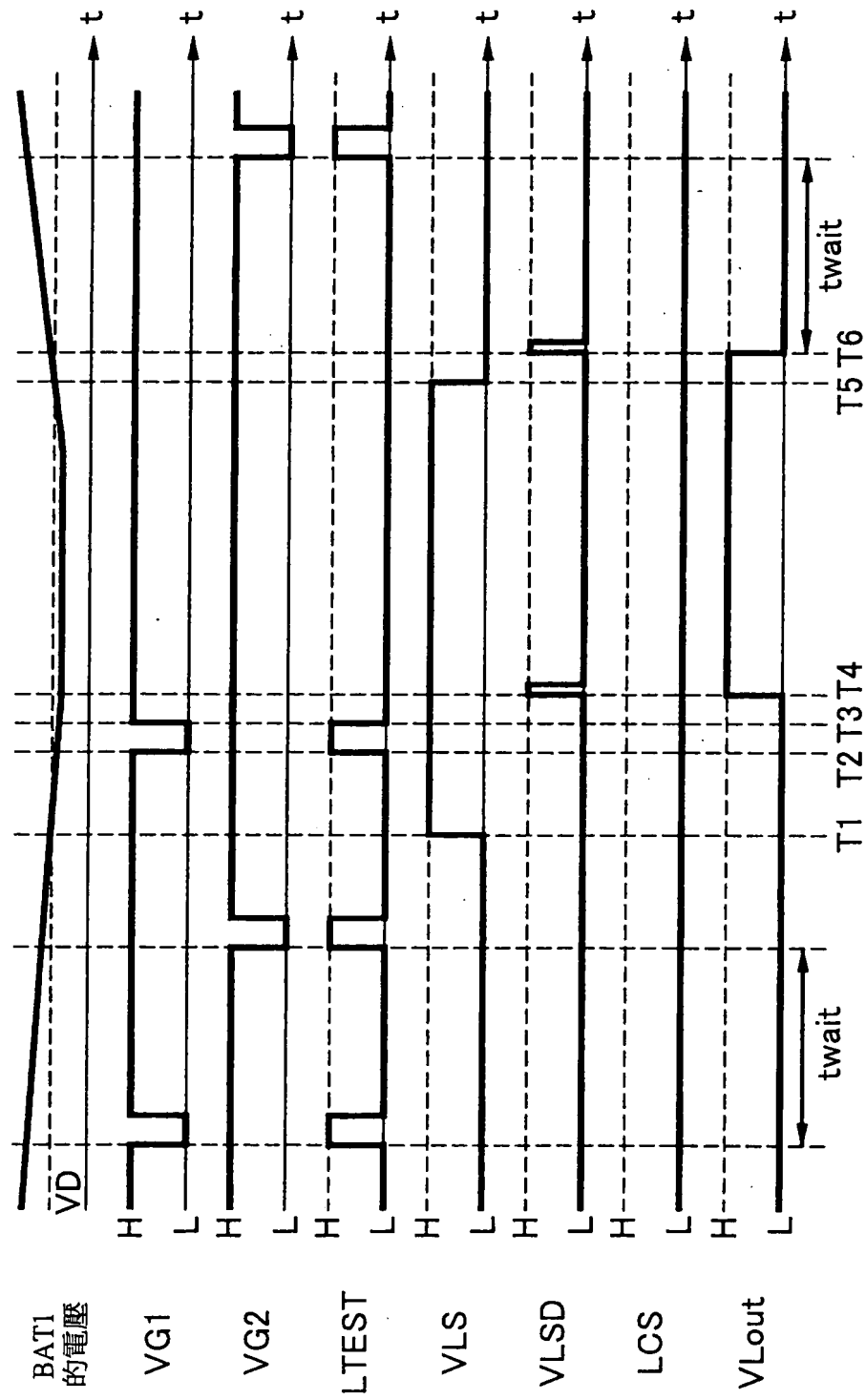


圖9

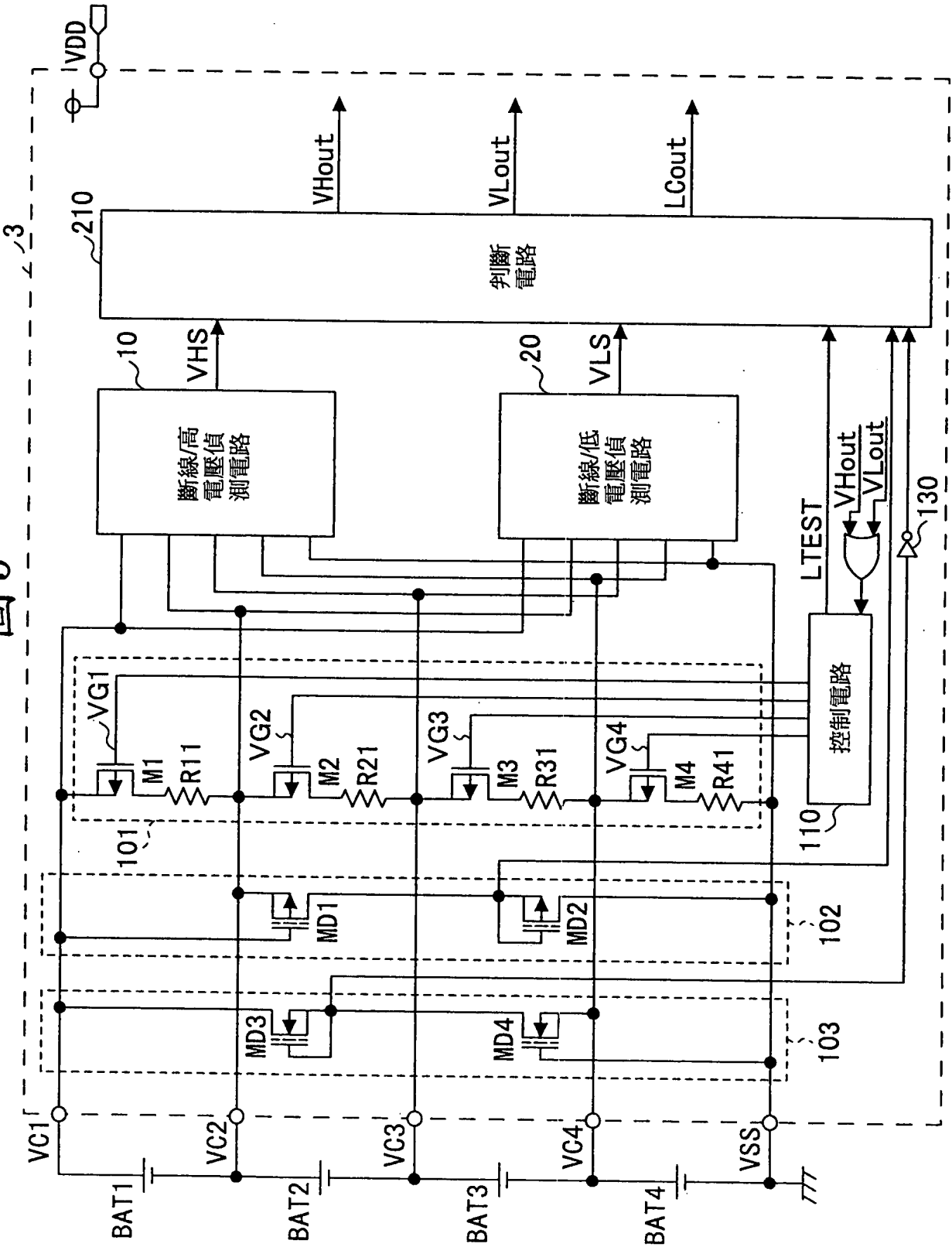
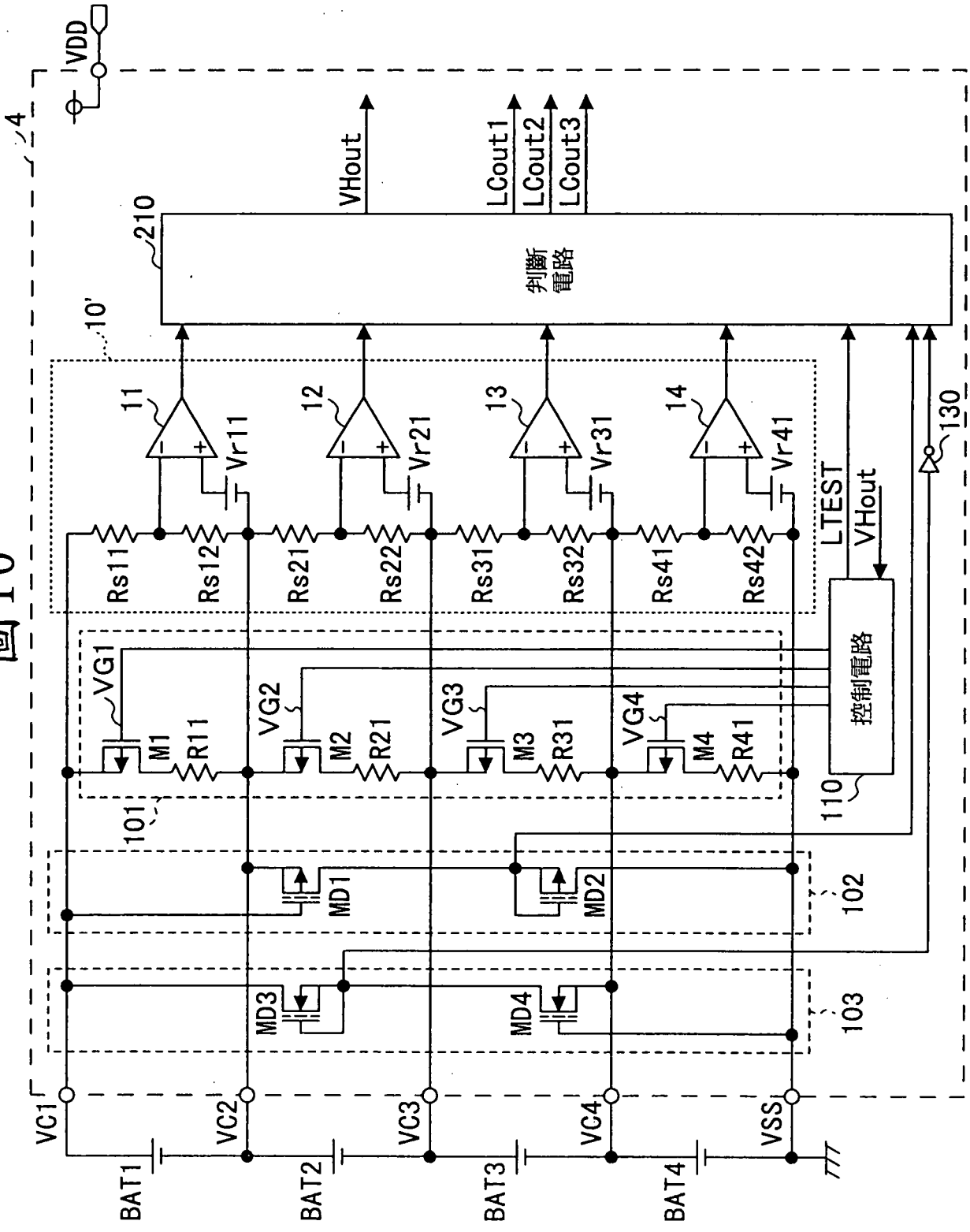
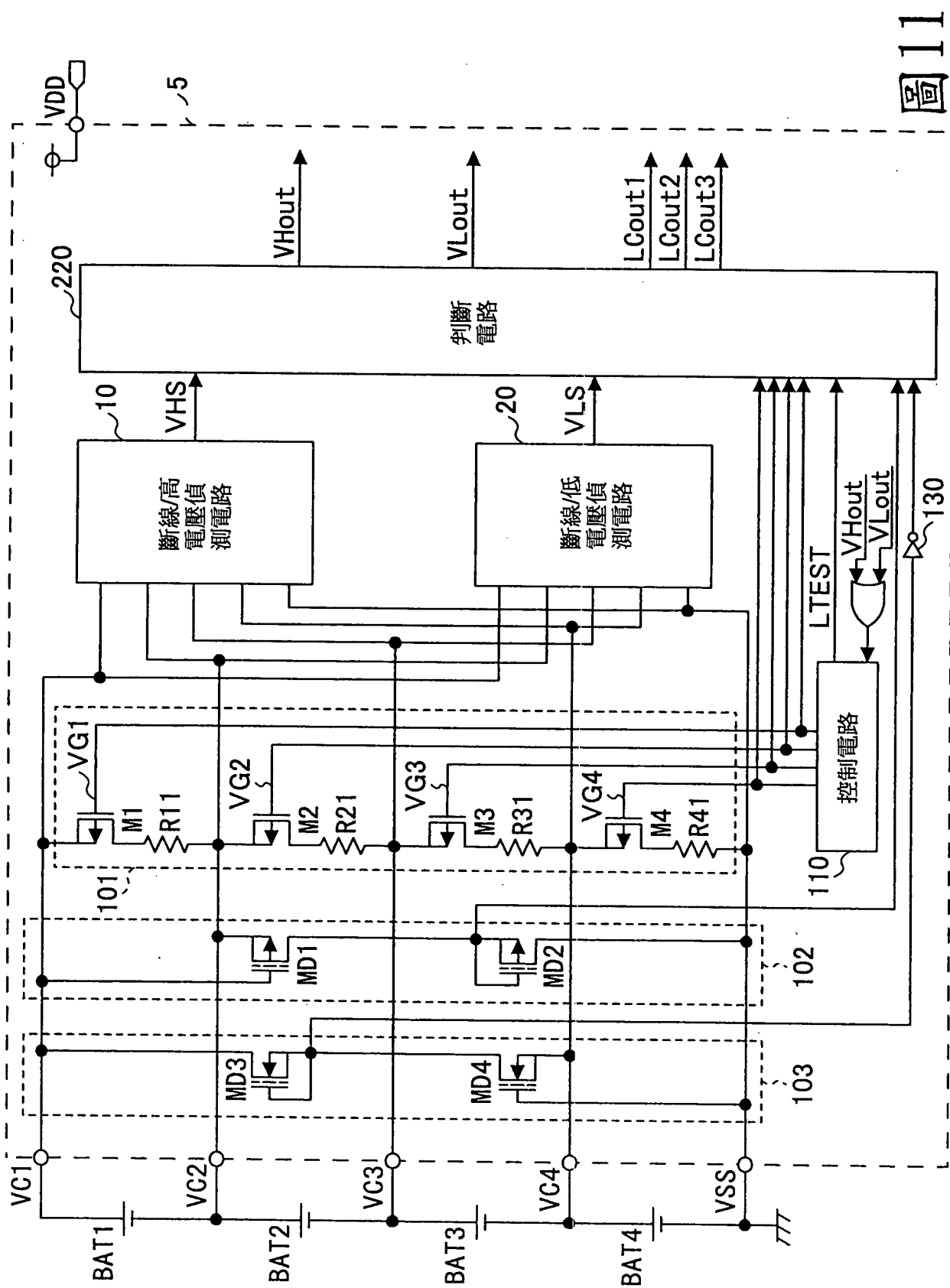


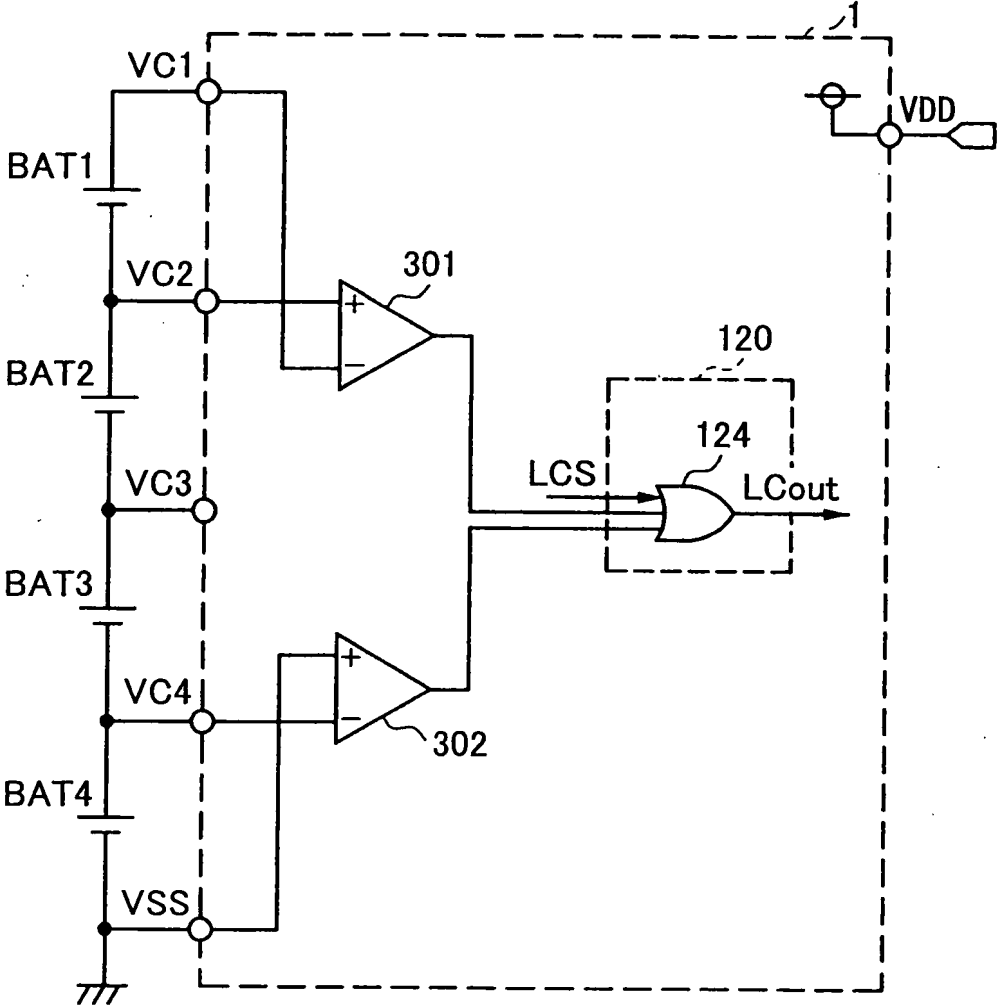
圖10





三回

圖 12



四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

1：半導體裝置

10：斷線/高電壓偵測電路

11~14：比較器

15：NAND電路

101：內部電阻器改變線路

102：VC1斷線偵測電路

103：VSS斷線偵測電路

110：控制電路

120：判斷電路

121：邏輯電路A

122：邏輯電路B

123：延遲電路

124：OR電路

130：反相電路

Rs11、Rs12、Rs21、Rs22、Rs31、Rs32、Rs41
、Rs42：電壓感應電阻器

R11、R12、R31、R41：內部電阻器

MD1、MD2：PMOS空乏型電晶體

MD3、MD4：NMOS空乏型電晶體

BAT1~BAT4：電池

VC1~VC4：電池連接終端

VSS：接地終端

VDD：電源供應器終端

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無