



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву-

(22) Заявлено 20.08.81 (21) 3329666/18-21

с присоединением заявки № -

(23) Приоритет-

Опубликовано 15.02.83. Бюллетень № 6

Дата опубликования описания 15.02.83

(11) 997257

(51) М. Кл.³

H 03 K 23/00

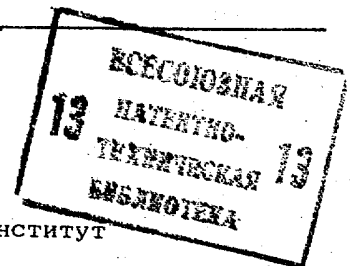
(53) УДК 621.374
(088.8)

(72) Авторы
изобретения

А. С. Витер, В. Б. Дудыкевич

(71) Заявитель

Львовский ордена Ленина политехнический институт
им. Ленинского комсомола



(54) ДЕЛИТЕЛЬ ЧАСТОТЫ

1

2

Изобретение относится к импульсной технике и предназначено для использования, например, в частотно-импульсных устройствах обработки информации.

Известен делитель частоты, содержащий элемент сложения-вычитания, сумматор [1].

Устройство характеризуется недостаточной высокой точностью работы.

Наиболее близким техническим решением к изобретению является делитель частоты, содержащий элемент сложения-вычитания, входы которого подключены к выходам коммутатора, входы которого соединены с выходами элемента ИЛИ, входы которого соединены через элемент задержки с выходом сумматора, вход которого соединен с выходом делителя частоты [2].

Недостатком этого устройства является наличие значительной погрешности, обусловленной флюктуацией частоты входных импульсов, которая зависит от числа разрядов делителя частоты.

Цель изобретения - повышение точности работы за счет уменьшения погрешности от неравномерности частоты следования импульсов.

Поставленная цель достигается тем, что делитель частоты, содержащий коммутатор, элемент сложения-вычитания частот, элемент задержки, введен накапливающий сумматор, выход которого через элемент задержки подключен к входу элемента сложения-вычитания частот, выход которого - к тактовым входам коммутатора, информационные входы которого соединены с шинами установки коэффициента деления, а выходы - с соответствующими входами накапливающего сумматора.

На чертеже приведена структурная электрическая схема устройства.

Устройство содержит коммутатор 1, элемент 2 сложения-вычитания частот, элемент 3 задержки, накапливающий сумматор 4, информационные шины 5.

Устройство работает следующим образом.

В исходном состоянии накапливающий сумматор находится в нулевом положении, а на информационные шины 5 подается число N_d , которое определяет заданный коэффициент деления. Число N_d может принимать значения от 1 до $2^n - 1$, где n - количество двоичных разрядов управляющего кода числа

N_{Σ}). На выходе сумматора 4 сигнал отсутствует, следовательно, он через элемент 3 задержки поступает на элемент 2 сложения-вычитания частот. Входная частота f_{Σ} проходит через элемент 2 без изменения. Каждый импульс входной последовательности частоты f_{Σ} , который поступает на тактовый вход коммутатора 1, переносит число N_{Σ} в накапливающий сумматор 4, где оно складывается с предыдущим значением установленного в нем кода. В случае, если суммарное значение числа, записанного в сумматоре 4, превысит его емкость $N_m = 2^N$, то произойдет его переполнение. В момент переполнения накапливающего сумматора 4 на его выходе появляется импульс, который через элемент 3 задержки поступает на один из входов элемента 2 сложения-вычитания частот. Элемент 3 обеспечивает задержку импульса, поступающего с сумматора 4 на время, равное длительности импульса входной частоты. К импульсной последовательности частоты f_{Σ} добавляется или из нее вычитается один импульс.

Частота импульсов на выходе накапливающего сумматора 4, которая формирует импульсный поток обратной связи f_{oc} , определяется частотой $f_{вых}$ на входе коммутатора 1 и управляющим кодом числа N_{Σ} и равна

$$f_{oc} = \frac{f_{вых} N_{\Sigma}}{N_m} \quad (1)$$

Частота следования импульсов на выходе элемента сложения-вычитания, которая является выходной частотой управляемого делителя, равна

$$f_{вых} = f_{\Sigma} \pm f_{oc} \quad 2$$

Подставляя значение f_{oc} из выражения 1, получаем

$$f_{вых} = \frac{f_{\Sigma} N_m}{N_m \pm N_{\Sigma}} \quad 3$$

Из последнего выражения видно, что частота следования импульсов на выходе управляемого делителя зависит от кода числа N_{Σ} , подаваемого на шины 5 установки коэффициента деления.

Диапазон изменения коэффициента деления зависит от режима работы элемента сложения-вычитания. При положительной обратной связи (элемент 2 работает в режиме суммирования) коэффициент деления изменяется от 1 до $1/N_m$, при изменении N_{Σ} от 0 до $N_m - 1$. При отрицательной обратной связи (элемент 3 работает в режиме вычитания) диапазон изменения коэффициента деления равен двум.

В случае использования в качестве выходной частоты частоту импульсов обратной связи на основании вы-

ражений (1) и (2) получаем следующую зависимость

$$f_{oc} = f_{вых} \pm \frac{f_{\Sigma} N_{\Sigma}}{N_m \pm N_{\Sigma}}$$

Использование обоих выходов элемента сложения-вычитания позволяет расширить функциональные возможности устройства.

Погрешность от неравномерности следования импульсов на выходе предлагаемого делителя частоты с переменным коэффициентом деления при отрицательной обратной связи (элемент 2 работает в режиме вычитания) определяется выражением

$$\Delta_A = 1 - \left\{ \frac{N_{\Sigma} N_m}{N_m \pm N_{\Sigma}} \right\},$$

где $\left\{ \frac{N_{\Sigma} N_m}{N_m \pm N_{\Sigma}} \right\}$ - дробная часть выражения, заключенного в скобках, N_{Σ} - количество входных импульсов в пределах одного цикла ($1 \leq N_{\Sigma} \leq N_m - 1$) работы устройства.

Из выражения (4) следует, что абсолютная погрешность от неравномерности импульсов на выходе предлагаемого делителя не превышает единицы, независимо от количества разрядов. Как показывает сравнение выражений (4) и (5), в устройстве погрешность практически не зависит от количества разрядов.

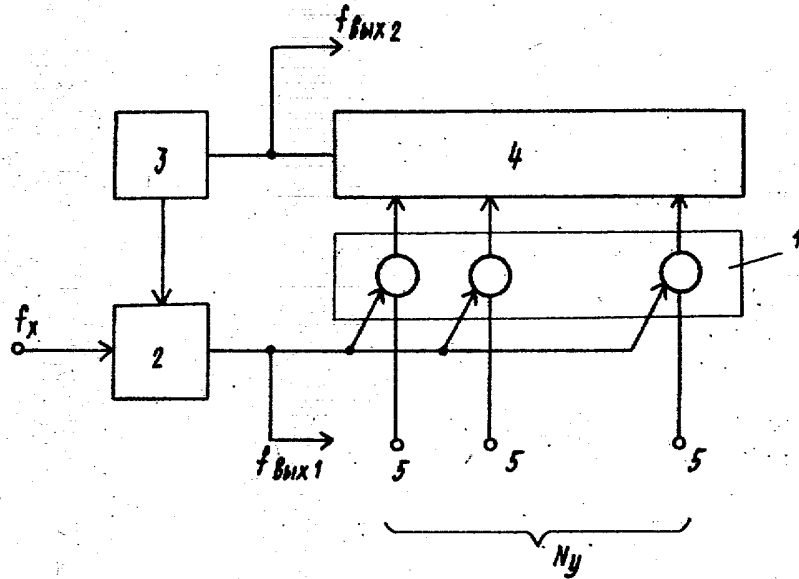
Таким образом, включение в состав устройства накапливающего сумматора параллельного типа и изменение связей между элементами устройства позволяют уменьшить погрешность от неравномерности следования импульсов на выходе, что позволяет повысить точность работы устройства.

Формула изобретения
Делитель частоты, содержащий коммутатор, элемент сложения-вычитания частот, элемент задержки, отличающийся тем, что, с целью повышения точности работы, в него введен накапливающий сумматор, выход которого через элемент задержки подключен к входу элемента сложения-вычитания частот, выход которого к тактовым входам коммутатора, информационные входы которого соединены с шинами установки коэффициента деления, а выходы - с соответствующими входами накапливающего сумматора.

Источники информации,

60 принятые во внимание при экспертизе
1. Гусев и др. Основы импульсной и цифровой техники. М., "Советское радио", 1975, с. 403, рис. 14-48.

2. Авторское свидетельство СССР
65 № 308523, кл. Н 03 К 23/00, 10.12.69.



Редактор М. Товтин Составитель А. Горбачев Техред А.Ач Корректор А. Дзятко

Заказ 959/78

Тираж 934

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4