



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

256532

(11) B₁

(61)

(23) Výstavní priorita
(22) Přihlášeno 29.10.86
(21) PV 7802-86.V

(51) Int. Cl.⁴

H 04 B 14/04

(40) Zveřejněno 13.08.87

(45) Vydáno 31.10.88

(75)

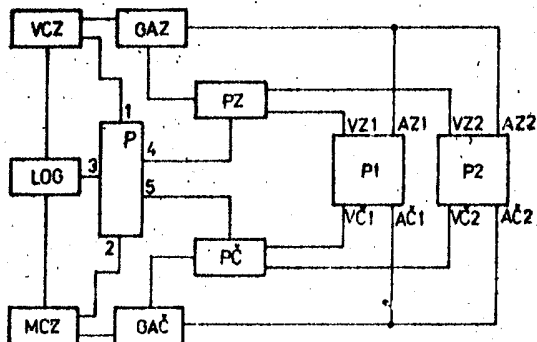
Autor vynálezu

LHOTÁK JIŘÍ ing.,
STANĚK JAROSLAV ing., PRAHA

(54)

Zapojení pro frekvenční a fázové vyrovnání signálu

Zapojení pro frekvenční a fázové vyrovnání vstupního signálu s taktovacím signálem je určeno pro zařízení přenosového systému s pulsně kodovou modulací - PCM. Do pamětí (P1, P2), z nichž každá má kapacitu jednoho rámce, jsou střídavě zapisovány rámce přicházejícího signálu. Výběr pamětí (P1, P2) při čtení provádí přepínač (PČ) čtení, řízený přes přepojovač (P) logickým obvodem (LOG) na základě fázového rozdílu mezi vzdálenou časovou základnou (VCZ) a místní časovou základnou (MCZ). Jestliže fázový rozdíl mezi oběma časovými základnami (VCZ, MCZ) dosáhne nastavené hodnoty, změní logický obvod (LOG) rytmus činnosti přepínače (PČ) čtení, takže dojde k řízenému skluzu. Zapojení je využitelné v různých zařízeních přenosového systému s pulsně kodovou modulací prvního řádu, jako např. v sdružovacím a rozbočovacím zařízení, v periferních modulech digitální telefonní ústředny čtvrté generace.



Vynález se týká zapojení pro frekvenční a fázové vyrovnání vstupního signálu s taktovacím signálem zařízení přenosového systému s pulsně kódovou modulací - PCM.

Zařízení systémů s PCM s časovým dělením kanálů zpracovávají vstupní signály, jejichž frekvence a fáze se může lišit od frekvence a fáze taktovacího signálu v tomto zařízení. Aby bylo možno takové vstupní signály zpracovat, je nutné v přijímací části zařízení vyrovnat rozdíly frekvence a fáze.

Ve známých zapojeních se k tomuto účelu používají vyrovnávací paměti, sestávající z paměti RAM o kapacitě odpovídající jednomu rámcu signálu a dvou přepínatelných registrů, sloužících k vytvoření potřebné časové rezervy mezi okamžikem zápisu a čtení téhož kanálu. Přiblíží-li se fáze vstupního a výstupního signálu k určité nastavené hodnotě, dojde k opakovanému čtení nebo vynechání jednoho rámce, tj. k řízenému skluzu. Nevýhodou těchto zapojení je, že při provozu, kdy se frekvence vstupního signálu jen velmi málo liší od frekvence taktovacího signálu zařízení, při tzv. plesiochronním provozu, může během záznamu dojít vlivem fázové modulace, způsobené pomalými změnami fáze v průběhu dne - wanderem, k časové nejistotě. Vyrovnávací paměť na ni reaguje náhodnými skluzy, tedy vlastně poruchami přenosu. Obdobně může reagovat i při synchronním provozu.

Účelem vynálezu je odstranit uvedené nevýhody. Podle podstaty vynálezu se toho dosahuje tím, že vstup generátoru adresy zápisu je připojen na výstup vzdálené časové základny. Jeho první

výstup je připojen na adresové vstupy zápisu první a druhé paměti a jeho druhý výstup je připojen na signálový vstup přepínače zápisu. První výstup přepínače zápisu je připojen na vstup výběru zápisu první paměti, druhý výstup je připojen na vstup výběru zápisu druhé paměti a řídicí vstup je připojen na první výstup přepojovače. První vstup přepojovače je připojen na druhý výstup vzdálené časové základny, druhý vstup je připojen na druhý výstup místní časové základny a třetí vstup je připojen na výstup logického obvodu, jehož první vstup je připojen na vzdálenou časovou základnu a druhý vstup na místní časovou základnu. Na první výstup místní časové základny je připojen vstup generátoru adresy čtení, jehož první výstup je připojen na adresové vstupy čtení první a druhé paměti a jeho druhý výstup je připojen na signálový vstup přepínače čtení. První výstup přepínače čtení je připojen na vstup výběru čtení první paměti, druhý výstup je připojen na vstup výběru čtení druhé paměti a řídicí vstup je připojen na druhý výstup přepojovače.

Zapojení podle vynálezu zlepšuje přenosové vlastnosti systému, neboť počet nezbytných skluzů je omezen tím, že paměti pracují s fázovou rezervou rovnou celému rámci.

Příklad vynálezu je dále popsán pomocí výkresu. Na výstup vzdálené časové základny VCZ je připojen vstup generátoru GAZ adresy zápisu, jehož první výstup je připojen na adresové vstupy AZ1 a AZ2 zápisu první a druhé paměti P1 a P2 a jehož druhý výstup je připojen na signální vstup přepínače PZ zápisu. První výstup přepínače PZ zápisu je připojen na první vstup VZ1 výběru zápisu první paměti P1, druhý výstup je připojen na vstup VZ2 výběru zápisu druhé paměti P2 a řídicí vstup je připojen na první výstup 4 přepojovače P. První vstup 1 přepojovače P je připojen na druhý výstup vzdálené časové základny VCZ, druhý vstup 2 je připojen na druhý výstup místní časové základny MCZ a třetí vstup 3 je připojen na výstup logického obvodu LOG. První vstup logického obvodu LOG je připojen na vzdálenou časovou základnu VCZ a druhý vstup na místní časovou základnu MCZ. Na první výstup místní časové základny MCZ je připojen vstup generátoru GAC adresy čtení, jehož první výstup je připojen na adresové vstupy AČ1 a AČ2 čtení první a druhé paměti P1 a P2 a jeho druhý výstup je připojen na signálový vstup přepínače PČ čtení. První výstup přepínače PČ čtení je připojen na první vstup VČ1 výběru čtení první paměti P1, druhý výstup je

připojen na první vstup VČ2 výběru čtení druhé paměti P2 a řídicí vstup je připojen na druhý výstup 2 přepojovače P.

Adresové vstupy AZ1 a AZ2 zápisu jsou zapojeny na první výstup generátoru GAZ adresy zápisu, který je cyklicky spouštěn ze vzdálené časové základny VCZ. Adresové vstupy AČ1 a AČ2 čtení jsou zapojeny na první výstup generátoru GAČ adresy čtení, který je cyklicky spouštěn z místní časové základny MČZ. V prvním případě je přepínač PZ zápisu řízen přes přepojovač P přímo ze vzdálené časové základny VCZ. Do pamětí P1 a P2, z nichž každá má kapacitu odpovídající jednomu rámcí, jsou střídavě zapisovány rámce signálu. Výběr pamětí P1 a P2 při čtení provádí přepínač PČ čtení řízený přes přepojovač P logickým obvodem LOG na základě fázového rozdílu mezi vzdálenou časovou základnou VCZ a místní časovou základnou MCZ, tj. na základě fázového rozdílu mezi přicházejícím signálem a taktovacím signálem zařízení. Po většinu času dochází ke střídavému čtení pamětí P1 a P2 obdobně jako u zápisu. Jestliže fázový rozdíl mezi oběma časovými základnami VCZ a MCZ dosáhne určité nastavené hodnoty, změní logický obvod LOG rytmus činnosti přepínače PČ čtení, takže dojde k opakovanému čtení jedné z pamětí P1 nebo P2, a tím k zdvojení nebo vynechání jednoho rámce, tedy k řízenému skluzu. V druhém případě je logickým obvodem LOG řízen přepínač PZ zápisu a přepínač PČ čtení je přes přepojovač P řízen přímo z místní časové základny MCZ. Jestliže fázový rozdíl obou časových základen VCZ a MCZ dosáhne určité nastavené hodnoty, dojde rovněž k řízenému skluzu, avšak opakovaným zápisem do jedné z pamětí P1 a P2. Oba případy řízeného skluzu jsou rovnocenné.

Zapojení podle vynálezu je využitelné v různých zařízeních přenosového systému s pulsně kódovou modulací prvního řádu, jako v sdružovacím a rozbočovacím zařízení, v periferních modulech digitální telefonní ústředny čtvrté generace apod.

P Ř E D M Ě T V Y N Á L E Z U

1. Zapojení pro frekvenční a fázové vyrovnání vstupního signálu s taktovacím signálem zařízení přenosového systému s pulsně kódovou modulací - PCM, vyznačené tím, že vstup generátoru (GAZ) adresy zápisu je připojen na výstup vzdálené časové základny (VCZ), zatímco jeho první výstup je připojen na adresové vstupy (AZ1, AZ2) zápisu první a druhé paměti (P1, P2) a jeho druhý výstup je připojen na signálový vstup přepínače (PZ) zápisu, jehož první výstup je připojen na vstup (VZ1) výběru zápisu první paměti (P1), druhý výstup je připojen na vstup (VZ2) výběru zápisu druhé paměti (P2) a řídicí vstup je připojen na první výstup (4) přepojovače (P), jehož první vstup (1) je připojen na druhý výstup vzdálené časové základny (VCZ), druhý vstup (2) je připojen na druhý výstup místní časové základny (MCZ) a třetí vstup (3) je připojen na výstup logického obvodu (LOG), jehož první vstup je připojen na vzdálenou časovou základnu (VCZ) a druhý vstup na místní časovou základnu (MCZ), na jejíž první výstup je připojen vstup generátoru (GAČ) adresy čtení, na jehož první výstup jsou připojeny adresové vstupy (AČ1, AČ2) čtení první a druhé paměti (P1, P2) a jehož druhý výstup je připojen na signálový vstup přepínače (PČ) čtení, jehož první výstup je připojen na vstup (VČ1) výběru čtení první paměti (P1), druhý výstup je připojen na vstup (VČ2) výběru čtení druhé paměti (P2) a řídicí vstup je připojen na druhý výstup (5) přepojovače (P).

2. Zapojení podle bodu 1, vyznačené tím, že první výstup (4) přepojovače (P) je spojen s první vstupem (1) a druhý výstup (5) je spojen s třetím vstupem (3) přepojovače (P).

3. Zapojení podle bodu 1, vyznačené tím, první výstup (4) přepojovače (P) je spojen s třetím vstupem (3) a druhý výstup (5) je spojen s druhým vstupem (2) přepojovače (P).

1 výkres

