



(12) 发明专利

(10) 授权公告号 CN 1774806 B

(45) 授权公告日 2010.06.16

(21) 申请号 200480010018.4

(22) 申请日 2004.02.13

(30) 优先权数据

37508/2003 2003.02.14 JP

(85) PCT申请进入国家阶段日

2005.10.14

(86) PCT申请的申请数据

PCT/JP2004/001556 2004.02.13

(87) PCT申请的公布数据

W02004/073066 JA 2004.08.26

(73) 专利权人 日本电气株式会社

地址 日本东京都

(72) 发明人 中野隆 远矢弘和

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 朱进桂

(51) Int. Cl.

H01L 27/04 (2006.01)

(56) 对比文件

US 5134539 A, 1992.07.28, 说明书第4栏第4行至第6栏第49行、图3.

US 4937649 A, 1990.06.26, 全文.

US 4409608 A, 1983.10.11, 全文.

US 6444564 B1, 2002.09.03, 说明书第6栏第21行至第8栏第19行、图1-8.

审查员 刘博

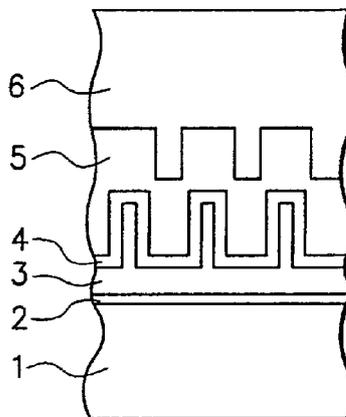
权利要求书 2 页 说明书 16 页 附图 7 页

(54) 发明名称

线路元件和使用线路元件的半导体电路

(57) 摘要

相对于数字电路的工作频率已经进入 GHz 时代的背景技术,为了确保去耦合电路所需的低阻抗特性高达不小于几百兆赫或超过这些值的带和提供甚至在不小于几百兆赫的频带内也具有低阻抗特性的半导体电路。提供一种线路元件,其中电源互连和地互连或地表面经过介质相对设置,并且这个线路元件的特征在于提供覆盖线路元件的绝缘体的覆盖层。



1. 一种线路元件,其中电源互连和地互连或地表面经过介质相对设置,其特征在于:提供一种绝缘体的覆盖层,该绝缘体覆盖线路元件,并且在其他表面上提供第二介质,所述其它表面是与电源互连的地互连或地表面不相对的表面,并且第二介质具有比覆盖层的介电常数大的介电常数,其中电源互连或地互连形成为梳子形状,并且提供形成为梳子形状电源互连或地互连,使得电源互连或地互连经过介质以相对关系设置。

2. 根据权利要求1的线路元件,其特征在于梳子的齿构成电源互连或地互连,并且在形成为梳子形状的电源互连或地互连中,梳子的背部垂直于衬底延伸。

3. 一种线路元件,其至少包括形成在半导体衬底或导体层上的恒定厚度的第一介质、和形成在该介质上的第一导体,其特征在于在第一导体上形成第二介质,第一介质是通过将相对于高频波在介质中的传播方向的第一介质的长度规定为预定长度来形成的,并提供覆盖线路元件的绝缘体的覆盖层,而且第二电介质具有比覆盖层的介电常数高的介电常数,其特征在于在半导体衬底或导体层和第一介质之间、以及第一介质和第一导体之间的至少一个界面上形成不均匀部分。

4. 根据权利要求3的线路元件,其特征在于所述第一导体是以膜状形成的,并且所述第二介质是以膜状形成在所述第一导体和覆盖层之间的。

5. 根据权利要求3的线路元件,其特征在于进一步形成膜状的第一导体,并且经过形成在第一导体和覆盖层之间的第二介质设置第二导体。

6. 根据权利要求1-5中任一项的线路元件,其特征在于形成线路元件,以便提供平行于和/或垂直于电磁波的传播方向的不均匀部分。

7. 一种线路元件,其中用第三介质覆盖第一导体的顶表面、底表面和侧表面中的至少一个表面,其特征在于用第四介质覆盖线路元件,在第一导体的表面上形成突起和凹陷,并且第三介质被形成从而提供不均匀部分。

8. 根据权利要求7的线路元件,其特征在于第三介质是通过将相对于高频波在该介质中运行的运行方向的第三介质的长度规定为预定长度来形成的。

9. 根据权利要求7的线路元件,其特征在于设置在第一导体的顶表面、底表面和侧表面的至少一个表面上的第三介质的介电常数比第四介质的介电常数高。

10. 根据权利要求1-5或7-9中任一项的线路元件,其特征在于该线路元件中,垂直和/或平行于电磁波的传播方向的部分是相同的。

11. 一种线路元件,包括半导体衬底,在半导体衬底中形成有沟槽,所述线路元件具有经过介质以相对关系设置在衬底上的电源互连作为导体,其特征在于该线路元件是由介质和电源互连构成的,并提供至少覆盖线路元件的介质的覆盖层,并且沟槽在线路元件的宽度方向设置不均匀部分,以便保持相对的互连之间的间隔为恒定距离。

12. 一种线路元件,包括半导体衬底,在半导体衬底中形成有沟槽,所述线路元件具有经过介质以相对关系设置在衬底上的电源互连作为导体,其特征在于该线路元件由衬底、介质和电源互连构成,并提供至少覆盖线路元件的介质的覆盖层,并且沟槽设有在线路元件的宽度方向上的不均匀部分,以便保持相对的互连之间的间隔为恒定距离。

13. 根据权利要求1-5、7-9、11、12中任一项的线路元件,其特征在于在由高频源产生的电磁波的频带中,线路的特性阻抗设置成使得电源电压的峰值变得不大于基于电源电压的一个规定值,其中所述峰值根据输入到线路的电磁波而变化。

14. 根据权利要求 1-5、7-9、11、12 中任一项的线路元件,其特征在于线路元件具有所述半导体衬底、所述导体层和所述第二导体,并且半导体衬底、导体层和第二导体中的至少一个是地互连或连接到地,并且所述导体层是电源互连。

15. 根据权利要求 14 的线路元件,其特征在于导体层的电阻大于第二导体的电阻。

16. 根据权利要求 14 的线路元件,其特征在于导体层是多晶硅。

线路元件和使用线路元件的半导体电路

技术领域

[0001] 本发明涉及一种半导体电路,特别是,涉及一种在高频带(不小于 10MHz)中具有良好电性能的低阻抗线路元件和使用这种线路元件的半导体电路。

背景技术

[0002] 伴随构成 LSI(大规模集成电路)或 IC(集成电路)的半导体器件的开关作用会产生高频电磁波,并且产生的高频电磁波的一部分经过电源互连、封装等泄漏到印刷电路板的电源分布电路上。当高频电磁波在电源互连中传播期间感应耦合到 LSI 内的信号互连等、印刷电路板的封装和衬底时,高频电磁波从信号电缆和设备泄漏出去。而且,当从 LSI 内的开关元件方面看,电源互连的波阻抗很大时,在 LSI 内的开关元件中产生的高频电磁波在信号互连中产生干扰,由此产生信号电压应变。而且,这些高频电磁波引起开关元件的电源电压变化。为了抑制这种电磁干扰,插入电源去耦合电路是有效的,其中要考虑插入位置和去耦合特性,使得从 LSI 到印刷布线板的对电源互连产生的电磁干扰变得最小。

[0003] 通常,在半导体器件中,如在日本专利特许公开 No. 10-2706643 中公开的那样,通过添加电容器来进行去耦合,由于相对于对应电路的工作频率的波长具有小元件尺寸,因此该电容器作为集中元件操作。

[0004] 当使用电容器时,必须考虑连接布线部分的串联电感分量,在这种情况下,去耦合电容器在不小于电容和电感的串联谐振频率的频率下呈现电感特性,结果是频率越高,阻抗增加得越多,由此导致去耦合特性下降。

[0005] 作为解决这种现象的措施,采用了一种技术,通过这种技术以分割方式将电容器设置在 LSI 或 IC、封装和印刷电路板内。然而,在这种情况下,还是不可能忽略将电容器和电源分布线连接在一起的互连的电感,因此在工作频率不低于几百兆赫的频带内,对去耦合电路的阻抗从电感特性改变到电容特性有限制。

发明内容

[0006] 相对于数字电路的工作频率已经进入 GHz 年代,需要确保去耦合电路所需的低阻抗特性高达不低于几百兆赫,以便抑制电磁干扰和提高信号质量。为此,本发明的目的是提供一种半导体电路,即使在不低于几百兆赫的频带内,也具有低阻抗特性。

[0007] 在本发明的第一方案中,提供一种线路元件,其中电源互连和地互连或地表面经过介质相对设置。这种线路元件的特征在于:提供一种绝缘体的覆盖层,该绝缘体覆盖线路元件。

[0008] 在本发明的第二方案中,提供一种线路元件,至少包括形成在半导体衬底或导体层上的基本恒定厚度的第一介质、和形成在该介质上的第一导体。第一介质是通过将第一介质的长度规定为高频波的运行方向上的预定长度来形成的,并提供覆盖线路元件的绝缘体的覆盖层。

[0009] 在本发明的第三方案中,提供一种第二方案中的线路元件,其特征在于至少在半

导体衬底或导体层和第一介质之间、以及第一介质和第一导体之间的一个界面上形成不均匀部分。

[0010] 在本发明的第四方案中,提供一种第二或第三方案中的线路元件,其特征在于进一步形成膜状的第一导体,并且在导体和覆盖层之间形成膜状的第二介质。

[0011] 在本发明的第五方案中,提供一种第二或第三方案中的线路元件,其特征在于进一步形成膜状的第一导体,并且经过形成在第一导体和覆盖层之间的第二介质设置第二导体。

[0012] 在本发明的第六方案中,提供一种线路元件,其中用第三介质覆盖第一导体的顶表面、底表面和侧表面中的至少一个表面。这种线路元件的特征在于用第四介质覆盖线路元件。

[0013] 在本发明的第七方案中,提供一种第六方案中的线路元件,其特征在于第三介质是通过将相对于高频波在该介质中运行的运行方向的第三介质的长度规定为预定长度来形成的。

[0014] 在本发明的第八方案中,提供一种第六或第七方案中的线路元件,其特征在于在第一导体的表面上形成不均匀部分,并形成第三介质,以便提供不均匀部分。

[0015] 在本发明的第九方案中,提供一种第六到第八方案的任一方案中的线路元件,其特征在于设置在第一导体的顶表面、底表面和侧表面的至少一个表面上的第三介质的介电常数比第四介质的介电常数高。

[0016] 在本发明的第十方案中,提供一种第一到第九方案中的任一方案中的线路元件,其特征在于形成线路元件,以便提供基本上平行于和 / 或垂直于电磁波的传播方向的不均匀部分。

[0017] 在本发明的第十一方案中,提供一种第一到第九方案中的任一方案中的线路元件,其特征在于在该线路元件中,基本上垂直和 / 或平行于电磁波的传播方向的部分基本上是相同的。

[0018] 在本发明的第十二方案中,提供一种第一方案中的线路元件,其特征在于电源互连或地互连大致形成为梳子形状,并且提供大致形成为梳子形状的电互连或地互连,使得电源互连或地互连经过介质以相对关系设置。

[0019] 在本发明的第十三方案中,提供一种第十二方案中的线路元件,其特征在于梳子的齿构成电源互连或地互连,并且在形成为梳子形状的电互连或地互连中,梳子的背部基本上垂直于衬底延伸。

[0020] 在本发明的第十四方案中,提供一种线路元件,其中沟槽形成在半导体衬底中,并且具有经过介质以相对关系设置在衬底上的电源互连。这种线路元件的特征在于该线路元件是由介质和电源互连构成的,并提供至少覆盖线路元件的介质的覆盖层。

[0021] 在本发明的第十五方案中,提供一种线路元件,其中在半导体衬底中形成沟槽,并具有经过介质以相对关系设置在衬底上的电源互连。该线路元件的特征在于该线路元件由衬底、介质和电源互连构成,并提供至少覆盖线路元件的介质的覆盖层。

[0022] 在本发明的第十六方案中,提供一种线路元件,其具有形成在半导体衬底的主表面上的介质膜、形成在半导体衬底的主表面上的扩散层,其间夹着介质膜,和形成在介质膜上的互连,其中通过包括半导体衬底、介质膜和互连而形成线路。这种线路元件的特征在于

在由高频源产生的电磁波的频带中,该线路的特性阻抗设置成使得电源电压的峰值变得不大于在电源电压基础上发现的规定值,其中所述峰值根据输入到该线路的电磁波而变化。

[0023] 在本发明的第十七方案中,提供一种第十六方案中的线路元件,其特征在于扩散层连接到地。

[0024] 在本发明的第十八方案中,提供一种第十六或第十七方案中的线路元件,其特征在于该线路元件还具有背衬导体,该背衬导体沿着半导体衬底、介质膜和互连,形成该线路元件,并且电连接到该互连。

[0025] 在本发明的第十九方案中,提供一种第十八方案中的线路元件,其特征在于该线路元件还具有在互连和背衬导体之间的绝缘膜,该绝缘膜沿着半导体衬底、介质膜、互连和背衬导体构成线路,并且互连和背衬导体通过形成在绝缘膜中的至少一个接触孔电连接。

[0026] 在本发明的第二十方案中,提供一种第十六到第十九方案的任一方案中的线路元件,其特征在于该线路元件具有在扩散层外部的半导体衬底的主表面上的场氧化膜,并且介质膜形成得比场氧化膜更薄。

[0027] 在本发明的第二十一方案中,提供一种第一到第二十方案的任一方案中的线路元件,其特征在于在由高频源产生的电磁波的频带中,线路的特性阻抗设置成使得电源电压的峰值变得不大于在电源电压的基础上发现的规定值,其中所述峰值根据输入到线路的电磁波而变化。

[0028] 在本发明的第二十二方案中,提供一种第二到第二十一的任一方案中的线路元件,其特征在于半导体衬底、导体层和第二导体是地互连或连接到地上,并且第一导体是电源互连。

[0029] 在本发明的第二十三方案中,提供一种第二到第二十二方案的任一方案中的线路元件,其特征在于导体层的电阻大于第二导体的电阻。

[0030] 在本发明的第二十四方案中,提供一种第一到第二十三方案的任一方案中的线路元件,其特征在于导体层是多晶硅。

[0031] 在本发明的第二十五方案中,提供一种第一到第二十四方案的任一方案中的线路元件,其特征在于线路元件的长度大到使作为目标的电磁波呈现为波的程度。

[0032] 在本发明的第二十六方案中,提供一种第一到第二十五方案的任一方案中的线路元件,其特征在于线路元件的长度比作为目标的电磁波的有效波长的 $1/4$ 大。

[0033] 在本发明的第二十七方案中,提供一种第一到第二十六方案的任一方案中的线路元件,其特征在于线路元件的介质具有感应损耗。

[0034] 在本发明的第二十八方案中,提供一种半导体电路,其特征在于该半导体电路具有第一到第二十七方案的任一方案中的线路元件。

[0035] 图 1 表示本发明半导体电路的电路构成图。当来自高频源 29 的电流 i_{26} 流过导体时,趋于发生与其它元件的耦合,最终产生泄漏的高频电磁波。因此,为了尽可能靠近高频源(例如,开关元件)抑制高频电流,尽可能靠近源 29 插入去耦合线路元件 27。

[0036] 假设线路元件 27 的特性阻抗由 Z_c 表示,LSI 内的特性阻抗 Z_s 是不知道的,并且到电源的电源线的特性阻抗 Z_0 从几十欧姆到几百欧姆,或者在目标频率的范围内。在本发明中,这种电路的去耦合是通过减小 Z_c 来进行的。当线路元件 27 的特性阻抗减小时,高频电流 i_{26} 被线路元件旁路,并且不进入 DC 电流 28 一侧。就是说,可以认为在上述半导体电

路中,通过减小线路元件的特性阻抗 Z_c 而提高了去耦合特性。现在,图 1 表示一种简化电路,其中用并联导纳 Y_c 代替了线路元件 27,并且将线路元件的串联阻抗元素 Z_z 作为可以忽略的量而忽略。这个电路中的反射系数 Γ 和传输系数 T 由分散矩阵 $[S]$ 的元素 S_{11} 和 S_{21} 来表示:

[0037] [公式 1]

$$[0038] \quad [S] = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$

[0039] 这种分散矩阵 $[S]$ 用以下公式表示:

[0040] [公式 2]

$$[0041] \quad [S] = \frac{1}{Y_c' + 2} \begin{bmatrix} -Y_c' & 2 \\ 2 & -Y_c' \end{bmatrix}$$

[0042] 其中 $Y_c' = Y_c/Y_0$, $Y_0 = 1/Z_0$, $Y_c = 1/Z_c$ 。

$$[0043] \quad \text{因此, } \Gamma = S_{11} = \frac{-Y_c'}{Y_c' + 2} = \frac{-1}{2 \cdot (Z_c/Z_0) + 1}$$

$$[0044] \quad T = S_{21} = \frac{2}{Y_c' + 2} = \frac{2 \cdot (Z_c/Z_0)}{2 \cdot (Z_c/Z_0) + 1}$$

[0045] 在 $Z_0 \gg Z_c$ 的条件下, Z_c/Z_0 可以接近 0(零)。因此,当发现反射系数 Γ 和传输系数 T 时,它们分别 $\Gamma \approx -1$, $T \approx 0$ 。这意味着全反射和不传输。由于这个方案是用于高频电流的解决方案,因此它遵循高频电流 i_{26} 不进入 DC 电源 28 一侧,这是电源系统,并且反射。就是说,对于高频电流,发生了与 DC 电源的去耦合,并且大大抑制了通过高频电流感应的电磁辐射。

[0046] 如上所述,在普通电容器用做去耦合元件时,由于去耦合电容器和互连的连接布线部分的电感增加的效果而使去耦合特性下降,特别是在高频区域中,去耦合特性的下降变得更显著。

[0047] 为此,在本发明中,通过使用线路元件提高去耦合特性。

[0048] 即,对于上述线路元件的特性阻抗 Z_c ,在有效线路元件长度(有效线路长度)大到这个长度可以看作是一条线的程度的情况下,换言之,大到与目标高频电流相关的电磁波作为波起作用的程度的情况下,在每单位长度上的线路元件的电感用 L 表示和每单位长度上的电容用 C 表示时,这个特性阻抗可以用 $Z_c = (L/C)^{1/2}$ 来表示,而与频率无关。由于这个阻抗 Z_c (每单位长度的阻抗)几乎是恒定的,在常规电容器中,如果 Z_c 减小,则阻抗(特别是,电容器的感抗元素)增加,结果是去耦合特性下降。然而,通过在半导体电路中使用本发明的线路元件,可以获得在宽带内具有良好去耦合特性的半导体电路,而不会使去耦合特性下降。顺便提及,在本发明中,通过增加电容 C ,减小了特性阻抗 Z_c 。

[0049] 顺便提及,上面表达式“有效线路元件长度(有效线路长度)大到这个长度可以看作是一条线的程度,换言之,大到与目标高频电流相关的电磁波呈现为波”指的是:作为大致的标准,有效线路元件长度大于对应去耦合有效频率的最小频率的波长的 $1/4$ 左右,在这种情况下,如果线路元件的去耦合有效频率(可以有效地呈现去耦合特性的程度的频率)的最小频率用 f_1 表示,波长用 λ_1 表示,线路元件的介电常数用 ϵ 表示,和线路元件长度用 LEN_1 表示,则 $LEN_1 > \lambda_1 / (4\sqrt{\epsilon})$,因此最小频率 f_1 由对应 $\lambda_1 < 4 \times \sqrt{\epsilon} \times LEN_1$ 的频

率限定。因此,为了将下限降低到线路元件的去耦合有效频率,必须使线路元件的有效线路元件长度大于对应最小频率的波长的 1/4 左右。

[0050] 如果线路元件的去耦合有效频率的最大频率用 f_2 表示,则波长用 λ_2 表示,并且从高频源到线路元件的长度用 LEN_2 表示,则作为大致标准,则获得表达式 $LEN_2 \approx (1/30) \cdot \lambda_2 / \sqrt{\epsilon}$,并且最大频率 f_2 由对应 $\lambda_2 = 30 \times \sqrt{\epsilon} \times LEN_2$ 。因此,为了将上限升高到线路元件的去耦合有效频率,必须缩短从高频源到线路元件的距离。这个数值 1/30 是与在本发明中使用的规定值一样的充分小的值,并在这里设置为有效波长 $\lambda_2 / \sqrt{\epsilon}$ 的大约 3% 左右,这是充分小的值。然而,这个值 1/30 例如可以是有效波长 $\lambda_2 / \sqrt{\epsilon}$ 的 3%,此外,也可以采用 2% 或 1%。

[0051] 然而,由于在设计宽带例如几十千赫到 1GHz 左右的线路元件时,有可能这个线路元件变得相当长,因此可想而知,实际上,该线路元件是通过将该频带分割成几个部分而以分布方式进行设置的。

[0052] 而且,要求在常用的去耦合电容器中,由于通过开关元件产生高频波而使电源电压产生变化的峰值不大于 DC 电源电压的 5%。

[0053] 在本发明中,希望使用的线路元件的特性阻抗设置成使得通过开关元件产生的电源电压的变化的峰值不大于 DC 电源电压的 5%,具体地说,不大于 4%,优选地不大于 3%,在特别严格设置的情况下,不大于 1%。

附图说明

[0054] 图 1 是涉及本发明的半导体电路的低阻抗线路元件电路的电路图;

[0055] 图 2 是表示在本发明中使用的线路元件的特性阻抗和传输系数 (S_{21}) 之间的关系示意图;

[0056] 图 3 是典型的半导体电源互连的剖面图;

[0057] 图 4 是涉及本发明的半导体电路的第一实施例的示意图(还可以用介质覆盖侧表面);

[0058] 图 5(A)、5(B)、5(C) 和 5(D) 分别是涉及本发明的半导体电路的第二实施例的示意图;图 5(A) 是示意透视图,图 5(B) 是沿着线 X-X' 截取的线路元件的部分剖面图;图 5(C) 是在完成制造之后沿着线 Y-Y' 截取的部分剖面图,图 5(D) 是图 5(A)-(C) 中的部分 A 的放大图;

[0059] 图 6 是涉及本发明的半导体电路的第三实施例的示意图(还可以用介质覆盖侧表面);

[0060] 图 7 是涉及本发明的半导体电路的第四实施例的示意图(还可以用介质覆盖侧表面);

[0061] 图 8 是涉及本发明的半导体电路的第五实施例的示意图(还可以用介质覆盖侧表面);

[0062] 图 9 是涉及本发明的半导体电路的第六实施例的示意图(还可以用介质覆盖侧表面);

[0063] 图 10(A)、10(B) 和 10(C) 分别是涉及本发明的半导体电路的第七实施例的示意图;图 10(A) 是沿着图 10(B) 的线 Z-Z' 截取的剖面图,图 10(B) 是其中图 10(A) 所示的线

路元件用在半导体电路中的例子的示意图；

[0064] 图 11(A)、11(B) 和 11(C) 分别是涉及本发明的半导体电路的第八实施例的示意图；图 11(A) 是沿着图 11(B) 的线 A-A' 截取的剖面图，图 11(B) 是平面图，图 11(C) 是其中图 11(A) 所示的线路元件用在半导体电路中的例子的示意图；和

[0065] 图 12(A)、12(B) 和 12(C) 分别是涉及本发明的半导体电路的第九实施例的示意图；图 12(A) 是沿着图 12(B) 的线 A-A' 截取的剖面图，图 12(B) 是平面图，图 12(C) 是其中图 12(A) 所示的线路元件用在半导体电路中的例子的示意图。

[0066] 顺便提及，标记 1 表示衬底。标记 2、4、6、8、和 17 表示高介电常数绝缘膜。标记 3 表示多晶硅。标记 5 和 10 表示铝互连。标记 7 和 9 表示氧化硅膜。标记 14 表示场氧化膜。标记 15 和 16 表示扩散层。标记 19 表示接触孔。标记 20 表示层间介质膜。标记 21 表示背面互连。标记 27 表示线路元件。标记 28 表示 DC 电源。标记 29 表示高频电路。标记 30 表示地衬底。标记 31 表示绝缘膜。标记 18 和 32 表示互连。

具体实施方式

[0067] 在本发明中，半导体封装的电源互连和引线框架分别看作是线路元件，并且通过增加每单位长度上的电容来优化线路元件的特性阻抗，由此使电源互连和引线框架的去耦合特性最佳化。结果是，提高了在高频区域中的去耦合特性，其中所述高频区域远远高于常规电源互连和引线框架中的高频区域。为了提高对电源互连和引线框架的去耦合特性，与目前的水平相比，必须增加每单位长度上的电容。

[0068] 而且，在本发明中，为了增宽线路元件的去耦合有效频带以便提供同时满足宽带设计的半导体电路，将线路元件长度增加到一定程度。但是，希望不增加线路元件的平面的互连面积，换言之，不增加半导体电路中的线路元件的占据面积。为此，在本发明中，通过形成线路元件从而提供不均匀部分等，而不是通过形成直线或平面形状的线路元件，在不增加芯片上的线路元件的占据面积的情况下增加了线路长度。

[0069] 通过使用 LSI 本身的制造工艺，由此使用公共工艺，简化了制造工艺。

[0070] 在本发明中，在线路元件的顶表面和底表面层中形成高介电常数膜，由此增加电容 C，同时防止电感增加，并且构成这些膜，使得高频电磁波传播，由此实现了其中使用低阻抗线路元件的半导体电路。

[0071] 参照常用的电路，电源线的特性阻抗在 50-200 Ω 左右的范围内，所述电源线的特性阻抗取决于互连如印刷布线板互连和芯片上互连的类型。图 2 表示在电源线的阻抗为 50 Ω 和 200 Ω 时，线路元件的特性阻抗和 S21 之间的关系。在本发明中，线路元件的特性阻抗 Z_c 是通过参照图 2 和由施加于电源互连的电磁波感应的 DC 电源电压的电压变化的峰值的要求计算出来的。即，构成线路元件的电源互连的特性阻抗固定，使得电压变化的峰值变得不大于规定值，如电源电压的 1% -5%。

[0072] 现在，在这种开关元件的电源电压的峰值的条件设置在不大于 1% 的更严格值的情况下，即，当 S21 设置在不大于 -40dB 的严格值时，这是通过把电压变化的峰值 /DC 电源电压值 = 0.01 (用于电压变化的峰值的条件的 1%) 代入 $S21(\text{dB}) = 20\text{Log}(\text{电压变化的峰值} / \text{DC 电源电压})$ 的等式获得的，从图 2 明显看出，在 $Z_0 = 50 \Omega$ 的情况下，必须使线路元件的特性阻抗不大于 0.3 Ω 。

[0073] 图3表示常规半导体的芯片上电源互连的典型结构。该互连长度为1mm,互连宽度是 $50\mu\text{m}$,氧化膜厚度为5000埃。互连3由铝构成,氧化膜31由具有大约4的介电常数的 SiO_2 制造,衬底30是高致密的硅板,并且特性阻抗是 50Ω 左右。在本发明中,通过上述方法得到的特性阻抗设置在不大于 0.3Ω 。为此,必须使特性阻抗为常规值的大约 $1/170$ 、每单位长度上的电容大约是常规值的30000倍。

[0074] 下面将利用实施例详细介绍本发明的半导体电路。然而,本发明的构成应该不受这些实施例的限制,并且不受这些实施例中所述的数值等的限制。

[0075] (第一实施例)

[0076] 本发明的半导体电路的第一实施例示于图4中。图4是其宽度方向上的半导体电路的部分剖面图。其长度方向上的线路元件部分的两端部经引线电连接到其它互连,或者至少一端经引线电连接到其它互连,另一端终止。优选覆盖层6覆盖包括线路元件的半导体电路的两端部。可以采用其中还覆盖这些引线的结构。而且,在其它实施例中,线路元件的两端或至少一端可以经引线电连接到其它互连,或者一端可以终止。本实施例特别的特征在于:通过采用如下材料使线路元件的电容(以下将这种电容的电容量简称为“电容”)增加,所述材料中,不仅电源互连和地互连之间的绝缘膜的介电常数增加,而且线路元件的周边部分的绝缘膜(该线路元件的顶表面和底表面以及侧表面)的介电常数也增加

[0077] 在本实施例中,多晶硅3、高介电常数膜4(优选地, LaAlO_3)和铝互连5经过高介电常数膜2叠加在硅衬底1上,并通过多晶硅3、高介电常数膜4和铝互连5形成线路元件,。多晶硅3是地互连,铝5是电源互连。这个线路元件是由作为地互连的多晶硅3、和作为电源互连的铝5相对排列形成的。(地互连和电源互连经过介质膜彼此相对地排列)上述线路元件用高介电常数膜6覆盖,除了线路元件的底表面与 LaAlO_3 接触之外。为了不增加在半导体芯片内的占据面积,并且为了确保每单位长度的电容,在线路元件的宽度方向上设置不平整部分,从而使相对的互连之间的间隔保持在基本恒定的距离。顺便提及,在本实施例中使用的线路元件中,线路元件的至少一部分或者整个线路元件用高介电常数膜覆盖。这是与本发明中所优选的事实所共有的,用高介电常数膜覆盖在半导体电路中使用的线路元件的至少一部分或这个线路元件的整个面积。

[0078] 下面将介绍具体在第一实施例的半导体电路中使用的线路元件。氧化膜厚度减小到50埃,这是目前厚度5000埃的 $1/100$,氧化膜的材料从具有大约4的介电常数的 SiO_2 改变为具有大约24的介电常数的 LaAlO_3 ,这是六倍高,互连加工成型,从而提供突起和凹陷,由此将每单位长度的电容增加到五倍,互连宽度增加到 $350\mu\text{m}$,这是 $50\mu\text{m}$ 的目前值的七倍,并且用于线路元件的周边部分(图6-8所示的每个线路元件的顶部和侧表面)的材料从目前的 SiO_2 改变为 LaAlO_3 。结果是,作为整个线路元件,可以将每单位长度的电容增加到 $100 \times 6 \times 5 \times 7 \times 1.5 = 31500$ 倍。顺便提及,由于电容与介质膜厚度成反比,因此在膜厚设置为 $1/100$ 的本实施例中,按这个厚度的100倍对电容作贡献。

[0079] 在图4所示的例子中,对于芯片上半导体,通过公知的方法(CVD法等)在硅衬底1上形成 LaAlO_3 膜2,然后通过公知的方法(CVD法等)形成多晶硅3(接地),接下来,利用得到的多晶硅3作为掩模通过进行构图(利用 BF_3 的干处理等、或者利用 TMACl 的湿处理(四甲基铵盐)等)形成不平整部分,然后利用与上述相同的方式在多晶硅3上形成膜厚50埃的 LaAlO_3 膜4,通过公知方法(例如,蒸发法)形成铝互连5(电源互连),并且用 LaAlO_3

膜 6 覆盖至少整个线路元件（线路元件的上面部分和侧面部分）。通过用这种膜状的高介电常数体覆盖半导体电路（或线路元件），在本实施例中，可以增加每单位长度的电容并减小线路元件的特性阻抗。

[0080] 当考虑在这种芯片条件下的线路元件长度时，假设在去耦合中有效的线路元件的最小频率现在是 10GHz（波长 = 30mm），则线路元件长度必须不小于 $\lambda / (4\sqrt{\epsilon})$ 。在这个第一实施例中，由于使用了具有大约 24 的介电常数的 LaAlO_3 ，因此必须使线路元件长度不小于 1.5mm。如本实施例中所述，在高频区域（信号接近于波，因此本实施例与理论上是一致的）中，在线路元件中，膜状的高介电常数绝缘膜可以成为这种高频的互连（在其中传播高频波的互连线路元件）。在当信号被看作波时和该实施例与理论具有良好的兼容性的区域（高频区域）中，这个线路元件长度变成重要的因素。对其他实施例也是这样的，除非明确说明。顺便提及，高频信号源包括具有开关功能的元件，如 LSI 或（和）IC。

[0081] （第二实施例）

[0082] 涉及本发明的半导体电路的第二实施例示于图 5(A)、5(B)、5(C) 和 5(D) 中。图 5(A) 是在半导体电路中使用的线路元件部分的部分透视图，图 5(B) 是沿着在半导体电路中使用的线路元件的线 X-X' 截取的部分剖面图，图 5(C) 是沿着线路元件的线 Y-Y' 截取的部分剖面图，图 5(D) 是图 5(A)-(5C) 中的部分 A 的放大图。

[0083] 如图 5(A) 所示，在第二实施例中，为了增加线路长度同时不增加芯片内的占据面积，在线路元件的纵向（Y 方向）设置了不均匀部分，作为对第一实施例的补充，使得相对互连之间的间隔保持在基本恒定的距离。由于如在第一实施例那样也在 X 方向也提供了不均匀部分，因此线路元件整体上具有紧凑尺寸。顺便提及，在改变输入信号的频率时，根据输入信号强度与输出信号强度的比可以得到有效的线路元件长度。

[0084] 如图 5(B) 所示，而且在第二实施例中，线路结构与上述第一实施例相同。在衬底 1 上形成层状的高介电常数介质，在介质上形成平面或线形的地 3，并且在这个地 3 的纵向（Y 方向）和横向（X 方向），如图 5(A) 所示，形成地 3，以便提供不均匀部分。电源互连 5 经过介质 4 与这个地 3 相对放置。第一实施例中使用的相同的材料可以用做本实施例的地 3、介质 4 和电源互连 5 的材料。

[0085] 在第一实施例的基础上，通过在硅衬底 1 上形成 LaAlO_3 ，然后在 LaAlO_3 上形成多晶硅 3，由此制造第二实施例的半导体电路。通过利用这个多晶硅 3 做掩模进行构图，正如从上面观看的梳子形状中、在传输方向两侧的表面形成多个突起，然后由铝形成互连 5，并在形成厚度为 50 埃的 LaAlO_3 膜 4 之后，使得整个结构由膜状的 LaAlO_3 覆盖。在这个实施例中，线路元件长度增加 10 倍左右，同时不改变芯片内的占据面积。即使在最小频率为 1GHz 时，这个频率是第一实施例的最小频率的十分之一，线路元件所需的长度为 1.5mm（左右）。

[0086] 尽管涉及本发明的这些半导体电路已经在图 4 和图 5(A)-5(D) 中所示的结构表示，但是这些结构可以通过水平旋转 90 度而形成。在第一和第二实施例中，这些结构可以设置成梳子状或聚集在一起。结构的形状不特别限制。这种形状可以是对称的或不对称的。在对称结构的情况下，可以采用任何点对称、线对称和平面对称，并且在线对称的情况下，该结构可以相对于 x 轴、y 轴和 z 轴的任何轴对称。

[0087] 尽管在本实施例中， LaAlO_3 的高介质层用做多晶硅 3 的下层，任何材料都可以使

用,只要它们具有与作为下层的衬底的界面的优异电特性即可,并且不总是必须使用具有非常高的介电常数的材料,只要这些材料满足本发明的要点即可。

[0088] 下面,将参照图 6 介绍第三实施例。

[0089] 在本实施例中,氧化膜 4 和 8 的厚度从 5000 埃的当前值改变为 50 埃,用于氧化膜 4 的材料从 SiO_2 (介电常数:4) 改变为 LaAlO_3 (介电常数:24),并且通过形成不均匀部分而不改变互连宽度,使每单位长度的电容增加到五倍。此外,电源互连的宽度设置为 $250 \mu\text{m}$,并在电源互连的顶表面和底表面上形成 LaAlO_3 ,并且作为整体,由地(例如,多晶硅)3、介质 4、电源互连(导电材料:例如,铝)和高介质互连(例如, LaAlO_3)8 构成的线路元件的电容,每单位长度设置为 $100 \times 6 \times 5 \times 5 \times 2 = 30000$ 倍。与第一和第二实施例相比,该元件的侧表面不用高介质膜覆盖,但是侧表面用具有比高介质互连 8 小的介电常数的介质覆盖。

[0090] 与第一实施例相比,在第三实施例中,具有比氧化硅膜 9 高的介电常数的介质层 8 设置在铝互连 5 的顶表面上,并且形成由地(线或表面)3、高介质 4 和电源互连(导体:例如,铝)5 以及它们顶部的表面波互连 8 构成的线路元件,并且用介质(例如,具有比介质层 8 低的介电常数的氧化硅膜或氮化硅膜)进一步覆盖这个线路元件。结果是,入射到介质的内部的电磁波被限制在介质层 8 内。即,由于介质层 8 下面的层是导体,电磁波被这个导体层反射,由于介质层 8 上面的层是具有比这个介质层 8 低的介电常数的层,并且被这个上层封闭,因此电磁波被限制在具有高介电常数的层中,结果是,相对高频率的电磁波作为表面波在介质层 8 内传播。底表面的介质 4 具有地层(或可以存在地表面)1 作为下层,并且从低频到高频的电磁波都可以传播。因此,可想而知,上部的介质线路用做用于相对高频的线路元件,下部的线路用做从低频到高频的线路元件。

[0091] 因此,在图 6 所示的实施例中,例如,将氧化硅膜 7 形成在硅衬底 1 上,在氧化硅膜 7 上形成多晶硅层,并且通过对多晶硅层进行构图而形成不均匀部分,之后,形成厚度为 50 埃的 LaAlO_3 膜 4,并形成厚度为 5000 埃的铝互连 5,并且形成厚度为 50 埃的 LaAlO_3 膜 8,并构图成互连的形状,最后通过氧化硅膜 9 形成覆盖膜,由此制造本发明的半导体电路。

[0092] 在本实施例中,还可以通过由高介电常数的材料形成膜,例如 LaAlO_3 膜,来覆盖电源互连 5 的侧表面。

[0093] (第四实施例)

[0094] 下面将参照图 7 介绍第四实施例。

[0095] 在本实施例中,与上述第三实施例相同,氧化膜 4 和 8 的膜厚设置为 50 埃,氧化膜 4 的材料变为如第三实施例中的 LaAlO_3 ,并且通过形成不均匀部分使每单位长度上的电容增加到五倍。此外,互连的宽度设置为 $250 \mu\text{m}$,并在互连的顶表面和底表面上形成 LaAlO_3 ,并作为整体,将每单位长度的线路元件的电容设置为如第三实施例所述的 30000 倍。与第三实施例相比,在本实施例中,省略了多晶硅层 3,并增加了氧化硅膜 7 的膜厚。尽管多晶硅 3 的地不存在互连 5 下面的下层中,但是利用与第三实施例的介质层 8 的情况相同的方式,电磁波作为表面波也在作为下层的介质层中传播。就是说,在本实施例中,电磁波也在作为导体(导体互连:例如,铝)5 的上层 8 和下层 4 的介质层中传播。在本实施例中,即使在没有硅衬底 1 时,也存在 DC 线(电源互连和地互连)和高频线,并由于即使在实际上不存在衬底 1(地表面)时也满足了作为线路元件的结构,因此可以省略作为线路元件的衬底。在本实施例中,如上所述,线路元件具有氧化膜 4、导体 5 和氧化膜 8。

[0096] 如下制造图 7 所示的半导体电路。即,利用与第三实施例相同的方式在硅衬底 1 上形成氧化硅膜 7,通过与第三实施例相同进行刻蚀等在这个氧化硅膜 7 中形成不均匀部分,并且在氧化硅膜 7 上依次形成厚度为 50 埃的 LaAlO_3 膜 4、厚度为 5000 埃的铝互连(电源互连)5、和厚度为 50 埃的 LaAlO_3 膜,由此制造具有线路元件的半导体电路。最后,形成作为覆盖膜的氧化硅膜 9,该覆盖膜覆盖了包括氧化膜 4、电源互连 5、和表面波线 8 的至少一部分,并且利用与其它实施例相同的方式制造半导体电路。

[0097] 在本实施例中,也通过由高介电常数材料形成膜,如 LaAlO_3 膜,来覆盖电源互连 5 的侧表面。在这种情况下,可以覆盖任何侧表面。而且与第二实施例相同,可以在传输方向(图 7 中,在垂直于图的方向)提供不均匀部分。尽管在本实施例中,高介电常数膜 4、8 和电源互连 5 用做线路元件,但是也可以使用氧化膜(介电常数比氧化膜 4 低的氧化膜)7、氧化膜(高介质氧化膜)4、导体(电源线)5、氧化膜(高介质)8 和氧化膜(介电常数比氧化膜 8 低的氧化膜)9 或这些膜加上衬底(地)1 作为线路元件。

[0098] (第五实施例)

[0099] 涉及本发明的半导体电路的第五实施例示于图 8 中。在本实施例中,通过采用沟槽技术减少了在半导体电路中使用的线路元件的层的数量,并且通过采用简化的工艺(半导体工艺)实现了涉及本发明的半导体电路。

[0100] 如图 8 所示,在本发明的半导体电路中使用的线路元件由硅衬底 1、高介电常数膜 2 和铝 5 形成。硅衬底是地表面,铝 5 是电源互连,并且这个硅衬底和铝电源互连 5 形成相反的互连。为了确保每单位长度的电容而不增加半导体芯片内的占据面积,通过利用沟槽技术在线路元件的宽度方向在衬底 1 上设置不均匀(凹-凸)部分,使得相对互连之间的间隔保持在基本恒定的距离,由此形成线路元件,以便提供不均匀部分。

[0101] 在第五实施例中,氧化膜 2 的厚度也从目前的 5000 埃减小到 50 埃,具有大约 24 的介电常数的 LaAlO_3 用做氧化膜 2 的材料,通过利用沟槽技术在互连中形成不均匀部分而使每单位长度上的电容增加到 10 倍,互连宽度从目前的 $50 \mu\text{m}$ 增加到 $250 \mu\text{m}$,由此对于在半导体电路中使用的本发明的线路元件,作为整体,每单位长度的电容变为 $100 \times 6 \times 10 \times 5 = 30000$ 倍。

[0102] 如图 8 所示,在本实施例的半导体电路,例如,通过使用沟槽技术,遮蔽了要形成沟槽的区域以外的区域,并在硅衬底 1 上形成不均匀部分,其中所述沟槽技术涉及利用氢氟酸等在硅衬底 1 上形成沟槽,分别通过例如 CVD 和溅射在其上已经形成沟槽的衬底上依次淀积形成厚度为 50 埃的 LaAlO_3 膜 2 和厚度为 5000 埃的铝 5,然后,在铝 5 上形成掩模,在通过刻蚀(例如,磷酸)除去互连和 LaAlO_3 部分以外的铝之后,除去该掩模,之后,至少在已经如上所述作为覆盖层设置的互连上形成氧化硅膜 9,所述覆盖层覆盖了互连。如在上述实施例中那样,这个覆盖层可以覆盖其中设置线路元件的半导体电路的顶表面的整个区域,或者覆盖层可以覆盖半导体电路的侧表面(在图中,在垂直方向的表面)的一个表面或两个表面。因此,在本实施例中也一样,覆盖层形成得覆盖线路元件的顶部。

[0103] 顺便提及,在本实施例中,与第二和其它实施例相同,也可以在传输方向(垂直于图的方向)形成不均匀部分。

[0104] 而且,作为本实施例的修改例,可以提及以下结构例子,其中如第三实施例中所示的介质 8(例如,具有不小于 4 的介电常数的高介质)形成在电源线 5 上,由此形成用于表

面波的线。用于介质 8 的具体材料和层叠膜的厚度与第三实施例的相同,并且介质 8 的制造方法也与第三实施例的相同。顺便提及,对于覆盖层 9,如第三实施例那样,可以使用介电常数不同于介质 8 的介电常数的材料,并且对于介质 8 的介电常数,利用与第三实施例相同的方式,希望选择具有比覆盖层高的介电常数的介质 8 的材料。

[0105] (第六实施例)

[0106] 涉及本发明的半导体电路的第六实施例示于图 9 中。与第一实施例相同,在本实施例中,介质 6 和铝互连 10 作为覆盖层叠加,并且给第一实施例的线路的顶部添加由互连 5、介质 6 和铝互连 10 构成的线路。铝互连 10 是地互连。铝互连 10 是地互连。结果是,在不增加芯片内的占据面积的情况下增加了本实施例的特征在于每单位长度的电容。

[0107] 在第六实施例中,氧化膜的厚度从目前的 5000 埃减小到 50 埃,氧化膜的材料变为具有大约 24 的介电常数的 LaAlO_3 ,并且通过在互连中形成不均匀部分使每单位长度的电容增加了五倍同时没有改变互连宽度,互连宽度从目前的 $50\ \mu\text{m}$ 增加到 $250\ \mu\text{m}$,并通过在互连的顶表面和底表面上形成 LaAlO_3 和地互连,对于整个线路元件来说,使每单位长度的电容增加到 $100 \times 6 \times 5 \times 5 \times 2 = 30000$ 倍。尽管在第一实施例的线路元件中,例如,经过介质(高介电常数介质:例如,具有不小于 4 或超过 4 的介电常数的材料)提供具有不同导电性的两种线路,在第六实施例中使用的线路元件中,经过介质提供具有大致相同导电性的线路。并且在本实施例中,还可以选择包括如图 6-8 中所示的线路元件的线路元件,这些线路元件具有与第五实施例的线路元件相同的结构。当它们被选择作为线路元件结构时,按照相反关系设置的地和电源互连使得参考标记 1 地和参考标记 5 表示电源互连,或者线路元件结构使得尽管电源互连 5 不变,也利用与第一实施例中使用的线路元件的结构相同的方式经过介质 4 提供地 3 和电源互连 5,或者,参考标记 2 和 10 表示地,参考标记 5 表示电源互连,并且电源互连 5 和地 3 和 10 分别经过介质 4 或 6 按照相反关系提供,由此形成三明治状线路元件结构。

[0108] 如图 9 所示,在本实施例的半导体电路中,通过使用常用的制造方法在硅衬底 2 上形成氧化硅膜 7,然后,通过施加如 CVD 等方法形成多晶硅 3,之后,通过利用采用氢氟酸或 TBAC(四丁基氯化铵)等的干刻蚀或湿刻蚀进行构图,利用遮蔽的多晶硅,形成不均匀部分,形成不均匀部分之后,形成厚度为 50 埃的 LaAlO_3 膜 4,叠加铝(例如,蒸发法),然后形成厚度为 50 埃的 LaAlO_3 膜 6,在形成铝 10 之后,利用刻蚀法形成线路形状,之后,通过施加 CVD 等用氧化硅膜 9 形成覆盖膜,由此制造半导体电路。

[0109] (第七实施例)

[0110] 第七实施例示于图 10(A)、10(B) 和 10(C) 中。在图 10(A) 中,部分 A 是线路元件,在图 10(B) 中示出了如下例子:其中如部分 A 所示的线路元件在本发明的半导体电路中使用,并图 10(C) 表示了其中线路元件本身形成得呈现不均匀性的例子。而且本实施例的特征也与第六实施例的相同,通过叠加互连和介质膜,在不增加芯片上的占据面积的同时使每单位长度的电容增加,这是互连所必须的。尽管图 10(A) 是沿着图 10(B) 的线 Z-Z' 截取的剖面图,本实施例中所示的形状是用于表示目的的,并且如果电源互连和地互连不处于导电条件下,即,如果电源互连和地互连经过介质叠加,就足够了,因此可以自由地选择形状的组合。图 10(A) 的部分 A 表示不均匀部分垂直于衬底 1 设置的例子。但是,例如,不均匀部分可以基本上平行于衬底设置,或者可以设置成与衬底 1 形成一定角度(这个角度可

以是常数或者是变化的,或者这个角度可以连续地变化)。而且,不均匀部分可以进一步具有另一不均匀部分。而且,不均匀部分可以设置为多个。尽管图 10(B) 所示的线路元件线性地形成在整个结构上,但是也可以提供三维的不均匀部分,如图 10(C) 所示。顺便提及,沿着图 10(B) 的线 Z-Z' 的剖面形状优选是相同的形状。如在其它实施例中那样,在本实施例中,线路元件设置在衬底 1 上,并且在半导体电路中使用的线路元件使得地和电源互连经过介质处于非导电状态,并且通过被夹在地和电源互连之间的而被支撑的介质也是高频线。并且对于线路元件的特性阻抗,如其他实施例那样,在上述半导体电路中使用的线路元件上述阻抗值被固定,使得 DC 电源的电压变量的峰值由于高频的效果而保持在固定范围内。

[0111] 在本第七实施例中,氧化膜厚度从目前的 5000 埃减小到 50 埃,具有大约 24 的介电常数的 LaAlO_3 用做氧化膜的材料,通过形成互连以便形成与衬底 1 水平的不均匀部分(图 10(a) 中省略了这个不均匀部分),在不增加芯片内的占据宽度的情况下使每单位长度的电容增加到 2.5 倍,互连宽度从 $50 \mu\text{m}$ 增加到 $250 \mu\text{m}$,并经过 LaAlO_3 膜叠加两个互连层和三个地层,互连层电连接在一起,地层电连接在一起,由此使每单位长度的电容增加到 4 倍,每单位长度的电容作为整体增加到 $100 \times 6 \times 2.5 \times 5 \times 4 = 30000$ 倍。

[0112] 在本实施例中,利用与上述第六实施例相同的方式,在硅衬底 1 上形成氧化硅膜 7,并在氧化硅膜 7 上形成多晶硅 3(步骤 S100)。接着,通过利用掩模对多晶硅 3 进行构图,形成不均匀部分,并形成厚度为 50 埃的 LaAlO_3 膜 4(步骤 S101),并且利用蒸发法等用铝形成互连 5a(步骤 S102)。此外,形成厚度为 50 埃的 LaAlO_3 膜 4b(步骤 S103),并在形成接触孔之后,由铝形成地互连 10a(步骤 S104),并将多晶硅 3 和地互连 10a 电连接在一起(步骤 S105)。此外,形成厚度为 50 埃的 LaAlO_3 膜 4c,并在形成接触孔之后,由铝形成电源互连 5b(步骤 S106) 并电连接到铝互连 5a(步骤 S107)。此外,形成厚度为 50 埃的 LaAlO_3 膜 4d(步骤 S108),并在形成接触孔之后,由铝形成地互连 10b(步骤 S109),并电连接到地互连 10a(步骤 S110)。之后,用氧化硅膜 9 形成覆盖膜(步骤 S111)。

[0113] 在本实施例中,利用上述制造方法,通过经过氧化硅膜 7 在硅衬底 1 上叠加多晶硅 3 和铝互连 10a、10b,形成具有向上延伸的部分的梳子形状的地互连,通过叠加铝互连 5a、5b 并将它们分支成梳子形状或分支,形成电源互连,通过以下方法使电源互连和地之间的间隔保持在基本恒定的距离,所述方法包括置入绝缘膜 4a、4b、4c、4d 等,由此保持非电接触状态,从而形成线路。此外,还在电源互连和地互连的表面上形成不均匀部分。电源互连可以由多晶硅形成,铝互连 10a、10b 和地互连可以由铝互连 5a、5a 形成。在本实施例中,下层是多晶硅,这是因为多晶硅可以与用做衬底 1 的硅良好地匹配。因此,在本发明中,在芯片上条件下使用该线路元件,同时保持大部分的半导体工艺的特征。因此,当在半导体中使用该线路元件时,该结构使得与电源电路的耦合尽可能地最小化,同时将高频波限制在构成线路元件的介质内。因此,可以设计成去耦合特性优异的半导体电路。

[0114] (第八实施例)

[0115] 下面将参照图 11(A)、11(B) 和 11(C) 详细介绍本发明的第八实施例。

[0116] 在本实施例中,通过使用作为相同芯片内的另一部分的绝缘膜(例如,晶体管的栅极绝缘膜),减少了线路元件内的绝缘膜的膜厚,由此实现了低电容线路元件。

[0117] 图 11(A)、)11(B) 和 11(C) 表示在涉及第八实施例的半导体电路中使用的线路元

件的结构。在本线路元件中,在由硅等形成的半导体衬底 1 上以间隔开的关系形成线路元件和扩散层 15、16,并在扩散层 15 和 16 之间的区域中设置介质膜 17。进一步在这个介质膜 17 上形成互连。

[0118] 在扩散层 15、16 周围的半导体衬底 1 上形成隔离区(场氧化膜)14,并且由场氧化膜 14 封闭的区域内部和外部的区域被电隔离。如图中所示,优选每个扩散层 15、16 连接到地。在上述结构中,半导体衬底 1、介质膜 17 和互连 18 构成线路元件。顺便提及,半导体衬底 1 和扩散层 15、16 可以具有相同的极性或可以具有不同的极性。这意味着,例如,当半导体衬底 1 是 N 型时,可以提供 N⁺ 型扩散层 15、16,或者可以提供 P⁺ 型扩散层。相同的事情也施加于半导体衬底 1 是 P 型的情况。顺便提及,在本实施例中,在图 11(A) 和 11(B) 中,一般实际上是使衬底 1 和源和 / 或漏短路,从而获得相同的电位或者使它们接地。

[0119] 下面,将介绍例如半导体衬底 1 是 P 型的和扩散层 15、16 是 N⁺ 型的情况。从图 6 明显看出,由半导体衬底 1、扩散层 15、16、介质膜 17、和互连 18 构成的结构是与 MOS 型晶体管相同的结构。就是说,在本实施例中,采用 MOS 型晶体管的栅极用做线路元件的结构,并且该结构使得扩散层 15、16 对应源极和漏极,介质膜 17 对应栅极绝缘膜,互连 18 对应栅极。

[0120] 介质膜 7 可以由例如 SiO₂、SiO、SiN、TaO₂、TiO₂、Al₂O₃、MgO、SrTiO₃、ZrO₂ 和 LaAlO₃ 等材料形成。这些介质材料可以单独使用或者可以使用两种或两种以上的组合材料。这些材料能够特别用在硅半导体工艺中,因此适合于这个目的。对于互连 18,采用如多晶硅和金属,如铝、铝合金和铜等材料。扩散层 15、16 是其中以高浓度扩散杂质(例如,砷、磷和硼)的区域。

[0121] 在本实施例中,通过由 MOS 晶体管的栅极绝缘膜形成线路元件,很容易在线路元件由场氧化膜 14 形成的情况基础上增加互连电容,其中场氧化膜 14 的膜厚一般为 500-1000nm(5000 到 10000 埃)。此外,由于具有这种电容的线路元件可以通过采用在 LSI 内制造晶体管的工艺来制造,因此可以简化制造工艺。

[0122] 接着,将介绍在涉及本实施例的半导体电路中使用的线路元件的制造工艺。

[0123] 首先,在要形成 MOS 晶体管的半导体衬底 1 上的区域的周围形成场氧化膜 14(步骤 S201)。例如,在半导体衬底 1 是由硅形成的 P 型半导体的情况下,通过氧化半导体衬底 1 的表面来形成场氧化膜 14。接着,在半导体衬底 1 的表面上形成介质膜,作为栅极绝缘膜(步骤 S202)。之后,在这个形成的介质膜上形成导电膜(步骤 S203)。该导电膜是通过低压 CVD 法等由膜状的多晶硅形成的。利用被遮蔽的获得的导电膜,形成规定互连形状的介质膜 17 和互连 18。之后,在被场氧化膜 14 包围的半导体衬底 1 的表面的区域中,将离子注入到互连 18 的端部的区域中,以便提供与半导体衬底 1 的极性相反的极性,由此形成扩散层 15 和 16(步骤 S205)。例如,在半导体衬底 1 是 P 型半导体时,形成 N⁺ 型扩散层。

[0124] 利用上述工艺,形成了由半导体衬底(地)1、介质膜 17 和互连(电源互连)18 构成的线路元件。

[0125] 当电压施加于这个线路元件结构的互连 18 时,半导体衬底 1 也受到该电压的影响,并且衬底电压发生一些变化。但是,通过在线路元件的两端部上提供扩散层 15 和 16 并将它们连接到地,可以使电压变化的幅度最小化。

[0126] (第九实施例)

[0127] 下面介绍本发明的半导体电路的第九实施例。

[0128] 在涉及本实施例的半导体电路中使用的线路元件是如下结构的,其中在使用晶体管的栅极绝缘膜的情况下,在晶体管的栅极的电阻不同于互连的电阻时,在面对栅极绝缘膜的表面的相反表面一侧上设置电旁路,这被称为“反向”方式,由此调节线路元件的电阻,并增加了这个线路元件的电容。

[0129] 图 12(A)、12(B) 和 12(C) 表示涉及本实施例的半导体电路中使用的线路元件的结构。在这种线路元件中,在由硅等形成的 P 或型 N 半导体衬底 1 上,形成极性与半导体衬底 1 的极性相反的扩散层 15、16,并且在它们之间设置间隔,并且在扩散层 15、16 之间的区域设置介质膜 17。并且,在介质膜 17 上进一步叠加互连 18、层间介质膜 20 和介质膜 17 上的衬背。顺便提及,在层间介质膜 20 中形成至少一个接触孔 19,并且将互连和衬背互连 21 经过接触孔 19 电连接在一起。顺便提及,互连 18、接触孔 19 和衬背互连 21 构成电源互连的一部分,所述电源互连给开关元件输送电源。

[0130] 在扩散层 15、16 周围的半导体衬底 1 上形成隔离区域(场氧化膜)14,并且被场氧化膜 14 包围的区域外部和内部区域电隔离。而且,每个扩散层 15、16 连接到地。在上述结构中,半导体衬底 1、介质膜 17、互连 18、层间介质膜 20 和背衬互连 21 构成线路元件。

[0131] 如从图 12(A)、12(B) 和 12(C) 明显看出的,由半导体 1、扩散层 15、16、介质膜 17 和互连 18 构成的结构是 MOS 型晶体管。如第二实施例那样,本实施例也是如下的结构:其中使用了 MOS 型晶体管的栅极,并且扩散层 15、16 对应源极和漏极,介质膜 17 对应栅极绝缘膜,互连 18 对应栅极。

[0132] 作为用于介质膜 17 和层间介质膜 20 的材料,可以使用 SiO_2 、 SiO 、 SiN 、 TaO_2 、 TiO_2 、 Al_2O_3 、 MgO 、 SrTiO_3 、 ZrO_2 、 LaAlO_3 等。这些材料具有与硅半导体工艺的良好兼容性,因此,它们适合于作为介质膜 17 和层间介质膜 21 的材料。这些介质材料可以单独使用或者组合使用。作为互连 18 和背衬互连 21 的材料,采用多晶硅和金属,如铝、铝合金和铜。顺便提及,对于半导体衬底 1,使用与第一实施例中所述的相同的材料。

[0133] 在使用 MOS 型晶体管的栅极的结构的情况下,如果互连 18 由具有相对低的导电性的材料(例如,杂质扩散多晶硅)形成,则互连 18 的电阻增加。在这种情况下,DC 供给能力下降。

[0134] 在用在涉及本实施例的半导体电路中的线路元件中,通过由铝等形成背衬互连 21 而减小了互连 18 的电阻。作为背衬互连 21 的材料,除了铝之外,还可以使用如铝合金和铜的金属。

[0135] 在本发明的第九实施例中,在上述本发明第八实施例中的互连 18 由多晶硅形成和互连 18 的电阻相对高的情况下,为了减小互连 18 的电阻,背衬互连 21 由如铝等金属形成。作为背衬互连 21 的材料,除了铝之外,还可以使用如铝合金和铜等金属。在这些情况下,也可以使用有机导体(聚吡咯、聚乙炔等)。在本发明的第八实施例中,层间介质膜 20 形成为作为多晶硅膜的互连 18 的覆盖层,并且作为层间介质膜 20 的覆盖层,背衬互连 21 由铝金属形成,其具有比多晶硅膜低的电阻。背衬互连 21 和互连 18 经过接触孔 18 电连接在一起,其中接触孔的数量是一个或多个。

[0136] 接着,将介绍本发明第九实施例中所示的上述半导体电路的制造方法。

[0137] 在本发明的第九实施例中,在形成互连 18(电源互连)之后,形成由氧化硅膜构成

的层间介质膜 20。接着,在层间介质膜 20 中形成接触孔 19,然后,在包括接触孔 19 的内部的层间介质膜 20 的表面上形成铝的导体膜之后,对这个导体膜进行构图,由此形成背衬互连 21。

[0138] 当考虑到在低频带中的去耦合时,在所需线路元件长度变大和芯片上状态下的线路元件的尺寸太大的情况下,还可以将在上述第一到第九实施例中使用的线路元件直接安装在印刷电路板上,或者将它们作为独立线路元件设置,或者采用将线路元件安装在引线框架如封装上的方法。但是,在将去耦合元件设置在产生高频波的元件例如开关元件附近时可以获得良好的去耦合特性,并且这有利于超高速设计。并且,将线路元件在芯片上安装的方法有利于高密度设置。因此,线路元件可以安装在芯片区域上、引线框架和印刷电路板的多个位置上,以便实现线路元件的去耦合有效频率的宽带设计,并且进一步提高去耦合特性,由此最终实现了超高速设计和高密度设计。通过使用在常规半导体工艺中采用的 CVD 法、蒸发法等在这些半导体中形成互连和介质膜。通过包括磷酸处理、氢氟酸处理和季铵盐处理的湿工艺、或者包括通过形成氟离子(含有氟的化合物,如 BF_3)、通过放电等进行处理的干工艺,进行刻蚀处理。而且,可以通过使用纳米技术如 FIB(聚焦离子束)和 MEM(微机械)系统形成不均匀部分的形状。

[0139] 在本实施例中,为便于解释,给定数值如 -40dB 和 $0.3\ \Omega$ 作为例子,并且除了这些数值以外的数值也包含在本发明的范围内,只要它们满足本发明的宗旨即可。本发明的特征在于宽带和低阻抗,并且希望在通过实现这个特性的大部分使本发明作为常用电容器的替代物使用时,上述数值大大改变。

[0140] 而且,对于用在本发明的半导体电路的线路元件中的各种材料的介电常数、膜厚、线路元件长度、不均匀部分的尺寸比以及不均匀部分的结构组合的各种修改形式都包含在本发明内。

[0141] 尽管本发明可以通过硅半导体工艺来制造,但是显然本发明不限于这个工艺,也可以采用除了常规公知硅半导体以外的半导体工艺。因此,不必说,本发明可以用在所有需要本发明的电特性的电子设备中。

[0142] 作为用于能用做绝缘膜的具有不同介电常数的膜的材料,可以使用具有大致与氧化硅膜的介电常数相同的大约 4 的介电常数的环氧树脂、具有大约 8 的介电常数的 SiO_2 、氮化硅、 TaO_2 、 TiO_2 、 Al_2O_3 和 MgO 、具有大约 16 的 SrTiO_3 、 ZrO_2 和多晶硅、具有大约 24 的介电常数的 LaAlO_3 、具有大约 300 的介电常数的 BST(Ba-Sr-TiO_2)、具有大约 1000 的介电常数的 PZT(Pb-Zr-TiO_2) 以及具有高介电常数的其它材料。优选选择能在硅工艺等中采用的具有高介电常数的材料,在这种情况下,工艺变得很简单,并且在成本方面也是有利的。

[0143] 对于线路元件的特性,可以想象,在介质损失($\tan \delta$)很大时,在高频源中产生的高频电磁波不易于传播到电源一侧,结果是提高了去耦合特性。优选大到电磁波入射到线路元件上的程度的介质损失是消耗的热,或者可以是无终止的。

[0144] 在上述第二实施例中,该结构使得在 X 轴和 Y 轴方向上设置不均匀部分。然而,在关于本发明的半导体电路中也包括在单轴方向(例如, X 轴方向、Y 轴方向、Z 轴方向)提供这个不均匀部分。尽管不均匀部分的形状不特别限制,但是希望选择能通过使用半导体工艺形成不均匀部分的形状。顺便提及,不均匀部分可以通过在衬底内形成沟槽来制造,或者可以在由导体或介质形成的衬底上形成不均匀部分,并且可以在这个不均匀部分上形成构

成其它线路元件的互连,并且线路元件可以通过使用在衬底内和衬底上形成的不均匀部分来形成。在这种情况下,当不均匀部分由介质材料形成时,形成在不均匀部分上的膜的材料选自具有比这个介质高的介电常数的材料,或者构成线路元件的互连由导电材料形成为膜状,由此可以制造其中使用了在上述每个实施例中所述的半导体电路。

[0145] 工业实用性

[0146] 本发明的半导体器件具有在其互连中的线路元件,并且其中使用了这种线路元件的半导体电路具有在使用半导体电路的频带内的基本恒定的阻抗。因此,该半导体器件具有在宽频带内的低阻抗特性,因此,可以实现高速半导体电路的电源去耦合。由于在宽频带内,电源电压由于频率而变化很小,因此确保了稳定的操作。由于高频波泄漏很少,因此可以提供在 EMC 测量方面也很优异的半导体电路。

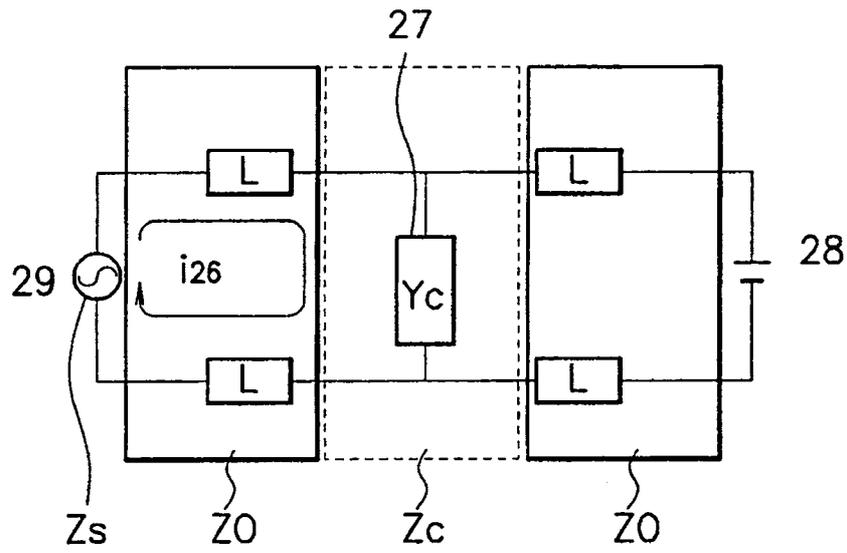


图 1

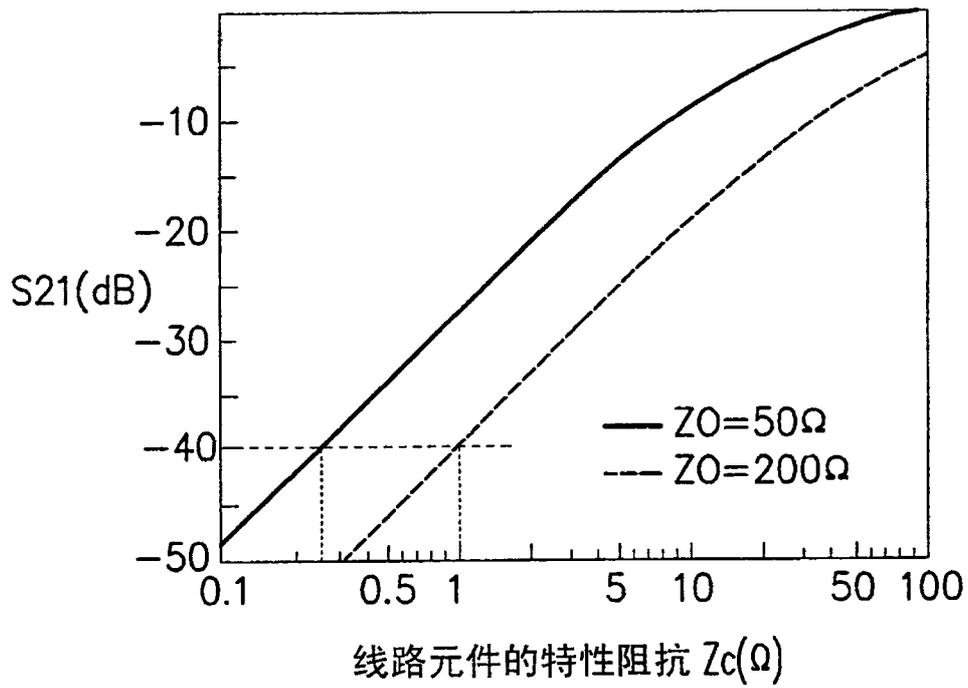


图 2

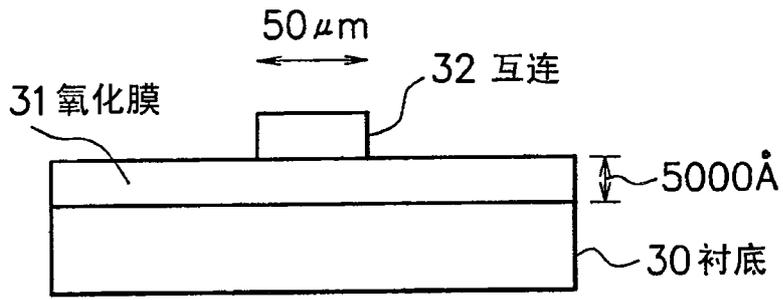


图 3

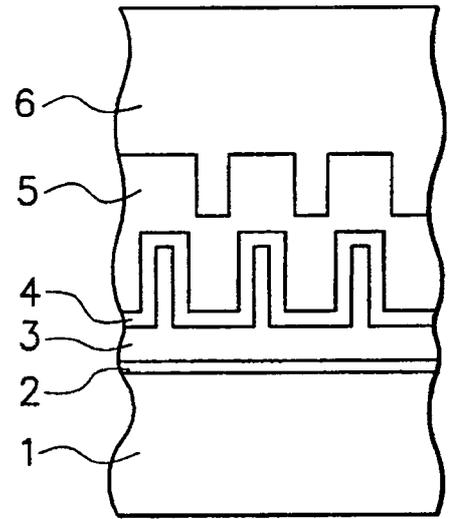


图 4

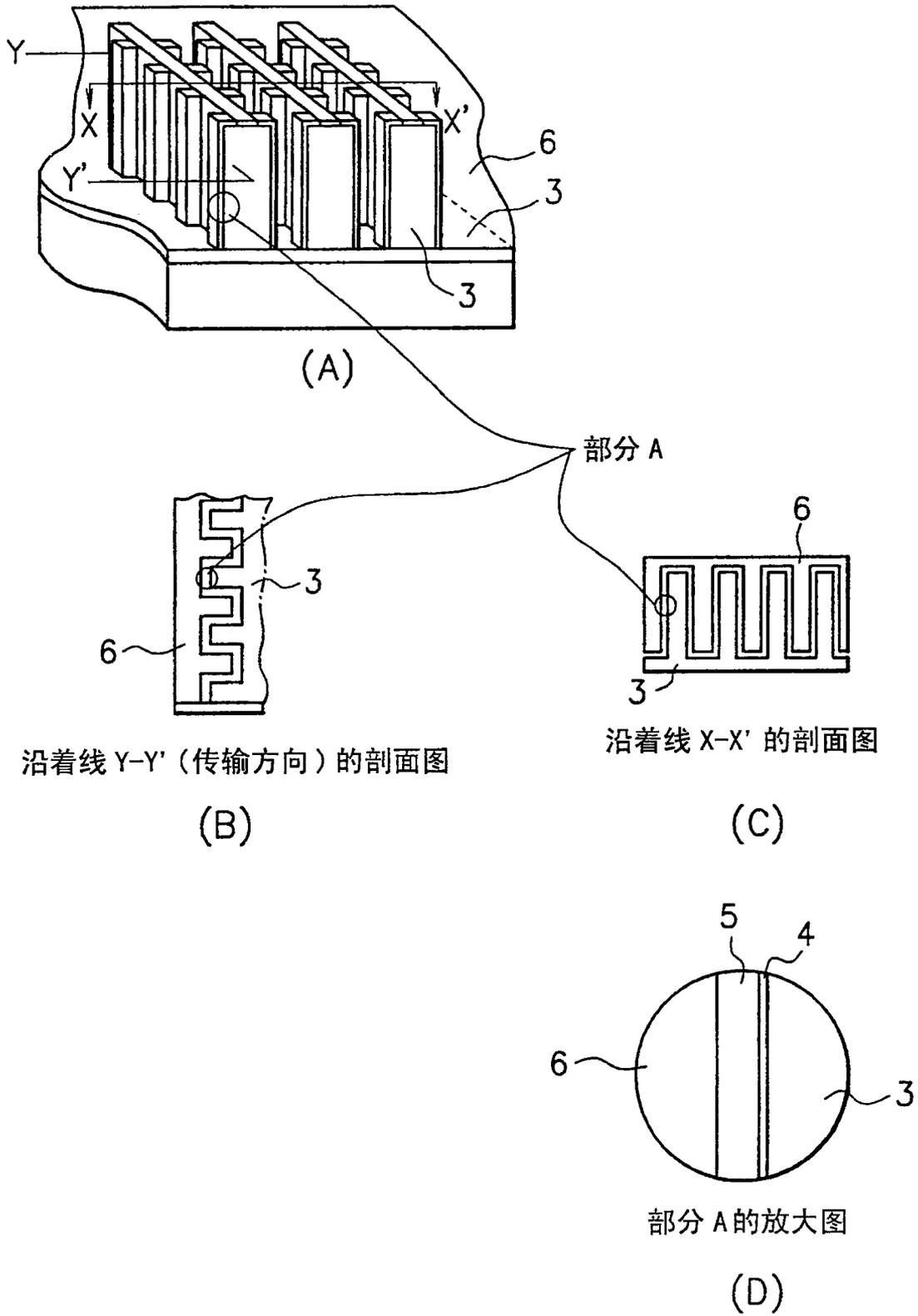


图 5

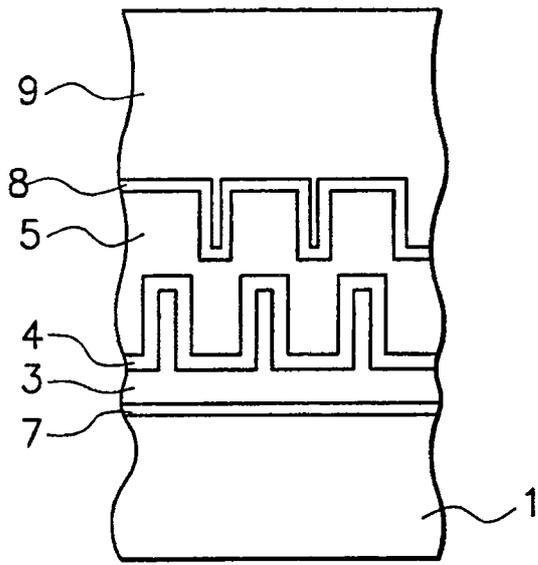


图 6

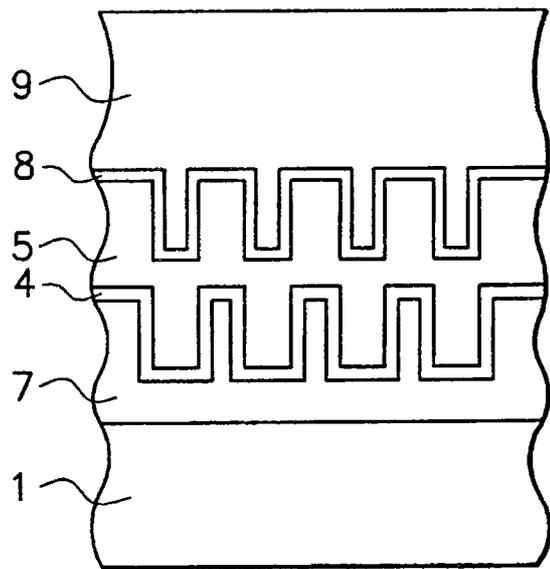


图 7

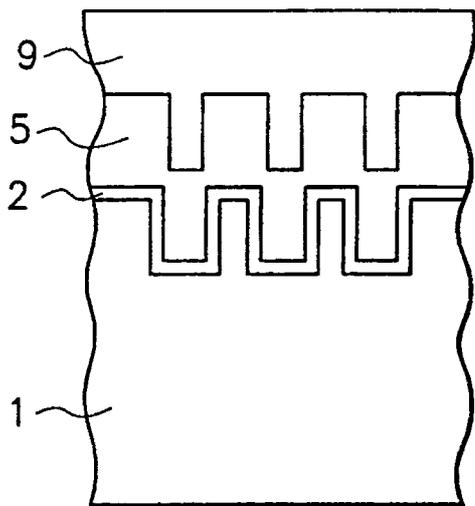


图 8

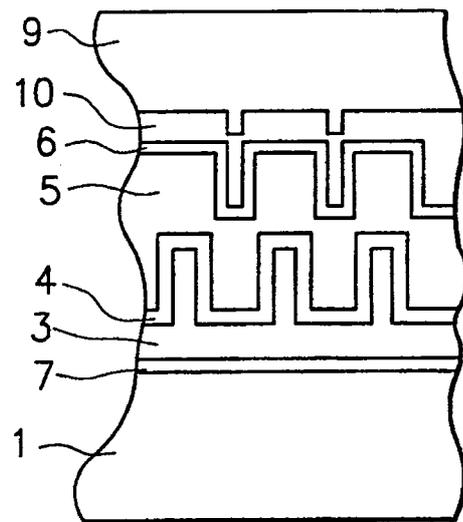


图 9

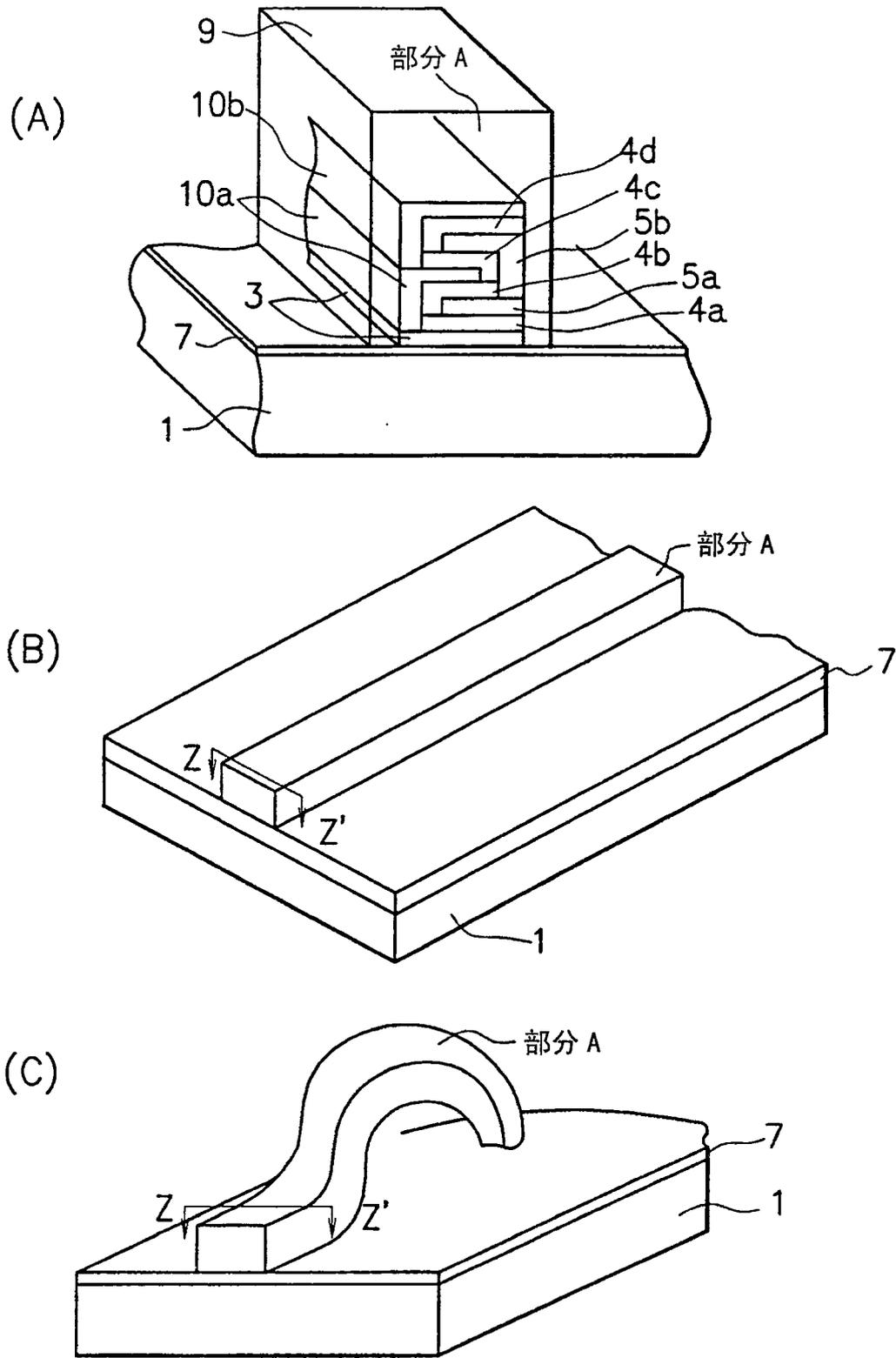


图 10

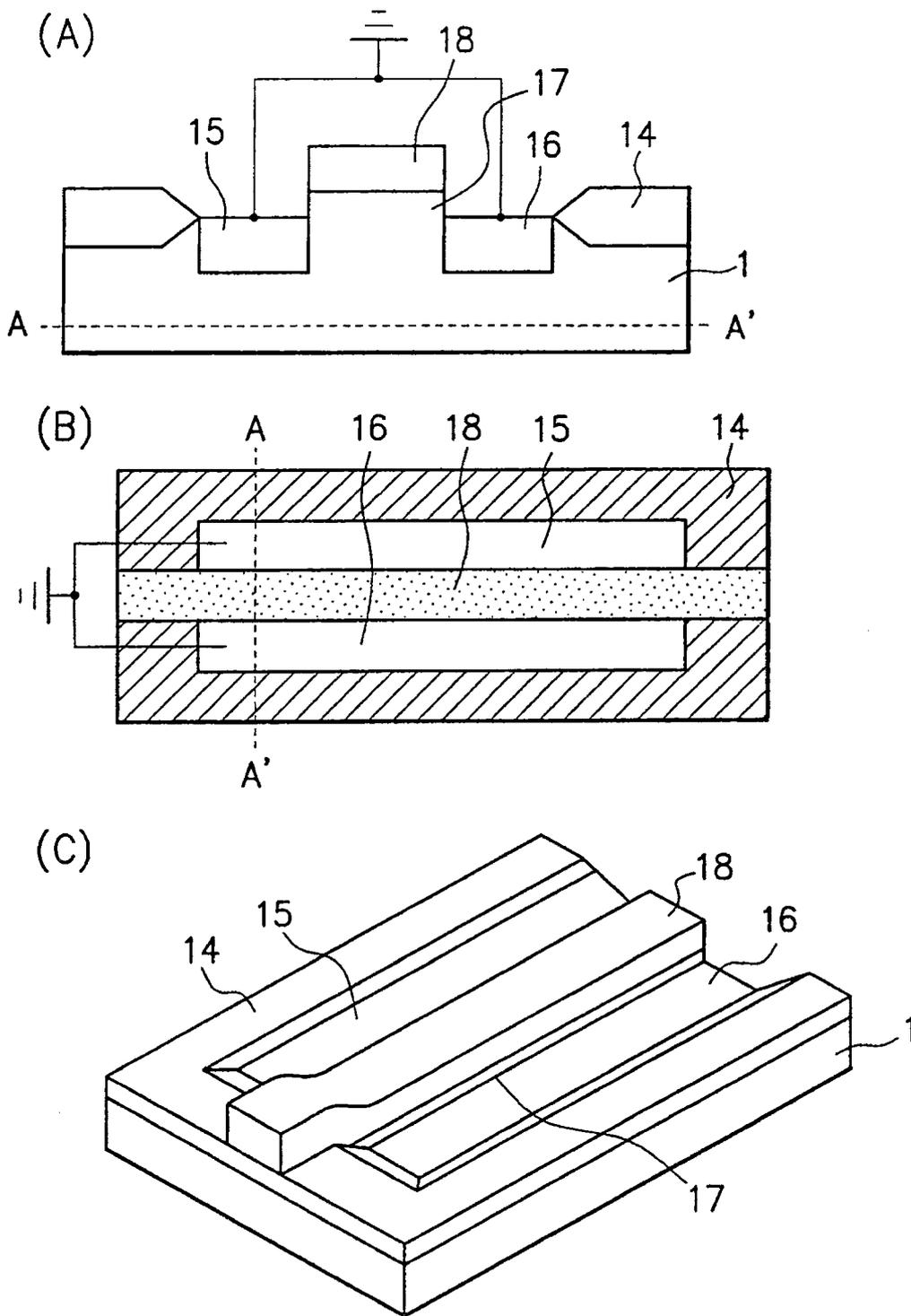


图 11

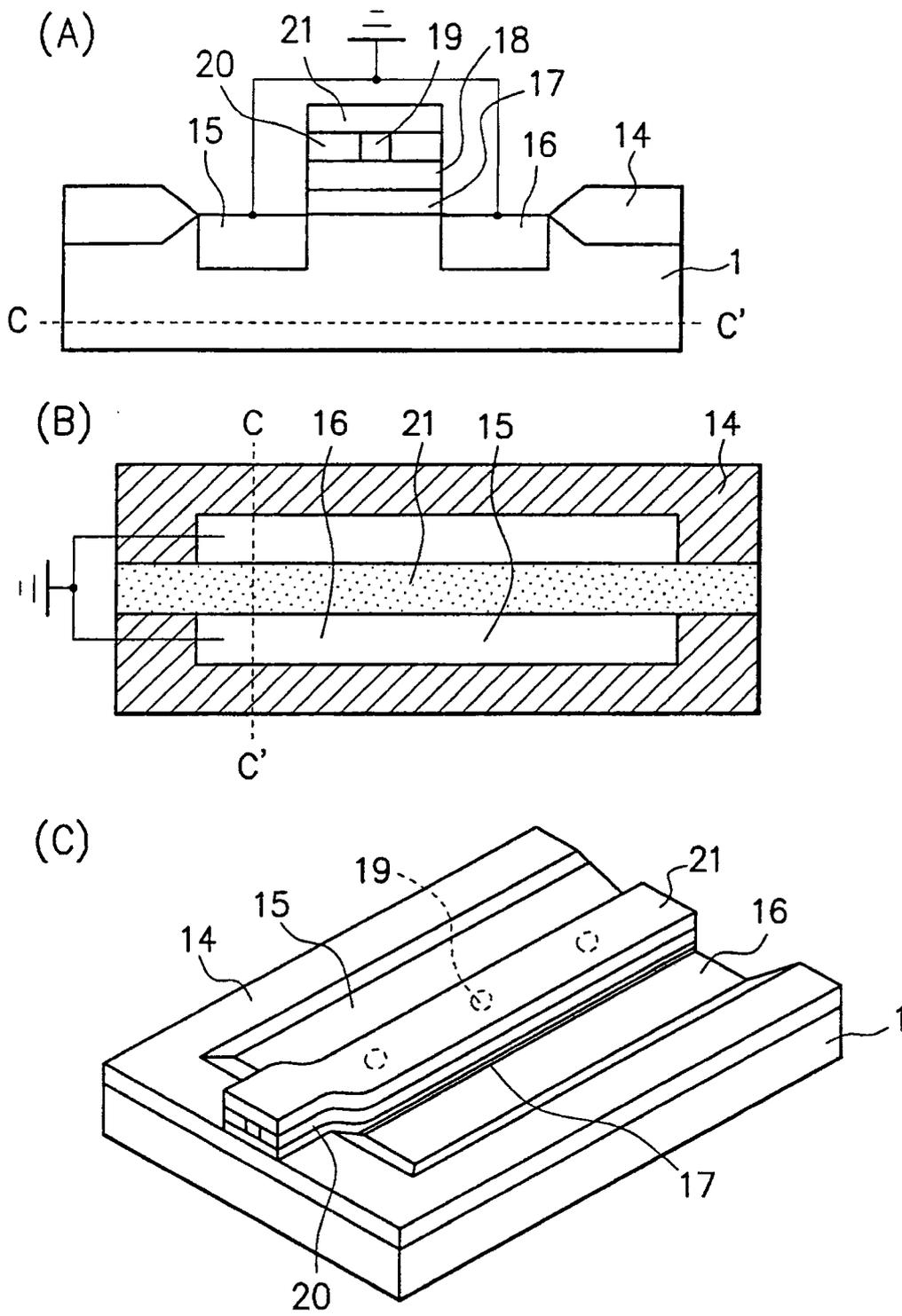


图 12