

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
3. Januar 2003 (03.01.2003)

PCT

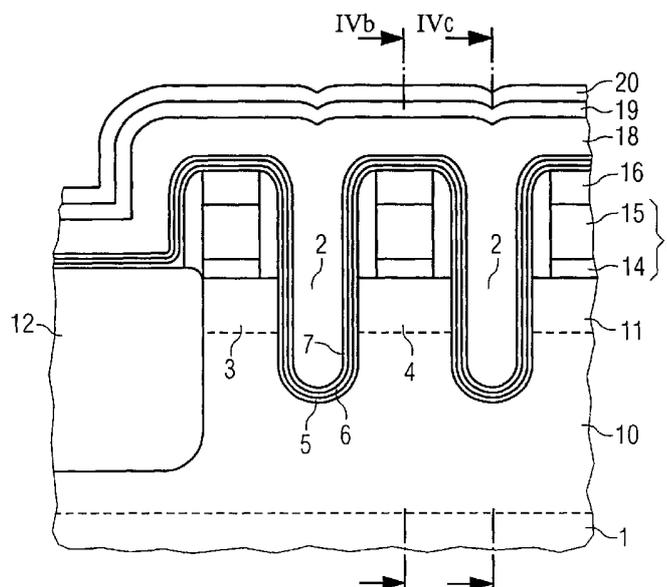
(10) Internationale Veröffentlichungsnummer
WO 03/001600 A2

- (51) Internationale Patentklassifikation⁷: **H01L 27/115**, 21/8246
- (21) Internationales Aktenzeichen: PCT/DE02/02141
- (22) Internationales Anmeldedatum:
12. Juni 2002 (12.06.2002)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
101 29 958.3 21. Juni 2001 (21.06.2001) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).
- (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **PALM, Herbert** [DE/DE]; Rieschbogen 45, 85635 Höhenkirchen (DE).
WILLER, Josef [DE/DE]; Friedrich-Fröbel-Strasse 62, 85521 Riemerling (DE).
- (74) Anwalt: **EPPING, HERMANN & FISCHER**; Ridlerstrasse 55, 80339 München (DE).
- (81) Bestimmungsstaaten (national): BR, CA, CN, IL, IN, JP, KR, MX, RU, UA, US.
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- Veröffentlicht:
— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

[Fortsetzung auf der nächsten Seite]

(54) Title: MEMORY CELL, MEMORY CELL CONFIGURATION AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: SPEICHERZELLE, SPEICHERZELLENANORDNUNG UND HERSTELLUNGSVERFAHREN



(57) Abstract: The invention relates to memory transistors with trenched gate electrodes (2) and an ONO memory layer sequence (5, 6, 7), whose source/drain regions (3, 4) are associated with an electroconductive layer (8) or layer sequence that has a strip-shaped structure that corresponds to the bit lines. Said layer especially comprises a metal silicide or a polysilicon layer (14) with a metallic layer (15) applied thereto that reduces the ohmic resistance of the trenched bit lines. The metal silicide is preferably a cobalt silicide, the metallic layer is preferably a tungsten silicide or WN/W.

[Fortsetzung auf der nächsten Seite]



WO 03/001600 A2



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Auf den Source-/Drain-Bereichen (3, 4) von Speichertransistoren mit in Gräben angeordneten Gate-Elektroden (2) und ONO-Speicherschichtfolge (5, 6, 7) ist eine entsprechend den Bitleitungen streifenförmig strukturierte elektrisch leitende Schicht (8) oder Schichtfolge angeordnet, insbesondere ein Metallsilicid oder eine Polysiliziumschicht (14) mit darauf aufgebracht metallhaltiger Schicht (15), die den ohmschen Widerstand der vergrabenen Bitleitungen reduziert. Das Metallsilicid ist bevorzugt Kobaltsilicid; die metallhaltige Schicht bevorzugt Wolframsilicid oder WN/W.

Beschreibung

Speicherzelle, Speicherzellenanordnung und Herstellungsverfahren

5

Die Erfindung betrifft den Bereich der elektrisch beschreib- und löschbaren Non-volatile-Flash-Memories. Sie beschreibt eine nach dem SONOS-Schema (Semiconductor-Oxide-Nitride-Oxide-Semiconductor) aufgebaute nichtflüchtige Speicherzelle, die in einer Virtual-Ground-NOR-Architektur eingesetzt werden kann.

Kleinste nichtflüchtige Speicherzellen werden für höchste Integrationsdichte bei Multimedia-Anwendungen benötigt. Die Weiterentwicklung der Halbleitertechnik ermöglicht zunehmend größere Speicherkapazitäten, die sehr bald den Gigabitbereich erschließen werden. Während jedoch die von der Lithographie bestimmte minimale Strukturgröße weiterhin abnimmt, können andere Parameter, wie z. B. die Dicke des Tunneloxids nicht mehr entsprechend skaliert werden. Die bei planaren Transistoren mit der Strukturverkleinerung einhergehende Abnahme der Kanallänge erfordert eine Erhöhung der Kanaldotierung, um das Auftreten eines als Punch-through bezeichneten Spannungsdurchbruchs zwischen Source und Drain zu vermeiden. Das führt zu einer Erhöhung der Einsatzspannung, die üblicherweise mit einer Reduktion der Dicke des Gateoxids kompensiert wird.

Durch Channel-hot-Electrons programmierbare, mit Hot-Holes löschbare planare SONOS-Speicherzellen (s. Boaz Eitan US 5,768,192, US 6,011,725, WO 99/60631) erfordern jedoch ein Steuer-Dielektrikum mit einer einem Gate-Oxid gleichwertigen Dicke. Diese Dicke kann aber nicht beliebig vermindert werden, ohne dass die Anzahl der ausführbaren Programmierzyklen ("Endurance" der Speicherzelle) in nicht zu tolerierender Weise abnimmt. Erforderlich ist deshalb eine hinreichend große Kanallänge, damit die Dotierstoffkonzentration im Kanal

nicht zu hoch gewählt werden muss, weil sonst die Einsatzspannung zu sehr ansteigt.

In der Veröffentlichung von J. Tanaka et al.: "A Sub-0.1- μm Grooved Gate MOSFET with High Immunity to Short-Channel Effects" in IEDM 93, S. 537 - 540 (1993) ist ein Transistor auf einem p^+ -Substrat beschrieben, bei dem die Gate-Elektrode in einem Graben zwischen dem n^+ -Source-Bereich und dem n^+ -Drain-Bereich angeordnet ist und so ein gekrümmter Kanal-Bereich in dem Substrat ausgebildet ist.

In der Veröffentlichung von K. Nakagawa et al.: "A Flash EEPROM Cell with Self-Aligned Trench Transistor & Isolation Structure" in 2000 IEEE Symposium on VLSI Technology Digest of Technical Papers ist ein Transistor als Speicherzelle mit einer Floating-gate-Elektrode beschrieben, die zwischen dem n^+ -Source-Bereich und dem n^+ -Drain-Bereich bis in eine p -Wanne des Substrates reichend angeordnet ist. Zwischen der Floating-gate-Elektrode und der Kontroll-gate-Elektrode befindet sich eine Dielektrikumschicht aus einer Oxid-Nitrid-Oxid-Schichtfolge.

In der US 6,080, 624 von Eiji Kamiya ist ein nichtflüchtiger Halbleiterspeicher mit Flash-EEPROM-Speicherzellen beschrieben. Auf einem Substrat sind das Gate-Dielektrikum, eine als Speichermedium vorgesehene Floating-Gate-Elektrode, ein ONO-Film als Zwischendielektrikum, eine Kontroll-Gate-Elektrode und ein Nitridfilm als Deckschicht aufgebracht und strukturiert. Die Source-Bereiche und die Drain-Bereiche sind durch eine eingebrachte Diffusion ausgebildet. Eine weitere Nitridschicht ist ganzflächig aufgebracht, und ein elektrischer Isolator ist in die vorhandenen Zwischenräume zwischen den Stegen der Gate-Elektroden eingebracht. Die dadurch gebildeten isolierenden Streifen verlaufen in der Richtung der Wortleitungen, während die Bitleitungen durch auf der Oberseite aufgebrachte elektrische Leiterbahnen gebildet sind.

In der DE 195 45 903 A1 ist eine Festwertspeicherzellenanordnung beschrieben, bei der planare MOS-Transistoren in parallel zueinander verlaufenden Zeilen angeordnet sind. Benachbarte Zeilen verlaufen abwechselnd am Boden von Längsgräben und auf zwischen benachbarten Längsgräben vorhandenen Stegen. Es sind dementsprechend an den Böden der Längsgräben untere Source-/Drain-Gebiete und an den Oberseiten der zwischen den Gräben vorhandenen Stege obere Source-/Drain-Gebiete ausgebildet. Auf den Source-/Drain-Gebieten sind dielektrische Schichten als Gate-Dielektrikum angeordnet, die an den Wänden der Längsgräben durch Spacer aus SiO₂ ergänzt werden. Als Gate-Dielektrikum kann eine ONO-Schichtfolge vorgesehen sein. Die Bitleitungen verlaufen quer und die Wortleitungen parallel zu den Längsgräben.

15

Aufgabe der vorliegenden Erfindung ist es, eine Speicherzelle für eine Speicherzellenanordnung mit extrem geringem Flächenbedarf und ein zugehöriges Herstellungsverfahren anzugeben.

20

Diese Aufgabe wird mit der Speicherzelle mit den Merkmalen des Anspruches 1, mit der Anordnung aus Speicherzellen mit den Merkmalen des Anspruches 6 bzw. mit dem Verfahren mit den Merkmalen des Anspruches 9 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

25

Der erfindungsgemäßen Speicherzelle liegt die Erkenntnis zugrunde, dass eine weitere Verringerung der Abmessungen der Speicherzellen bei gleichzeitig ausreichend niedrig gehaltener Zugriffszeit zum Schreiben und Lesen nur möglich ist, wenn die Bitleitungen ausreichend niederohmig sind. Zu diesem Zweck sind die Bitleitungen ausgebildet, indem auf dotierten Source-/Drain-Bereichen von Speichertransistoren eine entsprechend den Bitleitungen streifenförmig strukturierte gesonderte Schicht oder Schichtfolge angeordnet ist, die, insbesondere als Metallisierung, elektrisch leitend mit den Source-/Drain-Bereichen verbunden ist und den ohmschen Widerstand der Bitleitungen reduziert. Dabei handelt es sich ganz

30
35

allgemein um eine Schicht oder Schichtfolge, die streifenförmig ausgebildet ist und mindestens eine Schichtlage umfasst, die für den angegebenen Zweck ausreichend geringen ohmschen Widerstand aufweist, unabhängig davon, ob diese Schicht oder
5 Schichtfolge vollständig oder nur in einer anteiligen Schichtlage aus elektrisch leitendem Material gebildet ist. In der folgenden Beschreibung und in den Ansprüchen ist eine solche zumindest in einer Schichtlage hinreichend elektrisch leitfähige Schicht oder Schichtfolge jeweils als elektrisch
10 leitende Schicht bezeichnet. Dafür ist insbesondere mindestens ein Material aus der Gruppe von dotiertem Polysilizium, Wolfram, Wolframsilicid, Kobalt, Kobaltsilicid, Titan und Titansilicid geeignet.

15 Wenn die Source-/Drain-Bereiche in Silizium ausgebildet werden, kann die Metallisierung vorzugsweise eine silizierte Metallschicht sein, die nach dem Verfahren hergestellt wird, das unter der Bezeichnung "Salicide" als Abkürzung von Self-Aligned-Silicide bekannt ist. Bei anderen Ausführungsformen,
20 bevorzugt ebenfalls auf Silizium, ist eine als Metallisierung aufgebrachte Schichtfolge aus Polysilizium und WSi bzw. WN/W sowie eine abdeckende und elektrisch isolierende Schicht aus einem für eine Hartmaske geeigneten Material, zum Beispiel einem Oxid oder Nitrid, auf den Source-/Drain-Bereichen der
25 Speichertransistoren vorhanden. Die Metallisierungen der Bitleitungsstrukturen sind direkt auf dem Substrat und nach Bedarf teilweise über oxidbedeckten Bereichen strukturiert.

Die Source-/Drain-Bereiche der einzelnen Speichertransistoren
30 werden mit einer Source-/Drain-Implantation hoher Dosis oder durch eine Ausdiffusion von Dotierstoff aus einer geeigneten Schicht, z. B. aus Polysilizium, hergestellt. Mit den auf den Source-/Drain-Bereichen aufgebrachten streifenförmigen Metallisierungen sind die Bitleitungen gebildet, die wegen der guten
35 Leitfähigkeit der Metallisierungen einen besonders niedrigen ohmschen Widerstand aufweisen. Unter einer Metallisierung ist hier eine metallhaltige Schicht oder eine zumindest

metallartige Eigenschaften aufweisende Leiterbahn zu verstehen. Die Source-/Drain-Bereiche derselben Bitleitung brauchen nicht bereits im Halbleitermaterial elektrisch leitend miteinander verbunden zu sein. Vorzugsweise jedoch sind die Bitleitungen als vergrabene Bitleitungen mit streifenförmigen dotierten Bereichen im Halbleitermaterial ausgebildet, die zusätzlich mit den Metallisierungen versehen sind.

Die Bitleitungsstrukturen sind auf der von dem Halbleitermaterial abgewandten Oberseite vorzugsweise in Nitridschichten gekapselt, die als Streifen ausgeführt werden und im Herstellungsverfahren als Ätzmaske zur Erzeugung dazu selbstjustierter Kanalbereiche der Transistoren dienen. Nach dem Aufbringen einer Speicherschicht, die vorzugsweise eine aus einer Begrenzungsschicht, einer Speicherschicht und einer weiteren Begrenzungsschicht gebildeten Schichtfolge besteht, die nach Art einer ONO-Schicht ausgebildet ist, wird eine Schichtfolge zur Herstellung von Wortleitungen abgeschieden und vorzugsweise durch eine Trockenätzung streifenförmig strukturiert.

Die Begrenzungsschichten sind Material einer höheren Energiebandlücke als die Energiebandlücke der Speicherschicht, so dass die Ladungsträger, die in der Speicherschicht eingefangen sind, dort lokalisiert bleiben. Als Material für die Speicherschicht kommt vorzugsweise ein Nitrid in Frage; als umgebendes Material ist vorrangig ein Oxid geeignet. Bei einer Speicherzelle im Materialsystem von Silizium ist die Speicherschicht in dem Beispiel einer ONO-Schichtfolge Siliziumnitrid mit einer Energiebandlücke von etwa 5 eV; die umgebenden Begrenzungsschichten sind Siliziumoxid mit einer Energiebandlücke von etwa 9 eV. Die Speicherschicht kann ein anderes Material sein, dessen Energiebandlücke kleiner als die Energiebandlücke der Begrenzungsschichten ist, wobei die Differenz der Energiebandlücken für einen guten elektrischen Einschluss der Ladungsträger (confinement) möglichst groß sein soll. In Verbindung mit Siliziumoxid als Begrenzungsschichten kann z. B. Tantaloxid, Hafniumsilicat, Titanoxid

(im Fall stöchiometrischer Zusammensetzung TiO_2), Zirkonoxid (im Fall stöchiometrischer Zusammensetzung ZrO_2), Aluminiumoxid (im Fall stöchiometrischer Zusammensetzung Al_2O_3) oder intrinsisch leitendes (undotiertes) Silizium als Material der
5 Speicherschicht eingesetzt werden.

Zwischen den Kanalbereichen der Transistoren benachbarter Speicherzellen kann durch eine Implantation von Dotierstoff mit variablem Einfallswinkel eine elektrische Isolation erzeugt werden, um die Transistoren voneinander zu isolieren,
10 eine so genannte Anti-Punch-Implantation. Eine alternative Ausgestaltung sieht vor, diese Isolation durch Aussparungen, die mit Oxid gefüllt sind, zu realisieren; das geschieht nach Art einer STI (shallow trench isolation).

15

Mit einer solchen Speicherzelle ist es möglich, trotz ausreichend großer Gatelänge der Speichertransistoren die jeweilige Speicherzelle als eine im Maßstab der eingesetzten Fotolithographie minimal mögliche Crosspoint-Zelle zu realisieren. Die
20 erfindungsgemäße Struktur erlaubt große Zellblöcke mit minimaler Ansteuerperipherie, woraus sich eine hohe Cell-Efficiency ergibt. Mit der erfindungsgemäß ausgebildeten Speicherzellenstruktur sind auch speziell über STI-Strukturen angeordnete Bitleitungsstrukturen realisierbar.

25

Es folgt eine genauere Beschreibung der erfindungsgemäßen Speicherzelle und zugehöriger Herstellungsverfahren anhand der in den beigegeführten Figuren dargestellten Beispiele.

30 Die Figur 0 zeigt eine schematische Anordnung der Wortleitungen und Bitleitungen in Aufsicht.

Die Figuren 1, 2a, 2b, 3, 4a, 4b und 4c zeigen Querschnitte durch Zwischenprodukte der Speicherzelle nach verschiedenen
35 Schritten eines bevorzugten Herstellungsverfahrens.

Die Figuren 4.1 und 4.11 zeigen die Ansicht der Figur 4a für je ein alternatives Ausführungsbeispiel.

Die Figuren 4.2b und 4.2c zeigen die Ansichten der Figuren 4b
5 und 4c für ein alternatives Ausführungsbeispiel.

Die Figuren 3.3a, 3.3b und 3.3c zeigen Zwischenprodukte von Verfahrensschritten eines alternativen Ausführungsbeispiels anstelle der Figur 3.

10

Die Figuren 4.3a bis 4.3c entsprechen den Figuren 4a bis 4c für ein weiteres Ausführungsbeispiel.

15

Die Figuren 5a und 5b zeigen Diagramme zu Modellrechnungen.

In der Figur 0 ist eine Anordnung aus Wortleitungen WL_{n-1} , WL_n , WL_{n+1} und Bitleitungen BL_{i-1} , BL_i , BL_{i+1} in einer Aufsicht im Schema dargestellt. Die Bitleitungen sind hier als vergrabene Bitleitungen vorhanden und mit gestrichelten Linien als
20 verdeckte Konturen eingezeichnet. Die Wortleitungen sind als vorzugsweise metallische Leiterbahnen auf der Oberseite der Anordnung angebracht. In einer jeweiligen Kreuzungsposition eines Bitleitungszwischengebiets und einer Wortleitung ist eine Speicherzelle des Speichers angeordnet. Daher rührt die
25 für die kleinste einsetzbare Speicherzelle gebräuchliche Bezeichnung Crosspoint-Zelle. An einer solchen Kreuzungsposition einer Speicherzellenanordnung befindet sich jeweils eine erfindungsgemäße Speicherzelle. Die jeweils auszulesende oder zu programmierende Speicherzelle wird über die Bitleitungen
30 und Wortleitungen in der an sich bekannten Weise adressiert. Die Gesamtheit der Speicherzellen mit den dargestellten Verbindungen durch Bitleitungen und Wortleitungen bilden einen Speicher in Virtual-Ground-NOR-Architektur. Im Prinzip ist die erfindungsgemäße Speicherzelle aber auch in anderen Speicherarchitekturen einsetzbar. Der Aufbau der Speicherzelle in
35 der Speicherzellenanordnung des Speichers wird nachfolgend anhand bevorzugter Herstellungsverfahren beschrieben.

In der Figur 1 ist zur Erläuterung der erfindungsgemäßen Speicherzellenstruktur und deren Anordnung in einem Speicherzellenfeld anhand eines bevorzugten Herstellungsverfahrens ein erstes Zwischenprodukt in einem Querschnitt dargestellt. Die Herstellung erfolgt vorzugsweise im Rahmen eines CMOS-Prozesses, mit dem auch die Ansteuerelektronik hergestellt wird. Zu diesem Zweck werden in einem Halbleiterkörper oder in einer auf einem Substrat aufgewachsenen Halbleiterschicht oder Halbleiterschichtfolge Gräben geätzt, die mit einem Oxid als STI (shallow trench isolation) aufgefüllt werden. Es ist üblich, die Oberseite des Halbleitermaterials zunächst mit einem an sich bekannten so genannten Pad-Oxid (Streuoxid) und Pad-Nitrid zu bedecken. Die STI-Grabenätzung erfolgt mittels einer geeigneten Fototechnik. Nach dem Einbringen der Oxidfüllung wird die Oberseite planarisiert, was z. B. in an sich bekannter Weise mittels CMP (chemical mechanical polishing) geschehen kann. Das Pad-Nitrid wird anschließend durch eine Ätzung entfernt. p-Wannen und n-Wannen, d. h. dotierte Bereiche, die tief in das Halbleitermaterial hinein reichen und für die Steuerperipherie und die Speicherzellen vorgesehen sind, werden bei Verwendung von Silizium als Halbleitermaterial vorzugsweise durch maskierte Bor-Implantationen und Phosphor-Implantationen mit anschließender Ausheilung der Implantate hergestellt. In der Figur 1 sind in einem Halbleiterkörper 1, z. B. einem Substrat aus Silizium, eine ausgebildete p-Wanne 10 und eine z. B. mit einem Oxid hergestellte Randisolation 12 im Querschnitt dargestellt.

Nach dem Entfernen des anfänglich aufgebrachtten Pad-Oxids wird eine Oxidschicht 13 geeigneter Dicke aufgewachsen, die später außerhalb des Speicherzellenfeldes als Ätzstoppschicht dient. Bei diesem Ausführungsbeispiel des Herstellungsprozesses wird dann mittels einer geeigneten Fototechnik eine Implantation (z. B. Phosphor) eingebracht, mit der ein hoch n-leitend dotierter Bereich 11 (n^+ -Bereich) in einem oberen Anteil der p-Wanne 10 ausgebildet wird, der für die später her-

zustellenden Source-/Drain-Bereiche vorgesehen ist. Die Vorzeichen der Dotierungen können auch vertauscht sein (p⁺-Bereich in einer n-Wanne). Im Bereich des Speicherzellenfeldes wird vorzugsweise mit derselben Fotomaske die Oxidschicht 13,
5 die zur Ausbildung der Speicherzelle nicht erforderlich ist, nasschemisch entfernt.

In der Figur 2a ist der in der Figur 1 dargestellte Querschnitt nach dem Aufbringen und Strukturieren einer weiteren
10 Schichtfolge gezeigt. Diese Schichtfolge dient dazu, die erfindungswesentliche streifenförmig strukturierte elektrisch leitende Schicht 8 der Bitleitungsstrukturen auszubilden. Bei dem in der Figur 2a dargestellten Ausführungsbeispiel werden dazu in einer bevorzugten Ausführung zunächst zur Kontaktierung der Source-/Drain-Bereiche eine Polysiliziumschicht 14
15 des zugehörigen Vorzeichens des Leitfähigkeitstyps, danach eine metallhaltige Schicht 15, hier Wolframsilicid (WSi), als eigentliche niederohmige Bitleitung und anschließend ein Material einer Hartmaske 16 (z. B. ein Oxid) zur elektrischen
20 Isolation aufgebracht und streifenförmig strukturiert. Statt des WSi kann eine Schichtfolge aus Wolframnitrid und Wolfram aufgebracht werden. Die elektrisch leitende Schicht kann auch Titan und/oder Titansilicid aufweisen. Die streifenförmige Strukturierung der elektrisch leitenden Schicht 8 geschieht
25 vorzugsweise durch eine Fototechnik und anisotrope Ätzung, wobei es unwesentlich ist, ob das Halbleitermaterial des Halbleiterkörpers oder der Halbleiterschicht des implantierten Bereiches leicht angeätzt wird. Die streifenförmigen Anteile der elektrisch leitenden Schicht 8 werden seitlich
30 durch Spacer 17, vorzugsweise aus einem Oxid, isoliert.

In der Figur 2b ist der in der Figur 2a bezeichnete Schnitt dargestellt. Es ist dort erkennbar, dass die elektrisch leitende Schicht 8, die bei diesem Ausführungsbeispiel aus einer
35 Polysiliziumschicht 14 und einer metallhaltigen Schicht 15, die ggf. auch mehrlagig sein kann, besteht, seitlich über die Randisolation 12 hinaus verlängert ist. Die Ätzung zur strei-

fenförmigen Strukturierung dieser Schichten wird am Rand des Zellenfeldes durch das Oxid der Randisolation 12 begrenzt. Die Bitleitungen, die mit ihrem vergrabenen Anteil an der Randisolation 12 enden, werden durch die streifenförmig
5 strukturierten Anteile der elektrisch leitenden Schicht über die Randisolation 12 hinaus verlängert und können so außerhalb des eigentlichen Speicherzellenfeldes kontaktiert werden.

10 Mit den Bitleitungsstrukturen auf der Oberseite und den oxidbedeckten Bereichen als Maske werden, wie in der Figur 3 dargestellt, selbstjustiert Gräben 28 geätzt (z. B. mittels reactive ion etching, RIE), die für die aktiven Bereiche, insbesondere die einzelnen Speicherzellen, vorgesehen sind. Da-
15 zwischen werden die Source-/Drain-Bereiche 3, 4 ausgebildet. Außerdem ist zu berücksichtigen, dass für eine gute Funktionsweise (performance) die jeweils bei einer bestimmten Gate-Spannung vorhandene Ladungsträgerkonzentration in einem an dem Boden des Grabens vorgesehenen Anteil 23 des Kanalbereiches des Speichertransistors ausreichend hoch sein muss; bei
20 einer p-Wanne ist das die Elektronenkonzentration. Bei einer vorteilhaften Ausgestaltung, bei der die Wanne 10 der Speicherzelle eine typische Dotierstoffkonzentration von 10^{17} cm^{-3} aufweist, wird deshalb durch eine Implantation in den an dem
25 Boden des Grabens vorgesehenen Anteil 23 des Kanalbereiches die Dotierstoffkonzentration des Kanalbereiches in der Mitte stärker verändert als in den seitlichen äußeren Bereichen. Dazu wird vorzugsweise zunächst eine Opferschicht aufgebracht
(z. B. sacrificial oxide, typisch etwa 6 nm dick, thermisch erzeugt). Dann wird der vorgesehene Dotierstoff implantiert;
30 das ist in dem angegebenen Beispiel einer p-dotierten Wanne Arsen als Dotierstoff mit einer Energie von beispielsweise typisch 20 keV in einer Dosis von 10^{12} cm^{-2} bis 10^{14} cm^{-2} . Die Opferschicht wird entfernt; bei einem Oxid kann das mit verdünnter HF geschehen.
35

Es wird ganzflächig eine Schichtfolge aus einer unteren Begrenzungsschicht 5, einer Speicherschicht 6 und einer oberen Begrenzungsschicht 7 aufgebracht. Diese Schichtfolge ist als eigentliches Speichermedium vorgesehen und kann wie eingangs
5 beschrieben z. B. eine an sich bekannte ONO-Schichtfolge sein. Dabei kann die untere Begrenzungsschicht 5 beispielsweise ein etwa 2,5 nm bis 8 nm dickes Oxid (bottom oxide, vorzugsweise thermisch erzeugt) sein, die Speicherschicht 6 ein etwa 1 nm bis 5 nm dickes Nitrid (vorzugsweise mittels
10 LPCVD, low pressure chemical vapor deposition, abgeschieden) und die obere Begrenzungsschicht 7 ebenfalls ein Oxid, etwa 3 nm bis 12 nm dick.

Die damit erreichte Struktur ist in der Figur 3 im Querschnitt dargestellt. Mit geeigneter Fototechnik wird das Speicherzellenfeld abgedeckt, so dass im Bereich der Peripherie die Speicherschicht einschließlich der Begrenzungsschichten entfernt werden kann. Die Speicherschicht kann auch im Bereich des Speichers auf den Böden der für die Gate-Elektroden vorgesehenen Gräben 28 und/oder zwischen den Gräben 28
20 entfernt werden, so dass die Speicherschicht zwischen den Wänden eines jeweiligen Grabens und/oder zwischen zwei zueinander benachbarten Gräben unterbrochen ist. Für die Ansteuerperipherie wird dann zunächst das Gateoxid für Hochvolttransistoren und danach eventuell ein dünneres Gateoxid für Niedervolttransistoren aufgewachsen. Mit weiteren Masken und Implantationen können die Einsatzspannungen eingestellt werden.
25

In dem in der Figur 4a dargestellten Querschnitt ist die Struktur nach dem Abscheiden einer für die Gate-Elektroden 2 vorgesehenen leitend dotierten Polysiliziumschicht 18 sowie einer für die Wortleitung vorgesehenen metallhaltigen Schicht 19 (hier WSi) und einer Hartmaskenschicht 20 dargestellt. Das Polysilizium wird in einer Dicke von typisch 80 nm abgeschieden und vorzugsweise in situ dotiert und ist für die Gate-Elektroden vorgesehen. Die eigentlichen Wortleitungen werden durch das niederohmige, metallische oder metallhaltige Mate-
35

rial der metallhaltigen Schicht 19 gebildet. Statt Wolframsilicid kann ein Silicid eines anderen Metalles oder eine mehrlagige metallhaltige Schicht vorhanden sein. Das Material der Hartmaskenschicht 20 ist z. B. ein verdichtetes Oxid.

5

In der Figur 4b und der Figur 4c sind die in der Figur 4a eingezeichneten Schnittansichten dargestellt. In dem Querschnitt der Figur 4b befindet sich die Schichtfolge der Speicherschicht 6 zwischen den Begrenzungsschichten 5, 7 oberhalb der für die Bitleitungen vorgesehenen streifenförmigen elektrisch leitenden Schicht 8, die in diesem Beispiel aus der Polysiliziumschicht 14 und der metallhaltigen Schicht 15 gebildet ist, und davon isoliert durch die Hartmaske 16. In der Position des in der Figur 4c erkennbaren Schnittes durch die Gate-Elektroden 2 zwischen zwei streifenförmigen Anteilen der elektrisch leitenden Schicht der Bitleitungen verläuft die Speicherschicht 6 am Boden der für die Gate-Elektroden vorgesehenen Gräben. Die aufgebrachte Schichtfolge aus der Polysiliziumschicht 18, der metallhaltigen Schicht 19 und der Hartmaskenschicht 20 wird, wie in den Figuren 4b und 4c zu erkennen ist, streifenförmig strukturiert, so dass quer zu den Bitleitungen verlaufende Wortleitungen ausgebildet werden. Die Flanken der Wortleitungen sind durch Spacer 21 isoliert. Die Spacer werden in der an sich bekannten Weise dadurch ausgebildet, dass eine aus dem Material der Spacer, vorzugsweise einem Oxid, bestehende Schicht isotrop ganzflächig aufgebracht und anisotrop so rückgeätzt wird, dass im Wesentlichen nur die hohen vertikalen Anteile der Spacer 21 an den Flanken der streifenförmig geätzten Wortleitungen stehen bleiben. Die Zwischenräume zwischen den Gate-Elektroden unterhalb der Wortleitungen können statt dessen ganz oder teilweise mit dem Material der Spacer gefüllt gelassen werden.

In diesem Verfahrensschritt können gleichzeitig die Gate-Elektroden der Transistoren der Ansteuerperipherie strukturiert werden. Im Bereich des Speicherzellenfeldes stoppt die Ätzung der Gate-Elektroden auf der oberen Begrenzungsschicht

35

7 bzw. der ONO-Schichtfolge. Es kann ergänzend eine Gate-Reoxidation erfolgen und je nach Bedarf eine Anti-Punch-Implantation 22 zur Isolation benachbarter Transistoren eingebracht werden.

5

Weitere übliche und an sich bekannte Verfahrensschritte zur Herstellung der Transistoren können gleichermaßen vorgesehen werden, wie z. B. LDD-Implantationen (lightly doped drain) und HDD-Implantationen oder eine Abscheidung einer Passivierung aus Nitrid und einer Planarisierung mittels BPSG (Bor-10 phosphorsilicatglas) und CMP. Weitere Schritte zur Vervollständigung bestehen in der Herstellung und Füllung von Kontaktlöchern (via holes) sowie der Herstellung von Metallisierungen und Passivierungen. Diese Herstellungsschritte sind 15 von der Herstellung von Speicherbauelementen an sich bekannt.

In der Figur 4.1 ist eine alternative Ausgestaltung dargestellt, bei der die Bitleitungsimplantation zur Ausbildung der vergrabenen Bitleitungen ganz oder teilweise durch eine 20 Ausdiffusion aus dem darauf aufgebracht Material ersetzt ist. Das bedeutet, dass bei dieser Art der Herstellung die Implantation zur Herstellung des dotierten Bereiches 11, der für Source und Drain vorgesehen ist, auch weggelassen werden kann. Es wird dann die elektrisch leitende Schicht 8 so auf- 25 gebracht, dass zumindest aus einem untersten Schichtanteil, in dem beschriebenen Beispiel der dotierten Polysiliziumschicht 14, ein Dotierstoff in das Halbleitermaterial des Halbleiterkörpers 1 oder der Halbleiterschicht ausdiffundieren kann. Dadurch werden die in der Figur 4.1 mit gestrichelten 30 Berandungen eingezeichneten Source-/Drain-Bereiche 110 ausgebildet. Außerdem wird bei einer bevorzugten Ausgestaltung die Wanne der Speicherzelle durch eine Implantation in den an dem Boden des Grabens angeordneten Anteil 23 des Kanalbereiches des Speichertransistors so modifiziert, dass die 35 Dotierstoffkonzentration des Kanalbereiches in der Mitte stärker verändert ist als in den seitlichen äußeren Berei-

chen. Das geschieht in entsprechender Weise, wie es bereits oben zur Figur 3 beschrieben wurde.

In der Figur 4.11 ist ein weiteres Ausführungsbeispiel ge-
5 zeigt, bei dem vor der Herstellung der Spacer 17 eine Implan-
tation von Dotierstoff für das Vorzeichen des Leitfähigkeits-
typs von Source und Drain eingebracht wird, um die in diesem
Beispiel vorwiegend angrenzend an die Schichtfolge aus der
Speicherschicht 6 und den Begrenzungsschichten 5, 7 in ge-
10 trennten Anteilen ausgebildeten Source-/Drain-Bereiche 3a,
3b, 4a, 4b herzustellen. Auch hier kann eine Ausdiffusion von
Dotierstoff aus der Polysiliziumschicht 14 zur Ausbildung der
dotierten Bereiche 111 in Ergänzung der Source-/Drain-Berei-
che in einem der nachfolgenden Temperschritte vorgesehen
15 sein. Der an dem Boden des Grabens angeordnete Anteil 23 des
Kanalbereiches des Speichertransistors ist auch bei diesem
Ausführungsbeispiel vorzugsweise durch eine Implantation in
der oben beschriebenen Weise modifiziert.

20 In den Figuren 4.2b und 4.2c sind Querschnitte entsprechend
den Figuren 4b und 4c für ein weiteres Ausführungsbeispiel
dargestellt, bei dem zusätzliche Isolationsbereiche im Halb-
leitermaterial zur Abgrenzung der Speicherzellen voneinander
vorhanden sind. Das äußerst enge Aneinanderrücken der Kanal-
25 gebiete kann nämlich zu Isolationsproblemen zwischen benach-
barten Speichertransistoren führen. Das hier offenbarte Pro-
zesskonzept kann so modifiziert werden, dass benachbarte
Speicherzellen mit STI-Strukturen voneinander getrennt wer-
den. Zu diesem Zweck werden zwischen den Wortleitungen schma-
30 le, tiefe Gräben nach Art der für eine Shallow-Trench-Isola-
tion vorgesehenen Gräben in das Halbleitermaterial hinein
ausgeätzt.

Die Figuren 4.2b und 4.2c zeigen Querschnitte von Ausfüh-
35 rungsbeispielen mit solchen Isolationsbereichen 24, vorzugs-
weise einem Oxid, das z. B. durch eine Kombination von Oxida-
tion von Silizium und Abscheidung von SiO_2 hergestellt werden

kann, wobei die Figur 4.2b einen Bereich längs einer Bitleitung und die Figur 4.2c einen Bereich zwischen zwei Bitleitungen wiedergibt. Das Ausätzen der für die Gate-Elektroden vorgesehenen Gräben stoppt in diesem Fall auf den Isolationsbereichen 24, so dass in Richtung quer zu den Wortleitungen die Speicherschicht 6 in der in der Figur 4.2c dargestellten Weise im Wesentlichen auf zwei Schichtniveaus sowie an den Flanken der Isolationsbereiche 24 aufgebracht wird. Dadurch, dass die Ätzung der für die Gate-Elektroden vorgesehenen Gräben auf dem Material der Isolationsbereiche 24 stoppt, werden die Gräben nur in den Zwischenräumen zwischen den Isolationsbereichen 24 ausgebildet. Zwischen den Kanalbereichen der Speichertransistoren ist daher jeweils ein solcher Isolationsbereich 24 stehen geblieben, der diese Kanalbereiche voneinander trennt. Modifikationen des übrigen Schichtaufbaus und der übrigen Strukturierung gegenüber den anderen Ausführungsbeispielen ergeben sich dadurch nicht.

Die streifenförmig strukturierte elektrisch leitende Schicht 8 zur Reduktion des ohmschen Widerstandes der Bitleitungen kann auch durch eine Metallisierung der Bitleitungen mittels eines Salicide-Verfahrens (self-aligned silicide) hergestellt werden. Das wird anhand der Querschnitte der Figuren 3.3a bis 3.3c erläutert. In der Figur 3.3a ist der Querschnitt dargestellt, der der Figur 3 entspricht. Im Unterschied zu dem Ausführungsbeispiel gemäß der Figur 3 wird aber die elektrisch leitende Schicht nicht direkt auf dem für Source und Drain dotierten Bereich 11 aufgebracht, sondern es wird auf diesem dotierten Bereich 11 zunächst nur eine Strukturierungsschicht 25 aus einem für eine Hartmaske geeigneten Material aufgebracht und streifenförmig strukturiert. Vorzugsweise wird diese Strukturierungsschicht durch Spacer 26, z. B. aus Oxid, seitlich begrenzt. Die für die Speicherung vorgesehene Schichtfolge aus Begrenzungsschichten 5, 7 und einer dazwischen angeordneten Speicherschicht 6, z. B. eine ONO-Schichtfolge, wird nach dem Ätzen der für die Gate-Elektroden vorgesehenen Gräben 28 in der zuvor beschriebenen Weise ganz-

flächlich aufgebracht. Im Bereich der für die Ansteuerung vorgesehenen Transistoren in der Peripherie des Speicherzellenfeldes kann die Speicherschichtfolge entfernt und durch mindestens ein Gateoxid für die Ansteuertransistoren ersetzt
5 werden.

Die Gräben 28 werden, wie die Figur 3.3b zeigt, mit dem für die Gate-Elektrode 2 vorgesehenen Material, vorzugsweise dotiertem Polysilizium gefüllt. Danach erfolgt ein Verfahrensschritt, in dem vorzugsweise mittels CMP die Oberseite der
10 Anordnung teilweise abgetragen und planarisiert wird. Damit dieser Verfahrensschritt möglichst gleichmäßig auf dem Material der Strukturierungsschicht 25 endet, wird die Strukturierungsschicht vorzugsweise aus Nitrid ausgebildet. Die
15 Speicherschicht 6 und die Begrenzungsschichten 5, 7 werden auf der Oberseite der Strukturierungsschicht 25 entfernt. Dadurch wird erreicht, dass die Strukturierungsschicht wieder von oben zugänglich ist.

20 In der Figur 3.3b sind der Halbleiterkörper 1 mit der darin ausgebildeten p-Wanne 10, dem für Source und Drain dotierten Bereich 11 und den mit dem Material der Gate-Elektroden 2 gefüllten Gräben zwischen streifenförmigen Anteilen der seitlich durch Spacer 26 begrenzten Strukturierungsschicht 25
25 dargestellt. Die Oberseiten 27 der Strukturierungsschicht sind freigelegt. Auch hier kann die Implantation des dotierten Bereiches 11 zunächst weggelassen werden, wenn nachträglich durch eine Ausdiffusion von Dotierstoff aus dem Material der elektrisch leitenden Schicht die Source-/Drain-Bereiche
30 hergestellt werden.

Es erfolgt dann vorzugsweise eine thermische Oxidation des Polysiliziums der Gate-Elektroden, so dass die dünnen oxidierten Bereiche 29 entsprechend der Figur 3.3c auf dessen
35 Oberseite entstehen, jedoch das Nitrid der Strukturierungsschicht nur unwesentlich oxidiert wird. Auf diese Weise wird eine spätere Silizierung der Gate-Elektroden verhindert. Es

kann dann die Strukturierungsschicht entfernt werden, wobei allerdings die Spacer 26 stehen bleiben. Wenn die Strukturierungsschicht aus Nitrid und die Spacer aus Oxid ausgebildet worden sind, lässt sich das Nitrid der Strukturierungsschicht
5 problemlos selektiv gegenüber dem Oxid der Spacer entfernen. Danach liegt das Halbleitermaterial oberseitig frei, in diesem Beispiel der dotierte Bereich 11 in dem Halbleiterkörper.

Als dritte Variante zur Herstellung der Source-/Drain-Bereiche ist es in diesem Ausführungsbeispiel auch möglich, die
10 Implantation für Source und Drain erst in einem Verfahrensschritt nach dem Entfernen der Strukturierungsschicht 25 vorzunehmen. Da das Aufbringen der Begrenzungsschichten und der Speicherschicht, insbesondere in der Ausführungsform als ONO-
15 Schichtfolge, einen Hochtemperaturprozess erforderlich macht, können andernfalls noch Diffusionen des bereits implantierten Dotierstoffes auftreten, der nach der Implantation lokal in hoher Konzentration vorhanden ist. Wenn die Implantation aber erst nach dem Aufbringen der ONO-Schichtstruktur und nach dem
20 Entfernen der Strukturierungsschicht vorgenommen wird, tritt diese temperaturbedingte Diffusion allenfalls in sehr geringem Umfang auf.

An die Stelle der streifenförmigen Anteile der Strukturierungsschicht wird dann eine Metallschicht 30, beispielsweise
25 Kobalt, als elektrisch leitende Schicht 8 aufgebracht. In einer bevorzugten Ausführungsform wird Silizium als Halbleiterkörper verwendet und das Metall durch Tempern in ein Silicid, hier bevorzugt Kobaltsilicid, umgewandelt.

30 Die weiteren Schritte des Herstellungsverfahrens dieses Ausführungsbeispiels werden anhand der Figuren 4.3a bis 4.3c beschrieben, die den Figuren 4a bis 4c des zuvor beschriebenen Ausführungsbeispiels entsprechen. In der Figur 4.3a ist ein
35 Querschnitt parallel zu den Wortleitungen 32 und senkrecht zu den Bitleitungen und den streifenförmigen Anteilen der elektrisch leitenden Schicht 8 auf den vergrabenen Bitleitungen

dargestellt. Es ist in dieser Figur 4.3a erkennbar, dass zunächst die Metallschicht 30, die hier als elektrisch leitende Schicht 8 vorgesehen ist, mit einer elektrisch isolierenden Schicht 31, vorzugsweise einem Oxid, bedeckt wird. Auf die planare Oberfläche wird dann eine Schichtfolge für die Wortleitungen 32 aufgebracht, die typisch z. B. eine Polysiliziumschicht 33, eine metallhaltige Schicht 34, insbesondere aus einem Metallsilicid, und eine Hartmaskenschicht 35 umfasst. Die Polysiliziumschicht kann auch weggelassen sein. Die metallhaltige Schicht 34 kann insbesondere Wolframsilicid oder eine Doppelschicht aus Wolframnitrid und darauf aufgebrachtem metallischem Wolfram sein. Ebenso ist es möglich, als Wortleitung nur eine Polysiliziumschicht 33 zu verwenden, auf der unmittelbar die Hartmaskenschicht 35 aufgebracht ist. Die letzte Ausführungsform mit Polysilizium und Hartmaske ohne Metall kann von Vorteil sein, wenn wiederholt ein Salicide-Verfahren, z. B. bei den Transistoren der Ansteuerperipherie, zur Anwendung gelangen soll. In der Figur 4.3a sind die Positionen der in den Figuren 4.3b und 4.3c dargestellten Schnitte bezeichnet.

In der Figur 4.3c ist erkennbar, dass die für die Wortleitungen vorgesehene Schichtfolge 33, 34, 35 streifenförmig strukturiert ist und an den Flanken durch Spacer 36 isoliert ist. Die ONO-Schichtfolge ist in diesem Bereich des Bauelementes entfernt. Außerdem ist erkennbar, wie die zu Streifen strukturierte Schichtfolge der Wortleitungen auf dem Material der Gate-Elektroden 2 aufgebracht ist. Die Spacer 36 können auch bei diesem Ausführungsbeispiel den Zwischenraum zwischen den Wortleitungen ganz oder teilweise auffüllen. Die bereits zuvor anhand der Figur 4c beschriebene Anti-Punch-Implantation 22 ist auch in dem Beispiel der Figur 4.3c eingebracht. Die Strukturierung der Gate-Elektroden 2 längs der Wortleitungen erfolgt vorzugsweise zusammen mit der Strukturierung der für die Wortleitungen 32 vorgesehenen Schichtfolge. Der weitere Schichtaufbau wird analog zu den zuvor beschriebenen Ausführungsbeispielen hergestellt. Die Transistoren der Ansteuerpe-

riperie werden entsprechend den an sich bekannten CMOS-Prozessen fertiggestellt.

In den bevorzugten Ausführungsbeispielen ist wie oben angegeben eine bestimmte Dotierstoffkonzentration, insbesondere
5 durch eine Implantation, im Boden des Grabens eingestellt. In der Figur 5a ist ein Diagramm zu einer Modellrechnung dargestellt, in dem auf der Abszisse die laterale Abmessung in der Zeichenebene der Figur 3 bzw. 4.1 und auf der Ordinate der
10 Abstand d von der Oberseite des Halbleiterkörpers oder einer bestimmten Schichtlage innerhalb des Halbleiterkörpers in μm abgetragen ist. Es sind im Bereich des Halbleitermaterials des Grabenbodens Linien gleicher Dotierstoffkonzentration für ein typisches Ausführungsbeispiel eingetragen.

15

In der zugehörigen Figur 5b ist auf der Abszisse der jeweilige Ordinatenwert $d/\mu\text{m}$ aus Figur 5a übertragen. Auf der Ordinate ist die Dotierstoffkonzentration D in cm^{-3} (Anzahl Dotierstoffatome pro Kubikzentimeter) aufgetragen. Die senkrechten gestrichelten Linien markieren die Grenzen zwischen
20 den Begrenzungsschichten 5, 7 und der Speicherschicht 6. Die Graphen für die Dotierstoffkonzentrationen von Arsen und Bor sind durchgezogen bzw. gestrichelt eingetragen. Die Borkonzentration ist in diesem Beispiel konstant 10^{17}cm^{-3} , idealerweise konstant bei $2 \cdot 10^{17} \text{cm}^{-3}$, kann auch $3 \cdot 10^{17} \text{cm}^{-3}$ betragen;
25 sie wird allerdings durch Diffusion von Boratomen in das Dielektrikum der Begrenzungsschicht 5 im Bereich des Abszissenwertes um etwa $0,3 \mu\text{m}$ etwas abgeschwächt. Unterhalb der unteren Begrenzungsschicht 5 wird bei den bevorzugten Ausführungsbeispielen in einem Bereich unterhalb der tiefsten Stelle
30 des Grabenbodens, der bis 20nm tief in das Halbleitermaterial hinein reicht, (Abmessung R_1 in der Figur 5b) eine Dotierstoffkonzentration des Arsens von $5 \cdot 10^{17} \text{cm}^{-3}$ bis $5 \cdot 10^{18} \text{cm}^{-3}$ eingestellt. Das kann insbesondere durch eine Arsenimplantation mit einer Dosis von typisch etwa $2 \cdot 10^{12} \text{cm}^{-2}$ bei einer
35 Energie von 20keV geschehen (wie bereits oben angegeben unter Verwendung eines anschließend zu entfernenden Streuoxids

von etwa 6 nm Dicke). Der Bereich R der so eingestellten Dotierstoffkonzentrationen ist in der Figur 5b an der Ordinate markiert.

5 Bei einer um einen bestimmten Faktor höheren Borkonzentration als Grunddotierung des Halbleitermaterials oder als Wannendotierung sind die angegebenen Grenzen für die Arsenkonzentration mit diesem Faktor zu multiplizieren. Es wird so in dem Anteil 23 des Kanalbereiches, der sich an dem am weitesten in das Halbleitermaterial hineinragend ausgebildeten Anteil des Bodens des Grabens oder in der Mitte eines Bodens des Grabens befindet und 20 nm vertikal bezüglich des Bodens des Grabens in das Halbleitermaterial hinein reicht, eine Dotierstoffkonzentration eingestellt, deren Wert in einem Bereich liegt, dessen Grenzen durch $5 \cdot 10^{17} \text{ cm}^{-3}$ und $5 \cdot 10^{18} \text{ cm}^{-3}$,
10 jeweils multipliziert mit einem Quotienten aus einer Konzentration eines Dotierstoffes, der in diesem Bereich als Grunddotierung oder Wannendotierung in das Halbleitermaterial eingebracht ist, gemessen in cm^{-3} , und dem Wert 10^{17} cm^{-3} ,
15 bestimmt sind. Als Dotierstoffe kommen auch andere als die angegebenen in Frage unter der Maßgabe, dass die damit erzeugten Leitfähigkeitstypen das jeweils passende Vorzeichen besitzen.
20

Bezugszeichenliste

	1	Halbleiterkörper
	2	Gate-Elektrode
5	3, 3a, 3b, 4, 4a, 4b, 110, 111	Source-/Drain-Bereiche
	5	Begrenzungsschicht
	6	Speicherschicht
	7	Begrenzungsschicht
	8	elektrisch leitende Schicht
10	10	p-Wanne
	11	dotierter Bereich
	12	Randisolation
	13	Oxidschicht
	14	Polysiliziumschicht
15	15	metallhaltige Schicht
	16	Hartmaske
	17	Spacer
	18	Polysiliziumschicht
	19	metallhaltige Schicht
20	20	Hartmaskenschicht
	21	Spacer
	22	Anti-Punch-Implantation
	23	Anteil des Kanalbereiches
	24	Isolationsbereich
25	25	Strukturierungsschicht
	26	Spacer
	27	Oberseite der Strukturierungsschicht
	28	Graben
	29	dünner oxidiertes Bereich
30	30	Metallschicht
	31	elektrisch isolierende Schicht
	32	Wortleitung
	33	Polysiliziumschicht
	34	metallhaltige Schicht
35	35	Hartmaskenschicht
	36	Spacer

Patentansprüche

1. Speicherzelle

mit einem Speichertransistor,

5 mit einer Gate-Elektrode (2), die an einer Oberseite eines Halbleiterkörpers (1) oder einer Halbleiterschicht angeordnet und von dem Halbleitermaterial durch dielektrisches Material getrennt ist, und

10 mit einem Source-Bereich (3) und einem Drain-Bereich (4), die in dem Halbleitermaterial ausgebildet sind,

wobei die Gate-Elektrode in einem in dem Halbleitermaterial ausgebildeten Graben zwischen dem Source-Bereich (3) und dem Drain-Bereich (4) angeordnet ist,

15 d a d u r c h g e k e n n z e i c h n e t , dass zumindest zwischen dem Source-Bereich (3) und der Gate-Elektrode (2) und zwischen dem Drain-Bereich (4) und der Gate-Elektrode (2) eine Schichtfolge vorhanden ist, die eine Speicherschicht (6) zwischen Begrenzungsschichten (5, 7) umfasst, und

20 eine jeweils als Anteil einer jeweiligen Bitleitung vorgesehene und streifenförmig strukturierte elektrisch leitende Schicht (8) auf dem Source-Bereich (3) und auf dem Drain-Bereich (4) aufgebracht ist.

25 2. Speicherzelle nach Anspruch 1, bei der

die auf dem Source-Bereich (3) und auf dem Drain-Bereich (4) vorhandene elektrisch leitende Schicht (8) mindestens ein Material aus der Gruppe von dotiertem Polysilizium, Wolfram, Wolframsilicid, Kobalt, Kobaltsilicid, Titan und Titansilicid

30 aufweist.

3. Speicherzelle nach Anspruch 1 oder 2, bei der die Begrenzungsschichten (5, 7) Oxid sind.

35 4. Speicherzelle nach Anspruch 3, bei der

die Speicherschicht (6) ein Material aus der Gruppe von undo-

tiertem Silizium, Tantaloxid, Hafniumsilicat, Titanoxid, Zirkonoxid, und Aluminiumoxid ist.

5 Speicherzelle nach einem der Ansprüche 1 bis 4, bei der
in einem Anteil (23) eines Kanalbereiches, der sich an einem
am weitesten in das Halbleitermaterial hineinragend ausgebil-
deten Anteil eines Bodens des Grabens oder in der Mitte eines
Bodens des Grabens befindet und 20 nm vertikal bezüglich des
Bodens des Grabens in das Halbleitermaterial hinein reicht,
10 eine Dotierstoffkonzentration eingestellt ist, deren Wert in
einem Bereich liegt, dessen Grenzen durch $5 \cdot 10^{17} \text{ cm}^{-3}$ und
 $5 \cdot 10^{18} \text{ cm}^{-3}$, jeweils multipliziert mit einem Quotienten aus ei-
ner Konzentration eines Dotierstoffes, der als Grunddotierung
oder Wannendotierung in das Halbleitermaterial eingebracht
15 ist, gemessen in cm^{-3} , und dem Wert 10^{17} cm^{-3} , bestimmt sind.

6. Anordnung aus Speicherzellen nach einem der Ansprüche 1
bis 5,
die als Speicher vorgesehen ist,
20 bei der die Gate-Elektroden (2) jeweils mit einer als Wort-
leitung vorgesehenen metallhaltigen Schicht oder Schichtfolge
(19; 33, 34) elektrisch leitend verbunden sind und
in der der Source-Bereich (3) und der Drain-Bereich (4) einer
Speicherzelle gleichzeitig als Drain-Bereich bzw. als Source-
25 Bereich einer benachbarten Speicherzelle vorgesehen ist.

7. Anordnung nach Anspruch 6, bei der
die die Speicherschicht (6) umfassende Schichtfolge auf dem
Halbleitermaterial ganzflächig zwischen den Gate-Elektroden
30 (2) und dem Halbleitermaterial und zwischen den Wortleitungen
und dem Halbleitermaterial aufgebracht ist.

8. Anordnung nach Anspruch 6, bei der
die Speicherschicht (6) zwischen den Wänden eines in dem
35 Halbleitermaterial vorhandenen Grabens, in dem mindestens ei-
ne Gate-Elektrode (2) angeordnet ist, und/oder zwischen zwei
zueinander benachbarten Gräben unterbrochen ist.

9. Verfahren zur Herstellung einer Speicherzelle bzw. einer Anordnung nach einem der Ansprüche 1 bis 8, bei dem in einem ersten Schritt mindestens eine Lage einer in streifenförmigen Anteilen strukturierten elektrisch leitenden Schicht (8) auf einem Halbleiterkörper (1) oder einer Halbleiterschicht hergestellt wird, wobei vor dem ersten Schritt durch eine Implantation oder nach dem ersten Schritt durch eine Ausdiffusion von Dotierstoff aus einem Material der elektrisch leitenden Schicht (8) dotierte Bereiche (10; 110) für Source und Drain ausgebildet werden, in einem zweiten Schritt zwischen den streifenförmigen Anteilen der elektrisch leitenden Schicht ein Graben oder eine Mehrzahl von parallel zueinander verlaufenden Gräben hergestellt wird bzw. werden, so dass seitlich dazu Bereiche des Halbleitermaterials jeweils für einen Source-Bereich (3) und einen Drain-Bereich (4) stehen bleiben, in einem dritten Schritt ganzflächig übereinander eine Begrenzungsschicht (5), eine Speicherschicht (6) und eine Begrenzungsschicht (7) aufgebracht werden und in einem vierten Schritt ein für eine jeweilige Gate-Elektrode (2) vorgesehene elektrisch leitfähiges Material in den Gräben bzw. die Gräben eingebracht und zu mindestens einer als Wortleitung vorgesehenen Leiterbahn strukturiert wird.

25

10. Verfahren nach Anspruch 9, bei dem in dem ersten Schritt als elektrisch leitende Schicht (8) eine Schichtfolge aus einer Polysiliziumschicht (14) und einer metallhaltigen Schicht (15) aufgebracht wird.

30

11. Verfahren nach Anspruch 10, bei dem die metallhaltige Schicht (15) mindestens eine Schichtlage aus einem Material aus der Gruppe von WSi, WN und W umfasst.

35

12. Verfahren zur Herstellung einer Speicherzelle bzw. einer Anordnung nach einem der Ansprüche 1 bis 8, bei dem

in einem ersten Schritt mindestens eine Lage einer in streifenförmigen Anteilen ausgebildeten Strukturierungsschicht (25) auf einem Halbleiterkörper (1) oder einer Halbleiterschicht hergestellt wird,

5 in einem zweiten Schritt zwischen den streifenförmigen Anteilen der Strukturierungsschicht ein Graben (28) oder eine Mehrzahl von parallel zueinander verlaufenden Gräben hergestellt wird bzw. werden, so dass seitlich dazu Bereiche des Halbleitermaterials jeweils für einen Source-Bereich (3) und

10 einen Drain-Bereich (4) stehen bleiben,

in einem dritten Schritt ganzflächig übereinander eine Begrenzungsschicht (5), eine Speicherschicht (6) und eine Begrenzungsschicht (7) aufgebracht werden,

in einem vierten Schritt ein für eine jeweilige Gate-Elektrode (2) vorgesehenes elektrisch leitfähiges Material in den

15 Gräben bzw. die Gräben eingebracht wird,

in einem fünften Schritt die streifenförmigen Anteile der Strukturierungsschicht durch streifenförmige Anteile einer elektrisch leitenden Schicht (8) ersetzt werden,

20 in einem sechsten Schritt mindestens eine als Wortleitung (32) vorgesehene Leiterbahn in elektrischem Kontakt mit dem in einem Graben eingebrachten elektrisch leitfähigen Material und elektrisch isoliert von den streifenförmigen Anteilen der elektrisch leitenden Schicht aufgebracht wird und

25 vor dem ersten Schritt durch eine Implantation (11) oder nach dem fünften Schritt durch eine Ausdiffusion (110) von Dotierstoff aus einem Material der elektrisch leitenden Schicht dotierte Bereiche für Source und Drain ausgebildet werden.

30 13. Verfahren nach Anspruch 12, bei dem ein Halbleiterkörper oder eine Halbleiterschicht aus Silizium verwendet wird und

in dem fünften Schritt als elektrisch leitende Schicht mindestens eine Lage eines silicierten Metalles ausgebildet

35 wird.

14. Verfahren nach Anspruch 13, bei dem in dem fünften Schritt eine Lage aus Kobaltsilicid ausgebildet wird.

FIG 0

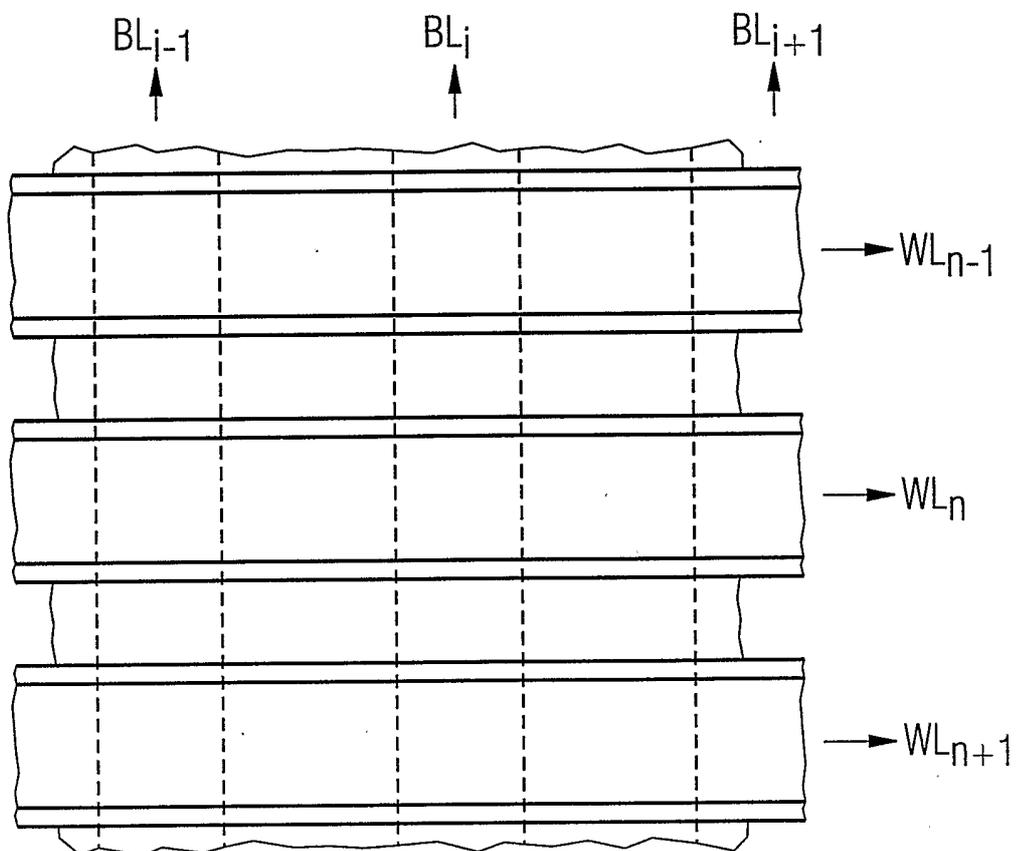


FIG 1

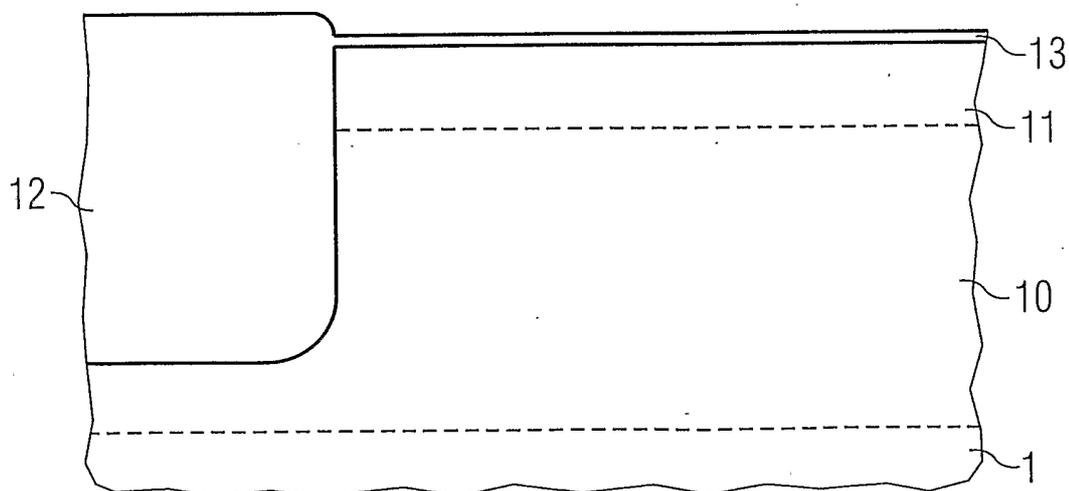


FIG 2a

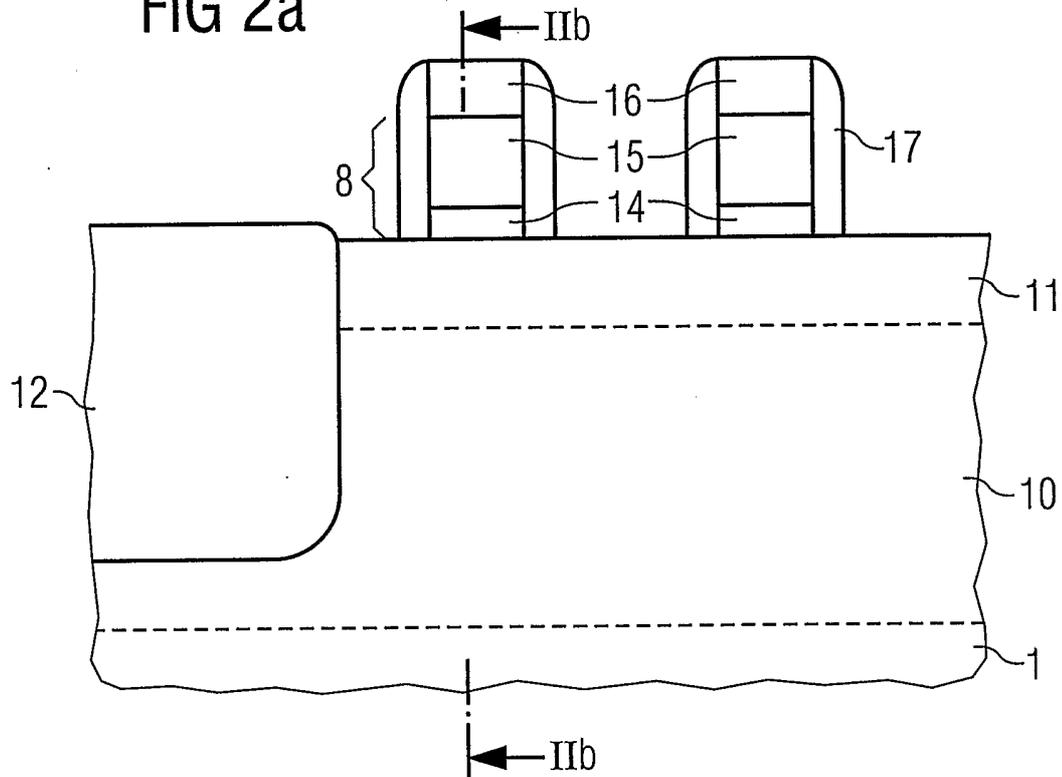


FIG 2b

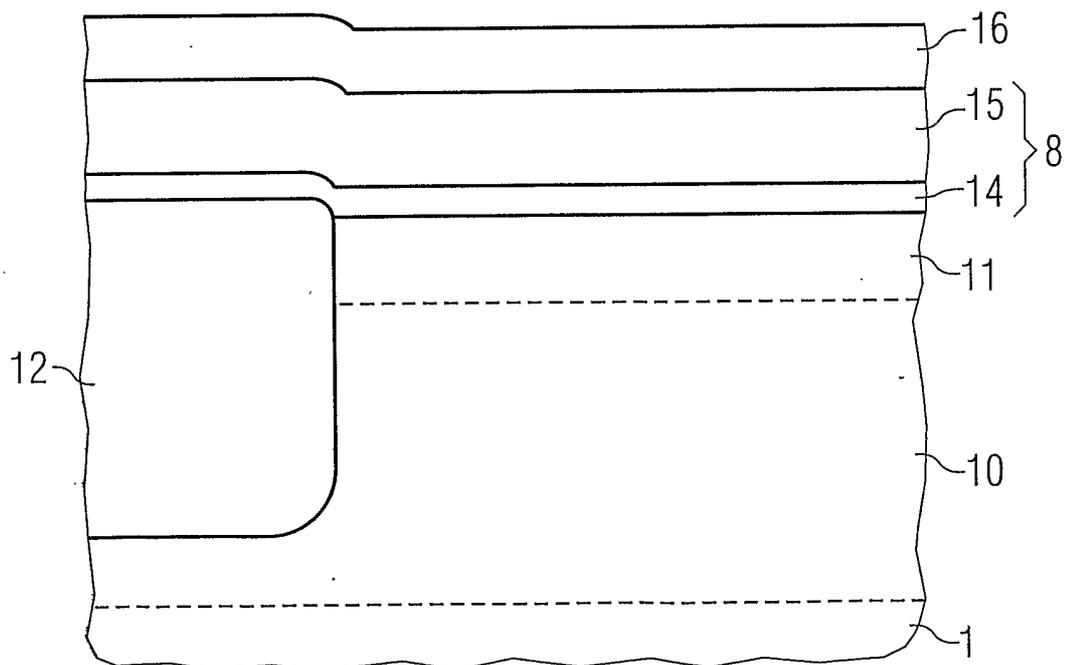


FIG 3

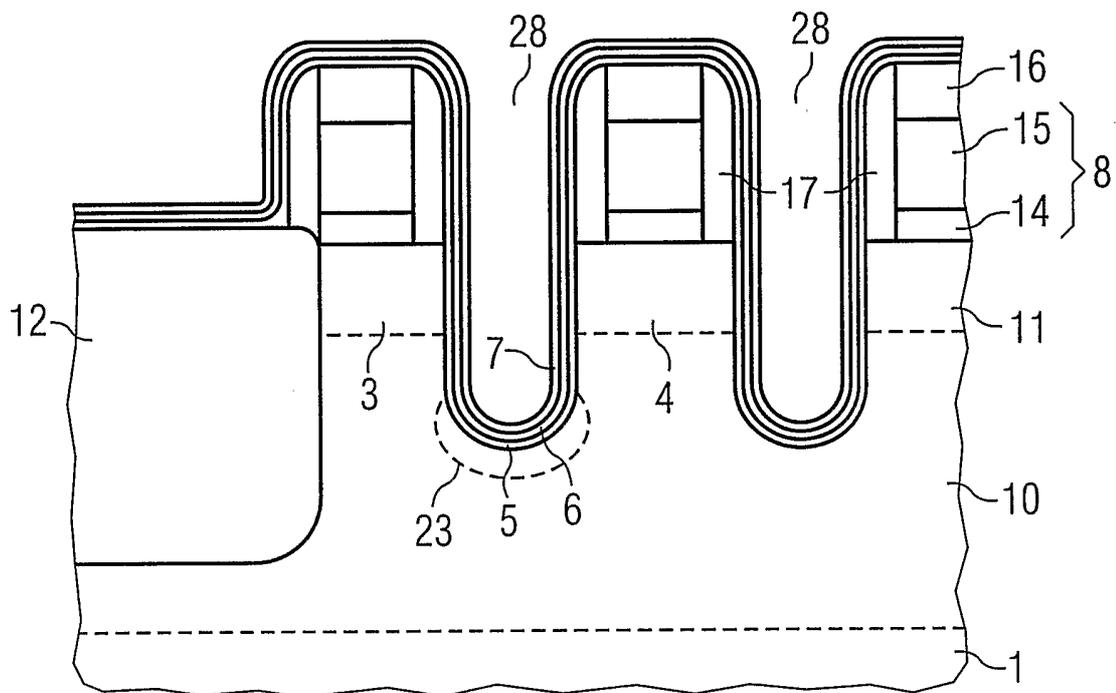


FIG 3.3a

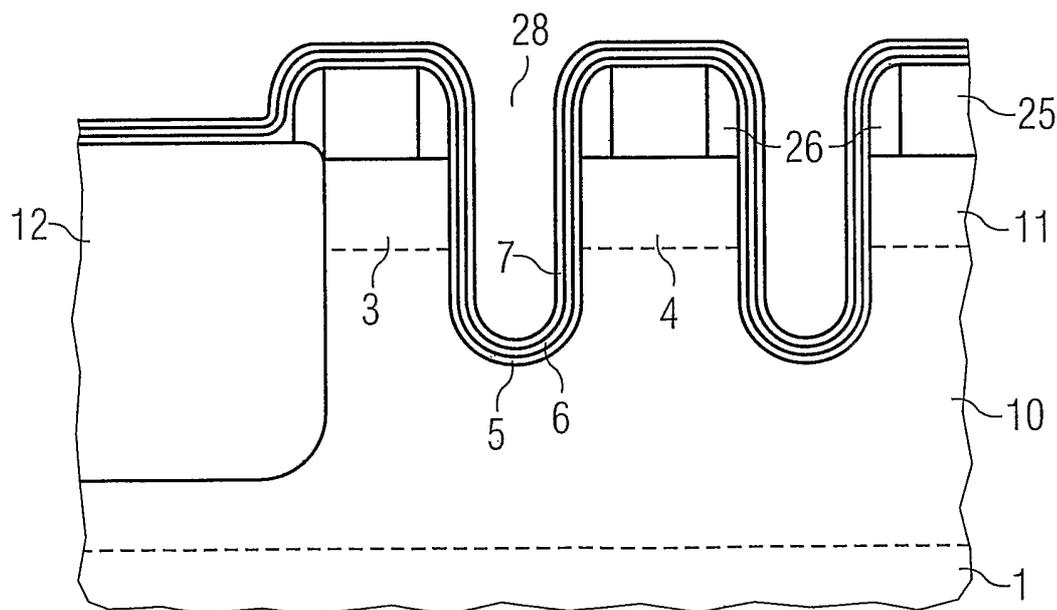


FIG 3.3b

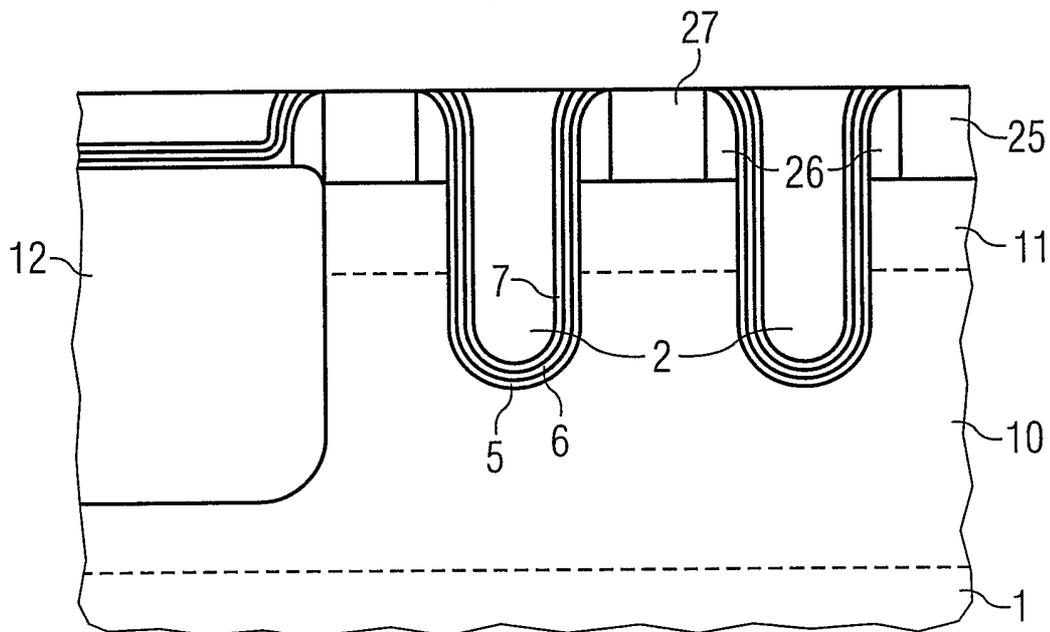


FIG 3.3c

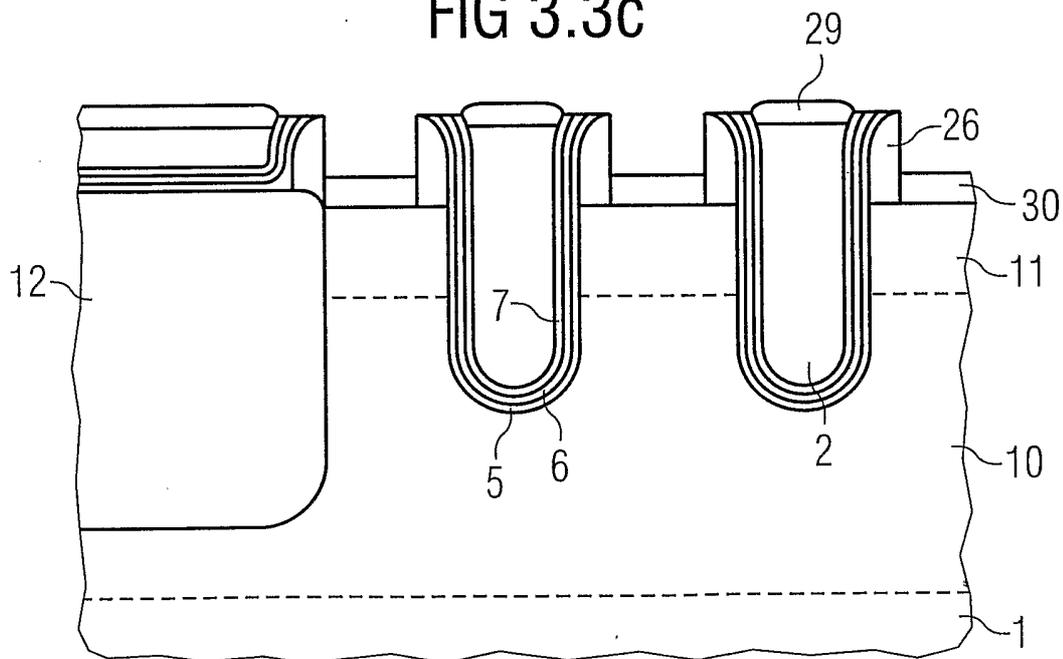


FIG 4a

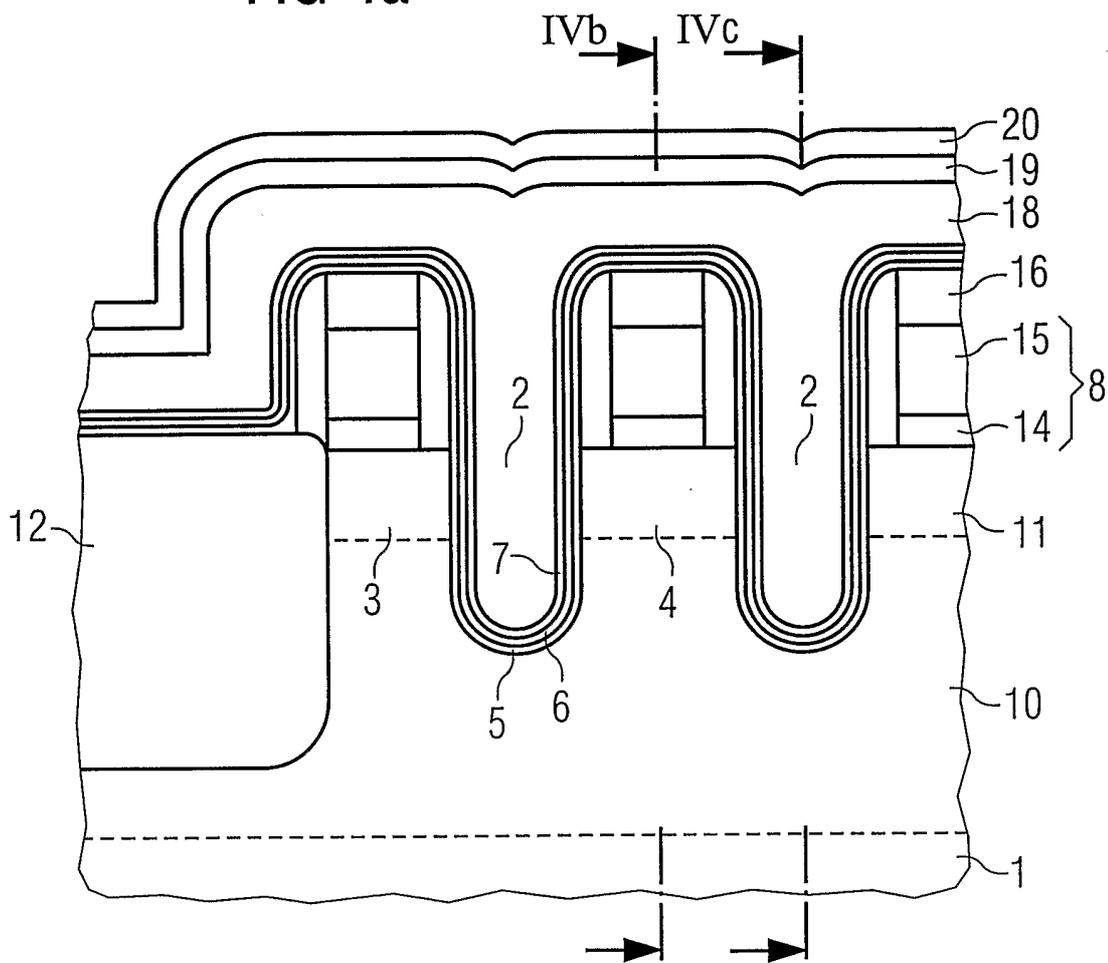


FIG 4b

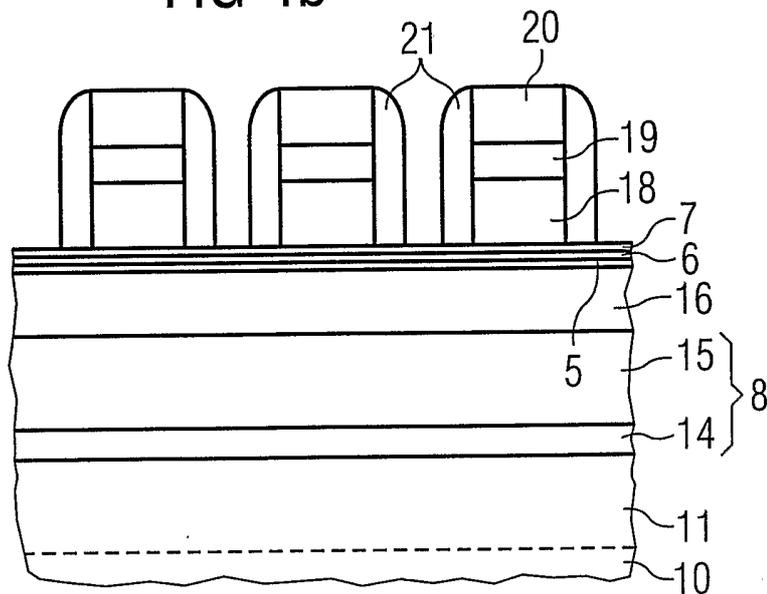
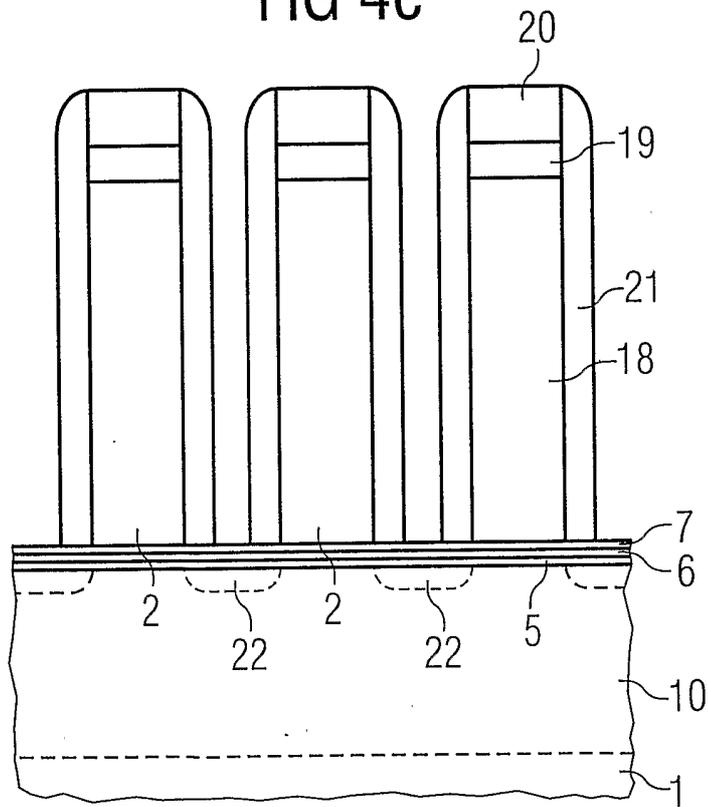


FIG 4c



7/13

FIG 4.1

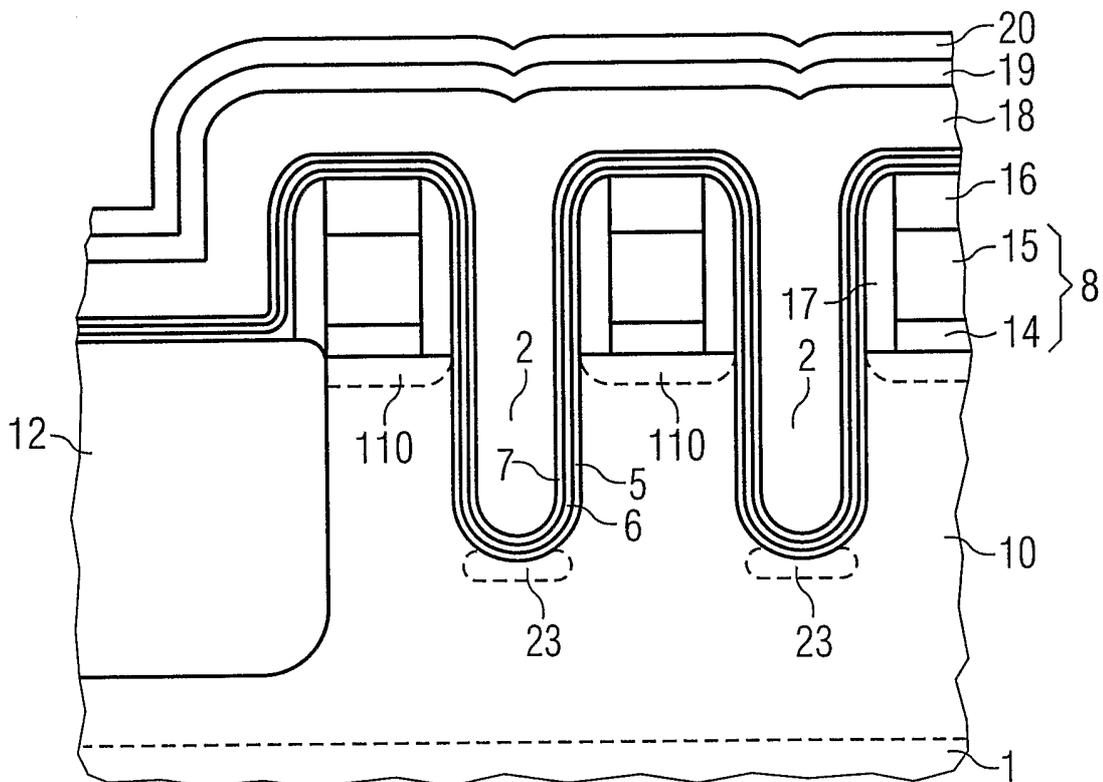


FIG 4.11

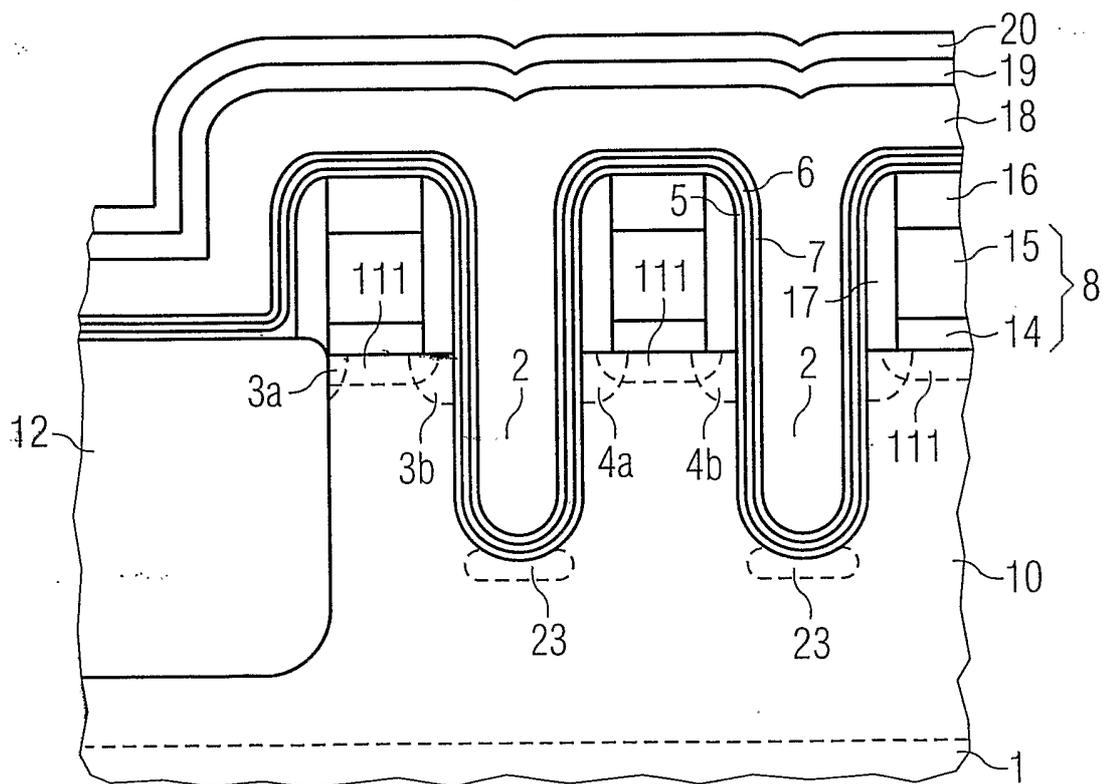


FIG 4.2b

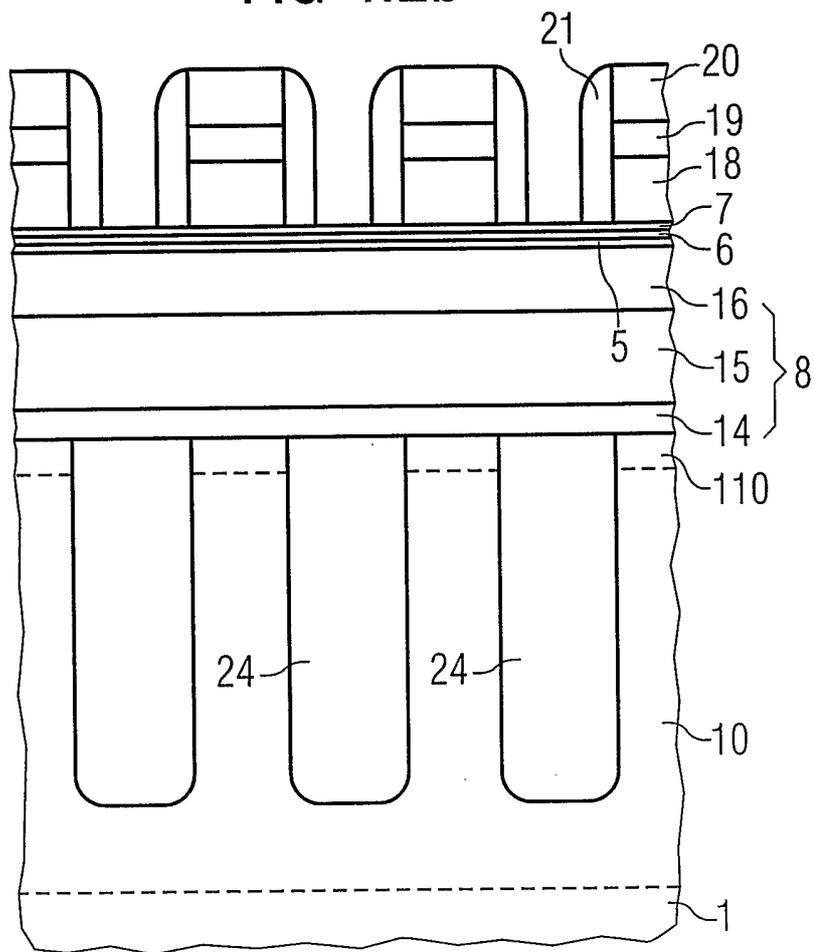


FIG 4.2c

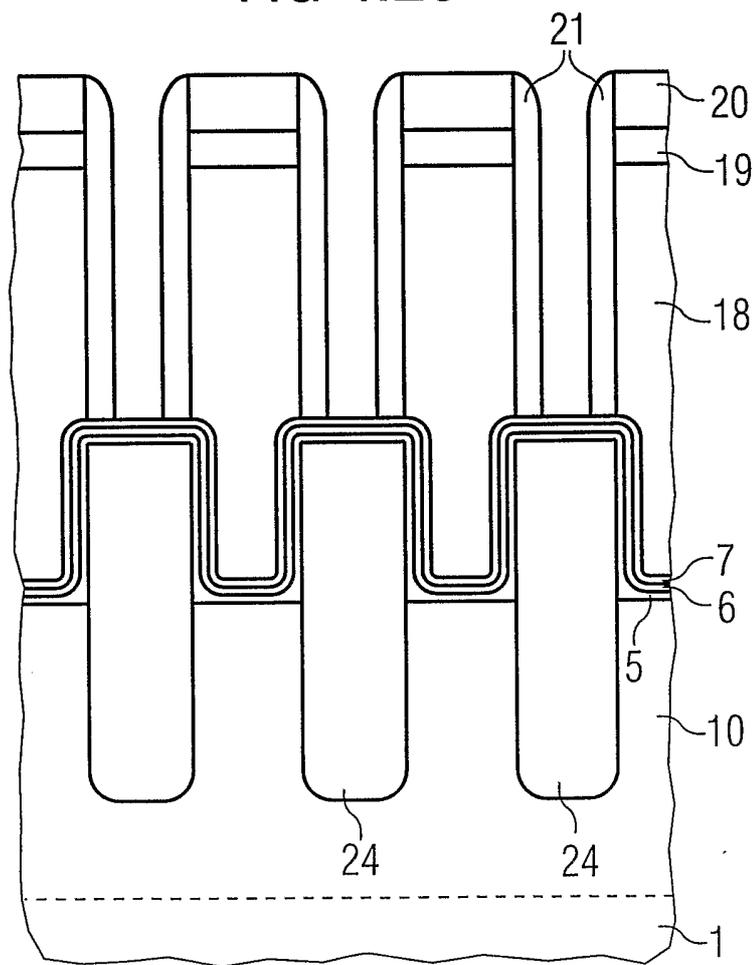


FIG 4.3a

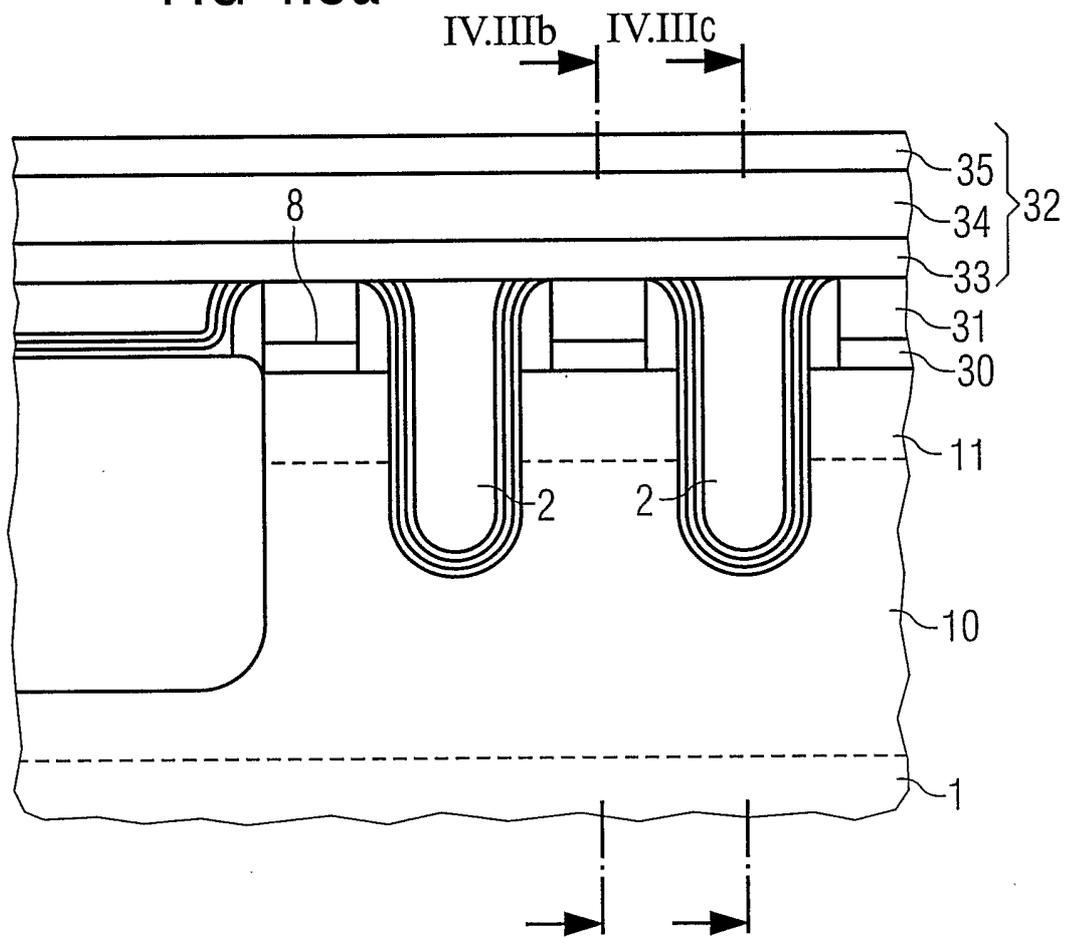


FIG 4.3b

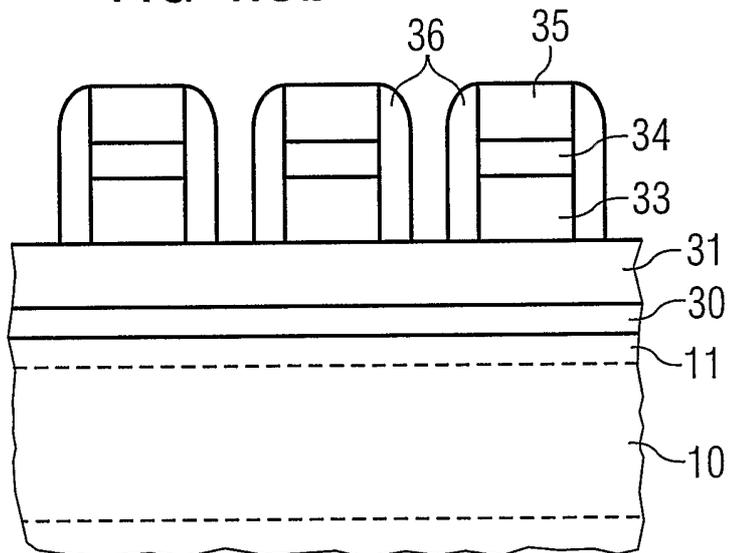


FIG 4.3c

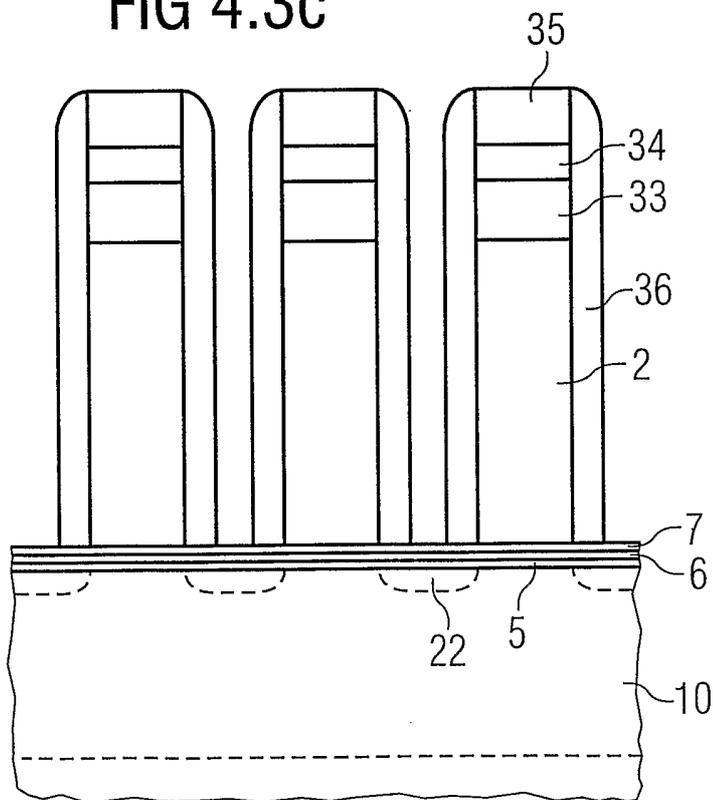


FIG 5a

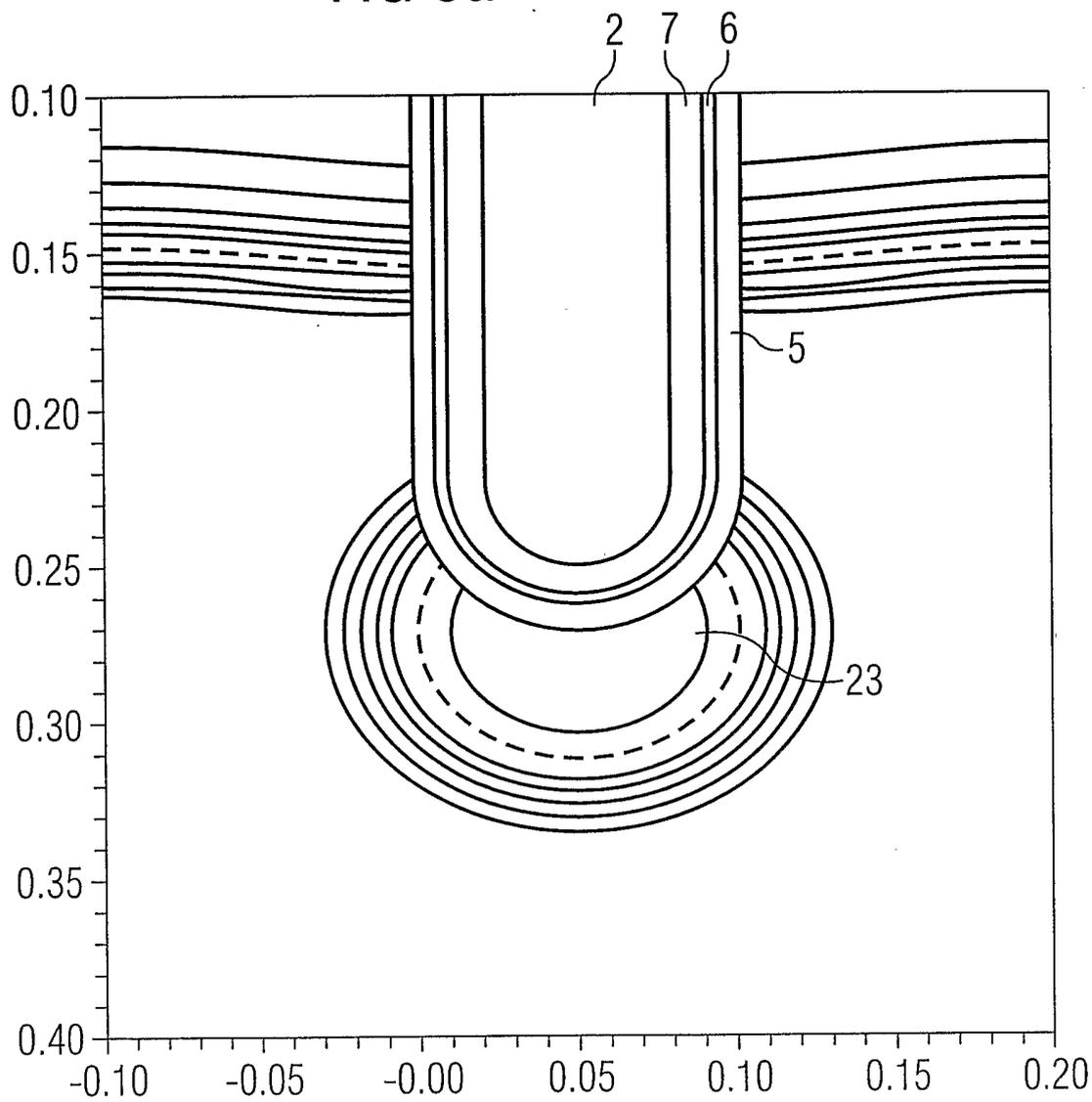


FIG 5b

