

公告本

申請日期	90 12 6
案 號	90130178
類 別	H01L 21/66

A4
C4

519711

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	差動工作特性之單端通道之校準
	英 文	CALIBRATING SINGLE ENDED CHANNELS FOR DIFFERENTIAL PERFORMANCE
二、發明 創作人	姓 名	1.西恩 P.亞當 2.威廉 J.包惠司
	國 籍	美 國
三、申請人	住、居所	1.美國麻州 02093 倫森 溪街 385 號 2.美國麻州 01778 緯蘭得 林頂路 85 號
	姓 名 (名稱)	泰瑞丹公司
三、申請人	國 籍	美 國
	住、居所 (事務所)	美國麻州 02118 波士頓哈瑞森大道 321 號
三、申請人	代 表 人 姓 名	湯馬士 S.葛里爾克

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

美 國 (地 區) 申請專利，申請日期：2000.12.12 案號：09/735,261，☒有 ☐無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ / ）

本發明一般而言係關於用於電子元件之自動測試設備，明確而言，本發明係關於單端訊號之去歪斜對，使得其能夠使用作為用於測試差動元件之差動訊號。

發明背景

自動測試設備係於製造半導體元件中扮演一個重要的角色。一般而言，製造商係使用自動測試設備或“測試器”，以於該製造程序之晶圓及封裝元件階段之下驗證半導體元件之操作。製造商亦使用自動測試設備以分類不同規格之元件，舉例而言速度。然後，元件係能夠根據其測試出之性能水準而被標示且販賣。

第 1 圖係圖示一高度簡化之自動測試設備之系統。如示於第 1 圖，一個主電腦 1 1 8 係執行一個用於透過複數個接腳電子通道而測試一受測元件 1 2 2 之測試程式，該些複數個接腳電子通道一般而言係示為通道 1 1 0 a-1 1 0 e。該複數個接腳電子通道之每一個係具有一個用於連接每一個個別的通道至該受測元件 1 2 2 之輸入／輸出端點（1 2 0 a-1 2 0 e）。該複數個接腳電子通道之每一個典型地係包含一個驅動器電路 1 1 2、一個偵測器電路 1 1 4 及通道架設電路 1 1 6。

該通道架設電路 1 1 6 係實施許多功能。一般而言，其係包含用於建立該驅動器電路 1 1 2 之驅動準位之數位至類比轉換器，及用於建立該偵測器電路 1 1 4 之臨界準位之數位至類比轉換器。其亦控制該驅動器電路 1 1 2，以於時間上之準確控制時間上施加訊號緣，且控制該偵測

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (2)

器電路 1 1 4，以於時間上之準確控制時間上取樣輸入訊號。該通道架設電路 1 1 6 係包含記憶體，其係用於儲存藉由該驅動器電路 1 1 2 而被施加至該受測元件之數位向量，且用於儲存被該偵測器電路 1 1 4 所取樣之數位狀態。

自動測試設備系統已經依顧客需要而準確地聚焦於產生單端訊號。然而，吾人係體認到準確地產生差動訊號亦有其需要。相對於單端訊號，其係藉由提供一個參考至接地之訊號而輸送數位邏輯，差動訊號根據兩個互補之訊號之差而傳送數位邏輯，該兩個互補之訊號沒有一個接地。

自動測試設備系統已經依顧客需要而使用用於產生差動訊號之單端硬體。根據此技術，測試系統已經採用驅動器對以產生改變作為彼此互補之單端訊號。為了提供足夠準確之時序訊號，該單端訊號必須被實施成於個別的 50 % 點或接近個別的 50 % 點處彼此跨越，且係於該些單端訊號被施加至該受測元件之位置。為了符合這些需求，一個測試器必須精準地控制時序歪斜。

傳統的測試系統係採用用於減少於單端通道之間之時序歪斜之程序。這些程序一般而言係牽涉到調整可變延遲線，以使不同的驅動訊號於實質上相同的時間上抵達該受測元件之節點。這些程序之一個例子係揭示於名稱為“用於同步化一個多重通道電路測試器之電路”的美國專利第 4,660,197 號之中，申請人係為美國麻州波士頓的泰瑞丹公司 (Teradyne, Inc.)。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明（ 3 ）

吾人係體認到傳統之用於減少歪斜（或去歪斜）之程序係遭遇小卻重要的誤差。舉例而言，傳統之去歪斜之程序係採用一個用於測量該通道對應之驅動器之延遲之通道偵測器。吾人亦發現於不同偵測器之間之臨限準位上之該些小的差異導致影響去歪斜之準確度之時序誤差。因為驅動器之緣係具有有限的轉換速率，於臨限準位上之誤差係轉移成時序誤差，導致該偵測器不正確報告驅動器緣產生之時間。

此外，偵測器本身係具有歪斜。雖然大部分的測試系統係提供用於去歪斜偵測器之程序，然而留存於該些偵測器之間之歪斜係加到驅動器歪斜之上，且因而降低驅動器之準確度。該些誤差之結合係可以變得太大而不能確保由該些驅動器所產生之差動訊號跨越於或跨越接近於其 50 % 點。

發明概要

因為上述之發明背景，本發明之一個目的係為比使用傳統技藝更準確地減少用於產生差動訊號之單端訊號之間之時序歪斜。

為了達成上述目的及其他目的及優點，一個測量電路係連接至第一及第二驅動器電路之輸出端。該測量電路具有：一個第一輸入端，其用於連接至該第一驅動器電路之該輸出端；及一個第二輸入端，其用於連接至該第二驅動器電路之該輸出端。該第一驅動器電路及該第二驅動器電路之每一個係被實施成產生一個邊緣。由該第一驅動器電

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明(4)

路及該第二驅動器電路而來之該些邊緣向該受測元件上之非終端負載及該測量電路傳送，其中，該些邊緣導致該測量電路之該第一及第二輸入端之每一個進行一個第一電壓步階。當該些邊緣遭遇於該受測元件上之個別的非終端負載時，其向著該測量電路反射回去，其中，該些邊緣導致該測量電路之該第一及第二輸入端之每一個進行一個第二電壓步階。然後，於該第一及第二電壓步階之間之時間差係於該測量電路之兩個輸入端處測量出。爲了回應該些時間差，該第一驅動器電路及該第二驅動器電路之至少一個的延遲係被調整，以實質上相等化由該第一及第二驅動器電路至該受測元件之邊緣之到達時間。因爲一個電路（亦即該測量電路）係測量由該兩個驅動器而來之延遲，所以使用兩個偵測器電路相關之誤差係被消除且獲得更準確的結果。

圖示簡單說明

由後續敘述及圖示，本發明之另外的目的、優點及新穎的特色將變得明白，其中：

第 1 圖係一個傳統之自動測試設備系統之簡化及部分方塊圖；

第 2 圖係一個本發明可以實施之數位通道之簡化及部分方塊圖；

第 3 圖係一個顯示根據本發明之差動應用之去歪斜驅動器電路之程序之流程圖；及

第 4 圖係一個顯示相關於使用第 2 圖之該數位通道之

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明(5)

去歪斜驅動器電路之不同波形之時序圖。

[元件符號說明]

1 1 0 a	接腳電子通道
1 1 0 b	接腳電子通道
1 1 0 c	接腳電子通道
1 1 0 d	接腳電子通道
1 1 0 e	接腳電子通道
1 1 2	驅動器電路
1 1 4	偵測器電路
1 1 6	通道架設電路
1 1 8	主電腦
1 2 0 a	輸入／輸出端點
1 2 0 b	輸入／輸出端點
1 2 0 c	輸入／輸出端點
1 2 0 d	輸入／輸出端點
1 2 0 e	輸入／輸出端點
1 2 2	受測元件
2 0 0	自動測試設備之數位通道
2 1 0	第一驅動器
2 1 2	第二驅動器
2 1 4	第一單端比較器
2 1 6	第二單端比較器
2 1 8	差動比較器
2 2 0	共模比較器

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (6)

2 2 2	資料抓取記憶體
2 2 4	可變延遲電路
2 2 6	可變延遲電路
2 2 8	可變轉換速率電路
2 3 0	可變轉換速率電路
4 1 0	波形
4 1 2	第一電壓步階
4 1 4	第二電壓步階
4 2 2	第一電壓步階
4 2 4	第二電壓步階

較佳實施例之說明

第 2 圖係顯示一個用於根據本發明所構成的自動測試設備之數位通道 2 0 0 之拓樸圖。如示於第 2 圖，第一驅動器 2 1 0 及第二驅動器 2 1 2 係透過個別的傳送路徑，提供單端輸出訊號至一個受測元件之第一及第二節點，該受測元件之第一及第二節點係標示為“受測元件 高”及“受測元件 低”。第 2 圖之該受測元件係類似於第 1 圖之該受測元件 1 2 2，且第 2 圖之傳送路徑係類似於第 1 圖之訊號路徑 1 2 0 a-1 2 0 e。

可變延遲電路 2 2 4 及 2 2 6 延遲由該第一驅動器 2 1 0 及該第二驅動器 2 1 2 至該受測元件之訊號之通過。此外，可變轉換速率電路 2 2 8 及 2 3 0 係改變由該第一驅動器 2 1 0 及該第二驅動器 2 1 2 所產生之驅動訊號之轉換速率。為了準確地去歪斜由該第一驅動器 2 1 0 及該

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明（ 7 ）

第二驅動器 2 1 2 而來之訊號，較佳的情況是，該第一驅動器 2 1 0 及該第二驅動器 2 1 2 之轉換速率及其對於該受測元件之延遲兩者應匹配。

如示於第 2 圖，該數位通道 2 0 0 係包含第一單端比較器 2 1 4 及第二單端比較器 2 1 6。該第一單端比較器 2 1 4 及該第二單端比較器 2 1 6 係具有個別連接至該第一驅動器 2 1 0 及該第二驅動器 2 1 2 之輸出端之輸入端。較佳的情況是，該第一單端比較器 2 1 4 及該第二單端比較器 2 1 6 之每一個係提供兩個可程式臨限值，且因此作為如同傳統之窗比較器。

第 2 圖亦顯示一個差動比較器 2 1 8。該差動比較器 2 1 8 比較兩個輸入訊號（標示為“A”及“B”）及兩個預先決定之臨限值之間之差，以產生輸出訊號。該些輸出訊號指示該些訊號 A 及 B 相對於該些臨限值之間之差之相對值。因此，該差動比較器 2 1 8 之行爲係類似於一個連接於一個傳統窗比較器之傳統類比差動比較器。該差動比較器係實質上與其輸入端之共模電壓無關地操作。

較佳地，該差動比較器 2 1 8 係包含一個閂鎖，其係用於於一程式時序訊號發出時保持其輸出狀態為常數。該時序訊號之位置能夠被改變成於時間上之不同的時點上偵測該差動訊號。該測試系統係儲存由該差動比較器 2 1 8 而來之閂鎖輸出於該資料抓取記憶體 2 2 2，該資料抓取記憶體 2 2 2 係可以由一個測試程式所讀取。

第 2 圖亦圖示一個共模比較器 2 2 0。該共模比較器

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明(8)

220係類似於揭示於名稱爲“具有用於自動測試設備之共模比較器之偵測器”之美國專利第09/525,557號，其係於此併入作爲參考。

類似於該差動比較器218，該共模比較器接收由該第一驅動器210及該第二驅動器212而來之輸入訊號A及B。不監視其差，而是該共模比較器220監視其共模或平均值。該共模比較器220比較兩個輸入訊號A及B之平均值及可程式化之臨限值，以產生輸出訊號。因此，該共模比較器220之行爲係類似於一個連接於一個傳統窗比較器之傳統平均電路。

較佳的情況爲，示於第2圖之該電路係製造於一個單一特定應用積體電路(ASIC)之內。其他實施係能夠被使用，包含多重特定應用積體電路及個別的元件。於該實施之電路之中，較佳的情況爲，於該第一驅動器210及該第二驅動器212及該差動比較器218之輸入(A及B)之間之傳送延遲係匹配的。類似地，較佳的情況爲，於該第一驅動器210及該第二驅動器212及該共模比較器220之輸入之間之傳遞延遲係匹配的。

操作

第3圖係圖示一個根據本發明之用於減少兩個驅動器之間之時序歪斜之程序，諸如於第2圖中之該些驅動器。根據該程序，一個測試系統係採用一個測量電路，諸如該差動比較器218，以決定該些驅動器之每一個及該受測元件之間之傳遞延遲中之差。爲了回應該於測量出之延遲

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(9)

上之差，至少該些可變延遲線 2 2 4 及 2 2 6 之一個係被調整，以補償該差，因而導致該些驅動器訊號於實質上相同之時間抵達該受測元件。

於步驟 3 1 0 開始時，一個第一驅動器，舉例而言為該驅動器 2 1 0，係產生一個邊緣，而一個第二驅動器，舉例而言為該驅動器 2 1 2，係產生一個常數之準位，諸如 0 準位。由該第一驅動器 2 1 0 而來之該邊緣係向該受測元件傳送；其亦傳送至該差動比較器 2 1 8 之一個第一輸入端 (A)。第 4 圖之波形 4 1 0 說明於該差動比較器之該第一輸入端之訊號。如示於第 4 圖，當該邊緣到達該差動比較器之該第一輸入端時，其導致該差動比較器之該第一輸入端送行一個第一電壓步階 4 1 2。

當該邊緣到達該受測元件時，該邊緣透過該傳送路徑向著該來源反射回去，亦即向著該第一驅動器 2 1 0 反射回去。由該傳送路徑之相當良好控制之阻抗至一個開路負載之該邊緣之轉變造成該邊緣之振幅大約變成兩倍。然後，該反射之邊緣係傳送回去，而向著該驅動器 2 1 0，且到達該差動比較器 2 1 8 之該輸入端。於此時點，於該差動比較器 2 1 8 之該第一輸入端之訊號係進行一個第二電壓步階 4 1 4，大約為該邊緣之振幅之兩倍。

於該程序之此部分期間，較佳的情況為，該受測元件係由其測試皮或插座移出，使得於該受測元件之位置上之負載基本上係開路。較佳的情況為，該傳送路徑係具有相當均勻之特性阻抗，舉例而言 5 0 歐姆。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (10)

吾人係體認到，分隔於該差動比較器之該第一輸入端之該第一電壓步階 4 1 2 及該第二電壓步階 4 1 4 之時間間隔 (T_{DHI}) 係大約等於該驅動器 2 1 0 及該受測元件之端點之間之來回程延遲。該測試系統能夠如下所述而測量大約之來回程延遲。

該測試系統設定該差動比較器 2 1 8 之一個臨限值成為該第一電壓步階之一個期望之 5 0 % 點 4 1 6。舉例而言，假如由該驅動器所產生之訊號係於 1 伏特及 0 伏特之間變化（於變成兩倍之前），則該差動比較器之該臨限值較佳地係設定成該擺幅之中點，或 0.5 伏特。然後使用傳統的技術，該測試系統係測量該邊緣跨越該比較器之臨限值之時間。舉例而言，此係能夠藉由改變該差動比較器 2 1 8 被門鎖之時間同時監視該比較器之輸出且於該比較器改變狀態時零化而達成。

一旦該系統確認該第一電壓步階產生之時間，該系統調整該臨限值至該第二電壓步階 4 1 4 之一個 5 0 % 之點。舉例而言，假如該反射之訊號係於 0 伏特至 -1 伏特之間變化，則較佳地，該臨限值應該設定成 -0.5 伏特。再次地，使用傳統的技術，該測試系統係測量該反射波形跨越該比較器之臨限值之時間。於步驟 3 1 6 中，然後，該驅動器訊號之該大約的來回程延遲係被計算出。該來回程延遲係等於該第二步階跨越其 5 0 % 點之時間減去該第一步階跨越其 5 0 % 點之時間。

然後，上述之程序係重複於該第二驅動器電路之上（

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (11)

步驟 3 1 8)。爲了測量該第二驅動器 2 1 2 之大約的來回程延遲，該第一驅動器 2 1 0 係維持於一個常數之準位，較佳地爲 0 伏特，且該第二驅動器 2 1 2 係以一個邊緣驅動。該項測量實質上係與上述之程序相同，除了該第一電壓步階 4 2 2 及第二電壓步階 4 2 4 係出現於該差動比較器 2 1 8 之該第二輸入端 (B) 之外。因爲該第二輸入端 (B) 係該差動比較器之一個反相輸入端，所以該臨限值 4 2 6 及 4 2 8 應該被調整成考慮到於該比較器內之反相。舉例而言，假如該第二驅動器 2 1 2 產生一個於 0 伏特及 1 伏特之間變化之訊號 (除了該反射之外)，則該差動比較器 2 1 8 之該臨限值應設定成 -0.5 伏特及 -1.5 伏特，以分別捕捉該第一及第二電壓步階。

有意義的是，吾人係瞭解到，這兩個來回程延遲之間之差係準確地等於該些驅動器及該受測元件之該個別端點之間之該歪斜。然而，此關係之有效性係根據由該第一驅動器 2 1 0 至該第一輸入端 (A) 及由該第二驅動器 2 1 2 至該第二輸入端 (B) 之延遲之準確地匹配而定。藉由設計，較佳地，該自動測試設備之數位通道 2 0 0 係建構成符合此條件。

因爲當該些驅動器訊號到達該受測元件時該些驅動器訊號之間之歪斜係爲已知，所以該歪斜能夠藉由調整該可變延遲電路 2 2 4 及 2 2 6 而獲得補償 (步驟 3 2 0)。舉例而言，假如上述之測量係顯示該第一驅動器訊號係比該第二驅動器訊號早到達該受測元件，則該延遲電路 2 2

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (12)

4 能夠被程式規劃以增加其延遲。或者，該第二延遲電路 2 2 6 能夠被程式規劃以減少其延遲，或者該第一延遲電路 2 2 4 及該第二延遲電路 2 2 6 能夠被調整，以分配於延遲上之差。

爲了由上述技術中獲得最佳的結果，較佳的情況爲，由該第一驅動器 2 1 0 及該第二驅動器 2 1 2 所產生之該些訊號之歪斜率亦應係匹配的，且於上述程序被實施以匹配該些延遲之前，該歪斜率亦應匹配的。爲了測量由一個驅動器而來之一個訊號之歪斜率，較佳的情況爲，該測試系統係採用與上述相同之差動比較器及基本技術，以測量延遲。首先，該差動比較器 2 1 8 之一個臨限值係設定成該期望之電壓擺動之 2 0 % 點（例如波形 4 3 0 之臨限值 4 3 2）。使用傳統技術，然後，決定該驅動器訊號跨越該 2 0 % 臨限值之時間。然後，該臨限值係移動至該期望之電壓擺動之 8 0 % 點（例如波形 4 3 0 之臨限值 4 3 4）。使用傳統技術，然後，決定該驅動器訊號跨越該 8 0 % 臨限值之時間。該 2 0 % 跨越之時間及該 8 0 % 跨越之時間之間之時間係正比於該驅動器訊號之該歪斜率。然後，該第二驅動器 2 1 2 之該歪斜率係使用相同之技術測量。一旦該歪斜率被測量出，該歪斜率調整電路 2 2 8 及 2 3 0 中至少一個係被調整，以等化該兩個訊號之該歪斜率（步驟 3.1 4）。

優點

上述之技術係提供未發現於傳統去歪斜技術中之優點

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(13)

。鑑於傳統技術係採用分離之偵測器電路，以測量其對應之驅動器之延遲，根據本發明之技術係使用一個單一測量電路。因此，本發明之技術係不會遭遇不同的偵測器電路之間之臨限值準位之誤差。此外，因為於該些電路及該測量電路之間之該些延遲較佳的情況為匹配的，所以不需要去歪斜該些偵測器，以準確地去歪斜該些驅動器。於去歪斜偵測器中之誤差不會減少驅動器之準確度。因為這些不同的誤差係被消除，所以由該第一驅動器 210 及該第二驅動器 212 所產生之該些差動訊號能夠被實施成於其 50% 點或接近 50% 點處跨越，且因而更可靠地輸送其資料。此外，由於該第一驅動器 210 及該第二驅動器 212 係本來即為單端的，所以其係能夠產生單端或差動的去歪斜訊號，其係根據受測特定元件之測試需求而定。

替代方案

已經敘述一個實施例，許多替代實施例或變化係能夠被實施。舉例而言，上述之實施例係採用該差動比較器 218，以決定該第一驅動器 210 及該第二驅動器 212 之延遲及轉換速率。或者，係能夠使用該共模比較器 220。不操作於由該第一驅動器 210 及該第二驅動器 212 而來之訊號之間之差，該共模比較器 220 操作於其平均值。又一個替代實施例係為，係能夠使用任何具有至少兩個接收由該第一驅動器 210 及該第二驅動器 212 而來之輸出訊號之輸入端的適合的測量電路。

於該較佳實施例之中，個別的延遲電路及轉換調整電

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明（14）

路係提供給每一個驅動器。或者，僅使用一個可變延遲電路及一個轉換速率調整電路。當僅使用一個可變延遲電路時，該可變延遲電路係設置成與一個第一驅動器串聯，且一個固定的延遲電路係被加入而與一個第二驅動器串聯。該可變延遲電路之該中間刻度延遲係大約等於該固定延遲電路之該延遲，使得該可變延遲電路能夠調整其延遲相對於該固定延遲係正值的或負值的。類似地，當僅使用一個轉換速率調整電路時，該不具有轉換速率調整電路之驅動器係有一個比另一個驅動器之最大轉換速率為慢之轉換速率。然後，該另一個驅動器之該轉換速率調整電路係能夠被改變，以等化該兩個驅動器之轉換速率。

上述之實施例係以一特定之次序實施：測量該第一驅動器 210 之該延遲；然後，測量該第二驅動器 212 之該延遲。如同熟悉本項技藝人士所熟知，此次序係任意的且能被相反配置。

類似地，該第一驅動器 210 係如上所顯示且產生一個下降邊緣，以用於測量其來回程延遲，且該第二驅動器 212 係被顯示且產生一個上升邊緣。此亦係能夠被相反配置。或者，該上升及下降邊緣係能夠被產生且用於測量該兩個驅動器。

於上述之實施例中，用於校正歪斜之技術係於上升及下降邊緣之間沒有差別。於某些例子中，係期望分別校正該上升及下降邊緣。因此，根據另一個替代實施例，係測量每一個驅動器之上升及下降邊緣之來回程延遲。然後，

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (15)

不同的延遲係根據是否一個上升或下降邊緣係被產生，而建立於該可變延遲電路 2 2 4 及 2 2 6 之中。

類似地，於校正轉換速率時，上述之技術於上升及下降邊緣之間係無區別的。或者，對於上升及下降邊緣而言，轉換速率係能夠被測量，且係能夠提供個別的校正，以產生上升及下降邊緣。

如上所述，轉換速率係使用差動比較器 2 1 8 而測量出。此係被選擇，用於簡化及增強準確度，然而，其並非必要的。轉換速率係一個個別訊號之特徵，而非該些訊號之間之特徵。因此，其係能夠由單端比較器 2 1 4 及 2 1 6 所測量，或者，於另一個觀點中，係藉由該共模比較器 2 2 0。此外，轉換速率係藉由測量一個於其 2 0 % 點至 8 0 % 點之電壓步階而決定。這些測量所實施之點能夠隨著情況改變而改變，以於該些環境下獲得最佳之結果。

於上述之技術之中，一個單一臨限值電路係用於測量每一個驅動器之該來回程延遲。首先，該臨限值電路係置放一個臨限值於一個第一電壓步階之該中間點；然後，其移動該臨限值至一個第二電壓步階之該中間點。可以確信的是，使用一個單一臨限值電路係提供比使用兩個不同的臨限值電路具有較大的準確性。然而，本發明不應被解釋成受限於使用一個單一臨限值電路。

一個邊緣之中間點對於決定一個邊緣之時序係方便的，且因而用於測量該驅動器訊號之來回程時間。然而，其他點或點之群組係能夠被使用，假如該點或其他點係使用

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (16)

於一個不會使該測量結果失真之一致情況之下的話。

如上所述，一般而言，該受測元件係於測量該些驅動器之該來回程延遲之前移除。移除該受測元件係導致當該些驅動器訊號到達該受測元件大致上設置之位置時，該驅動器訊號查看開路負載。然而，假如該受測元件之該輸入阻抗係夠高，則該受測元件能夠於這些測量期間維持連接著，而具有相同的結果。

作為一個提供一開路電路負載之替代方案，係能夠使用任何不匹配之負載，亦即，任何不於其特徵阻抗中終止該傳送路徑之負載。舉例而言，係能夠使用一個短路負載接地。不造成該驅動器訊號之振幅變成兩倍，該短路負載將造成其返回零。然後，上述之技術係適用於測量於該兩個由此配置所產生之電壓步階之間之時間間隔。

此外，該較佳實施例係提供於該些驅動器及該些輸入端之間之電氣延遲對於該測量電路係為匹配的。雖然係為較佳的情況，然而此卻非必要的。上述之技術係能夠與不匹配之延遲一起使用，假設該些延遲係為已知。根據此變化之形式，建立於該可程式延遲中之該些延遲係能夠被抵補，以補償該些驅動器及該測量電路之該些輸入端之間之歪斜，而不需要該些延遲係準確地匹配。

這些替代實施例及變化形式以及其他形式之每一個係為發明人所熟知，且係意欲落於本發明之範疇之中。因此，應瞭解的是，上述之敘述係為例示性的，且本發明應只受限於後附申請專利範圍之精神及範疇之內。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要（發明之名稱：

)

差動工作特性之單端通道之校準

一種用於去歪斜由一自動測試設備之不同驅動器而來之單端訊號之設備及方法係提供足夠的歪斜減少，以允許差動訊號跨越其 50 % 之點或跨越其接近 50 % 之點。根據此技術，第一驅動器電路及第二驅動器電路係透過具有已知且較佳為相等之傳播速率之通道，而分別連接至一個測量電路之第一及第二輸入端。該第一驅動器電路及第二驅動器電路之每一個係產生一個邊緣，其向著該受測元件傳送，且當其到達一個於該受測元件之位置上之不匹配之負載時反射回來。為了回應該邊緣及其反射，該測量電路

英文發明摘要（發明之名稱：CALIBRATING SINGLE ENDED CHANNELS FOR DIFFERENTIAL PERFORMANCE)

An apparatus and method for deskewing single-ended signals from different driver circuits of an automatic test system provides enough of a reduction in skew to allow differential signals to cross at or near their 50%-points. In accordance with this technique, first and second driver circuits are respectively coupled to first and second inputs of a measurement circuit through pathways having known and preferably equal propagation delays. The first and second driver circuits each generate an edge that propagates toward the DUT, and reflects back when it reaches a respective unmatched load at the location of the DUT. In response to the edge and its reflection, the first and second inputs of the measurement circuit each see a first voltage step and a second voltage step. The interval between the first and second voltage steps is then measured for each input of the measurement circuit. Variable delay circuits disposed in series with the driver circuits are adjusted in response to the measured intervals, to ensure that signals from the first and second driver circuits arrive at the DUT at substantially the same time. The measurement circuit may also measure the slew rates of the signals from the first and second driver circuits. Slew rate adjustment circuits provided with the driver circuits are then adjusted to substantially equalize slew rates from the first and second driver circuits.

四、中文發明摘要（發明之名稱：

之第一及第二輸入端之每一個係具有一個第一電壓步階及一個第二電壓步階。然後，對於該測量電路之每一個輸入端測量該第一及第二電壓步階之間之時間間隔。設置成與該些驅動器電路之可變延遲電路係可調整，以回應該測量出之時間間隔，以確保由該第一驅動器電路及第二驅動器電路而來之訊號係於實質上相同的時間到達該受測元件。該測量電路亦可以測量由該第一驅動器電路及第二驅動器電路而來之訊號之轉換速率。然後，連接至該第一驅動器電路及第二驅動器電路之轉換速率調整電路係被調整，以實質上使得由該第一驅動器電路及第二驅動器電路而來之轉換速率係相同。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

六、申請專利範圍

1．一種用於去歪斜第一及第二驅動器電路之方法，其係用於產生一個於其構成成分之間具有相當小的時序歪斜之差動訊號，該方法係包含：

(A)產生由該第一驅動器電路及第二驅動器電路之每一個而來之邊緣，該邊緣係傳送至一個個別的不匹配之負載；

(B)於一個測量電路之一個第一輸入端接收由該第一驅動器電路而來之該邊緣，且於該測量電路之一個第二輸入端接收由該第二驅動器電路而來之該邊緣，該邊緣之每一個係包含：一個第一電壓步階，以回應於該步階 A；及一個第二電壓步階，以回應由該個別的不匹配之負載而來之該邊緣的反射；及

(C)對於該測量電路之該第一輸入端及該第二輸入端之每一個，測量該第一電壓步階及該第二電壓步階之間之時間差。

2．如申請專利範圍第 1 項所述之用於去歪斜第一及第二驅動器電路之方法，其進一步包含：

(D)調整由該第一驅動器電路及該第二驅動器電路之至少一個所產生之該些邊緣之一延遲，以回應於於步驟 C 所測量出之時間差，使得由該第一驅動器電路及該第二驅動器電路而來之該些邊緣於實質上相同的時間抵達一個受測元件。

3．如申請專利範圍第 2 項所述之用於去歪斜第一及第二驅動器電路之方法，其進一步包含：由該第一驅動器

六、申請專利範圍

電路及該第二驅動器電路產生一個實質上去歪斜之差動訊號。

4．如申請專利範圍第3項所述之用於去歪斜第一及第二驅動器電路之方法，其進一步包含：

施加該實質上去歪斜之差動訊號至該受測元件之一個差動輸入端；及

使用該實質上去歪斜之差動訊號測試該受測元件。

5．如申請專利範圍第1項所述之用於去歪斜第一及第二驅動器電路之方法，其中，該測量電路係與該第一驅動器電路及該第二驅動器電路一起製造於一個積體電路之內。

6．如申請專利範圍第2項所述之用於去歪斜第一及第二驅動器電路之方法，其中，

該第一驅動器電路及該第二驅動器電路之每一個係對於該測量電路之個別輸入端具有一個傳遞延遲，且

該調整之步驟係考量到該第一驅動器電路及該第二驅動器電路對於該測量電路之該些個別的輸入端之傳遞延遲。

7．如申請專利範圍第2項所述之用於去歪斜第一及第二驅動器電路之方法，其中，

該第一驅動器電路及該第二驅動器電路之每一個係對於該測量電路之個別輸入端具有一個傳遞延遲，且

於該第一驅動器電路及該第二驅動器電路與該測量電路之該些個別輸入端之間之該些傳遞延遲係匹配的。

六、申請專利範圍

8．如申請專利範圍第2項所述之用於去歪斜第一及第二驅動器電路之方法，其進一步包含：

該測量電路係產生一個輸出訊號，該輸出訊號之變化係與由該第一驅動器電路及該第二驅動器電路而來之該些訊號之加總以及由該第一驅動器電路及該第二驅動器電路而來之該些訊號之間之差之一有關；及

比較該測量電路之該輸出訊號及至少一個預定之臨限值。

9．如申請專利範圍第8項所述之用於去歪斜第一及第二驅動器電路之方法，其中，當該第一驅動器電路係產生由該第一驅動器電路而來之邊緣時，該第二驅動器電路係產生一個穩定的輸出訊號，且當該第二驅動器電路係產生由該第二驅動器電路而來之邊緣時，該第一驅動器電路係產生一個穩定的輸出訊號。

10．如申請專利範圍第9項所述之用於去歪斜第一及第二驅動器電路之方法，其中，該測量於該第一及第二電壓步階之間之時間差之步驟C係包含測量於該第一電壓步階之一個50%點及該第二電壓步階之一個50%點之間之時間差之步驟。

11．如申請專利範圍第1項所述之用於去歪斜第一及第二驅動器電路之方法，其中，於該測量於該第一及第二電壓步階之間之時間差之步驟C之前係包含：

測量該第一及第二邊緣之一個轉換速率；及

調整該第一及第二邊緣中至少一個之轉換速率，以實

六、申請專利範圍

質上等化該第一及第二邊緣之該些轉換速率。

1 2 · 如申請專利範圍第 2 項所述之用於去歪斜第一及第二驅動器電路之方法，其中，該第一邊緣係一個上升緣及一個下降緣中之一個，該方法進一步包含：

對於該上升緣及該下降緣之另一個重複該測量（C）之步驟及該調整（D）之步驟。

1 3 · 如申請專利範圍第 1 2 項所述之用於去歪斜第一及第二驅動器電路之方法，其中，該第二邊緣係一個上升緣及一個下降緣中之一個，該方法進一步包含：

對於該上升緣及該下降緣之另一個重複該測量（C）之步驟及該調整（D）之步驟。

1 4 · 如申請專利範圍第 1 項所述之用於去歪斜第一及第二驅動器電路之方法，其中，該測量電路係包含一個差動放大器，其中，該第一輸入端係一個反相輸入端，且該第二輸入端係一個非反相輸入端。

1 5 · 如申請專利範圍第 1 項所述之用於去歪斜第一及第二驅動器電路之方法，其中，該測量電路係包含一個共模放大器，其中，該第一及該第二輸入端係提供用於監視由該第一及第二驅動器電路而來之訊號之共模電壓。

1 6 · 一種以自動測試設備測試差動元件之方法，其係包含：

(A)去歪斜複數對單端驅動器電路；

(B)施加由該複數對單端驅動器電路而來之輸出訊號至一個受測元件，其中，由複數對單端驅動器電路之每一對

（請先閱讀背面之注意事項再填寫本頁）

訂

線

六、申請專利範圍

而來之輸出訊號構成一差動訊號；及

(C)監視由該受測元件而來之回應，以決定是否該受測元件係有缺陷的，

其中，對於該複數對單端驅動器電路之每一對而言，該去歪斜之(A)步驟係包含下列步驟：

(i)產生由該第一驅動器電路及第二驅動器電路之每一個而來之邊緣，該邊緣係傳送至一個個別的不匹配之負載；

(ii)於一個測量電路之一個第一輸入端接收由該第一驅動器電路而來之該邊緣，且於該測量電路之一個第二輸入端接收由該第二驅動器電路而來之該邊緣，該邊緣之每一個係包含：一個第一電壓步階，以回應於該步階A；及一個第二電壓步階，以回應由該個別的不匹配之負載而來之該邊緣的反射；及

(iii)對於該測量電路之該第一輸入端及該第二輸入端之每一個，測量該第一電壓步階及該第二電壓步階之間之時間差；及

(iv)調整由該第一驅動器電路及該第二驅動器電路之至少一個所產生之該些邊緣之一延遲，以回應於於步驟C所測量出之時間差，使得由該第一驅動器電路及該第二驅動器電路而來之該些邊緣於實質上相同的時間抵達一個受測元件。

17.一種用於去歪斜驅動器電路之設備，該驅動器電路係用以測試受測元件，該設備係於一自動測試系統之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

中，其係具有差動輸入端，該設備係包含：

一個第一驅動器電路，其係具有一個輸出端，其係適合於提供一個第一單端訊號至一個受測元件；

一個第二驅動器電路，其係具有一個輸出端，其係適合於提供一個第二單端訊號至該受測元件；

一個可變延遲電路，其係實質上與該第一驅動器電路串聯，以延遲該第一驅動器電路至該受測元件之複數個邊緣之傳播；及

一個測量電路，其係具有：一個第一輸入端，其係連接至該第一驅動器電路之輸出端；及一個第二輸入端，其係連接至該第二驅動器電路之輸出端，

其中，該可變延遲電路係可調整，以回應於由該測量電路而來之一個輸出訊號，以實質上使得該第一驅動器電路及該第二驅動器電路至該受測元件之抵達時間相同。

1 8．如申請專利範圍第 1 7 項所述之用於去歪斜驅動器電路之設備，其中，該第一驅動器電路及該第二驅動器電路係透過具有實質相同傳播延遲之導電路徑而連接至該測量電路之該第一及第二輸入端。

1 9．如申請專利範圍第 1 7 項所述之用於去歪斜驅動器電路之設備，其中，該可變延遲電路係一個第一可變延遲電路，且係進一步包含：

一個第二可變延遲電路，其係實質上與該第二驅動器電路串聯，以延遲該第二驅動器電路至該受測元件之複數個邊緣之傳播；及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

其中，該第二可變延遲電路係可調整，以回應於由該測量電路而來之一個輸出訊號，以實質上使得該第一驅動器電路及該第二驅動器電路至該受測元件之抵達時間相同。

20．如申請專利範圍第17項所述之用於去歪斜驅動器電路之設備，其係進一步包含至少一個轉換速率調整電路，其係連接至該第一驅動器電路及該第二驅動器電路中之至少一個的輸出端，

其中，該至少一個轉換速率調整電路係可調整的，以回應儲存於資料抓取記憶體中之值，以實質上使該第一單端訊號及該第二單端訊號之轉換速率係相同。

21．如申請專利範圍第17項所述之用於去歪斜驅動器電路之設備，其中，該測量電路係包含一個差動比較器及一個共模比較器中之一個。

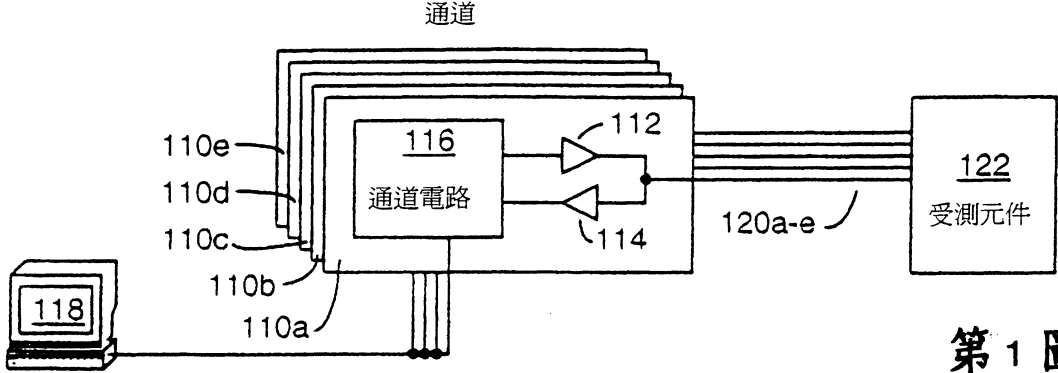
22．如申請專利範圍第21項所述之用於去歪斜驅動器電路之設備，其中，該測量電路係包含一個比較器，其用於比較於該測量電路之該第一及第二輸入端之訊號準位之間之差及之和中之一個及至少一個預定之臨限值。

23．如申請專利範圍第22項所述之用於去歪斜驅動器電路之設備，其進一步包含一個資料抓取電路，其連接至該比較器，且係可操作於在一預定之時間抓取該比較器之一個輸出狀態。

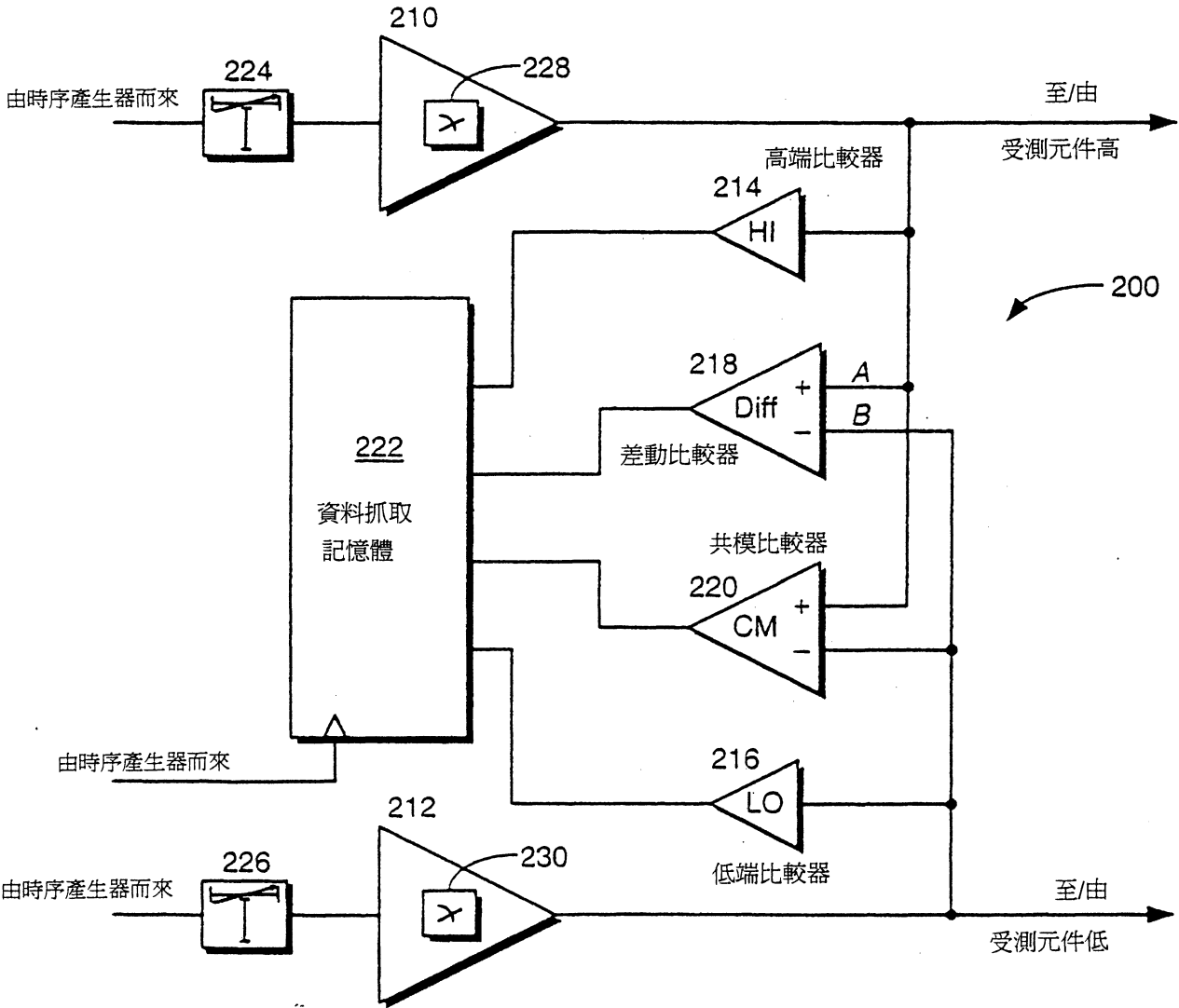
(請先閱讀背面之注意事項再填寫本頁)

訂

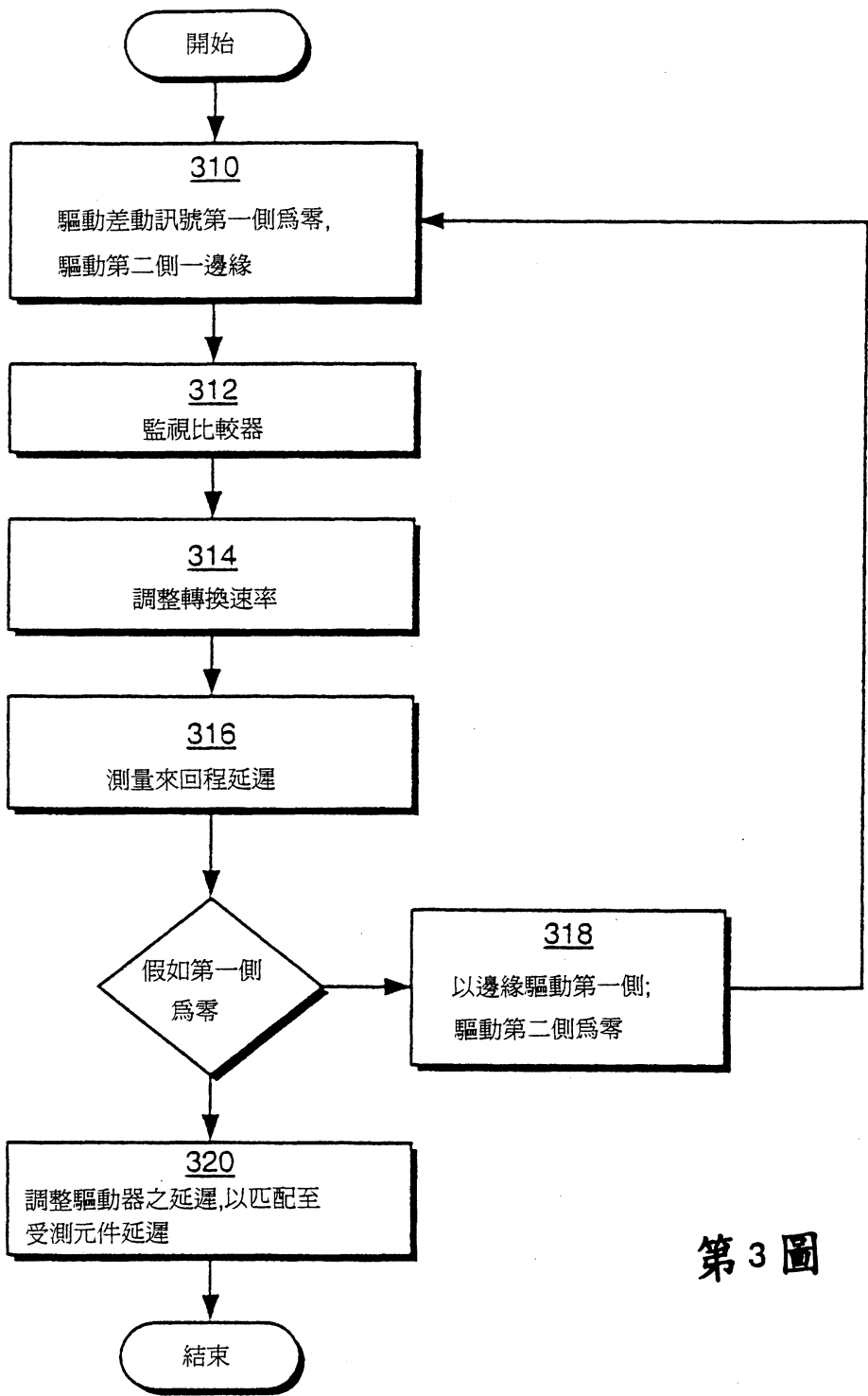
線



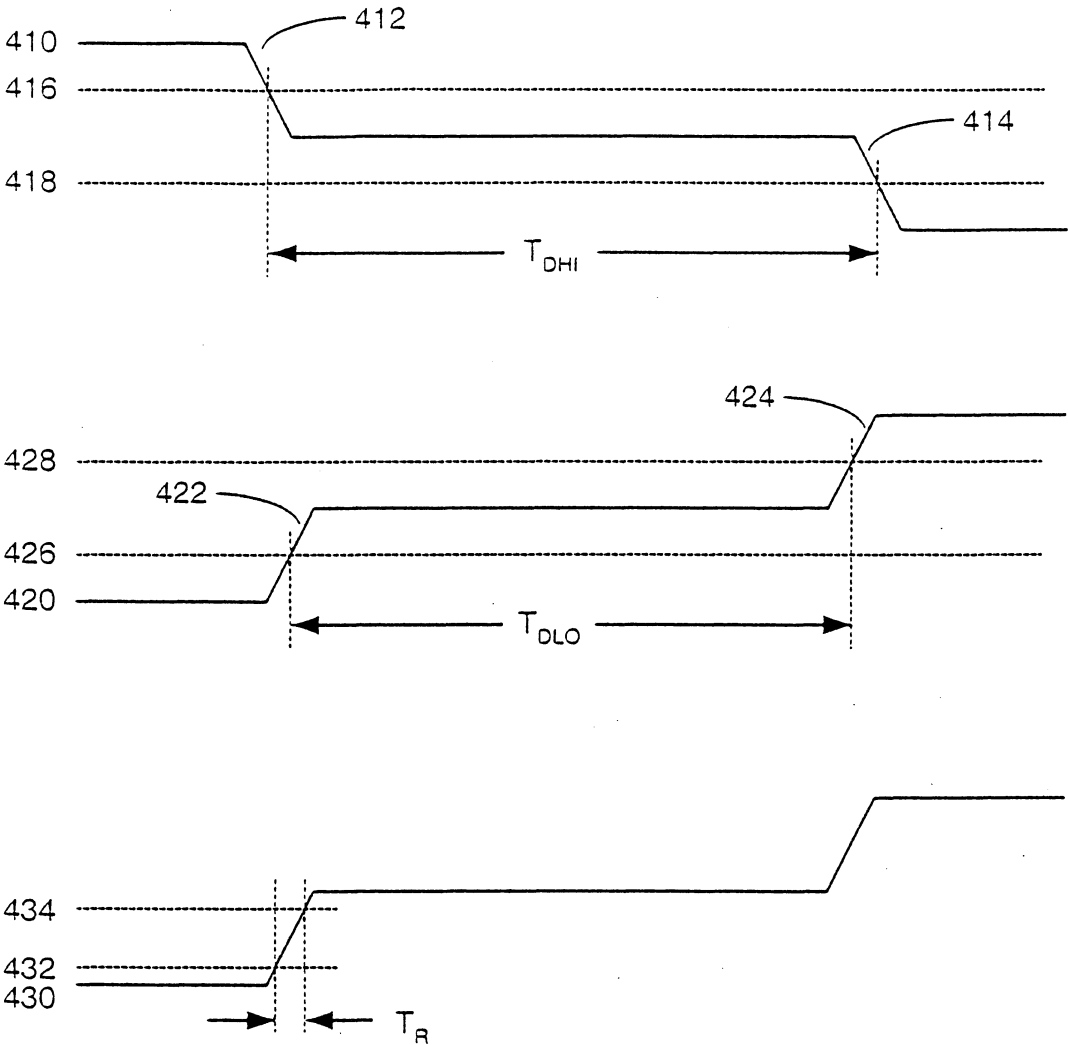
第 1 圖
(先前技藝)



第 2 圖



第 3 圖



第 4 圖