

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04N 3/15 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200680011976.2

[43] 公开日 2008 年 4 月 9 日

[11] 公开号 CN 101160952A

[22] 申请日 2006.4.10

[21] 申请号 200680011976.2

[30] 优先权

[32] 2005.4.13 [33] US [31] 11/104,434

[86] 国际申请 PCT/US2006/013270 2006.4.10

[87] 国际公布 WO2006/113202 英 2006.10.26

[85] 进入国家阶段日期 2007.10.12

[71] 申请人 美光科技公司

地址 美国爱达荷州

[72] 发明人 严 海

[74] 专利代理机构 北京律盟知识产权代理有限责任
公司

代理人 王允方

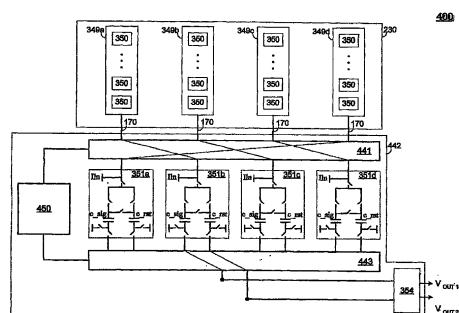
权利要求书 5 页 说明书 5 页 附图 4 页

[54] 发明名称

用于减少固态成像传感器中固定模式噪声的
方法和设备

[57] 摘要

本发明揭示一种具有转换电路的成像器，所述转换电路将像素列耦合至不同取样和保持电路以减小列向固定模式噪声的显著性。控制器将像素列随机地耦合至取样和保持电路，因此，使从特定取样和保持电路发出的固定模式噪声不总是与单个像素列相关联。因此，减小与特定取样和保持电路相关联的固定模式噪声的视觉感知。



1、一种用于成像装置的读出电路，其包括：

转换电路，其适于有选择地将像素阵列的多个列的每一者耦合至多个取样和保持电路中的一者。

2、如权利要求 1 所述的读出电路，其进一步包括控制器，所述控制器用于产生匹配并向所述第一转换电路提供指示所述匹配的结果的第一控制信号，所述第一控制信号指示所述多个列中的哪一者将被耦合至所述取样和保持电路中的哪一者。

3、如权利要求 2 所述的读出电路，其中所述多个列中的至少两者大致同时地被耦合至所述取样和保持电路中的至少两者。

4、如权利要求 2 所述的读出电路，其中一次所述多个列中的一者被耦合至所述取样和保持电路中的一者。

5、如权利要求 2 所述的读出电路，其进一步包括适于有选择地将所述多个取样和保持电路的每一者耦合至下游电路的第二转换电路。

6、如权利要求 5 所述的读出电路，其中所述控制器适于向所述第二转换电路提供指示一次所述多个取样和保持电路中的哪一者将被耦合至所述下游电路的第二控制信号。

7、如权利要求 5 所述的读出电路，其中所述控制器适于向所述第二转换电路提供所述第二控制信号以便按表示信号在图像传感器内部行内的位置的次序从所述取样和保持电路中读出信号。

8、如权利要求 2 所述的读出电路，其中所述控制器产生匹配以使匹配之间的间隔为随机间隔。

9、如权利要求 2 所述的读出电路，其中所述控制器产生匹配以使匹配之间的间隔为周期性间隔。

10、如权利要求 9 所述的读出电路，其中所述周期性间隔在每一行之前。

11、如权利要求 8 所述的读出电路，其中所述控制器产生匹配以便随机地完成匹配。

12、如权利要求 8 所述的读出电路，其中所述控制器产生匹配以便伪随机地完成匹配。

13、如权利要求 9 所述的读出电路，其中所述控制器产生匹配以便随机地完成匹配。

14、如权利要求 9 所述的读出电路，其中所述控制器产生匹配以便伪随机地完成匹配。

15、一种从成像装置中读取信号的方法，其包括：

通过转换电路有选择地将像素阵列的多个列的每一者耦合至多个取样和保持电

路中的一者。

16、如权利要求 15 所述的从成像装置中读取信号的方法，其进一步包括向所述转换电路提供第一控制信号的步骤，所述第一控制信号指示所述多个列中的哪一者经匹配而被耦合至所述取样和保持电路中的哪一者。

17、如权利要求 16 所述的从成像装置中读取信号的方法，其进一步包括有选择地将所述多个列中的至少两者大致同时地耦合至所述取样和保持电路中的至少两者的步骤。

18、如权利要求 16 所述的从成像装置中读取信号的方法，其进一步包括有选择地将所述多个列中的一者大致同时地耦合至所述取样和保持电路中的一者的动作。

19、如权利要求 16 所述的从成像装置中读取信号的方法，其进一步包括在第二转换电路中有选择地将所述多个取样和保持电路的每一者耦合至下游电路的动作。

20、如权利要求 19 所述的从成像装置中读取信号的方法，其进一步包括向所述第二转换电路提供指示所述多个取样和保持电路中的哪一者经选择而被耦合至所述下游电路的第二控制信号的动作。

21、如权利要求 19 所述的从成像装置中读取信号的方法，其进一步包括向所述第二转换提供第二控制信号以便按表示信号在图像传感器内部行内的位置的次序从所述取样和保持电路中读出信号的动作。

22、如权利要求 16 所述的从成像装置中读取信号的方法，其进一步包括在周期性间隔上产生新的匹配的步骤。

23、如权利要求 16 所述的从成像装置中读取信号的方法，其进一步包括在随机间隔上产生新的匹配的步骤。

24、如权利要求 22 所述的从成像装置中读取信号的方法，其中随机地完成匹配。

25、如权利要求 23 所述的从成像装置中读取信号的方法，其中伪随机地完成匹配。

26、如权利要求 22 所述的从成像装置中读取信号的方法，其中随机地完成匹配。

27、如权利要求 23 所述的从成像装置中读取信号的方法，其中伪随机地完成匹配。

28、如权利要求 16 所述的从成像装置中读取信号的方法，其进一步包括在读出图像传感器的行像素之前产生新的匹配的步骤。

29、一种形成像素阵列的方法，其包括以下步骤：

在衬底上方形成具有多个列的像素阵列；

在所述衬底上方形成多个取样和保持电路；及

在所述衬底上方形成转换电路以便以转换方式将所述像素阵列中的所述多个像素列中的一者耦合至所述取样和保持电路中的一者。

30、如权利要求 29 所述的形成像素阵列的方法，其进一步包括以下步骤：

在所述衬底上方形成控制电路；及

形成电路路径以便将所述控制电路耦合至所述转换电路。

31、如权利要求 30 所述的形成像素阵列的方法，其进一步包括以下步骤：

形成下游电路；及

形成电路路径以便将所述下游电路耦合至所述取样和保持电路。

32、如权利要求 31 所述的形成像素阵列的方法，其进一步包括在所述衬底上方形成第二转换电路以便以转换方式将所述取样和保持电路中的一者耦合至所述下游电路的步骤。

33、一种集成电路，其包括：

像素阵列；

耦合至所述像素阵列的读出电路，所述读出电路包括：

转换电路，其适于有选择地将像素阵列的多个列的每一者耦合至多个取样和保持电路中的一者。

34、如权利要求 33 所述的集成电路，其进一步包括向所述第一转换电路提供第一控制信号的控制器，所述第一控制信号指示所述多个列中的哪一者将被耦合至所述取样和保持电路中的哪一者。

35、如权利要求 34 所述的集成电路，其中所述多个列中的至少两者大致同时地被耦合至所述取样和保持电路中的至少两者。

36、如权利要求 34 所述的集成电路，其中一次所述多个列中的一者将被耦合至所述取样和保持电路中的一者。

37、如权利要求 34 所述的集成电路，其进一步包括适于有选择地将所述多个取样和保持电路的每一者耦合至下游电路的第二转换电路。

38、如权利要求 37 所述的集成电路，其中所述控制器适于向所述第二转换电路提供指示一次所述多个取样和保持电路中的哪一者将被耦合至所述下游电路的第二控制信号。

39、如权利要求 37 所述的集成电路，其中所述控制器适于向所述第二转换电路提供所述第二控制信号以便按表示信号在图像传感器内部行内的位置的次序从所述取样和保持电路中读出信号。

40、如权利要求 34 所述的集成电路，其中所述控制器产生匹配以使匹配之间的间隔为随机间隔。

41、如权利要求 34 所述的集成电路，其中所述控制器产生匹配以使匹配之间的间隔为周期性间隔。

42、如权利要求 41 所述的集成电路，其中所述周期性间隔在每一行之前。

43、如权利要求 40 所述的集成电路，其中所述控制器产生匹配以便随机地完成匹配。

44、如权利要求 40 所述的集成电路，其中所述控制器产生匹配以便伪随机地完成匹配。

45、如权利要求 41 所述的集成电路，其中所述控制器产生匹配以便随机地完成匹配。

46、如权利要求 41 所述的集成电路，其中所述控制器产生匹配以便伪随机地完成匹配。

47、一种成像器装置，其包括：

像素阵列；

耦合至所述像素阵列的读出电路，所述读出电路包括：

转换电路，其适于有选择地将像素阵列的多个列的每一者耦合至多个取样和保持电路中的一者。

48、如权利要求 47 所述的成像器装置，其进一步包括用于向所述第一转换电路提供第一控制信号的控制器，所述第一控制信号指示所述多个列中的哪一者将被耦合至所述取样和保持电路中的哪一者。

49、如权利要求 48 所述的成像器装置，其中所述多个列中的至少两者大致同时地被耦合至所述取样和保持电路中的至少两者。

50、如权利要求 48 所述的成像器装置，其中一次所述多个列中的一者耦合至所述取样和保持电路中的一者。

51、如权利要求 48 所述的成像器装置，其进一步包括适于有选择地将所述多个取样和保持电路的每一者耦合至下游电路的第二转换电路。

52、如权利要求 51 所述的成像器装置，其中所述控制器适于向所述第二转换电路提供指示一次所述多个取样和保持电路中的哪一者将被耦合至所述下游电路的第二控制信号。

53、如权利要求 51 所述的成像器装置，其中所述控制器适于向所述第二转换电路提供所述第二控制信号以便按表示信号在图像传感器内部行内的位置的次序从所述取样和保持电路中读出信号。

54、如权利要求 48 所述的成像器装置，其中所述控制器产生匹配以使匹配之间的间隔为随机间隔。

55、如权利要求 48 所述的成像器装置，其中所述控制器产生匹配以使匹配之间的间隔为周期性间隔。

56、如权利要求 55 所述的成像器装置，其中所述周期性间隔在每一行之前。

57、如权利要求 54 所述的成像器装置，其中所述控制器产生匹配以便随机地完成匹配。

58、如权利要求 54 所述的成像器装置，其中所述控制器产生匹配以便伪随机地完成匹配。

59、如权利要求 55 所述的成像器装置，其中所述控制器产生匹配以便随机地完成匹配。

60、如权利要求 55 所述的成像器装置，其中所述控制器产生匹配以便伪随机地

完成匹配。

61、一种处理器系统，其包括：

处理器；及

成像器装置，其包括：

像素阵列；

耦合至所述像素阵列的读出电路，所述读出电路包括：

转换电路，其适于有选择地将像素阵列的多个列的每一者耦合至多个取样和保持电路中的一者。

62、如权利要求 61 所述的处理器系统，其进一步包括用于向所述第一转换电路提供第一控制信号的控制器，所述第一控制信号指示所述多个列中的哪一者将被耦合至所述取样和保持电路中的哪一者。

63、如权利要求 62 所述的处理器系统，其中所述多个列中的至少两者大致同时地耦合至所述取样和保持电路中的至少两者。

64、如权利要求 62 所述的处理器系统，其中一次所述多个列中的一者耦合至所述取样和保持电路中的一者。

65、如权利要求 62 所述的处理器系统，其进一步包括适于有选择地将所述多个取样和保持电路的每一者耦合至下游电路的第二转换电路。

66、如权利要求 65 所述的处理器系统，其中所述控制器适于向所述第二转换电路提供指示一次所述多个取样和保持电路中的哪一者将被耦合至所述下游电路的第二控制信号。

67、如权利要求 65 所述的处理器系统，其中所述控制器适于向所述第二转换电路提供所述第二控制信号以便按表示信号在图像传感器内部行内的位置的次序从所述取样和保持电路中读出信号。

68、如权利要求 62 所述的处理器系统，其中所述控制器产生匹配以使匹配之间的间隔为随机间隔。

69、如权利要求 62 所述的处理器系统，其中所述控制器产生匹配以使匹配之间的间隔为周期性间隔。

70、如权利要求 69 所述的处理器系统，其中所述周期性间隔在每一行之前。

71、如权利要求 68 所述的处理器系统，其中所述控制器产生匹配以便随机地完成匹配。

72、如权利要求 68 所述的处理器系统，其中所述控制器产生匹配以便伪随机地完成匹配。

73、如权利要求 69 所述的处理器系统，其中所述控制器产生匹配以便随机地完成匹配。

74、如权利要求 69 所述的处理器系统，其中所述控制器产生匹配以便伪随机地完成匹配。

用于减少固态成像传感器中固定模式噪声的方法和设备

技术领域

本发明一般而言涉及半导体成像装置，且更特定而言，涉及减少固态成像器中固定模式噪声的显著性。

背景技术

当前感兴趣的是将 CMOS 有源像素成像器用作低成本成像装置的。有源像素传感器可具有一个或一个以上位于像素单元晶胞内的有源晶体管，所述有源像素传感器可制作成可与 CMOS 技术兼容且与无源像素传感器相比具有更高的读出速率。

图 1 显示传统成像器 200，其包含像素阵列 230 及定时和控制电路或控制器 232，控制器 232 通过定时和控制信号以便以所属领域的技术人员通常熟知的方式控制对存储于像素中的信号的读出。实例性阵列的尺寸为 M 乘 N 个像素，其中阵列 230 的大小取决于特定应用。使用列平行读出架构一次一行地读出成像器。控制器 232 通过控制行寻址电路 234 和行驱动器 240 的操作来选择阵列 230 中的特定像素行。就像传统上为人们所熟知，所选像素行中存储的充电信号将提供于读出电路 242 的列线 170 上(图 2)。参照回至图 1，然后可使用列寻址电路 244 依序读出从每一所述列所读取的像素信号。对应于读出重设信号(Vrst)和集成充电信号(Vsig)的差分像素信号是作为读出电路 242 的相应输出 Vout1、Vout2 提供的。

图 2 更清晰地显示像素阵列 230 的行和列 349 及关联的读出电路 242。每一列 349 包含多个像素行 350。读出电路 242 包含取样和保持电路 351 供用于存储像素重设(Vrst)和集成充电信号(Vsig)。可通过列线 170 将来自特定列 349 中像素 350 的信号读出至与那个列相关联的取样和保持电路 351。通常，在取样和保持电路 351 中，Vrst 存储于电容器 c.rst 中而 Vsig 存储于电容器 c.sig 中。取样和保持电路 351 的增益为连接到列线 170 的偏置电路 Iln 的函数。

可将存储于读出电路 242 中的信号逐列地依序读出至输出级 354，所述输出级为整个像素阵列 330 所共用。输出级 359 提供两个分别对应于 Vsig、Vrst 信号的输出信号 Vout1、Vout2。然后，可将模拟输出信号 Vout1、Vout2 发送到(例如)差分模拟电路，所述差分模拟电路将重设与集成充电信号相减并将所减的信号发送到模拟至数字变换器(ADC)；另一选择为，可将重设和集成充电信号直接供应至模拟至数字变换器。

在制造期间，通常个别地测试每一成像像素阵列。测试检测缺陷像素电路、像素信号电平和其它阵列属性，并根据批次识别号和个别装置识别号来存储信息。可利用

在测试期间开发的信息以通过（例如）补偿缺陷像素、不同的像素信号电平和其它经测试的像素属性来增强装置的操作。

由于在制造期间发生的不一致，电容器 c_{rst} 和 c_{sig} 的电容值将不同，理想地仅略有不同。然而，测试每一电容器 c_{rst} 、 c_{sig} 的电容值且随后修改所述电容器以具有相同的电容值并不容易或便宜。因此，每一取样和保持电路 351 的电容器 c_{rst} 和 c_{sig} 将会给读出过程添加不同量的列向固定模式噪声。

类似地，配置电流 I_{ln} 将从列到列地变化。虽然差异并不太大，但是不同的 I_{ln} 电流值将会在从每一取样和保持电路 351 中读出期间添加不同的增益量。因此，每一取样和保持电路 351 的偏置电流 I_{ln} 将给相关过程添加不同量的列向固定模式噪声。

人类眼睛对列向噪声敏感，而此表明图像中的列与所述图像的周围列不同。因此，需要修改成像器以减少对列向固定模式噪声的视觉观察。

发明内容

在实例性实施例中提供一种成像器，所述成像器通过随机混合固定模式噪声并施加至成像器阵列中的不同列来减少列向固定模式噪声的视觉观察。在本发明的实例性实施例中，将来自所述像素阵列中各列的信号读出至随机选择的不同取样和保持电路。另外，将像素列与取样和保持电路随机匹配。

附图说明

依据以下结合附图提供的对本发明的详细说明，本发明的这些及其它特点和优点将更易于理解，附图中：

图 1 是具有有源像素传感器阵列和关联的处理电路的传统数字系统的方块图；

图 2 是更详细显示图 1 的传感器的一部分的方块图；

图 3 是根据本发明实例性实施例的具有有源像素传感器阵列和关联的处理电路的数字系统的方块图；及

图 4 是显示并入有根据本发明实施例构造的至少一个成像装置的处理器系统的方块图。

具体实施方式

在下文详细说明中，对附图加以参照，所述附图形成本说明的一部分且以举例说明方式显示本发明的具体实例性实施例。对这些实施例加以充分详细地描述以使所属领域的技术人员能够制作并使用本发明，且应了解，可对所揭示的具体实施例进行结构性、逻辑性或其它改变，而此并不背离本发明的精神和范畴。

图 3 描绘信号处理系统 400，其包含根据本发明实例性实施例构造的有源像素传

感器(“APS”)阵列 230 和读出电路 442。信号处理系统 400 在数个方面不同于图 1 和 2 中所图解说明的系统 200, 此将在下文中予以更详细描述。

所图解说明的系统 400 包含连接到读出电路 442 的像素阵列 230。读出电路 442 包含第一转换电路 441、第二转换电路 443 和用于控制转换电路 441、443 的控制器 450。读出电路 442 与传统读出电路 242(图 2)不同, 这是因为读出电路 442 的取样和保持电路 351a-d 并非总是与同一像素列 349a-d 相关联(将在下文中予以更详细解释)。

每一像素列 349a-d 均耦合至第一转换电路 441。第一转换电路 441 的转换设定确定将哪一像素列 349a-d 有选择地耦合至取样和保持电路 351a-d。例如, 图 3 描绘: 第一像素列 349a 经由第一转换电路 441 耦合至第二取样和保持电路 351b; 第二像素列 349b 经由第一转换电路 441 耦合至第三取样和保持电路 351c; 第三像素列 349c 经由第一转换电路 441 耦合至第四取样和保持电路 351d; 及第四像素列 349d 经由第一转换电路 441 耦合至第一取样和保持电路 351a。在实例性实施例中, 第一转换电路 441 启用每一像素列 349a-d 以使其大致同时耦合至关联的所选取样和保持电路 351a-d。在另一方面, 一次仅单个像素列耦合至其关联的所选取样和保持电路。

控制器 450 向第一转换电路 441 提供指示哪一像素列 349a-d 将被耦合至哪一取样和保持电路 351a-d 的信号, 在优选实施例中, 在随机基础上完成控制器 450 对像素列 349a-d 与取样和保持电路 351a-d 的匹配。虽然是关于随机指配描述了本发明, 但本发明并不受此限制。例如, 可以伪随机方式或任何其它不同的匹配形式产生匹配。

在实例性实施例中, 控制器 450 在从像素阵列 230 中的行的每一读出之前重新匹配, 亦即, 在像素列 349a-d 与取样和保持电路 351a-d 之间产生新的匹配。例如, 控制器 450 确定匹配且随后读出所选行, 然后, 控制器 450 确定匹配并读出下一行。在另一方面, 控制器 450 周期性地重新匹配, 也就是说控制器建立另一组匹配之间的时间间隔为设定时间间隔。控制器 450 在从图像阵列进行读出之前建立时间间隔。例如, 如果时间间隔为五, 则控制器 450 在来自像素阵列 230 中的行的每一第五读出之前进行重新匹配。在又一方面, 控制器 450 以各种时间间隔进行重新匹配。其中时间间隔是根据不同的形式所产生, 理想地以随机形式产生。例如, 如果重新匹配的时间间隔为随机, 则控制器 450 在来自像素阵列 230 中的各行的第一、第五及第十一个读出之前进行重新匹配。虽然是参照从阵列的传统读出来描述本发明(例如, 从左侧上第一列的行至右侧上的最后列依序进行读取且随后针对下一行进行重复), 但本发明并不受此限制。例如, 可以交错形式读出成像器。另外, 有时并非对所有行或列进行读出, 例如, 当改变成像器分辨率时。

每一取样和保持电路 351a-d 的输出均耦合至第二转换电路 443。第二转换电路 443 的选择确定哪一取样和保持电路 351a-d 将被耦合至输出级 354。控制器 450 向第二转换电路 443 提供指示哪一取样和保持电路 351a-d 将被耦合至输出级 354 的信号。控制器 450 在读出取样和保持电路 351a-d 之前向第二转换电路 443 提供信号。

在优选实施例中, 控制器 450 对取样和保持电路 351a-d 与输出级 354 的匹配是根

据由控制器 450 实施的像素列 349a-d 与取样和保持电路 351a-d 的当前匹配实施的。例如,在传统系统中,如果从左到右依序读出行且控制器将第一像素列 349a 与第二取样和保持电路 351b 匹配、将第二像素列 349b 与第三取样和保持电路 351c 匹配、将第三像素列 349c 与第四取样和保持电路 351d 匹配并将第四像素列 349d 与第一取样和保持电路 351a,则要读出至输出级 354 的第一取样和保持电路是第二取样和保持电路 351b。因此,控制器 450 向第二转换电路 443 提供适宜信号以将第二取样和保持电路 351b 耦合至输出级 354。对于下一读出,控制器 450 向第二转换电路 443 提供适宜信号以将第三取样和保持电路 351c 耦合至输出级 354。对于下一读出,控制器 450 向第二转换电路 443 提供适宜信号以将第四取样和保持电路 351d 耦合至输出级 354。对于下一读出,控制器 450 向第二转换电路 443 提供适宜信号以将第一取样和保持电路 351a 耦合至输出级 354。在替代实施例中,控制器 450 向单独处理电路(未显示)提供指示每一行与将从左到右(亦即,电路 351a 到 351d)依序读出的取样和保持电路 351a-d 的匹配的信号。单独处理电路协调重新排序来自每一列的信号以使所述信号表示其起源于图像阵列时的次序。在本发明的这个方面,当取样和保持电路 351a-d 直接耦合至输出级 354 时,则不需要第二转换电路 442。

然后可将存储于读出电路 442 中的信号逐列地依序读取至输出级 354,输出级 354 为整个像素阵列 230 所共用。然后,可将模拟输出信号发送至(例如)差分模拟电路,所述差分模拟电路将重设与集成充电信号相减并将所减的信号发送至模拟至数字变换器(ADC);另一选择为,可将重设和集成充电信号直接供应至模拟至数字变换器。

因此,提供一种成像器,其可通过随机混合固定模式噪声并将其施加至阵列的不同列来减少列向固定模式噪声的视觉明显性。固定模式噪声未必减少,然而,来自取样和保持电路的固定模式噪声并非总是与单个像素列相关联,而是与不同像素相关联。当所述噪声施加至不同列时,人类眼睛注意到所述噪声的可能性不大。

图 4 显示为典型的处理器系统的系统 1100,所述系统经修改以包含 APS 系统 400,APS 系统 400 含有如图 3 所例示的读出系统。系统 1100 为具有可包含图像传感器装置的数字电路的实例性系统。在不作限制的情况下,此系统可包含计算机系统、摄像机系统、扫描器、机器视觉、车辆导航、视频电话、监视系统、自动聚焦系统、星体跟踪器系统、运动检测系统、图像稳定系统和其它系统。

系统 1100(例如,摄像机系统)通常包括通过总线 1170 与输入/输出(I/O)装置 1150 通信的中央处理单元(CPU)1110,例如,微处理器。成像装置 400 还通过总线 1170 与 CPU 1110 通信。系统 1100 也包含随机存取存储器(RAM)1160,且可包含也通过总线 1170 与 CPU 1110 通信的可换式存储器 1130,例如,快闪存储器。成像装置 400 可与处理器(例如,CPU、数字信号处理器或微处理器)结合,可与单个集成电路上或除所述处理器以外的不同芯片上的存储器存储装置结合或不结合。

应了解,本发明的其它实施例包含制造电路 1100 的方法。例如,在一个实例性实施例中,一种制造 CMOS 读出电路的方法包含以下步骤:使用已知的半导体制作技

术在衬底的对应于单个集成电路的一部分上方提供至少如上述图 3 和图 4 的像素阵列和读出电路。所述制造读出电路的方法包含：在所述衬底上方形成多个取样和保持电路；及在所述衬底上方形成转换电路以便以转换方式将所述像素阵列中的所述多个像素列的一者耦合至所述取样和保持电路中的一者。所述制造方法可进一步包含在所述衬底上方形成控制电路；及形成电路径以将所述控制电路耦合至所述转换电路。另外，所述制造方法可包含在所述衬底上方形成第二转换电路以便以转换方式将所述取样和保持电路中的一者耦合至所述下游电路的步骤。

尽管已参照特定实例性实施例描述及图解说明了本发明，但应了解，可在不违背本发明的精神和范围的情况下进行许多修改和替代。例如，虽然关于两个转换电路和关联的控制器来显示本发明，但这并不意味着本发明受此限制。所述控制器功能性可并入常规系统中已包含的控制电路内。因此，不应将本发明视为由前述说明来加以限制而是仅由权利要求书的范围来加以限制。

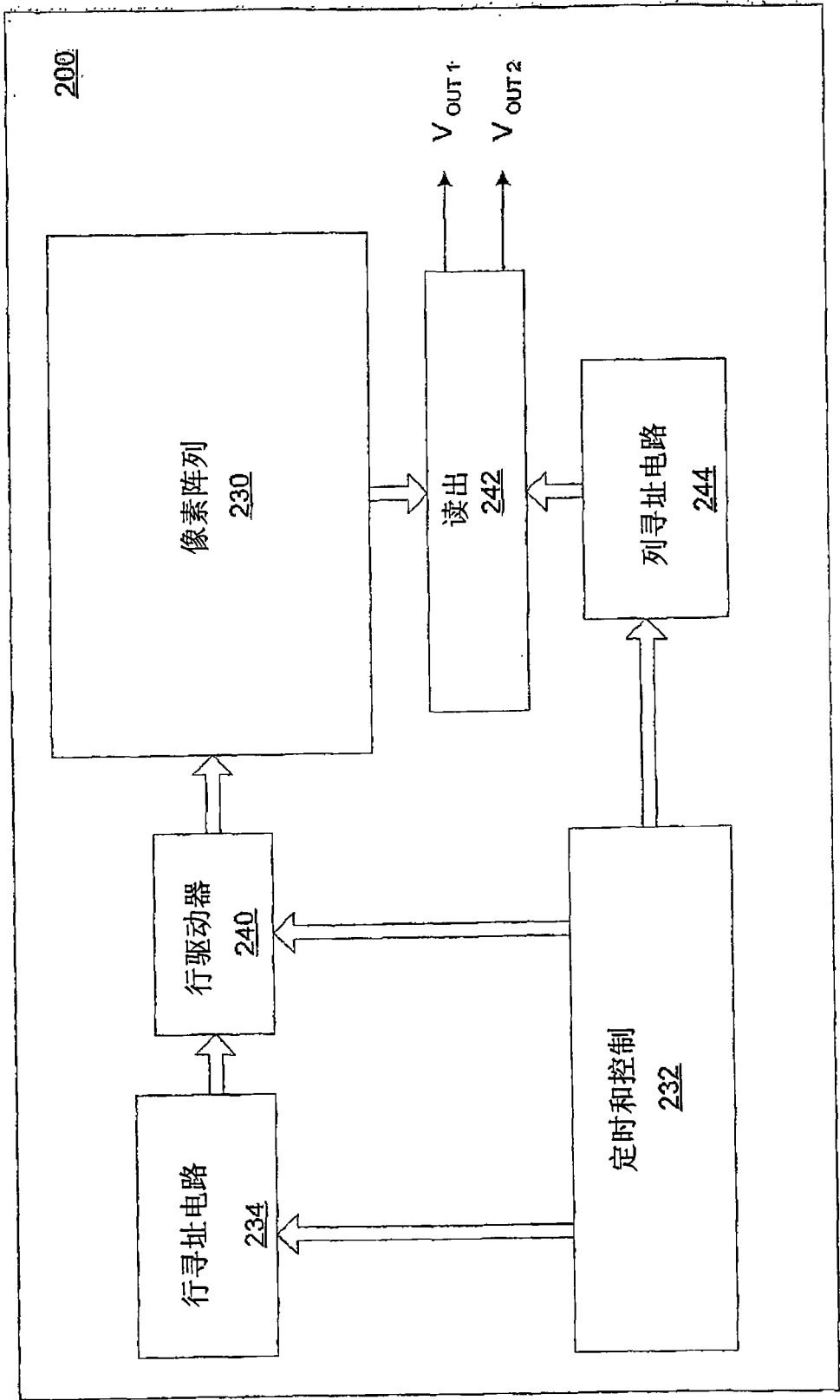


图 1

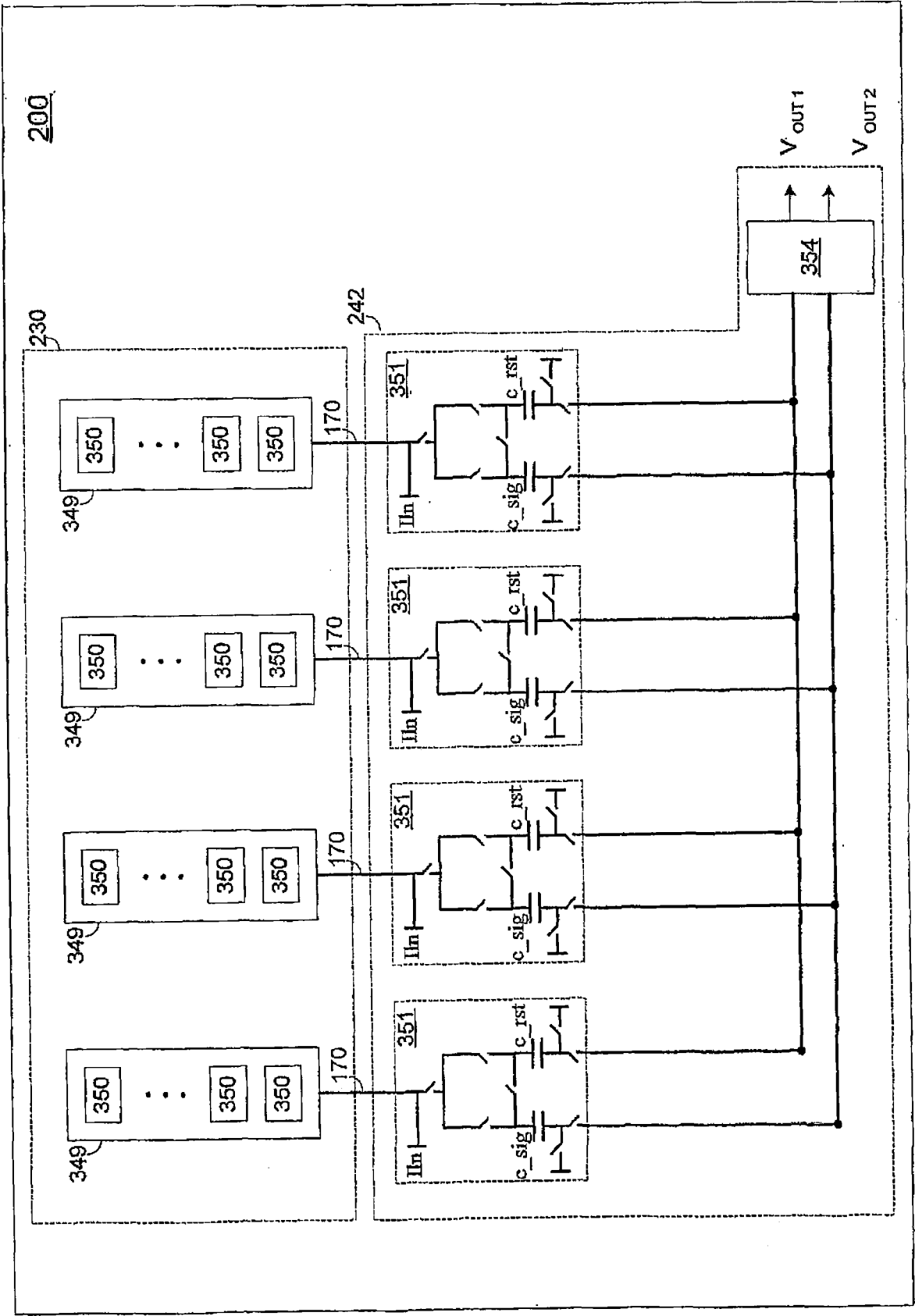


图 2

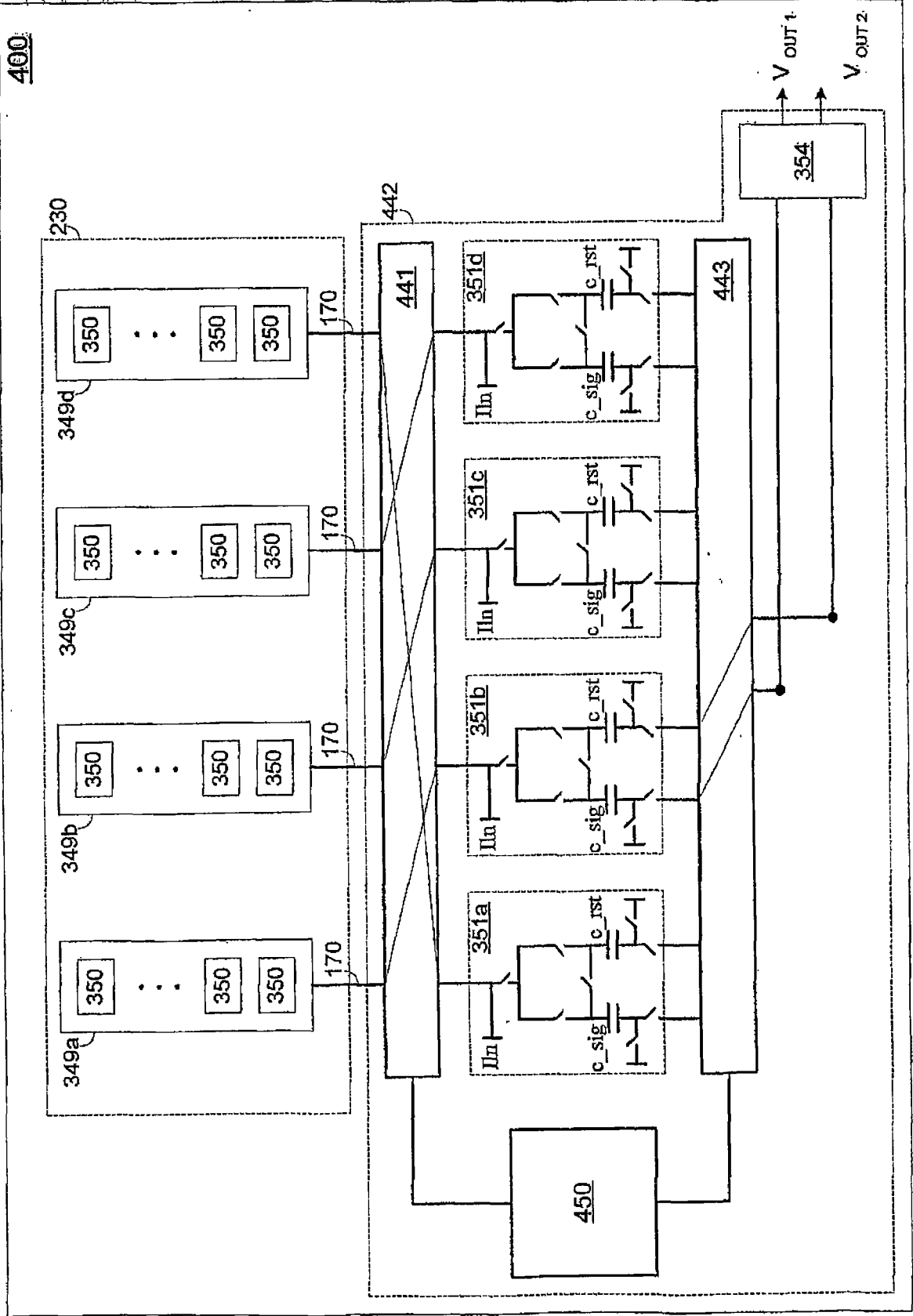


图 3

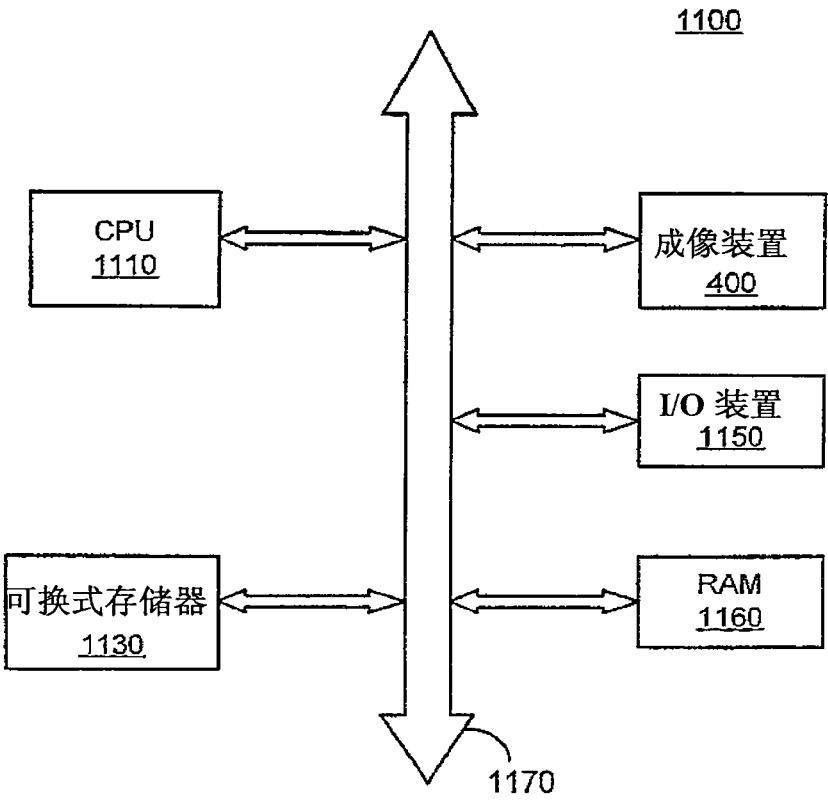


图 4