



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 195 33 754 B4 2008.12.04**

(12)

Patentschrift

(21) Aktenzeichen: **195 33 754.9**
 (22) Anmeldetag: **12.09.1995**
 (43) Offenlegungstag: **14.03.1996**
 (45) Veröffentlichungstag
 der Patenterteilung: **04.12.2008**

(51) Int Cl.⁸: **H01L 29/78 (2006.01)**
H01L 21/336 (2006.01)
H01L 27/12 (2006.01)
G11C 11/401 (2006.01)
H01L 27/108 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

P 6-218513	13.09.1994	JP
P 6-218593	13.09.1994	JP
P 6-219073	13.09.1994	JP
P 6-305214	08.12.1994	JP
P 6-305241	08.12.1994	JP
P 7-230329	07.09.1995	JP

(73) Patentinhaber:

Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

(74) Vertreter:

HOFFMANN & EITL, 81925 München

(72) Erfinder:

Yoshimi, Makoto, Tokio/Tokyo, JP; Inaba, Satoshi, Kodaira, Tokio/Tokyo, JP; Murakoshi, Atsushi,

Kawasaki, Kanagawa, JP; Terauchi, Mamoru, Yokosuka, Kanagawa, JP; Shigyo, Naoyuki, Yokohama, Kanagawa, JP; Matsushita, Yoshiaki, Yokohama, Kanagawa, JP; Aoki, Masami, Yokohama, Kanagawa, JP; Hamamoto, Takeshi, Kanagawa, JP; Ishibashi, Yutaka, Kawasaki, Kanagawa, JP; Ozaki, Tohru, Tokio/Tokyo, JP; Kawaguchiya, Hitomi, Yokohama, Kanagawa, JP; Matsuzawa, Kazuya, Tokio/Tokyo, JP; Arisumi, Osamu, Yokohama, Kanagawa, JP; Nishiyama, Akira, Yokohama, Kanagawa, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

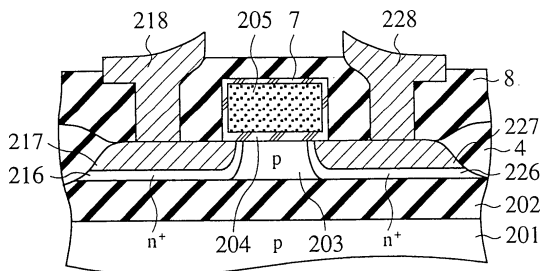
US 53 78 923 A
JP 05-0 03 322 A
JP 01-2 55 252
JP 05-0 21 762 A

(54) Bezeichnung: **Isolierschicht-Vorrichtung (IG-Vorrichtung) mit einem Aufbau mit einer Source mit engem Bandabstand, und Verfahren zu deren Herstellung**

(57) Hauptanspruch: Transistor mit isoliertem Gate (IG-Transistor), umfassend: einen Kanalbereich eines ersten Leitfähigkeitstyps, der aus einem ersten Halbleiter besteht, und der in einem für den Floating-Body-Effekt (Schwebekörperereffekt) empfänglichen Zustand ausgebildet ist; einen auf dem Kanalbereich vorgesehenen Gate-Isolierfilm (204); und eine auf dem Gate-Isolierfilm (204) vorgesehene Gate-Elektrode (205), zum Steuern eines durch den Kanalbereich fließenden elektrischen Stroms, mit:

einem ersten Source-Bereich (216, 211) eines zweiten Leitfähigkeitstyps, der aus einem zweiten Halbleiter besteht, der einen engeren verbotenen Bandabstand aufweist als der erste Halbleiter, wobei der erste Source-Bereich (216, 211) mit einem ersten Verunreinigungselement dotiert ist, um den zweiten Leitfähigkeitstyp auszubilden, einem zweiten Source-Bereich (217; 219), der den zweiten Leitfähigkeitstyp aufweist, und der angrenzend an den ersten Source-Bereich ausgebildet ist und aus dem ersten Halbleiter besteht, wobei zumindest das erste Verunreinigungselement in den zweiten Source-Bereich (217; 219) eindotiert ist; wobei ein zweites Verunreinigungselement in den ersten

Source-Bereich (216, 211) eindotiert ist, um...



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine IG-Vorrichtung (Vorrichtung mit isoliertem Gate oder Isolierschicht-Vorrichtung), die für eine integrierte Schaltung wie beispielsweise eine MOS-IC geeignet ist, bei welcher ein feines Muster und eine hohe Integrationsdichte erforderlich sind, und betrifft insbesondere einen neuen Geräteaufbau, der für die Verbesserung der Eigenschaften von MOSFETs, MISFETs, usw. geeignet ist, die einen SOI-Aufbau (SOI: silicon-on-insulator; Silizium auf einer Isolierschicht) aufweisen, sowie ein Verfahren zur Herstellung einer entsprechenden Vorrichtung.

[0002] In den letzten Jahren hat sich eine hohe Integrationsdichte bei der Technik integrierter Halbleiterschaltungen ergeben, insbesondere in der Technik dynamischer Speicher mit wahlfreiem Zugriff (DRAM). Mit fortschreitender Integrationsdichte besteht die Neigung, die Speicherzellenfläche eines DRAM immer weiter zu verringern.

[0003] Daher wird es schwierig, die Zellenkapazität zum Verhindern des Löschens von Speicherinhalten sicherzustellen, wobei dieses Löschen durch Alphastrahlen hervorgerufen wird, die in der Natur vorhanden sind, also durch sogenannte weiche Fehler. Daher wurden vorzugsweise SOI-Vorrichtungen auf einem Einkristallsilizium ausgebildet, welches auf einem Isolierfilm vorgesehen ist. Da eine SOI-Vorrichtung leicht miniaturisiert werden und mit hoher Geschwindigkeit arbeiten kann, ist sie als Hochleistungsvorrichtung vielversprechend. Die SOI-Vorrichtung wird so ausgebildet, daß eine Siliziumschicht, die auf einem Isolierfilm wie beispielsweise einem Oxidfilm ausgebildet wird, als aktiver Bereich dient. Daher sind Vorrichtungen wie etwa Transistoren, die in dem aktiven Bereich ausgebildet werden, perfekt isoliert. Wenn integrierte Schaltungen und dergleichen mit der SOI-Technologie hergestellt werden, lassen sich darüber hinaus Vorteile, wie beispielsweise eine kleine Koppelkapazität zwischen dem Substrat und der Vorrichtung erwarten. Da die SOI-Vorrichtung die Anzahl der Elektronen-Loch-Paare, die durch Alphastrahlen erzeugt werden, innerhalb eines Einkristall-Siliziumfilms auf dem Isolierfilm (nachstehend als "SOI-Film" bezeichnet) festhalten kann, kann die Widerstandsfähigkeit gegen "weiche Fehler" in einem DRAM und dergleichen wesentlich verbessert werden.

[0004] [Fig. 1](#) zeigt einen Schnitzaufbau eines konventionellen SOI-MOS-DRAM, der auf einem sogenannten SOI-Substrat ausgebildet wird. Das SOI-Substrat wird auf einem Einkristall-Siliziumfilm (SOI-Film) **203** auf einem Siliziumsubstrat **201** über eine vergrabene Isolierschicht **202** ausgebildet. Eine Datenleitung (Bitleitung) **409** wird über eine Kontaktelektrode **408** auf einem n⁺-Sourcebereich **206** aus-

gebildet, der in dem SOI-Film **203** vorgesehen ist. Eine Speicherelektrode **405**, ein Kapazitäts-Isolierfilm **406**, und eine gegenüberliegende Elektrode **407** werden auf dem n⁺-Drainbereich **206** über eine Kontaktelektrode **410** ausgebildet. Weiterhin wird eine Gateelektrode **205**, die aus Polysilizium oder dergleichen besteht, auf dem SOI-Film **203**, der als Kanalbereich dient, zwischen dem n⁺-Sourcebereich **206** und dem n⁺-Drainbereich **206** über einen Gateoxidfilm **204** ausgebildet. Die Gateelektrode **205** dient auch als Wortleitung des DRAM.

[0005] Wie in [Fig. 2](#) gezeigt ist, weist die SOI-Vorrichtung allerdings in der Hinsicht eine Schwierigkeit auf, daß die Draindurchbruchsspannung verringert ist, infolge des "Schwebefeffektes" des Substrats, oder des "Körperschwebefeffekts" (wobei das "Schweben" bedeutet, daß kein definiertes Potential existiert), bei welchem sich die erzeugten Träger in dem SOI-Körper (dem Bereich zwischen Source und Drain) ansammeln und anomale Geräteeigenschaften durch Änderung des Potentials hervorrufen, im Gegensatz zu einem Bulk-MOSFET. In [Fig. 2](#) ist ein SOI-MOSFET als typische SOI-Vorrichtung gezeigt, und die Draindurchbruchsspannung des SOI-MOSFET und des BULK-MOSFET sind gegen die Gatelänge L des jeweiligen MOSFETs aufgetragen. Wie in [Fig. 3](#) gezeigt ist, weist darüber hinaus die SOI-Vorrichtung (SOI-MOSFET) Instabilitätseigenschaften auf, beispielsweise ein Überschwingen des Ausgangsstroms, welches durch einen Schaltvorgang des SOI-MOSFETs erzeugt wird. Im praktischen Einsatz sind dies ernst zu nehmende Nachteile. [Fig. 3](#) zeigt die Signalform des Ausgangs-Drainstroms infolge der Eingangs-Gatespannung, und zeigt das Überschwingen des Ausgangs-Drainstroms. Um sämtliche Möglichkeiten eines SOI-MOSFET für VLSI/ULSI-Einsätze zu nutzen ist es wesentlich, dessen Schwebekörpereffekt zu verringern. Dieser Schwebekörpereffekt kann dadurch eingedämmt werden, daß ein dünner Körper eingesetzt wird, dessen Dicke kleiner ist als die maximale Verarmungsbreite. Trotz der Verwendung des vollständig verarmten Körpers kann jedoch der zugeordnete parasitäre Bipolareffekt immer noch Schwierigkeiten bereiten. Um den Schwebekörpereffekt vollständig auszuschalten, muß der SOI-Körper an das Substrat oder die Masselektrode angeschlossen werden, was zu einem komplizierten Aufbau der Vorrichtung führt, und die Miniaturisierung der Abmessungen der Vorrichtung erschwert. Der komplizierte Geräteaufbau weist den weiteren Nachteil einer höheren Ausschußrate auf.

[0006] Allgemein kann ein SOI-Aufbau unter Verwendung verschiedener Aufbauten ausgebildet werden, bei welchen die Siliziumschicht auf dem Isolierfilm einkristallin, polykristallin oder amorph ist, das Isoliermaterial dick oder dünn ausgebildet ist, die Isolierschicht aus Einkristallen oder amorph ausgebildet ist, usw. In der nachfolgenden Beschreibung wird je-

doch hauptsächlich ein Fall erläutert, bei welchem eine Siliziumschicht auf dem Isolierfilm grundsätzlich aus Einkristallsilizium ausgebildet wird, und wie voranstehend erläutert wird der Einkristall-Siliziumfilm, der auf dem Isolierfilm ausgebildet wird, als der SOI-Film bezeichnet. Es gibt jedoch einige Fälle, in welchen amorphe Bereiche, durch Kristallfehler erzeugte Bereiche und dergleichen teilweise in diesem SOI-Film vorhanden sind, und derartige Fälle sollen von der nachstehenden Beschreibung umfaßt sein.

[0007] Als Gegenmaßnahme für den Schwebekörperereffekt in der SOI-Vorrichtung wurde ein MOSFET-Aufbau vorgeschlagen, bei welchem der Sourcebereich aus einem Material mit engem Bandabstand besteht, im Gegensatz zu dem Kanalbereich oder dem SOI-Körper, wie beispielsweise in der Patentanmeldungs-Veröffentlichung (Kokai) 01-255252 beschrieben. Wenn bei einer derartigen Vorrichtung der Bandabstand des Sourcebereichs des MOSFET kleiner gewählt wird als jener des Kanalbereichs, kann wirksam eine Ansammlung von Löchern in dem Kanalbereich vermieden werden, die als Hauptfaktor für den Schwebekörperereffekt angesehen wird.

[0008] Als ein besonders typisches Material mit einem engeren Bandabstand als jenem des Siliziums, welches den Kanalbereich bildet, läßt sich $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) nennen. Eine Vorrichtung, die dieses Material verwendet, ist ein SOI-MOSFET mit dem in [Fig. 4A](#) gezeigten Schnitzaufbau. Bei dem SOI-MOSFET von [Fig. 4A](#) ist eine Isolierschicht **202**, die aus einem Oxidfilm und dergleichen besteht, auf einem Si-Substrat **201** vorgesehen, darauf ist ein SOI-Film **203** angeordnet, der als aktive Schicht dient, und auf einem Teil des SOI-Films sind n^+ -Source- und Drainbereiche **206** vorgesehen. In [Fig. 4A](#) zeichnet sich der SOI-MOSFET dadurch aus, daß eine Schicht **207** aus $\text{Si}_x\text{Ge}_{1-x}$ an der Innenseite der n^+ -Source- und Drainbereiche **206** vorgesehen ist. Daraufhin wird, wie bei einem üblichen MOSFET-Typ ein Gateoxidfilm **204** auf dem Kanalbereich **203** zwischen dem n^+ -Sourcebereich **206** und dem n^+ -Drainbereich **206** ausgebildet, und daraufhin wird darauf eine Gateelektrode **305** ausgebildet, die beispielsweise aus Polysilizium besteht.

[0009] [Fig. 4B](#) zeigt ein Potentialprofil (Banddiagramm) des in [Fig. 4A](#) dargestellten SOI-MOSFETs. Bei diesem MOSFET kann, wie in [Fig. 4B](#) angegeben ist, der Bandabstand in dem Sourcebereich bis zu einem Ort verringert werden, der durch eine gestrichelte Linie dargestellt ist. Aus Versuchen oder Simulationen wird deutlich, daß Löcherströme, die in den n^+ -Sourcebereich **206** fließen, exponentiell ansteigen, bei einer Verringerung des Energiebandabstands in dem n^+ -Sourcebereich **206**.

[0010] Beispielhaft ist in [Fig. 5A](#) die Strom/Spannungscharakteristik des SOI-MOSFETs mit einer Ka-

nallänge von $0,5 \mu\text{m}$ gezeigt. Bei dem Diagramm von [Fig. 5A](#) zeigt eine durchgezogene Linie ein Meßergebnis bei dem SOI-MOSFET, bei welchem Germaniumionen (Ge) bei einer Beschleunigungsspannung $V_{ac} = 50 \text{ kV}$ und mit einer Dosis $= 3 \times 10^{16} \text{ cm}^{-2}$ implantiert werden. Aus [Fig. 5A](#) ergibt sich, daß im Vergleich zu einem konventionellen MOSFET mit einem homogenen Übergang, bei welchem die Source- und Drainbereiche nur aus Si bestehen, dargestellt durch eine gestrichelte Linie, die Draindurchbruchsspannung um mehr als 1 Volt bei dem Hetero-Übergangs-MOSFET verbessert werden kann, der eine SiGe-Schicht in den Source- und Drainbereichen aus Silizium aufweist, wie durch die durchgezogene Linie dargestellt ist.

[0011] Der SOI-MOSFET in [Fig. 4A](#) wurde durch die nachstehend angegebenen Herstellungsschritte hergestellt. Zuerst wird das SOI-Substrat durch SIMOX hergestellt (Separation by Implanted OXYgen: Trennung durch implantierten Sauerstoff). Anders ausgedrückt wird ein vergrabener Oxidfilm **202** dadurch hergestellt, daß Sauerstoffionen in das Siliziumsubstrat **201** implantiert werden, und dann das implantierte Substrat einer Wärmebehandlung unterzogen wird, um so den Siliziumfilm (SOI-Film) **203** und das Siliziumsubstrat **201** zu isolieren. Dann wird der Feldoxidfilmbereich, der als Vorrichtungsisolierbereich (nicht dargestellt) zum elektrischen Isolieren benachbarter Vorrichtungen dient, mittels LOCOS (Local Oxidation of Silicon: lokale Silizium-Oxidation) hergestellt. Dann wird eine Oberfläche des SOI-Films **203** in dem Vorrichtungsausbildungsbereich (aktiven Bereich), umgeben von dem Feldoxidfilmbereich, freigelegt, und dann wird der Gateoxidfilm **204** durch thermische Oxidation oder ähnlich auf eine Oberfläche des SOI-Films **203** hergestellt. Daraufhin wird hierauf die Polysiliziumschicht **205** mittels LPCVD (Low Pressure Chemical Vapor Deposition: chemische Dampfablagerung bei niedrigem Druck) oder ähnlich hergestellt. Ein Lackmuster (nicht gezeigt) wird auf dem Teil der Polysiliziumschicht ausgebildet, der später zu einer Gateelektrode wird, durch einen lithographischen Vorgang. Unter Verwendung dieses Lackmusters als Maske werden die Polysilizium-Gateelektroden **205** und der Gateoxidfilm **204** durch RIE (Reactive Ion Etching: reaktives Ionenätzen) oder ähnlich gebildet. Zur Ausbildung des n^+ -Sourcebereiches **206** und des n^+ -Drainbereiches **206** wird eine Verunreinigung des n-Typs wie beispielsweise As oder P usw. unter Selbstausrichtung unter Verwendung der Polysilizium-Gateelektrode **205** als Maske implantiert, und dann erfährt die sich die ergebende Anordnung eine Wärmebehandlung. Dann erfolgt eine Innenimplantation von Ge in die Source- und Drainbereiche **206**, und dann eine Wärmebehandlung, so daß die SiGe-Schicht **207** im Inneren der Source- und Drainbereiche **206** hergestellt wird. Im Ergebnis ist, wie in [Fig. 4A](#) gezeigt, der SOI-MOSFET fertig. Tatsächlich wird hinterher, obwohl dies

nicht gezeigt ist, ein Zwischenschicht-Isolierfilm, wie beispielsweise ein Oxidfilm abgelagert, und Öffnungen für Kontakte werden in dem Zwischenschicht-Isolierfilm ausgebildet, und dann erfolgt eine Metallisierung der Source- und Drain-Metallelektroden.

[0012] Aus Ergebnissen von Versuchen, welche die Erfinder der vorliegenden Erfindung mit diesem MOSFET unternommen haben, unter verschiedenen Bedingungen, stellte sich als ein erster Nachteil heraus, daß ein Kriechstrom erzeugt wird, wie durch die durchgezogene Linie in [Fig. 5B](#) dargestellt. Falls die MOSFETs als Auswahltransistoren in Speicherzellenbereichen des DRAM verwendet werden, führt dieser Kriechstrom zu fatalen und schlechten elektrischen Eigenschaften, und ebenso zu einer hohen Ausschußrate.

[0013] Zusätzlich wurde als weiterer Nachteil eine Verschlechterung der Verlässlichkeit des Gateoxidfilms **207** in Speichervorrichtungen usw. bei der Ionenimplantierung von Ge hervorgerufen. Wie in [Fig. 6](#) gezeigt, kann die Draindurchbruchsspannung des SOI-MOSFETs mit der SiGe-Schicht immer weiter erhöht werden, wenn die Dosis ϕ erhöht wird, zu dem Zeitpunkt, an welchem Ge-Ionen implantiert werden. Im Gegensatz hierzu wird eine merkliche Verschlechterung der Verlässlichkeit des Gateoxidfilms **204** hervorgerufen, wenn die Dosis ϕ an Ge hoch ist. Diese Verschlechterung der Verlässlichkeit des Gateoxidfilms **204** wird insbesondere bei der Speicherzelle bedeutsam, bei welcher eine hohe Spannung an das Gate angelegt wird. Daher wird die Ausschußrate wesentlich erhöht.

[0014] Darüber hinaus weist der Hetero-Übergang-MOSFET nach dem Stand der Technik, der mit einem $\text{Si}_x\text{Ge}_{1-x}$ -Bereich versehen ist, den nachstehend geschilderten dritten Nachteil auf. Wie in [Fig. 5A](#) gezeigt ist, wird die Draindurchbruchsspannung des Hetero-Übergang-MOSFET nach dem Stand der Technik, der eine typische Kanallänge von $0,5 \mu\text{m}$ und $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0,2$) in einem n^+ -Sourcebereich aufweist, gleich 4 Volt. Diese Spannung ist um mehr als 1 Volt verbessert, im Vergleich zu jener des üblichen MOSFET mit homogenem Übergang, in welchen kein Ge implantiert wird. Allerdings wurde dieser Hetero-Übergang-MOSFET nach dem Stand der Technik von den Erfindern der vorliegenden Erfindung unter verschiedenen Bedingungen untersucht. Als Ergebnis der Untersuchungen stellte sich heraus, daß eine Verbesserung der Draindurchbruchsspannung in diesem Ausmaß für einige Arten von LSIs nicht ausreichend ist, beispielsweise EEPROMs. Wie voranstehend erläutert verursacht in diesem Fall eine Erhöhung des Ge-Molanteils eine Verschlechterung des Gateoxidfilms usw., so daß dies unpraktisch und weniger wirksam ist. Es bleibt daher der dritte Nachteil erhalten, daß die Draindurchbruchsspannung und

die Stromtreiberfähigkeit des Hetero-Übergang-MOSFETs nach dem Stand der Technik mit der SiGe-Schicht für einige Arten von LSIs nicht ausreichend sind.

[0015] Wenn die Zusammensetzung $(1-x)$ von Ge des Mischkristalls aus $\text{Si}_x\text{Ge}_{1-x}$ durch eine höhere Implantationsdosis von Ge-Ionen und dergleichen erhöht wird, werden Kristallfehlern in dem Si-Kristall infolge der Gitterfehlernanpassung erzeugt, was bedeutet, daß das Vorhandensein von Ge Störungen in dem Siliziumkristall hervorruft, da die Gitterkonstante oder der Verunreinigungsatomradius von Ge um 4% größer ist als für Si. Infolge derartiger Störungen werden Kristallfehler in der Richtung über die Grenzfläche des pn-Übergangs zwischen den Source- und Drainbereichen und dem Kanalbereich während der Wärmebehandlungsschritte hervorgerufen. Weiterhin werden sekundäre Effekte hervorgerufen, infolge einer Beschädigung durch Ionenimplantierung, und dies betrifft den voranstehend geschilderten dritten Nachteil. Tatsächlich können die sekundäre Störung und die Fehlordnungs-Gitterversetzung zusammen erzeugt werden. [Fig. 7](#) zeigt Kristallfehler des Hetero-Übergang-MOSFETs nach dem Stand der Technik mit dem $\text{Si}_x\text{Ge}_{1-x}$ -Bereich. Der Kristalldefektbereich D wurde so erzeugt, daß er die Grenzfläche **215** des pn-Übergangs über den Drainbereich **206** und den Kanalbereich **203** überquert. Wenn ein Substrat mit einer Orientierung in der (100)-Ebene verwendet wird, wie in [Fig. 7](#) gezeigt, besteht die Tendenz, daß die Kristallfehler hauptsächlich entlang den {111}-Ebenen erzeugt werden. Darüber hinaus ist es schwierig, die Position und die Richtung von Kristallfehlern zu steuern, da diese über einen großen Bereich ausgebreitet sind. In diesem Fall wird ein Übergang-Kriechstrom wesentlich erhöht, und daher wird die Einsetzbarkeit der Vorrichtung beschränkt. Dies führt dazu, daß die Erhöhung eines Erzeugungs/Rekombinationsstroms, also eines Übergang-Kriechstroms bei der Erhöhung des Anteils $(1-x)$ von Ge einen vierten Nachteil hervorruft, nämlich daß in einer Speichervorrichtung wie beispielsweise einem DRAM eine Verschlechterung der Datenspeichereigenschaften der Zelle hervorgerufen wird, oder die Ausschußrate wesentlich ansteigt. Zwar können die Schwierigkeiten in Bezug auf diesen vierten Nachteil dadurch überwunden werden, daß die SiGe-Schicht vollständig im Sourcebereich angeordnet wird. Um jedoch den "Schwebekörpereffekt" in dem SOI-MOSFET wirksam zu unterdrücken, muß die SiGe-Schicht ausreichend nahe an der pn-Übergang-Grenzfläche ausgebildet werden, die zwischen dem Sourcebereich und dem Kanalbereich erzeugt wird, wie aus dem Potentialprofil (Banddiagramm) in [Fig. 4B](#) hervorgeht. Würde man einen solchen Aufbau verwenden, bei welchem die SiGe-Schicht nahe an der pn-Übergang-Grenzfläche liegt, so dringen in einigen Fällen die Kristallfehler in den Kanalbereich ein und erzeugen den hohen

Kriechstrom. Die Erfinder der vorliegenden Erfindung haben durch Versuche ermittelt, daß insbesondere dann, wenn die Ge-Molfraktion höher als 20 bis 30% oder mehr ist, Versetzungen in dem SOI-Film infolge einer Filmstörung erzeugt werden, wodurch verhindert wird, daß ein Halbleiterbereich mit engem Bandabstand erzielt wird, so daß der Schwebekörpereffekt nicht ausgeschaltet werden kann.

[0016] JP 05021762 A bzw. die entsprechende nachveröffentlichte US 5378923 A, behandelt eine Halbleitereinrichtung und deren Herstellung. Insbesondere offenbart diese Druckschrift einen Transistor mit isoliertem Gate, der einen Kanalbereich eines ersten Leitfähigkeitstyps aufweist, der aus einem ersten Halbleiter besteht, und der auf einem ersten Isolierfilm vorgesehen ist, einen auf dem Kanalbereich vorgesehenen zweiten Isolierfilm, und eine auf dem zweiten Isolierfilm vorgesehene Gate-Elektrode, zum Steuern eines durch den Kanalbereich fließenden elektrischen Stroms. Der Transistor hat einen ersten Sourcebereich eines zweiten Leitfähigkeitstyps aus einem zweiten Halbleiter mit einem engeren verbotenen Bandabstand als dem des ersten Halbleiters, wobei der erste Sourcebereich mit einem ersten Verunreinigungselement dotiert ist, um den zweiten Leitfähigkeitstyp auszubilden, und ein zweites Verunreinigungselement in den ersten Sourcebereich eindotiert ist, um die Gitterfehlpassung in der zwischen dem ersten und dem zweiten Halbleiter gebildeten Hetero-Übergangsstruktur zu kompensieren. Ein entsprechendes Herstellungsverfahren, das ähnlich auch aus JP 05003322 A herleitbar ist, hat die Schritte: Ausbildung einer SOI-Anordnung, bei welchem ein SOI-Film eines ersten Leitfähigkeitstyps aus Einkristallsilizium auf einem Trägersubstrat hergestellt wird, wobei das Trägersubstrat einen oberen Abschnitt aus Isoliermaterial aufweist; Ausbildung eines Gateisolierfilms und einer Gateelektrode auf dem SOI-Film; Ionenimplantierung von Verunreinigungen eines zweiten Leitfähigkeitstyps durch zumindest entweder Ge-Ionen oder Sn-Ionen, unter Verwendung der Gateelektrode als Maske; und Wärmebehandlung der sich ergebenden Anordnung nach der Ionenimplantierung, um Kristallfehler infolge der Ionenimplantierung zu beeinflussen.

[0017] Angesichts der voranstehend geschilderten Nachteile besteht die Aufgabe der vorliegenden Erfindung darin, den Schwebekörpereffekt zu unterdrücken, bei welchem der Körper oder ein Kanalbereich der IG-Vorrichtung, beispielsweise ein SOI-MOSFET, ein SGT (surrounding gate transistor: Transistor mit einem umgebenden Gate) eine integrierte Schaltung, oder ein SOI-MOS-DRAM, einen "Schwebezustand" annimmt, also einen Zustand mit undefiniertem Potential.

[0018] Diese Aufgabe wird erfindungsgemäß gelöst wie in den unabhängigen Ansprüchen angegeben.

[0019] Erfindungsgemäß wird ein Aufbau eines MOSFETs, eines SGTs, einer integrierten Schaltung oder eines MOS-DRAMs und ein Verfahren zu deren Herstellung zur Verfügung gestellt, in dem ein ungewünschter Schwebekörpereffekt unterdrückt wird, wobei ein Halbleiterbereich mit engem Bandabstand im Inneren eines Hauptelektrodenbereichs oder nahe dem Hauptelektrodenbereich vorgesehen wird, wodurch eine Verbesserung der Draindurchbruchsspannung und gleichzeitig eine Verringerung des Kriechstroms erzielt wird.

[0020] Erfindungsgemäß wird ein Aufbau einer IG-Vorrichtung und ein Verfahren zu deren Herstellung zur Verfügung gestellt, wobei, wenn die Ionenimplantationsdosis von Ge erhöht wird, die Draindurchbruchsspannung der IG-Vorrichtung erhöht werden kann, ohne daß ein Kriechstrom erzeugt und die Draindurchbruchsspannung eines Gateoxidfilms verringert wird.

[0021] Desweiteren wird erfindungsgemäß eine IG-Vorrichtung angegeben, die eine hohe Transkonduktanz (Vorwärtsleitwert oder Steilheit) g_m und eine hohe Stromtreiberfähigkeit aufweist, eine integrierte Schaltung, welche einen MOSFET, MISFET oder MOSSIT (MOS static induction transistor) verwendet, und ein zugehöriges Herstellungsverfahren.

[0022] Ein Vorteil der vorliegenden Erfindung besteht in der Bereitstellung eines Aufbaus einer IG-Vorrichtung, der die Erzeugung von Kristallfehlern infolge einer Gitterfehlpassung zwischen dem Halbleiter mit engem Bandabstand und dem Körper verhindern kann, beispielsweise zwischen SiGe und Si oder zwischen SiSn und Si, bzw. in der Bereitstellung eines neuen Aufbaus einer IG-Vorrichtung und eines Verfahrens zu deren Herstellung, wobei die Orte und Richtungen von Kristallfehlern gesteuert werden können.

[0023] Ein weiterer Vorteil der vorliegenden Erfindung besteht in der Bereitstellung eines Herstellungsverfahrens, welches es ermöglicht, die Herstellungszeit zu verringern, wobei die Wafer-Durchsatzrate und daher der Herstellungswirkungsgrad verbessert ist, wobei gleichzeitig die voranstehenden Vorteile erreicht werden.

[0024] Zur Erreichung des voranstehend geschilderten Ziels stellt die vorliegende Erfindung einen Aufbau und ein Herstellungsverfahren für eine IG-Vorrichtung zur Verfügung, bei welchem ein Halbleiterbereich mit engem Bandabstand, der auf eine der nachstehend angegebenen Weisen ausgebildet ist, zumindest entweder in einem ersten oder in einem zweiten Hauptelektrodenbereich (nachstehend als "Hauptelektrodenbereich" bezeichnet) der IG-Vorrichtung vorgesehen ist. Selbstverständlich bezeichnet der Hauptelektrodenbereich auch entwe-

der den Source- oder den Drainbereich der IG-Vorrichtung. Eine derartige IG-Vorrichtung umfaßt integrierte Schaltungen des Typs MISFET, MISFET, MOSSIT, usw.

(1) Eine erste Maßnahme zum Erreichen der voranstehend geschilderten Ziele besteht darin, wie in den [Fig. 8](#) und 10 gezeigt, die Dotierbedingungen zum Kompensieren der Gitterfehlpassung oder der Gitterstörungen auszuwählen und entsprechend auszulegen, wobei der Kovalenzradius eines Verunreinigungsatoms berücksichtigt wird, welches in einen Hauptelektrodenbereich einer IG-Vorrichtung eindotiert wird, und ein Gitterort berücksichtigt wird, in welchen Verunreinigungen in dem Halbleiterkörper, beispielsweise Si, eingebracht werden, also Zwischengitterplätze oder Leerstelleneinfangplätze. Mit anderen Worten wird die Art des Verunreinigungselements, die Tiefe des Verunreinigungselements (oder die Diffusionstiefe) in dem Hauptelektrodenbereich festgelegt, nachdem der Kovalenzradius des Verunreinigungselements, die Gitterkonstante des Halbleiterkörpers, usw. berücksichtigt wurden.

(2) Eine zweite Maßnahme besteht darin, wie in den [Fig. 12A](#) bis [Fig. 15D](#), [Fig. 17A](#) bis 17C und [Fig. 24A](#) gezeigt ist, einen Halbleiterbereich **47** mit engem Bandabstand tiefer auszubilden als den Boden einer Verarmungsschicht **214**, die im grundlegenden Betriebszustand der SOI-IG-Vorrichtung ausgebildet wird. Bei dem SOI-MOSFET oder der SOI-MOS-LSI mit einem Gate, das durch eine Spannung von 3 Volt getrieben wird, gibt der Boden der Verarmungsschicht im grundsätzlichen Betriebszustand den Ort einer Verarmungsschicht an, wenn 3 Volt an das Gate angelegt wird. Durch Ausbildung des Halbleiterbereiches **47** mit engem Bandabstand an einem tiefer gelegenen Ort als dem Boden der Verarmungsschicht **214** wird nie ein Kriechstrom durch Kristallfehler in der SOI-IG-Vorrichtung hervorgerufen, selbst wenn Kristallfehler im unteren Bereich des SOI-Films **203** erzeugt werden sollten.

Durch diese zweite Maßnahme wird darüber hinaus der Wirkungsgrad des Defektelektronenabziehens von dem SOI-Körper erhöht.

(3) Wie in den [Fig. 18A](#) und [Fig. 18B](#), [Fig. 19](#), [Fig. 21A](#) und [Fig. 21B](#), [Fig. 22](#), [Fig. 24A](#) und [Fig. 24B](#) gezeigt ist, besteht eine dritte Maßnahme darin, entweder eine Hetero-Übergangs-Grenzfläche **225** zwischen dem aus einem SiGe-Bereich bestehenden Halbleiterbereich **237** mit engem Bandabstand und einem Halbleiterbereich auszubilden, der einen aus Si bestehenden Kanalbereich bildet, oder darin, den Halbleiterbereich **237** mit engem Bandabstand an sich jenseits einer pn-Übergangs-Grenzfläche **215** zwischen einem Kanalbereich und einem Hauptelektrodenbereich **216** auf dem MOSFET auszubilden.

Wie voranstehend bereits erläutert ist typischer-

weise beim Stand der Technik ein Hetero-Übergang, der zwischen einer SiGe-Schicht und einer Si-Schicht erzeugt werden soll, im Inneren einer pn-Übergangs-Grenzfläche **215** zwischen Source- und Kanalbereichen vorhanden (auf der Seite des Sourcebereiches). Zwar werden bei diesem Aufbau nach dem Stand der Technik Löcher oder Defektelektronen sicher absorbiert, jedoch bleibt eine Energieschwelle des pn-Übergangs gegenüber Löchern in dem Kanalbereich übrig, so daß nicht durch die SiGe-Schicht abgezogene Löcher sich in dem Kanalbereich ansammeln. Es ist wohl bekannt, daß ein Draindurchbruchseffekt durch Löcher hervorgerufen wird, die sich in dem Kanalbereich oder in dem SOI-Körper ansammeln. Um das Ziel der Erhöhung der Draindurchbruchspannung zu erreichen ist es daher nicht immer am besten, den Hetero-Übergang im Inneren eines pn-Übergangs anzuordnen, wie beim Aufbau nach dem Stand der Technik. In [Fig. 20](#) ist ein Vergleich der Energieschwelle zwischen dem konventionellen Aufbau mit einem homogenen Übergang und dem Hetero-Übergangsaufbau gemäß der vorliegenden Erfindung gezeigt. Es wird deutlich, daß in dem durch eine dicke, durchgezogene Linie in [Fig. 20](#) gezeigten Fall die Energieschwelle in Bezug auf Löcher wesentlich verringert werden kann. Anders ausgedrückt haben die Erfinder der vorliegenden Erfindung herausgefunden, daß die Draindurchbruchspannung dadurch wesentlich erhöht werden kann, wenn das Energieband so in dem Grenzbereich zwischen Source- und Kanalbereichen ausgebildet wird, daß ein Ort, welcher das niedrigste Potential in Bezug auf Löcher oder Defektelektronen aufweist, linear an eine Valenzbandkante E_v (SiGe) des Halbleiterbereichs mit engem Bandabstand angeschlossen ist, um so keine hohe Schwelle in Bezug auf Löcher zu erzeugen. Aus diesem Grund ist es wünschenswert, wie in den [Fig. 18A](#) und [Fig. 18B](#), [Fig. 19](#), [Fig. 21A](#) und [Fig. 21B](#), [Fig. 22](#), [Fig. 24A](#) und [Fig. 24B](#) usw. gezeigt, daß der Halbleiterbereich **237** mit engem Bandabstand zur Kanalseite hin verlängert wird, also zu dem Ort, der einen minimalen Potentialwert (Extremwert) an Löchern jenseits der pn-Übergangs-Grenzfläche **215** aufweist.

(4) Eine vierte Maßnahme besteht darin, wie in [Fig. 25A](#) gezeigt, den Halbleiterbereich **212** mit engem Bandabstand so auszubilden, daß er sich zum Kanalbereich unterhalb eines Gateoxidfilms **204** erstreckt. Da ein SiGe-Bereich als typischer Halbleiterbereich mit engem Bandabstand eine höhere Elektronenmobilität aufweist als ein Si-Bereich, kann er eine hohe Transkonduktanz g_m aufweisen, so daß er eine höhere Stromtreiberfähigkeit erhalten kann. Eine in [Fig. 25B](#) gezeigte Anordnung kann so ausgebildet werden, daß Ionen durch die Gateelektrode **205** implantiert werden, mit Hilfe einer Erhöhung der Beschleunigungs-

spannung, die für die Ionenimplantierung von Ge oder Sn verwendet wird.

(5) Eine fünfte Maßnahme besteht darin, die Orte und Richtungen der Kristallfehler zu steuern, die durch die Gitterfehlpassung in der Hetero-Übergangsanordnung hervorgerufen werden, sowie die von der Ionenimplantierungsbeschädigung hervorgerufenen, sekundären Effekte. Wenn wie in [Fig. 26D](#) gezeigt Kristallfehler D im Inneren der Hauptelektrodenbereiche **216**, **226** erzeugt werden, so steigt der Kriechstrom in dem MOSFET usw. überhaupt nicht an, obwohl diese Defekte hervorgerufen werden.

(6) Eine sechste Maßnahme besteht darin, eine Gitterfehlpassung zwischen dem Halbleiterbereich mit engem Bandstand und einem Mutterhalbleiter zu kompensieren. Genauer gesagt wird beispielsweise im Falle von SiGe/Si die Anzahl an Kristallfehlern, die in [Fig. 29B](#) gezeigt sind, erhöht, wenn die Molfraktion von Ge 30% oder mehr beträgt, falls Ge bei 25 kV implantiert wird. Im Gegensatz hierzu wird die Draindurchbruchsspannung allmählich verbessert, wenn die Ge-Molfraktion 1% übersteigt, und wird abrupt verbessert, wenn die Ge-Molfraktion innerhalb eines Bereiches von 5 bis 15% liegt, und kann allmählich bis zur Sättigung verbessert werden, wenn die Ge-Molfraktion 20 bis 30% oder mehr beträgt, wie in [Fig. 29A](#) gezeigt ist. Wenn daher der Anteil an Si in $\text{Si}_x\text{Ge}_{1-x}$ innerhalb eines Bereiches von 99 bis 70% gewählt wird, kann die Erzeugung von Kristalldefekten verhindert und gleichzeitig die Draindurchbruchsspannung verbessert werden.

[0025] Die voranstehend geschilderten Aufbauten von IG-Vorrichtungen sind nicht auf eine bestimmte Vorrichtung beschränkt. Sie lassen sich ebenfalls wirksam bei integrierten Schaltungen des Typs DRAM, SRAM, EEPROM und dergleichen einsetzen. Dies liegt darin, daß die genannten Vorteile noch mehr dominieren, nämlich daß die Rückhaltezeit für die gespeicherte Ladung in einem DRAM verbessert werden kann, wenn ein MOSFET mit kleinem Kriechstrom verwendet wird. Genauer gesagt können derartige MOSFET-Strukturen bei DRAMs des Grabentyps eingesetzt werden, die in den [Fig. 37A](#), [Fig. 37B](#), [Fig. 38](#), [Fig. 39A](#), [Fig. 39B](#) und [Fig. 40](#) gezeigt sind, und ebenfalls bei DRAMs des Stapeltyps, die in den [Fig. 41A](#), [Fig. 41B](#), [Fig. 42A](#), [Fig. 42B](#), [Fig. 43A](#) und [Fig. 43B](#) gezeigt sind.

[0026] Zwar wurden voranstehend hauptsächlich SOI-MOSFETs beschrieben, jedoch lassen sich die Grundlagen der vorliegenden Erfindung auch bei FETs und SITs (static induction transistors) einsetzen, bei welchen ein Kanalbereich in einen Zustand mit unbestimmtem Potential (Schwebezustand) in Bezug auf andere Bereiche gebracht wird. Die Grundsätze der Erfindung lassen sich beispielsweise bei einem SGT (surrounding gate transistor) verwirk-

lichen, der in [Fig. 44B](#) gezeigt ist, oder bei einem in [Fig. 49B](#) gezeigten, vertikalen Dünnfilmtransistor.

[0027] Der Halbleiterbereich mit engem Bandstand gemäß der vorliegenden Erfindung kann durch Ionenimplantierung, MBE, CVD und dergleichen hergestellt werden. Zusätzlich zu SiGe und SiSn können Halbleiter mit engem Bandstand verwendet werden, wie beispielsweise PbS, PbSe, PbTe, SnTe, ZnSb, InSb oder InAs, sowie Mischkristalle aus Si und derartigen Halbleitermaterialien. Vorzugsweise werden PbS, PbSe usw. durch MBE oder CVD hergestellt. Weiterhin ist es möglich, wie in den [Fig. 11A](#) und [Fig. 11B](#) gezeigt, unterschiedliche Projektionsbereiche dazu einzusetzen, Ionen in unterschiedliche Orte zu implantieren, durch Änderung der Beschleunigungsspannung entsprechend der Art der Ionen. Weiterhin ist es möglich, wie in [Fig. 11B](#) gezeigt, usw., Seitenwandisolerfilme auf beiden Seiten der Gateelektrode einzusetzen, um Ionen in unterschiedliche Orte auf einem Flächenmuster zu implantieren. Wie in [Fig. 26B](#) gezeigt kann eine schräge Ionenimplantierung dazu verwendet werden, As und dergleichen zu implantieren, um den SiGe-Bereich zu erfassen. Um den Ort der Kristallfehler nach der Ionenimplantierung zu steuern, kann eine Wärmebehandlung vorzugsweise bei einer Temperatur von 700°C oder mehr durchgeführt werden, insbesondere in einem Bereich von 700°C bis 1000°C. Wenn die Wärmebehandlungstemperatur so gewählt wird, daß sie 700°C oder mehr beträgt, und die Kristallfehler innerhalb der Hauptelektrodenbereiche **216**, **226** liegen, wie in [Fig. 27](#) gezeigt ist, so wird in dem MOSFET der Kriechstrom nicht erhöht, selbst wenn Ge oder Sn mit einer Molfraktion von mehr als 15 bis 30% implantiert werden.

[0028] SiGe, SiSn, PbS usw. kann man dadurch aufwachsen lassen, daß MBE, CVD, UHV-CVD oder MLE (molecular layer epitaxy: Molkülschicht-Epitaxie) statt einer Ionenimplantierung eingesetzt werden. Man kann beispielsweise SiGe aufwachsen lassen mittels CVD, wenn SiH_4 (oder Si_2H_6) und GeH_4 verwendet werden. Hierbei kann man SiGe des n⁺-Typs aufwachsen lassen, indem eine Dotierung mit einem Dotiermittel des n-Typs wie beispielsweise AsH_3 oder PH_3 in SiGe erfolgt. PbS kann man durch CVD unter Verwendung von H_2S und Bleihalogeniden, Bleichelaten, Blei-Tertiär-Butoxidkomplexen wie beispielsweise $[\text{Pb}/\text{OBu}^t]_2$ oder $\text{Pb}_4\text{O}(\text{OBu}^t)_6$ erhalten.

[0029] Die Erfindung wird nachstehend anhand zeichnerisch dargestellter Ausführungsbeispiele näher erläutert, aus welchen weitere Vorteile und Merkmale hervorgehen, wobei darauf hingewiesen wird, daß verschiedene, nicht ausdrücklich genannte Vorteile einem Fachmann auf diesem Gebiet beim Studium der Anmeldeunterlagen deutlich werden, oder bei der Umsetzung der Erfindung in die Praxis.

[0030] Es zeigt:

[0031] [Fig. 1](#) eine Schnittansicht des Aufbaus eines konventionellen SOI-MOS-DRAMs;

[0032] [Fig. 2](#) eine Ansicht zur Erläuterung eines Vergleichs der Draindurchbruchsspannung bei einem konventionellen SOI-MOSFET und einem Ganzkörper-MOSFET;

[0033] [Fig. 3](#) eine Darstellung eines Überschwingens eines Ausgangsstroms, wenn der SOI-MOSFET geschaltet wird;

[0034] [Fig. 4A](#) eine Schnittansicht des SOI-MOSFET, der einen $\text{Si}_x\text{Ge}_{1-x}$ -Bereich in n^+ -Source- und Drainbereichen aufweist;

[0035] [Fig. 4B](#) ein Potentialprofil (Banddiagramm) des in [Fig. 4A](#) gezeigten Hetero-Übergangs-SOI-MOSFETs;

[0036] [Fig. 5A](#) einen Vergleich der Eigenschaften zwischen einem Hetero-Übergangs-FET mit dem $\text{Si}_x\text{Ge}_{1-x}$ -Bereich und einem FET mit homogenem Übergang ohne den $\text{Si}_x\text{Ge}_{1-x}$ -Bereich;

[0037] [Fig. 5B](#) einen Vergleich der Leckströme der FETs in [Fig. 5A](#);

[0038] [Fig. 6](#) die Beziehung zwischen einer Ionenimplantationsdosis und der Verbesserung der Draindurchbruchsspannung;

[0039] [Fig. 7](#) eine Schnittansicht mit einer Darstellung von Kristallfehlern eines Hetero-Übergangs-MOSFETs nach dem Stand der Technik mit dem $\text{Si}_x\text{Ge}_{1-x}$ -Bereich;

[0040] [Fig. 8](#) eine Schnittansicht des Aufbaus eines SOI-MOSFETs gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

[0041] [Fig. 9A](#) bis [Fig. 9D](#) Schnittansichten, die jeweils Herstellungsschritte des SOI-MOSFETs gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigen;

[0042] [Fig. 10A](#) eine Schnittansicht des Aufbaus eines SOI-MOSFETs gemäß einer zweiten Ausführungsform der vorliegenden Erfindung, und

[0043] [Fig. 10B](#) eine Schnittansicht eines MOSFETs gemäß einer Abänderung der zweiten Ausführungsform;

[0044] [Fig. 11A](#) und [Fig. 11B](#) Schnittansichten von Herstellungsschritten des SOI-MOSFETs gemäß der zweiten Ausführungsform der Erfindung;

[0045] [Fig. 12A](#) bis [Fig. 12B](#) Schnittansichten von Herstellungsschritten eines SOI-MOSFETs gemäß einer dritten Ausführungsform der vorliegenden Erfindung;

[0046] [Fig. 13A](#) und [Fig. 13B](#) Schnittansichten von Herstellungsschritten eines SOI-MOSFETs gemäß einer vierten Ausführungsform der vorliegenden Erfindung;

[0047] [Fig. 14](#) eine Schnittansicht des Aufbaus eines SOI-MOSFETs gemäß einer fünften Ausführungsform der vorliegenden Erfindung;

[0048] [Fig. 15A](#) bis [Fig. 15D](#) Schnittansichten von Herstellungsschritten des SOI-MOSFETs gemäß der fünften Ausführungsform der vorliegenden Erfindung;

[0049] [Fig. 16A](#) bis [Fig. 16C](#) Schnittansichten von Herstellungsschritten eines LDD-SOI-MOSFETs gemäß einer sechsten Ausführungsform der vorliegenden Erfindung;

[0050] [Fig. 17A](#) und [Fig. 17B](#) Schnittansichten von Herstellungsschritten für einen MOSFET gemäß einer Abänderung der sechsten Ausführungsform;

[0051] [Fig. 18A](#) eine Schnittansicht eines SOI-MOSFETs gemäß einer siebten Ausführungsform der vorliegenden Erfindung;

[0052] [Fig. 18B](#) eine vergrößerte Schnittansicht des Aufbaus nahe einem n^+ -Sourcebereich des in [Fig. 18A](#) gezeigten SOI-MOSFETs;

[0053] [Fig. 19](#) eine Schnittansicht des Aufbaus gemäß einer Abänderung der siebten Ausführungsform der vorliegenden Erfindung, bei welcher ein Teil einer Hetero-Übergangs-Grenzfläche eine pn-Übergangs-Grenzfläche überquert;

[0054] [Fig. 20](#) eine Darstellung eines Potentialprofils (Banddiagramms) eines SOI-MOSFETs gemäß der siebten Ausführungsform der vorliegenden Erfindung;

[0055] [Fig. 21A](#) eine Schnittansicht eines SOI-MOSFETs gemäß einer achten Ausführungsform der vorliegenden Erfindung;

[0056] [Fig. 21B](#) eine vergrößerte Schnittansicht des Aufbaus in der Nähe eines n^+ -Sourcebereiches des in [Fig. 21A](#) gezeigten SOI-MOSFETs;

[0057] [Fig. 22](#) eine Schnittansicht des Aufbaus des MOSFETs gemäß einer Abänderung der achten Ausführungsform der vorliegenden Erfindung;

[0058] [Fig. 23](#) einen Vergleich eines Potentialprofils (Banddiagramms) zwischen SOI-MOSFETs, bei wel-

chen einerseits der $\text{Si}_x\text{Ge}_{1-x}$ -Bereich direkt mit einem Silizid-Bereich verbunden ist, und andererseits mit dem Silizid-Bereich über einen Si-Bereich verbunden ist;

[0059] [Fig. 24A](#) und [Fig. 24B](#) Schnittansichten jeweils eines Aufbaus nahe einem n^+ -Sourcebereich eines SOI-MOSFETs gemäß einer neunten Ausführungsform der vorliegenden Erfindung;

[0060] [Fig. 25A](#) und [Fig. 25B](#) Schnittansichten jeweils des Aufbaus in der Nähe eines n^+ -Sourcebereiches eines SOI-MOSFETs gemäß einer zehnten Ausführungsform der vorliegenden Erfindung;

[0061] [Fig. 26A](#) bis [Fig. 26D](#) Schnittansichten jeweils von Herstellungsschritten des SOI-MOSFETs gemäß einer elften Ausführungsform der vorliegenden Erfindung;

[0062] [Fig. 27](#) eine Schnittansicht eines Aufbaus gemäß einer Abänderung der elften Ausführungsform der vorliegenden Erfindung, bei welcher Ionenimplantierung dadurch ausgeführt wird, daß ein Seitenwand-Nitridfilm als Implantierungsmaske verwendet wird;

[0063] [Fig. 28A](#) und [Fig. 28B](#) Schnittansichten jeweils des Aufbaus eines SOI-MOSFETs gemäß einer zwölften Ausführungsform der vorliegenden Erfindung;

[0064] [Fig. 29A](#) eine Darstellung der Beziehung zwischen einem Molfraktionsspitzenwert von Ge in dem $\text{Si}_x\text{Ge}_{1-x}$ -Bereich und der Verbesserung der Draindurchbruchsspannung;

[0065] [Fig. 29B](#) eine Darstellung der Beziehung zwischen einem Molfraktionsspitzenwert von Ge und der Anzahl erzeugter Fehlstellen;

[0066] [Fig. 29C](#) eine Darstellung der Beziehung zwischen dem Molfraktionsspitzenwert von Ge, bei welchem die Kristallfehler erzeugt werden, und der Beschleunigungsspannung bei der Implantierung der Ge-Ionen;

[0067] [Fig. 30](#) eine Schnittansicht des Aufbaus eines SOI-MOSFETs gemäß einer dreizehnten Ausführungsform der vorliegenden Erfindung;

[0068] [Fig. 31A](#) bis [Fig. 31C](#) Schnittansichten jeweils von Herstellungsschritten des SOI-MOSFETs gemäß der dreizehnten Ausführungsform der vorliegenden Erfindung;

[0069] [Fig. 32A](#) eine Schnittansicht des Aufbaus eines SOI-MOSFETs gemäß einer vierzehnten Ausführungsform der vorliegenden Erfindung;

[0070] [Fig. 32B](#) eine Schnittansicht des Aufbaus einer Abänderung des in [Fig. 32a](#) gezeigten SOI-MOSFETs;

[0071] [Fig. 33A](#) bis [Fig. 33C](#) Schnittansichten jeweils von Herstellungsschritten des SOI-MOSFETs gemäß der vierzehnten Ausführungsform der vorliegenden Erfindung;

[0072] [Fig. 34](#) eine Schnittansicht des Aufbaus eines SOI-MOSFETs gemäß einer fünfzehnten Ausführungsform der vorliegenden Erfindung;

[0073] [Fig. 35A](#) bis [Fig. 35D](#) Schnittansichten jeweils von Herstellungsschritten des SOI-MOSFETs gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung;

[0074] [Fig. 36A](#) bis [Fig. 36D](#) Schnittansichten jeweils von anderen Herstellungsschritten des SOI-MOSFETs gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung;

[0075] [Fig. 37A](#) eine Aufsicht auf einen SOI-MOS-DRAM

[0076] [Fig. 37B](#) eine Schnittansicht des in [Fig. 37A](#) gezeigten SOI-MOS-DRAM;

[0077] [Fig. 38](#) eine Schnittansicht eines DRAM

[0078] [Fig. 39A](#) eine Aufsicht auf einen DRAM

[0079] [Fig. 39B](#) eine Schnittansicht des in [Fig. 39A](#) gezeigten DRAM;

[0080] [Fig. 40](#) eine Schnittansicht eines DRAM

[0081] [Fig. 41A](#) eine Aufsicht auf einen SOI-MOS-DRAM

[0082] [Fig. 41B](#) eine Schnittansicht des in [Fig. 41A](#) gezeigten SOI-MOS-DRAM;

[0083] [Fig. 42A](#) und [Fig. 42B](#) Schnittansichten jeweils eines SOI-MOS-DRAM

[0084] [Fig. 43A](#) eine Aufsicht auf den SOI-MOS-DRAM

[0085] [Fig. 43B](#) eine Schnittansicht des in [Fig. 43A](#) gezeigten SOI-MOS-DRAM;

[0086] [Fig. 44A](#) eine Aufsicht eines MOS-DRAM, wobei ein Transistor mit umgebendem Gate (SGT) als Auswahltransistor verwendet wird,

[0087] [Fig. 44B](#) eine Schnittansicht des in [Fig. 44A](#) gezeigten MOS-DRAM;

[0088] [Fig. 45A](#) bis [Fig. 45E](#) Schnittansichten jeweils von Herstellungsschritten für den MOS-DRAM, wobei der Transistor (SGT) mit umgebendem Gate als der Auswahltransistor verwendet wird,

[0089] [Fig. 46A](#) eine Aufsicht auf einen MOS-DRAM

[0090] [Fig. 46B](#) eine Schnittansicht auf den in [Fig. 46A](#) gezeigten MOS-DRAM;

[0091] [Fig. 47A](#) und [Fig. 47B](#) Schnittansichten jeweils des MOS-DRAM

[0092] [Fig. 48A](#) bis [Fig. 48F](#) Schnittansichten jeweils eines Herstellungsschrittes des in den [Fig. 46A](#) bis [Fig. 47B](#) gezeigten MOS-DRAM;

[0093] [Fig. 49A](#) eine Aufsicht auf den Aufbau eines vertikalen MOS-DRAM

[0094] [Fig. 49B](#) eine Schnittansicht des in [Fig. 49A](#) gezeigten vertikalen MOS-DRAM;

[0095] [Fig. 50A](#) bis [Fig. 50E](#) Schnittansichten jeweils von Herstellungsschritten des vertikalen MOS-DRAM

[0096] [Fig. 51A](#) eine Darstellung der Schaltungsausbildung eines DRAM und

[0097] [Fig. 51B](#) eine Ansicht des Schaltungsaufbaus einer logischen integrierten Schaltung gemäß einer Abänderung der zwanzigsten Ausführungsform der vorliegenden Erfindung.

[0098] Bei den verschiedenen Ausführungsformen der vorliegenden Erfindung, die unter Bezugnahme auf die beigefügten Zeichnungen nunmehr beschrieben werden, wird darauf hingewiesen, daß gleiche oder entsprechende Bezugszeichen bei gleichen oder entsprechenden Teilen und Elementen durch die gesamten Zeichnungen hindurch verwendet werden, wobei keine erneute oder nur eine vereinfachte Beschreibung gleicher oder ähnlicher Teile und Elemente erfolgt.

(Erste Ausführungsform)

[0099] [Fig. 8](#) zeigt einen Schnittaufbau eines SOI-MOSFET gemäß einer ersten Ausführungsform der vorliegenden Erfindung. In [Fig. 8](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** erzeugt. Der SOI-Film **203** wird in Querrichtung durch einen dicken, thermisch erzeugten Oxidfilm **4** isoliert, der so ausgebildet wird, daß er den vergrabenen Oxidfilm **202** von der Oberfläche des SOI-Films **203** aus erreicht. Ein durch ein Dielektrikum isolierter Bereich des SOI-Films **203** wird als ak-

tiver Bereich verwendet. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226** werden im Inneren des aktiven Bereiches hergestellt, so daß dessen Bodenabschnitt mit einem vergrabenen Oxidfilm **202** verbunden wird. SiGe-Bereiche **217**, **227** mit Phosphor (P) werden in dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** ausgebildet. Eine Source-Metallelektrode **218** und eine Drain-Metallelektrode **228** werden auf dem n⁺-Sourcebereich **216** bzw. dem n⁺-Drainbereich **226** durch Kontaktlöcher hergestellt, die in einem Zwischenschichtisolierfilm **8** ausgebildet werden. Eine aus Polysilizium und dergleichen bestehende Gateelektrode **205** wird auf einem Kanalbereich **203** zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** über den Gateoxidfilm **204** hergestellt. Ein dünner Oxidfilm **7**, der als nachträglicher Oxidfilm bezeichnet wird, wird auf einer Oberfläche der Gateelektrode **205** aus Polysilizium hergestellt. Der n⁺-Sourcebereich **216** und der n⁺-Drainbereich **226** werden dadurch ausgebildet, daß eine Verunreinigung des n-Typs wie beispielsweise As mit einer hohen Verunreinigungsdichte von etwa 6×10^{18} bis 1×10^{21} cm⁻³ eindotiert wird.

[0100] Bei der ersten Ausführungsform der vorliegenden Erfindung werden auf den Oberflächenseiten des n⁺-Sourcebereiches **216** und des n⁺-Drainbereiches **226** SiGe-Bereiche **217** und **227** mit P ausgebildet, welches einen kleineren Kovalenzradius (= 0,11 nm) aufweist als Si (= 0,117 nm), so daß daher Bereiche **217** und **227** ausgebildet werden, die Ge und P enthalten. Bei diesem Aufbau der ersten Ausführungsform ergab sich keine wahrscheinliche (oder statistische) Erzeugung des Kriechstroms wie bei dem Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik gemäß [Fig. 5B](#). Andererseits ergab sich offensichtlich der hohe Kriechstrom bei dem Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik, der in [Fig. 5B](#) gezeigt ist, bei welchem der SiGe-Bereich **207** in den n⁺-Source- und Drainbereichen **206**, **226** mit Arsen (As) gebildet wird, welches einen größeren Kovalenzradius (= 0,118 nm) aufweist als Si, wie in [Fig. 4A](#) gezeigt.

[0101] Darüber hinaus werden bei der ersten Ausführungsform der vorliegenden Erfindung die Kristalldefekte D überhaupt nicht erzeugt, die bei dem Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik auftreten, der in [Fig. 7](#) dargestellt ist. Weiterhin ist die Draindurchbruchsspannung des SOI-MOSFET nicht wesentlich schlechter als bei dem Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik, bei welchem nur Ge in einer Verunreinigungsdiffusionsschicht mit As als n⁺-Verunreinigung implantiert wird. Mit anderen Worten wird, im Gegensatz zu dem Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik, bei dem in der Source-diffusionsschicht nur eine Art einer Verunreinigung des n-Typs vorgesehen ist, die Draindurchbruchsspannung des MOSFET gemäß der ersten Ausfüh-

rungsform der vorliegenden Erfindung um 1 Volt in dem nicht leitenden (AUS)-Zustand verbessert.

[0102] Als Begründung dafür, daß derartige Wirkungen erzielt werden, kann man sich folgendes überlegen. Die Kristallfehler auf der (100)-Ebene werden typischerweise entlang den {111}-Ebenen hervorgerufen, wie in [Fig. 7](#) gezeigt ist. Bei einem SOI-Aufbau nach dem Stand der Technik werden nach dem Implantieren von Ge-Ionen, die einen größeren Kovalenzradius als Si-Ionen aufweisen, Kristallfehler hervorgerufen, infolge von Spannungen, die durch den SiGe/Si-Hetero-Übergang hervorgerufen werden, und diese konzentrieren sich an Gateelektrodenkanten. Bei dem Aufbau gemäß der ersten Ausführungsform der vorliegenden Erfindung kann jedoch dieses beim Stand der Technik auftretende Phänomen, welches die Hetero-Übergangs-SOI-Anordnung kennzeichnet, verringert werden, und können die Kristallfehler wesentlich verringert werden.

[0103] Da die effektive Kanallänge L_{eff} der Vorrichtung, die so ausgebildet ist, daß sie eine Länge von 0,5 μm der Polysilizium-Gateelektrode aufweist, bei der ersten Ausführungsform 0,3 μm betrug, ergab sich die Verringerung eines Schwellenwertes auf der Grundlage des Effekts eines kurzen Kanals. Dies liegt daran, daß P in Querrichtung diffundieren kann, wenn eine Wärmebehandlung nach der Innenimplantation von Ge und P vorgenommen wird.

[0104] Der SOI-MOSFET gemäß der ersten Ausführungsform der vorliegenden Erfindung kann auf die nachstehend geschilderte Weise hergestellt werden. Die [Fig. 9A](#) bis [Fig. 9D](#) sind Schnittansichten, die jeweils Herstellungsschritte für den SOI-MOSFET gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigen.

(a) Zuerst werden, wie in [Fig. 9A](#) gezeigt, Sauerstoffionen in ein (100)-Siliziumsubstrat **201** des p-Typs bei einer Beschleunigungsspannung $V_{\text{ac}} = 180 \text{ kV}$ implantiert, mit einer Dosis von $\phi = 2 \times 10^{18} \text{ cm}^{-2}$.

(b) Daraufhin wird gemäß [Fig. 9B](#) der vergrabene Oxidfilm **202** mit einer Dicke von 400 nm in einer Tiefe von 200 nm gegenüber einer oberen Siliziumoberfläche durch Wärmebehandlung bei 1300°C fünf Stunden lang erzeugt. Zu diesem Zeitpunkt wird der Einkristallsiliziumfilm (SOI-Film) **203** auf der Oberfläche ausgebildet. Die SOI-Anordnung wird daher durch das sogenannte SIMOX-Verfahren hergestellt. Dann wird die Oberfläche des SOI-Films **203** thermisch oxidiert. Der SOI-Film **203** wird auf eine vorbestimmte Dicke verdünnt, beispielsweise auf 100 nm, durch eine Naßätzung des thermischen Oxidfilms unter Verwendung einer NH_4F -Lösung und dergleichen.

(c) Dann wird, wie in [Fig. 9C](#) gezeigt, der Isolationsoxidfilm **4** so ausgebildet, daß er den vergra-

benen Oxidfilm **202** erreicht, durch eine selektive Oxidationstechnik wie beispielsweise eine LOCOS-Technik oder dergleichen. Auf diese Weise werden benachbarte Vorrichtungen durch ein Dielektrikum voneinander isoliert. Wenn eine hohe Integrationsdichte verwendet wird, kann ein BOX-Verfahren (Buried OXide: vergrabenes Oxid) oder eine andere Vorrichtungsisolierstechnik verwendet werden. Daraufhin wird der Gateoxidfilm **204** mit einer Dicke von 10 nm ausgebildet, und dann wird darauf mittels CVD ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von 300 nm abgelagert. Daraufhin wird, wie in [Fig. 9C](#) gezeigt, die Gateelektrode **205** mit einer Gatelänge von 0,5 μm durch einen Photolithographieschritt und einen RIE-Schritt erzeugt.

(d) Nachdem der nachträgliche Oxidfilm **7** so ausgebildet wurde, daß er eine Dicke von 10 nm aufweist, werden der n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226** dadurch hergestellt, daß As-Ionen bei einer Beschleunigungsspannung $V_{\text{ac}} = 150 \text{ kV}$ und in einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert werden, und die sich ergebende Anordnung dann bei 900°C eine Stunde lang wärmebehandelt wird. Daraufhin werden, wie in [Fig. 9D](#) gezeigt, Ge-Ionen bei einer Beschleunigungsspannung $V_{\text{ac}} = 50 \text{ kV}$ und mit einer Dosis $\phi = 1 \times 10^{16} \text{ cm}^{-2}$ implantiert, und werden P-Ionen bei einer Beschleunigungsspannung $V_{\text{ac}} = 15 \text{ kV}$ und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert. Dann erfolgt 30 Minuten eine Wärmebehandlung bei 850°C. Obwohl nicht dargestellt, wird dann die Zwischenschicht-Isolierschicht **8**, die aus einem SiO_2 -Film, einem Si_3N_4 -Film, oder aus einem Verbundfilm aus SiO_2 -Film und PSG-Film besteht, jeweils mit einer Dicke von 300 bis 500 nm, mittels CVD aufgebracht. Kontaktlöcher für die Source- und Drain-Metallelektroden **218**, **228** werden in der Zwischenschicht-Isolierschicht **8** geöffnet. Dann werden die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** durch einen Metallisierungsschritt hergestellt, unter Verwendung eines Metalls wie beispielsweise Al-Si, Al-Si-Cu und dergleichen. Damit ist der SOI-MOSFET gemäß der ersten Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0105] Bei der ersten Ausführungsform der vorliegenden Erfindung kann Tin (Sn) statt Ge Ionen-implantiert werden, und Ge und Sn können gleichzeitig Ionen-implantiert werden. Wenn Sn als Verunreinigung des n-Typs Ionen-implantiert wird, können Gitterfehler dadurch kompensiert werden, daß P und Sn mit einer Rate von etwa P:Sn = 8:3 implantiert werden. Ge und Sn können in Si mit einer Verunreinigungskonzentration von $1 \times 10^{19} \text{ cm}^{-3}$ bis $1 \times 10^{20} \text{ cm}^{-3}$ oder mehr vorgesehen sein, vorzugsweise mit einer Verunreinigungskonzentration von $5 \times 10^{20} \text{ cm}^{-3}$. Wenn Ge in Si in einem Molanteil von 1 bis 30% enthalten ist, kann der Vorteil der vorliegenden Aus-

führungsform im wesentlichen erzielt werden. Der bevorzugte Ge-Molanteil beträgt 5 bis 15%. Zwar erfolgte die Beschreibung anhand eines MOSFETs, jedoch ergeben sich selbstverständlich dieselben Vorteile wie bei einem MIS-FET, der einen Nitridfilm (Si_3N_4) und dergleichen als Gateisolierfilm verwendet.

[0106] Diese technischen Merkmale und Vorteile werden auch bei einem SOI-MOS-SIT (static induction transistor) eingesetzt, der einen Sourcebereich mit engem Bandstand aufweist. Wenn man einen SOI-MOSSIT wünscht, sollte die Kanalänge oder die Gatelänge auf einen Wert von etwa 0,15 bis 0,2 μm verkürzt werden, wobei die übrigen Abmessungen unverändert bleiben, wie in [Fig. 8](#) gezeigt, so daß man nahezu einen Durchgreifspannungszustand erreicht. Durch diese verkürzte Kanallänge wird eine vakuumtriodenartige Charakteristik des ungesättigten Drainstroms (I_d) in Abhängigkeit von der Drainspannung (V_d) erhalten. In diesem Sinn kann man den MOSSIT als eine Art von Kurzkanal-MOSFET ansehen. Wenn man andererseits die Gatelänge auf 0,5 μm festhält, also auf demselben Wert wie bei der Anordnung von [Fig. 8](#) gemäß der ersten Ausführungsform, so kann die SIT-Charakteristik durch Verringerung der Ladungsträgerkonzentration in dem SOI-Körper **203** oder dem Kanal erhalten werden. In dem SIT wird die Potentialschwelle, die vor dem Sourcebereich erzeugt wird, und mathematisch einen Sattelpunkt darstellt, der durch das Gatepotential und das Drainpotential festgelegt ist, durch die Drainspannung gesteuert, die an die Drain-Metallelektrode **228** angelegt wird. Daher nimmt der Drainstrom in Abhängigkeit von der Drainspannung exponentiell zu. Durch Ausbildung des Sourcebereiches **217** mit engem Bandstand wird der Schwebekörpereffekt bei dem SOI-MOSSIT auf entsprechende Weise ausgeschaltet, und kann einfach die hohe Draindurchbruchsspannungsverbesserung ΔV_{BD} erhalten werden.

[0107] Bei der ersten Ausführungsform der vorliegenden Erfindung werden zwei Arten von Verunreinigungen, As und P, in den n^+ -Drainbereich **226** und den n^+ -Sourcebereich **216** eingebracht. Allerdings kann auch nur eine Art einer Verunreinigung des n-Typs, nämlich P, anstelle von As verwendet werden, und darüber hinaus kann Antimon (Sb) anstelle von As eingesetzt werden. Weiterhin können statt P entweder Bor (B) oder Kohlenstoff (C) verwendet werden, die jeweils einen kleineren Kovalenzradius aufweisen als Si. Weiterhin kann eine Kombination dieser Elemente verwendet werden.

(Zweite Ausführungsform)

[0108] [Fig. 10A](#) zeigt einen Schnittaufbau eines SOI-MOSFET gemäß einer zweiten Ausführungsform der vorliegenden Erfindung. In [Fig. 10A](#) wird ein

SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** ausgebildet. Der SOI-Film **203** wird in Querrichtung durch einen thermischen Oxidfilm **4** isoliert, der so ausgebildet wird, daß er den vergrabenen Oxidfilm **202** von der Oberfläche des SOI-Films **203** aus erreicht. Ein isolierter Bereich des SOI-Films **203** wird als aktiver Bereich verwendet. Ein n^+ -Sourcebereich **216** und ein n^+ -Drainbereich **226** werden innen im aktiven Bereich ausgebildet, und zwar so, daß ihre Bodenabschnitte mit einem vergrabenen Oxidfilm **202** in Berührung stehen. SiGe-Bereiche **211** und **221** werden im Inneren des n^+ -Sourcebereiches **216** und des n^+ -Drainbereiches **226** ausgebildet. Bereiche **219** und **229**, die eine hohe Verunreinigungskonzentration an P aufweisen, werden auf Oberflächen der SiGe-Bereiche **211** und **221** hergestellt. Eine aus Polysilizium und dergleichen bestehende Gateelektrode **205** wird auf einem Kanalbereich **203** zwischen dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226** über den Gateoxidfilm **204** ausgebildet. Ein dünner Oxidfilm **7** und Seitenwandoxidfilme **71** mit 80 nm Breite werden um die Polysilizium-Gateelektrode **205** herum hergestellt. Die Bereiche **219**, **229** mit einer hohen Verunreinigungskonzentration an P werden beabstandet von dem Polysiliziumgate **205** entsprechend der Dicke des Seitenwandoxidfilms **71** angeordnet. Ähnlich wie bei der ersten Ausführungsform der vorliegenden Erfindung werden die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** an den n^+ -Sourcebereich **216** bzw. den n^+ -Drainbereich **226** über Kontaktlöcher angeschlossen, die in der Zwischenschicht-Isolierschicht **8** vorgesehen sind.

[0109] Bei dem SOI-MOSFET gemäß der zweiten Ausführungsform der vorliegenden Erfindung war es – ebenso wie bei der ersten Ausführungsform der vorliegenden Erfindung – möglich, eine wesentliche Verbesserung in Bezug auf den Kriechstrom zur Verfügung zu stellen, verglichen mit dem in [Fig. 4A](#) gezeigten Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik, bei welchem nur die Verunreinigungen As mit großem Kovalenzradius mit Ge-Ionen implantiert werden, welche einen größeren Kovalenzradius aufweisen als Si, in den n^+ -Sourcebereich und den n^+ -Drainbereich hinein. Die Verbesserung in Bezug auf die Draindurchbruchsspannung bei der zweiten Ausführungsform der vorliegenden Erfindung ist im wesentlichen gleich jener beim Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik. Da eine effektive Kanallänge von 0,38 μm in Bezug auf die Gatelänge von 0,5 μm erreicht werden kann, wurde darüber hinaus die Unterdrückung des Kurzkanaleffekts verbessert, im Vergleich zur ersten Ausführungsform der vorliegenden Erfindung.

[0110] In Bezug auf die zweite Ausführungsform der vorliegenden Erfindung wurde ein Fall beschrieben, bei welchem Bereiche **219**, **229** mit hoher Verunreini-

gungskonzentration in den SiGe-Bereichen **211**, **221** eingeschlossen werden, durch Implantieren von P-Ionen nach Ausbildung eines Abstandsstückes **71** mit einer Breite von 80 nm. Ohne Änderung anderer Bedingungen, beispielsweise der Ionenimplantierungsbedingungen für As, welches in die n⁺-Sourcebereich und Drainbereich **216** und **226** implantiert wird, kann allerdings eine Implantierung mit B-Ionen, die einen kleineren Kovalenzradius (= 0,088 nm) als die P-Ionen aufweisen, statt der P-Ionen durchgeführt werden, bei einer Beschleunigungsspannung Vac = 20 kV und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$, zur Ausbildung eines Bereiches mit hoher Verunreinigungskonzentration an B. Hierbei können As-Ionen, die vorher in die n⁺-Source- und Drainbereich **216** und **226** hinein implantiert wurden, teilweise durch B-Ionen kompensiert werden, jedoch verursacht dies im Betrieb des MOSFET des n-Typs keine wesentlichen Schwierigkeiten. Da der Kovalenzradius des B-Ions kleiner als jener von P ist, können Gitterfehler durch eine Dosis an B kompensiert werden, die niedriger ist als jene von P. Die Unterdrückung des Kriechstroms kann durch den Bereich mit einer hohen Verunreinigungskonzentration an B ähnlich wie bei der voranstehend geschilderten zweiten Ausführungsform der vorliegenden Erfindung erzielt werden. Wenn die ohmschen Kontaktwiderstände zwischen der Source-Metallelektrode **218** und den n⁺-Sourcebereichen **211**, **216** hoch sind, infolge des Vorhandenseins der mit Bor (B) dotierten Grenzflächenschichten **219**, so sollte die abgeänderte Anordnung der zweiten Ausführungsform der vorliegenden Erfindung eingesetzt werden, wie in [Fig. 10B](#) gezeigt. In [Fig. 10B](#) ist die Bor-dotierte Grenzflächenschicht in dem n⁺-Sourcebereich **211** mit engem Bandabstand in mehrere (beispielsweise 3) Bereiche **219a**, **219b** und **219c** unterteilt, und die Source-Metallelektrode **218** ist sowohl auf dem n⁺-Sourcebereich **211** mit engem Bandabstand und der Bor-dotierten Grenzflächenschicht **219a**, **219b**, **219c** kontaktiert, wodurch der n⁺-Sourcebereich **211** mit engem Bandabstand und die Bor-dotierte Grenzflächenschicht **219a**, **219b**, **219c** kurzgeschlossen werden. Dieselbe Argumentation gilt für die Drainbereichsseite. Darüber hinaus gelten die technischen Merkmale der zweiten Ausführungsform der vorliegenden Erfindung ebenso bei anderen FETs als dem voranstehend geschilderten MOSFET, beispielsweise bei einem MISFET, der als Gateoxidfilm einen Nitridfilm (Si₃N₄-Film), einen Aluminiumoxidfilm (Al₂O₃) oder dergleichen verwendet.

[0111] Unter Bezugnahme auf die [Fig. 11A](#) und [Fig. 11B](#) wird ein Herstellungsverfahren für den SOI-MOSFET gemäß der zweiten Ausführungsform der vorliegenden Erfindung erläutert.

(a) Unter Einsatz einer SIMOX-Technik wie in den [Fig. 9A](#) und [Fig. 9B](#) werden zuerst ein vergrabener Oxidfilm **202** und ein SOI-Film **203** auf einem (100)-Siliziumsubstrat **201** des p-Typs ausgebildet. Ebenso wie bei der ersten Ausführungsform

der vorliegenden Erfindung kann die Dicke des SOI-Films auf 100 nm eingestellt werden, durch thermisches Oxidieren der SOI-Filmoberfläche, und nachfolgendes Naßätzen des thermischen Oxidfilms.

(b) Daraufhin wird, wie in [Fig. 11A](#) gezeigt, der Isolationsoxidfilm **4** auf einem Bereich abgesehen von dem Bereich für den aktiven Bereich ausgebildet. Der Isolationsoxidfilm **4** kann durch ein LOCOS-Verfahren hergestellt werden. Daraufhin wird der Nitridfilm entfernt, der als Maske für die selektive Oxidation mit der LOCOS-Technik dient. Dann wird ein Gateoxidfilm in einer Dicke von 10 nm ausgebildet, und daraufhin mittels CVD ein Polysiliziumfilm mit einer Dicke von 300 nm hergestellt. Dann wird das Gateelektrodenmuster **205** mit einer Gatelänge von 0,5 µm durch einen Photolithographieschritt mit einem REI-ScSchritt ausgebildet. Wie aus [Fig. 11A](#) hervorgeht, wird ein nachträglicher Oxidfilm **7** mit einer Dicke von 10 nm hergestellt.

(c) Dann werden Ge-Ionen bei einer Beschleunigungsspannung Vac = 50 kV und in einer Dosis $\phi = 1 \times 10^{16} \text{ cm}^{-2}$ implantiert, und dann erfolgt eine Implantierung von As-Ionen bei einer Beschleunigungsspannung Vac = 20 kV und einer Dosis $\phi = 5 \times 10^{15} \text{ cm}^{-2}$, so daß ein Konzentrationsspitzenwert von As-Ionen an einem Ort **231** in dem SOI-Film **203** auftritt, wie in [Fig. 11A](#) gezeigt, wobei der Ort **231** einem Projektionsbereich R_p implantierter As-Ionen entspricht.

(d) Daraufhin wird ein Oxidfilm mittels CVD bis zu einer Dicke von 100 nm abgelagert, und dann werden Oxidabstandsstücke **71** durch CVD und RIE und dergleichen als Seitenwände der Gateelektrode **205** so ausgebildet, daß sie eine Breite von 80 nm aufweisen. Wie in [Fig. 11B](#) gezeigt, werden unter Verwendung der Oxidabstandsstücke **71** als Maske P-Ionen in den SOI-Film **231** bei einer Beschleunigungsspannung Vac = 50 kV und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert, so daß ein Konzentrationsspitzenwert an P-Ionen in einer Tiefe **232** in dem SOI-Film **231** auftritt. Dann erfolgt 30 Minuten lang eine Wärmebehandlung bei 850°C.

(e) Daraufhin wird die Zwischenschicht-Isolierschicht **8** auf der Oberfläche des Substrats mittels CVD aufgebracht. In der Zwischenschicht-Isolierschicht **8** werden Kontaktlöcher geöffnet, und dann werden die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** hergestellt. Damit ist der SOI-MOSFET gemäß der zweiten Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0112] Bei der zweiten Ausführungsform der vorliegenden Erfindung können die Halbleiterbereiche **211** und **221** usw. mit engem Bandabstand durch Ionenimplantieren von Sn anstelle von Ge bei einer Beschleunigungsspannung Vac = 110 kV und einer Do-

sis $\phi = 2 \times 10^{16} \text{ cm}^{-2}$ und nachfolgendes Erwärmen der sich ergebenden Anordnung 30 Minuten lang bei 850°C hergestellt werden. Wenn die Halbleiterbereiche mit engem Bandstand durch Sn in den n^+ -Source- und Drainbereichen hergestellt werden, läßt sich selbstverständlich eine entsprechende Verbesserung der Draindurchbruchsspannung erzielen. Im Vergleich zu dem Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik, der in [Fig. 4A](#) gezeigt ist, bei welchem Ge und As, die beide einen größeren Kovalenzradius aufweisen als Si, gleichzeitig in den n^+ -Sourcebereich **206** und mit annähernd demselben Projektionsbereich R_p oder der gleichen Tiefe implantiert werden, kann daher die Draindurchbruchsspannung mittels As^+ , Sn^+ , P^+ -Implantierung um 1,5 Volt verbessert werden. Darüber hinaus ist der in [Fig. 5B](#) gezeigte statistische Kriechstrom überhaupt nicht aufgetreten. Die Tatsache, daß ein SiSn-Bereich statt des SiGe-Bereichs verwendet werden kann, läßt sich auch bei der ersten Ausführungsform der vorliegenden Erfindung einsetzen.

[0113] Als Begründung dafür, daß derartige Vorteile erzielbar sind, kann man sich folgendes überlegen. Die Halbleiterbereiche mit engem Bandstand werden nicht in der Nähe der Oberfläche des Sourcebereiches ausgebildet, sondern an einem tieferen Ort als der Kanalverarmungsschicht, und es werden P-Ionen als Verunreinigungen des n-Typs verwendet, die einen kleineren Kovalenzradius aufweisen als Si, wodurch die Gitterfehlpassung kompensiert und ausgeglichen wird. Darüber hinaus können Löcher, die sich am Boden des Kanalbereiches ansammeln, wirksam durch die an tieferen Orten ausgebildeten Halbleiterbereiche mit engem Bandstand absorbiert werden, so daß der Kriechstrom verringert werden kann, während dieselbe Verbesserung der Draindurchbruchsspannung wie beim Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik beibehalten wird.

[0114] In Bezug auf die Vorteile der voranstehend geschilderten ersten und zweiten Ausführungsformen der vorliegenden Erfindung lassen sich ähnliche Vorteile erzielen, wenn Kombinationen von Ge und P, oder Ge, As und P, oder Ge, As und Sb, oder Ge und B, oder Ge, B und P verwendet werden. Darüber hinaus werden vorzugsweise Ge-Ionen-Implantationsbereiche in den Ionenimplantationsbereichen von B, P, As und dergleichen ausgebildet. Im Falle einer Implantierung mit B sollte die Konzentration an implantierten B-Ionen niedriger eingestellt werden als jene für As-Ionen. Wenn man allerdings einen ähnlichen Aufbau wie in [Fig. 10B](#) gezeigt verwendet, kann die B-Konzentration höher sein als jene des As-Ions. Es kann eine Implantierung mit Sn anstelle von Ge erfolgen, und es können beispielsweise Sn und P, oder Sn, P und As, oder dergleichen gleichzeitig implantiert werden. Weiterhin können Ge und Sn gleichzeitig implantiert werden. Ge oder Sn können im Silizium

in einer Menge von $5 \times 10^{19} \text{ cm}^{-3}$ oder mehr vorhanden sein, vorzugsweise $1 \times 10^{20} \text{ cm}^{-3}$ oder mehr. Besonders bevorzugt sind Ge oder Sn im Silizium in einem Bereich von 1 bis 30% enthalten. Wenn beispielsweise Sn in einer Menge von $5 \times 10^{19} \text{ cm}^{-3}$ vorgesehen ist, können Gitterfehler ausgeglichen und Kristallfehler unterdrückt werden, wenn P in einer Anzahl von $1,6 \times 10^{20} \text{ cm}^{-3}$ vorhanden ist. Obwohl eine Kombination von Ge oder Sn und (As + Sb) einen größeren Kovalenzradius aufweist als Si, können Gitterfehler ebenfalls durch eine derartige Kombination kompensiert werden, infolge komplizierter Ausgleichsbeziehungen, wobei einige dieser Elemente in Zwischengitterplätze von Si eintreten, und andere in Leerstelleneinfangplätze von Si hineingelangen. Obwohl wie in [Fig. 10A](#) gezeigt der Bereich **219** mit einer hohen Verunreinigungskonzentration an P in dem SiGe-Bereich **211** enthalten ist, kann der Bereich **219** mit hoher Verunreinigungskonzentration an P auch von dem SiGe-Bereich **211** vorspringen, so daß er nahe an die Seite der Gateelektrode **205** gelangt. Um den Bereich **219** mit einer hohen Verunreinigungskonzentration an P nahe an dem Kanalbereich unmittelbar unter der Gateelektrode auszubilden, sollte man P-Ionen implantieren, ohne das Seitenwandabstandsstück **71** zu verwenden.

(Dritte Ausführungsform)

[0115] [Fig. 12D](#) zeigt den Schnitzaufbau eines SOI-MOSFET gemäß einer dritten Ausführungsform der vorliegenden Erfindung. In [Fig. 12D](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** ausgebildet. Obwohl dies nicht gezeigt ist, bildet der SOI-Film **203** einen aktiven Bereich, der von einem Vorrichtungsisolationsbereich umgeben ist, der durch ein BOX-Verfahren, ein LOCOS-Verfahren oder dergleichen hergestellt wird. Ein n^+ -Sourcebereich **216** und ein n^+ -Drainbereich **226** werden tief im Inneren des aktiven Bereiches ausgebildet, so daß ihre Bodenabschnitte mit einem vergrabenen Oxidfilm **202** in Berührung stehen. SiGe-Bereiche **47** werden auf einer Grenzfläche zwischen dem n^+ -Sourcebereich **216** und dem vergrabenen Oxidfilm und auf einer Grenzfläche zwischen dem n^+ -Drainbereich **226** und dem vergrabenen Oxidfilm ausgebildet. Die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** werden über Kontaktlöcher hergestellt, die in einem Teil der Zwischenschicht-Isolierschicht **8** ausgebildet werden, die auf einer Oberfläche des aktiven Bereiches ausgebildet ist.

[0116] Weiterhin wird die Gateelektrode **205**, die aus Polysilizium oder dergleichen besteht, auf dem Kanalbereich **203** zwischen dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226** hergestellt.

[0117] Wie in [Fig. 12D](#) gezeigt ist, tragen die Kris-

talldefekte D nicht zum Kriechstrom bei, wie in [Fig. 5B](#) gezeigt, da bei der dritten Ausführungsform der vorliegenden Erfindung Ge-implantierte Bereiche (SiGe-Schichten) **47** tief ausgebildet werden, wobei oben der n⁺-Sourcebereich **216** und der n⁺-Drainbereich **226** verbleiben, obwohl die Kristalldefekte D erzeugt werden. Vorzugsweise werden die Si-Ge-Schichten **47** weiter unten ausgebildet als die Verarmungsschicht **214** in dem Kanalbereich in einem Hauptbetriebszustand des FET. Die Draindurchbruchsspannung hat sich nicht wesentlich geändert gegenüber dem Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik, so daß dieselbe Verbesserung der Draindurchbruchsspannung beibehalten werden kann, obwohl die SiGe-Schichten **47** tief in dem SOI-Film **203** ausgebildet werden, wie in [Fig. 12D](#) gezeigt ist. Insbesondere kann die Draindurchbruchsspannung in dem ausgeschalteten Zustand um 1 Volt verbessert werden, verglichen mit dem konventionellen SOI-MOSFET mit homogenem Übergang, bei welchem die Sourcediffusionsschicht ohne Implantierung von Ge hergestellt wird. Diese Vorteile der dritten Ausführungsform der vorliegenden Erfindung bestehen ebenso bei anderen IG-FETs abgesehen von dem voranstehend geschilderten MOSFET, beispielsweise in MISFETs oder MISSITs, welche einen Nitridfilm oder dergleichen als Gateisolierfilm verwenden.

[0118] Nachstehend wird unter Bezugnahme auf die [Fig. 12A](#) bis [Fig. 12D](#) ein Herstellungsverfahren für den SOI-MOSFET gemäß der dritten Ausführungsform der vorliegenden Erfindung erläutert.

(a) Zuerst wird unter Einsatz eines SIMOX-Verfahrens wie bereits bezüglich der ersten Ausführungsform der vorliegenden Erfindung unter Verweis auf die [Fig. 9A](#) und [Fig. 9B](#) erläutert, ein vergrabener Oxidfilm **202** und ein SOI-Film **203** auf einem (100)-Substrat **201** des p-Typs erzeugt, wie in [Fig. 12A](#) gezeigt. Wie bei der ersten Ausführungsform der vorliegenden Erfindung kann die Dicke des SOI-Films **203** durch thermisches Oxidieren seiner Oberfläche zur Ausbildung eines thermischen Oxidfilms mit einem 100 nm dicken, nicht oxidierten SOI-Film und nachfolgendes Naßätzen des Oxidfilms zur Ausbildung eines 100 nm dicken SOI-Films eingestellt werden. Dann kann der SOI-Film **203**, welche die gewünschte Verunreinigungskonzentration aufweist, beispielsweise durch Implantieren von BF₂-Ionen (BF₂⁺) bei einer Beschleunigungsspannung Vac = 30 kV mit einer Dosis $\phi = 10^{13} \text{ cm}^{-2}$ erhalten werden.

(b) Dann wird der Isolationsoxidfilm (nicht in [Fig. 12B](#) gezeigt) durch ein LOCOS-Verfahren, ein BOX-Verfahren oder dergleichen erzeugt, um benachbarte aktive Bereiche in Querrichtung zu isolieren. Daraufhin wird der Gateoxidfilm **204** mit einer Dicke von 10 nm ausgebildet, und dann wird darauf mittels LPCVD oder dergleichen ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von 0,3

µm abgelagert. Dann wird, wie in [Fig. 12B](#) gezeigt, die Polysilizium-Gateelektrode **205** auf dem Gateoxidfilm **204** durch ein Musterausbildungsverfahren mit einem Photolithographieschritt und einem RIE-Schritt ausgebildet. Daraufhin werden, wie in [Fig. 12B](#) gezeigt, Ge-Ionen bei einer Beschleunigungsspannung Vac = 100 kV und mit einer Dosis $\phi = 1 \times 10^{16} \text{ cm}^{-2}$ implantiert, und dann werden As-Ionen bei einer Beschleunigungsspannung Vac = 30 kV und mit einer Dosis $\phi = 3 \times 10^{-15} \text{ cm}^{-2}$ implantiert, und schließlich erfolgt eine Wärmebehandlung der sich ergebenden Anordnung 30 Minuten lang bei 850°C. Auf diese Weise können die Source- und Drainbereiche **216**, **226** sowie die Si_xGe_{1-x}-Schichten **47** hergestellt werden. (c) Daraufhin wird auf der gesamten Oberfläche mittels CVD oder dergleichen ein Oxidfilm **8** für einen Zwischenschicht-Isolierfilm mit einer Dicke von 0,5 µm hergestellt. Dann erfolgt eine Beschichtung mit einem Lackfilm, und eine Musterbildung mittels Photolithographie, und dann wird der Oxidfilm **8** durch ein RIE-Verfahren geätzt, um Kontaktlöcher zu öffnen. Schließlich wird, bis die Si_xGe_{1-x}-Schichten **47** freiliegen, Si in den Source- und Drainbereichen **216**, **226** mittels RIE unter Einsatz von SF₆ und dergleichen geätzt, um U-förmige Nuten auszubilden, wie in [Fig. 12C](#) gezeigt.

Statt der Si_xGe_{1-x}-Schichten **47** können Si_xSn_{1-x}-Schichten dadurch ausgebildet werden, daß Sn-Ionen statt Ge-Ionen in einen tieferen Ort als den Ort der Verarmungsschicht implantiert werden, die in dem Kanalbereich ausgebildet wird. Ge- und Sn-Ionen können gleichzeitig implantiert werden. Ge oder Sn können im Silizium in einer Menge von $5 \times 10^{19} \text{ cm}^{-3}$ oder mehr enthalten sein, vorzugsweise $1 \times 10^{20} \text{ cm}^{-3}$ oder mehr. Besonders bevorzugt ist Ge oder Sn im Silizium in einem Bereich von etwa 5 bis 30% enthalten. Statt Si_xGe_{1-x} und Si_xSn_{1-x} kann eine Halbleiterschicht verwendet werden, die einen engeren Bandabstand als Si aufweist, beispielsweise PbS, PbSe, ZnSb, InSb oder dergleichen, oder es können Mischkristalle aus Si und diesen Halbleitern mit engem Bandabstand eingesetzt werden.

(d) Schließlich werden, wie in [Fig. 12D](#) gezeigt, die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** durch einen Metallisierungsschritt ausgebildet, unter Verwendung eines Metalls wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen. Damit ist der SOI-MOSFET gemäß der dritten Ausführungsform der vorliegenden Erfindung fertiggestellt.

(Vierte Ausführungsform)

[0119] [Fig. 13B](#) zeigt einen Schnitzaufbau eines SOI-MOSFETs gemäß einer vierten Ausführungsform der vorliegenden Erfindung. Die vierte Ausführungsform zeigt ein weiteres Beispiel einer FET-An-

ordnung, bei welcher die SiGe-Bereiche **47** an Orten ausgebildet werden, die tiefer als der Boden der Verarmungsschicht **214** in dem Kanalbereich unmittelbar unter der Gateelektrode **205** liegen. In [Fig. 13B](#) wird ein SOI-Film **203** der p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** ausgebildet. Obwohl dies in [Fig. 13B](#) nicht gezeigt ist, ist der SOI-Film **203** in mehrere Inseln unterteilt, jede Insel ist von einem Isolationsoxidfilm oder dergleichen umgeben, und der umgebene Teil des SOI-Films **203**, mit anderen Worten die Insel, wird als ein aktiver Bereich (Vorrichtungsbereich) verwendet. [Fig. 13B](#) zeigt nur einen der aktiven Bereiche. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226** werden im Inneren des aktiven Bereiches hergestellt, so daß im wesentlichen ihre Bodenabschnitte in Kontakt mit einem vergrabenen Oxidfilm **202** stehen. Wie bei der dritten Ausführungsform der vorliegenden Erfindung werden SiGe-Bereiche (bei der vierten Ausführungsform der vorliegenden Erfindung nachstehend als "erste SiGe-Schichten" bezeichnet) **47** auf einer Grenzfläche zwischen dem n⁺-Sourcebereich **216** und dem vergrabenen Oxidfilm und auf einer Grenzfläche zwischen dem n⁺-Drainbereich **226** und dem vergrabenen Oxidfilm hergestellt. Allerdings werden bei der vierten Ausführungsform zweite SiGe-Schichten **51** darüber hinaus direkt unterhalb von Kontaktlochoffnungsabschnitten für die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** so ausgebildet, daß sie jeweils die erste SiGe-Schicht **47** erreichen. Die Ge-Molfraktion der zweiten SiGe-Schichten **51** kann ebenso wie bei den ersten SiGe-Schichten **47** sein. Bevorzugt ist die Ge-Molfraktion der zweiten SiGe-Schichten **51** größer als jene der ersten SiGe-Schichten zur Erzielung eines engeren Bandabstands, wodurch der Wirkungsgrad des Abziehens von Löchern von dem SOI-Körper **203** erhöht wird. Die Zwischenschicht-Isolierschicht **8** wird auf dem aktiven Bereich hergestellt. Die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** werden so hergestellt, daß sie an die zweiten SiGe-Schichten **51** über Kontaktlöcher angeschlossen sind, die in der Zwischenschicht-Isolierschicht **8** hergestellt werden. Weiterhin wird die Gateelektrode **205**, die aus Polysilizium oder einem hochschmelzenden Metall oder dergleichen besteht, auf dem Kanalbereich **203** zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** über den Gateoxidfilm **204** hergestellt.

[0120] Bei dem in [Fig. 13B](#) gezeigten SOI-MOSFET gemäß der vierten Ausführungsform der vorliegenden Erfindung ergibt sich eine Verbesserung der Draindurchbruchsspannung, und darüber hinaus eine wesentliche Verbesserung in Bezug auf den Kriechstrom, ähnlich wie bei der dritten Ausführungsform der vorliegenden Erfindung.

[0121] Nachstehend wird unter Bezugnahme auf die [Fig. 13A](#) und [Fig. 13B](#) zusammen mit den

[Fig. 12A](#) und [Fig. 12B](#), die zur Erläuterung des Herstellungsverfahrens für die dritte Ausführungsform der vorliegenden Erfindung verwendet wurden, ein Herstellungsverfahren für den SOI-MOSFET gemäß der vierten Ausführungsform der vorliegenden Erfindung erläutert. Allerdings wird darauf hingewiesen, daß folgende Schritte im wesentlichen die gleichen sind wie die entsprechenden Schritte, die bei der dritten Ausführungsform der vorliegenden Erfindung gemäß [Fig. 12A](#) und [Fig. 12B](#) beschrieben wurden: Der Herstellungsschritt eines SOI-Aufbaus mit einem vergrabenen Oxidfilm **202** unter Verwendung eines SIMOX-Verfahrens, die Herstellungsschritte für den Gateoxidfilm **204** auf der Oberfläche des aktiven Bereichs, der aus dem SOI-Film **203** hergestellt wird, und die Herstellungsschritte für die Polysilizium-Gateelektrode **205**, die Si_xGe_{1-x}-Schichten **47**, den n⁺-Sourcebereich **216**, und den n⁺-Drainbereich **226**. Daher erfolgt keine erneute, ins einzelne gehende Beschreibung dieser Herstellungsschritte.

(a) Nach der Herstellung der Polysilizium-Gateelektrode **205**, der Si_xGe_{1-x}-Schichten **47**, des n⁺-Sourcebereiches **216** und des n⁺-Drainbereiches **226** wird der Oxidfilm **8** für den Zwischenschicht-Isolierfilm mittels CVD oder dergleichen abgelagert. Daraufhin werden die Kontaktlöcher in dem Zwischenschicht-Isolierfilm **8** durch einen Photolithographieschritt und einen RIE-Schritt geöffnet. Hierbei wird der Oxidfilm **8** solange geätzt, bis die Oberfläche des Si auf dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** freiliegt. Ge-Ionen werden in den n⁺-Sourcebereich **216** und den n⁺-Drainbereich **226** über die Kontaktlochoffnungsabschnitte implantiert, bei einer Beschleunigungsspannung Vac = 30 kV und mit einer Dosis $\phi = 10^{16} \text{ cm}^{-2}$, wie in [Fig. 13A](#) gezeigt.

(b) Dann werden, wie in [Fig. 13B](#) gezeigt, die zweiten Si_xGe_{1-x}-Schichten **51** durch Wärmebehandlung des sich ergebenden SOI-Substrats ausgebildet, so daß sie in Kontakt mit den Si_xGe_{1-x}-Schichten **47** gelangen. Daraufhin werden, wie in [Fig. 13B](#) gezeigt, die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** unter Verwendung eines Metalls wie beispielsweise Al oder dergleichen hergestellt. Hiermit ist der SOI-MOSFET gemäß der vierten Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0122] Bei dem voranstehend geschilderten Herstellungsverfahren kann das Ätzen zum Öffnen der Kontaktlöcher nur so weit durchgeführt werden, daß die Oberflächen der n⁺-Source- und Drainbereich **216**, **226** auf dem Einkristall-SOI-Film **203** erreicht werden. Im Unterschied zum Herstellungsverfahren für den SOI-FET gemäß der dritten Ausführungsform der vorliegenden Erfindung sind die Verfahrensschritte bei der vierten Ausführungsform einfach, so daß sich hervorragende Prozeßsteuerfähigkeiten ergeben. Entsprechend der dritten Ausführungsform der vorliegenden Erfindung kann statt der

$\text{Si}_x\text{Ge}_{1-x}$ -Schicht **47** ein Mischkristall aus $\text{Si}_x\text{Sn}_{1-x}$ oder aus $\text{Si}_{1-x-y}\text{Ge}_x\text{Sn}_y$ verwendet werden. Darüber hinaus sollte Ge oder Sn im Silizium in einer Menge bzw. Anzahl von $5 \times 10^{19} \text{ cm}^{-3}$ oder mehr vorhanden sein, vorzugsweise $5 \times 10^{20} \text{ cm}^{-3}$ oder mehr. Besonders bevorzugt sind Ge oder Sn im Silizium in einem Bereich von etwa 5 bis 15% enthalten. Weiterhin kann anstelle der $\text{Si}_x\text{Ge}_{1-x}$ -Schichten **47**, **51** eine Halbleiterschicht mit engem Bandabstand verwendet werden, deren Bandabstand schmaler ist als jener von Si, also beispielsweise PbS, SnTe, InSb oder dergleichen. Der Bandabstand der Halbleiterschicht mit engem Bandabstand für die $\text{Si}_x\text{Ge}_{1-x}$ -Schicht **51** sollte kleiner oder gleich jenem der $\text{Si}_x\text{Ge}_{1-x}$ -Schicht **47** sein, um den Wirkungsgrad des Abziehens von Löchern von dem SOI-Körper **203** zu erhöhen. Der Bandabstand in dem Sourcebereich sollte nämlich so sein, daß er allmählich zur Source-Metallelektrode **218** hin abnimmt.

(Fünfte Ausführungsform)

[0123] [Fig. 14](#) zeigt einen Schnittaufbau eines SOI-MOSFET gemäß einer fünften Ausführungsform der vorliegenden Erfindung. In [Fig. 14](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** erzeugt. Obwohl dies in [Fig. 14](#) nicht gezeigt ist, ist der SOI-Film **203** in mehrere Inseln unterteilt, wobei jede Insel von einem Isolationsoxidfilm oder dergleichen umgeben ist, und der umgebene Teil des SOI-Films **203**, mit anderen Worten die Insel, wird als ein aktiver Bereich (Vorrichtungsbereich) verwendet. [Fig. 14](#) zeigt einen der aktiven Bereiche. Ein n^+ -Sourcebereich **216** und ein n^+ -Drainbereich **226** werden tief im Inneren des aktiven Bereiches so ausgebildet, daß im wesentlichen ihre Bodenabschnitte mit einem vergrabenen Oxidfilm **202** in Kontakt stehen. Wie bei der dritten und vierten Ausführungsform der vorliegenden Erfindung werden SiGe-Schichten **48** jeweils am Boden des n^+ -Sourcebereiches **216** und des n^+ -Drainbereiches **226** erzeugt. Schichten **74** aus einem Silizid eines hochschmelzenden Metalls, beispielsweise TiSi_2 , WSi_2 , MoSi_2 , PtSi_2 und dergleichen werden auf den SiGe-Schichten **48** erzeugt, die innerhalb des n^+ -Sourcebereiches **216** bzw. des n^+ -Drainbereiches **226** liegen. Die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** werden so ausgebildet, daß sie an die Schichten **75** aus dem Silizid eines hochschmelzenden Metalls über Kontaktlöcher angeschlossen sind, die in der Zwischenschicht-Isolierschicht **8** vorgesehen sind, die auf dem aktiven Bereich abgelagert wurde. Weiterhin wird die Polysilizium-Gateelektrode **205** auf dem Kanalbereich **203** zwischen dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226** über den Gateoxidfilm **204** ausgebildet. Seitenwand-Nitridfilme **73** werden auf beiden Seiten der Polysilizium-Gateelektrode **205** hergestellt.

[0124] Obwohl die Schichten **74** aus einem Silizid eines hochschmelzenden Metalls auf konkaven Abschnitten auf der Oberfläche des SOI-Films **203** in [Fig. 14](#) ausgebildet werden, kann die Oberfläche der Schichten **74** aus einem Silizid eines hochschmelzenden Metalls so geformt sein, daß sie im wesentlichen dieselbe flache Oberfläche wie der SOI-Film **203** aufweisen. In jenem Fall werden die Schichten **74** aus dem Silizid eines hochschmelzenden Metalls durch eine Reaktion zwischen Si und hochschmelzenden Metallen wie beispielsweise Ti, W, Mo und dergleichen gebildet, so daß sie in den tieferen Abschnitt des SOI-Films **203** von der Oberfläche des SOI-Films **203** aus eindringen, so daß die Schichten **74** aus dem Silizid eines hochschmelzenden Metalls jeweils in Kontakt mit den SiGe-Schichten **48** stehen.

[0125] Bei dem SOI-MOSFET gemäß der fünften Ausführungsform der vorliegenden Erfindung ist die Draindurchbruchsspannung wesentlich verbessert, und darüber hinaus ergeben sich wesentliche Verbesserungen in Bezug auf den Kriechstrom, wie bei der dritten und vierten Ausführungsform der vorliegenden Erfindung. Darüber hinaus können die ohmschen Kontaktwiderstände zwischen den Metallelektroden und den n^+ -Source/Drainbereichen **216**, **226** verringert werden, infolge des Vorhandenseins der Filme **74** aus einem Silizid eines hochschmelzenden Metalls, und daher können die parasitären Widerstände in den Source- und Drainbereichen verringert werden. Dies führt dazu, daß die Transkonduktanz g_m groß wird, und eine gute Stromtreiberfähigkeit erzielt werden kann.

[0126] Nachstehend wird unter Bezugnahme auf die [Fig. 15A](#) bis [Fig. 15D](#) sowie [Fig. 14](#) ein Herstellungsverfahren für den SOI-MOSFET gemäß der fünften Ausführungsform der vorliegenden Erfindung beschrieben. Bei der nachstehenden Beschreibung wird ein Fall erläutert, in welchem TiSi_2 als Silizid-schicht **74** verwendet wird.

(a) Zuerst wird, wie bei der ersten bis vierten Ausführungsform der vorliegenden Erfindung, das SOI-Substrat ausgebildet, durch ein SIMOX-Verfahren unter Verwendung eines (100)-Siliziumsubstrats **201** des p-Typs. Mit anderen Worten wird der vergrabene Oxidfilm **202** auf dem Substrat **201** dadurch hergestellt, daß Sauerstoffionen implantiert werden, und dann eine Wärmebehandlung der sich ergebenden Anordnung erfolgt. Zu diesem Zeitpunkt wird der SOI-Film **203** auf der Oberfläche ausgebildet. Dann wird der SOI-Film **203** thermisch oxidiert, so daß ein nicht oxidiertes SOI-Film **203** mit einer Dicke von 100 nm übrigbleibt. Der thermische Oxidfilm auf dem SOI-Film **203** erfährt eine Naßätzung unter Verwendung einer NH_4F -Lösung, um die Oberfläche des 100 nm dicken SOI-Films **203** freizulegen. Weiterhin kann, wie bei den voranstehend geschilderten, jeweiligen Ausführungsformen, die

gewünschte Verunreinigungskonzentration für den Kanalbereich **203** durch Implantieren von B-Ionen, BF_2 -Ionen oder dergleichen erzielt werden.

(b) Daraufhin wird ein 10 nm dicker Gateoxidfilm **204** auf dem Kanalbereich **203** ausgebildet. P-dotiertes Polysilizium **205** mit einer Dicke von 0,3 μm wird durch LPCVD oder dergleichen auf der Oberfläche des Gateoxidfilms **204** erzeugt. Dann wird ein thermischer Oxidfilm **7** auf der Oberfläche des Polysiliziums **205** hergestellt. Ein Photolack wird mittels Schleuderbeschichtung auf die Oberfläche des thermischen Oxidfilms **7** aufgebracht. Dann wird, wie in [Fig. 15A](#) gezeigt, der Oxidfilm **7**, die Polysilizium-Gateelektrode **205**, und der Gateoxidfilm **204** mit einem Muster versehen, durch einen Photolithographieschritt und einen RIE-Schritt.

(c) Dann werden, wie in [Fig. 15A](#) gezeigt, die Source- und Drainbereiche **216**, **226** und die $\text{Si}_x\text{Ge}_{1-x}$ -Schichten **47** durch Implantieren von Ge-Ionen bei einer Beschleunigungsspannung $V_{ac} = 100 \text{ kV}$ mit einer Dosis $\phi = 1 \times 10^{16} \text{ cm}^{-2}$ ausgebildet. Dann werden As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 30 \text{ kV}$ in einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert, und dann erfährt das Substrat, oder die sich ergebende SOI-Anordnung, die in [Fig. 15A](#) gezeigt ist, 30 Minuten lang eine Wärmebehandlung bei 850°C . Durch diesen Wärmebehandlungsschritt werden daher die Si-Ge-Schichten ($\text{Si}_{0,93}\text{Ge}_{0,07}$ -Schichten) **47** ausgebildet, und die Ausbildung der n^+ -Source- und Drainbereichen **216**, **226** erfolgt so, daß diese eine Verunreinigungskonzentration von etwa $1 \times 10^{20} \text{ cm}^{-2}$ aufweisen. Durch die Querdiffusion infolge dieses Wärmebehandlungsschrittes werden sowohl die pn-Übergangs-Grenzflächen zwischen den n^+ -Source- und Drainbereichen **216**, **226** als auch der SOI-Film **203** des p-Typs in das Innere des Kanalbereiches oder des SOI-Körpers **203** bewegt, um etwa 20 nm von den SiGe-Schichten **47** entfernt.

(d) Dann läßt man einen Nitridfilm auf der gesamten Oberfläche aufwachsen, bis dieser eine Dicke von 20 nm bis 400 nm erreicht hat. Seitenwand-Nitridfilme **73** werden auf beiden Seiten der Gateelektrode **205** beispielsweise mittels RIE oder dergleichen ausgebildet. Zusätzlich werden, wie in [Fig. 15B](#) gezeigt, die n^+ -Source- und Drainbereiche **216**, **226** auf eine Tiefe von beispielsweise 30 nm geätzt, unter Verwendung der Seitenwand-Nitridfilme **73** und des Oxidfilms **7** als Maske. Dieser Ätzschritt für die n^+ -Source- und Drainbereiche **216**, **226** kann weggelassen werden, so daß diese Bereiche ihre flache Oberfläche beibehalten, so daß die n^+ -Source- und Drainbereiche **216**, **226** dieselbe flache Oberfläche wie der SOI-Film **203** aufweisen. Dann wird, wie in [Fig. 15C](#) gezeigt, ein Ti-Film **112** in einer Dicke von 20 nm auf die gesamte Oberfläche mittels

CVD, Vakuumablagerung, Sputtern oder dergleichen abgelagert. Weiterhin kann, obwohl dies nicht in [Fig. 15C](#) gezeigt ist, ein 70 nm dicker TiN-Film auf dem Ti-Film abgelagert werden, wenn ein Film erforderlich ist, der die Oxidation der Oberfläche des hochschmelzenden Metalls verhindert.

(e) Dann erfährt der Ti-Film **112** einen Wärmebehandlung bei 250°C über 30 Minuten in einer N_2 -Atmosphäre. Durch diese Wärmebehandlung wird der TiSi_2 -Film **74** auf der SiGe-Schicht **47** infolge der Reaktion zwischen dem Ti-Film **112** und Silizium in dem n^+ -Source/Drainbereich **216**, **226** ausgebildet. Jedoch wird durch diese Wärmebehandlung (oder Siliziderzeugung) kein TiSi_2 auf dem Oxidfilm **7** mit dem Seitenwand-SiN-Film **73** erzeugt, so daß ein Film aus Ti übrigbleibt, welches nicht reagiert hat. Durch Eintauchen der sich ergebenden Anordnung in eine Lösung, die Wasserstoffperoxid enthält, können der TiN-Film und das Ti, welches nicht reagiert hat, entfernt werden. Daraufhin erfährt das Substrat 30 Minuten lang eine weitere Wärmebehandlung bei 850°C , und die Dicke des TiSi_2 -Films **74** nimmt dann einen Wert von annähernd 60 nm an, woraus sich die in [Fig. 15D](#) gezeigte Anordnung ergibt.

(f) Dann wird der Oxidfilm **8** auf der gesamten Oberfläche mittels CVD abgelagert. Die Kontaktlöcher werden in dem Oxidfilm **8** geöffnet. Wie [Fig. 14](#) zeigt, werden die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** durch einen Metallisierungsschritt unter Verwendung eines Metalls wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen erzeugt. Anderenfalls können Metallverdrahtungen wie beispielsweise die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** auf Kontaktmetallen in den Kontaktlöchern hergestellt werden. In diesem Fall wird das hochschmelzende Metall wie beispielsweise Wolfram in die Kontaktlöcher durch selektive CVD eingefüllt, und dann wird Al-Si (1%)-Cu(0,5%) auf den Stopfen aus hochschmelzendem Metall in den Kontaktlöchern als Verdrahtungsmaterial abgelagert, und schließlich mittels Photolithographie abgeschnitten.

[0127] Zwar wurde bei der fünften Ausführungsform der vorliegenden Erfindung ein Fall erläutert, bei welchem Ti als das Material für das hochschmelzende Metall verwendet wurde, jedoch ist das hochschmelzende Metall nicht auf dieses Material beschränkt. Jedes hochschmelzende Metall wie beispielsweise Ni, Pt, W oder Mo kann als Material für das Silizid des hochschmelzenden Metalls verwendet werden. Um eine Oxidierung der Oberfläche des Silizids des hochschmelzenden Metalls bei der Wärmebehandlung zu verhindern, kann darüber hinaus ein Ti-Film und dergleichen vor der Wärmebehandlung auf einem hochschmelzenden Metall abgelagert werden. Wie voranstehend geschildert kann dieser TiN-Film

und dergleichen zusammen mit hochschmelzenden Metallen, die nicht reagiert haben, wie beispielsweise Ni, Pt oder W, durch einen Vorgang entfernt werden, bei welchem Wasserstoffperoxidwasser eingesetzt wird. Falls verhindert wird, daß eine Umwandlung des hochschmelzenden Metalls in ein Silizid des hochschmelzenden Metalls erfolgt, infolge eines natürlichen Oxidfilms zwischen der $\text{Si}_{0,0}\text{Ge}_{0,1}$ -Schicht und dem hochschmelzenden Metall, so kann beispielsweise eine Ti-Schicht mit reduzierenden Eigenschaften zusätzlich auf einer Grenzfläche vorgesehen werden. Weiterhin kann der Film aus einem Silizid eines hochschmelzenden Metalls entweder durch eine Einschnitt-Wärmebehandlung bei vorbestimmten Bedingungen oder eine Zweischritt-Wärmebehandlung erhalten werden, bei welcher eine erste Wärmebehandlung bei niedrigerer Temperatur und dann eine zweite Wärmebehandlung bei höherer Temperatur erfolgt, wie bei der fünften Ausführungsform erläutert. Obwohl das Silizid eines hochschmelzenden Metalls bei der fünften Ausführungsform der vorliegenden Erfindung unverändert bleibt, kann es durch eine HF-Lösung entfernt werden. Das Verfahren zur Ausbildung der $\text{Si}_{0,9}\text{Ge}_{0,1}$ -Schichten **47** ist nicht auf die voranstehend geschilderten Beispiele beschränkt und die $\text{Si}_{0,9}\text{Ge}_{0,1}$ -Schichten **47** können dadurch nur auf dem n^+ -Sourcebereich **216** ausgebildet werden, daß zur Maskierung eine Beschichtung mit einem Photolack bei dem n^+ -Drainbereich **226** vorgenommen wird. Bei dem voranstehend geschilderten Beispiel sind pn-Übergangs-Grenzflächen zwischen den n^+ -Source- und Drainbereichen **216**, **226** und der SOI-Schicht des p-Typs an den Innenseiten des Kanalbereichs des MOSFETs außerhalb der Bereiche angeordnet, welche Ge enthalten, jedoch können diese pn-Übergangs-Grenzflächen auch so ausgebildet werden, daß sie sich innerhalb der Ge enthaltenden Bereiche befinden. Zwar werden die SiGe-Schichten und die Schichten aus einem Silizid eines hochschmelzenden Metalls bei dem voranstehend geschilderten Beispiel nicht auf der Gateelektrode ausgebildet, jedoch lassen sich dieselben Vorteile der vorliegenden Erfindung auch dann erzielen, wenn die SiGe-Schichten und die Schichten aus einem Silizid eines hochschmelzenden Metalls auf der Gateelektrode ausgebildet werden. $\text{Si}_x\text{Sn}_{1-x}$ -Schichten können anstelle der $\text{Si}_x\text{Ge}_{1-x}$ -Schichten verwendet werden.

(Sechste Ausführungsform)

[0128] [Fig. 16C](#) zeigt einen Schnitzaufbau eines LDD-SOI-MOSFET (LDD: Lightly Doped Drain; leicht dotierter Drain) gemäß einer sechsten Ausführungsform der vorliegenden Erfindung. In [Fig. 16C](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs so ausgebildet, daß dazwischen ein vergrabener Oxidfilm **202** angeordnet ist. Obwohl dies in [Fig. 16C](#) nicht dargestellt ist, ist der SOI-Film **203** in mehrere Siliziuminseln unterteilt, die

Siliziuminseln sind von einem Isolieroxidfilm oder dergleichen umgeben, und jede Siliziuminsel **203** wird jeweils als aktiver Bereich (Vorrichtungsbereich) verwendet. [Fig. 16C](#) zeigt nur einen der aktiven Bereiche. Ein n^- -Sourcebereich **85** und ein n^- -Drainbereich **95**, die beide eine jeweils relativ niedrige Verunreinigungskonzentration aufweisen, werden flach in dem aktiven Bereich so ausgebildet, daß sie dem SOI-Film **203** (SOI-Körper) gegenüberliegen, der als Kanalbereich des MOSFET dient. Weiterhin werden der n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226**, die eine Verunreinigungskonzentration von 2×10^{18} bis $1 \times 10^{21} \text{ cm}^{-3}$ aufweisen, tief ausgebildet, so daß ihre Bodenabschnitte im wesentlichen mit einem vergrabenen Oxidfilm **202** in Kontakt stehen. Hierbei stellen der n^- -Sourcebereich **85** und der n^- -Drainbereich **95** Bereiche mit relativ niedriger Verunreinigungskonzentration dar, im Gegensatz zu dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226**, und dies bedeutet, daß die Verunreinigungskonzentration dieser Bereiche etwa 5×10^{16} bis $5 \times 10^{18} \text{ cm}^{-3}$ beträgt. In diesem Sinn ist die Verunreinigungskonzentration des n^- -Bereiches bei der sechsten Ausführungsform relativ höher als der üblicherweise verwendete Wert. Die SiGe-Schichten **47** werden jeweils am Boden des tiefen n^+ -Sourcebereiches **216** und des tiefen n^+ -Drainbereiches **226** ausgebildet. Weiterhin wird die Gateelektrode **205**, die aus Polysilizium oder dergleichen besteht, auf dem Kanalbereich **203** zwischen dem n^- -Sourcebereich **85** und dem n^- -Drainbereich **95** über den Gateoxidfilm **204** ausgebildet. Seitenwand-Nitridfilme **73** werden auf beiden Seiten der Polysilizium-Gateelektrode **205** erzeugt. Der Zwischenschicht-Isolierfilm **8** wird über dem SOI-Film **203** so ausgebildet, daß in ihm die Gateelektrode **205** enthalten ist. Die Source-Metallektrode **218** und die Drain-Metallektrode **228** werden so ausgebildet, daß sie die SiGe-Schichten **47** durch die U-förmigen Nuten oder Rillen erreichen, die in dem Zwischenschicht-Isolierfilm vorgesehen sind, und durch Kontaktfenster, die in dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226** vorgesehen sind.

[0129] Bei dem SOI-MOSFET gemäß der sechsten Ausführungsform der vorliegenden Erfindung, wie er in [Fig. 16C](#) dargestellt ist, ergab sich überhaupt keine statistische Erzeugung eines Kriechstroms, infolge seines LDD-Aufbaus, selbst im Vergleich zum Hetero-Übergangs-MOSFET nach dem Stand der Technik, bei welchem Ge-Ionen in die gesamten Bereiche der n^+ -Source- und Drainbereiche **216**, **226** implantiert werden. Darüber hinaus wurde die Drainbruchspannung im Ausschaltzustand um 1,5 Volt verbessert, im Vergleich mit jener der konventionellen Vorrichtung mit homogenem Übergang, bei welcher der n^+ -Sourcebereich **216** ohne Implantierung von Ge-Ionen hergestellt wird.

[0130] Unter Bezugnahme auf die [Fig. 16A](#) bis [Fig. 16C](#) wird ein Herstellungsverfahren für den

SOI-MOSFET gemäß der sechsten Ausführungsform der vorliegenden Erfindung beschrieben.

(a) Zuerst werden mit denselben Herstellungsvorgängen wie bei den zugehörigen Ausführungsformen der vorliegenden Erfindung Sauerstoffionen in das (100)-Siliziumsubstrat **201** des p-Typs implantiert, und dann erfolgt eine Wärmebehandlung. Durch das sogenannte SIMOX-Verfahren werden der vergrabene Siliziumoxidfilm **202** und der darauf angeordnete SOI-Film **203** auf dem (100)-Siliziumsubstrat **201** des p-Typs erzeugt. Dann wird die Oberfläche des SOI-Films **203** thermisch oxidiert, um darauf einen Oxidfilm auszubilden. Der thermische Oxidfilm auf dem SOI-Film **203** wird durch Naßätzung unter Verwendung einer NH_4F -Lösung oder dergleichen entfernt, um einen 100 nm dicken SOI-Film **203** zu erhalten. Unter denselben Bedingungen wie bei den betreffenden, voranstehend geschilderten Ausführungsformen kann die gewünschte Verunreinigungskonzentration für den Kanalbereich dadurch erzielt werden, daß B-Ionen oder BF_2 -Ionen implantiert werden. Dann wird der thermische Oxidfilm **204**, der als Gateoxidfilm verwendet wird, in einer Dicke von 10 nm ausgebildet. P-dotiertes Polysilizium **205** mit einer Dicke von 0,3 μm wird durch LP-CVD und dergleichen auf der Oberfläche des Polysiliziums **205** ausgebildet. Dann wird ein Photolack mittels Schleuderbeschichtung auf die Oberfläche des thermischen Oxidfilms **7** aufgebracht. Daraufhin wird, wie in [Fig. 16A](#) gezeigt, der Gateelektrode **205** und dem Gateoxidfilm **204** durch anisotropes Ätzen wie beispielsweise RIE ein Muster gegeben. Daraufhin werden P-Ionen bei einer Beschleunigungsspannung $V_{ac} = 100$ kV und einer Dosis $\phi = 5 \times 10^{12}$ bis 1×10^{19} cm^{-2} implantiert. Dies führt dazu, daß n⁻-LDD-Bereiche **85**, **95** ausgebildet werden, wie in [Fig. 16A](#) gezeigt ist.

(b) Dann wird der Nitridfilm **73** auf der gesamten Oberfläche des Substrats abgelagert, und werden durch anisotropes Ätzen wie beispielsweise RIE Seitenwandnitridfilme **73** an beiden Seiten der Gateelektrode **205** hergestellt. Die $\text{Si}_x\text{Ge}_{1-x}$ -Schichten **47** werden dadurch hergestellt, daß Ge-Ionen bei einer Beschleunigungsspannung $V_{ac} = 30$ kV mit einer Dosis $\phi = 1 \times 10^{16}$ cm^{-2} implantiert werden, und As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 30$ kV bei einer Dosis $\phi = 3 \times 10^{15}$ cm^{-2} implantiert werden, wobei Seitenwandnitridfilme **73** und die Gateelektrode **205** als Maske dienen, und dann eine Wärmebehandlung der sich ergebenden Anordnung **30** Minuten lang bei 850°C durchgeführt wird. Dies führt dazu, daß tiefe n⁺-Source- und Drainbereich **216**, **226** ausgebildet werden, wie in [Fig. 16B](#) gezeigt.

(c) Dann wird der Oxidfilm **8** auf der gesamten Oberfläche auf dieselbe Weise wie bei den voranstehend geschilderten Ausführungsformen abgelagert. Dann werden, bis die darunterliegenden

$\text{Si}_x\text{Ge}_{1-x}$ -Schichten **47** freigelegt sind, der Oxidfilm **8** und das Silizium für die n⁺-Source- und Drainbereiche **216**, **226** nacheinander mittels RIE und dergleichen geätzt, um Kontaktfenster und U-Nuten unmittelbar unter den Kontaktfenstern auszubilden. Metallverdrahtungen wie beispielsweise die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** aus Al usw. werden so ausgebildet, daß sie die SiGe -Schichten **47** durch den U-Nuten aufweisenden Film und die Kontaktfenster erreichen. Hiermit ist der SOI-MOSFET gemäß der in [Fig. 16C](#) gezeigten, sechsten Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0131] Bei der sechsten Ausführungsform der vorliegenden Erfindung stehen die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** in Kontakt mit den SiGe -Schichten **47**. Wie jedoch bei der vierten Ausführungsform erläutert wurde, können nach dem Ätzen des Oxidfilms **8** zur Ausbildung der Kontaktfenster, bis die Oberfläche der n⁺-Source- und Drainbereiche **216** und **226** freigelegt ist, die zweiten $\text{Si}_x\text{Ge}_{1-x}$ -Schichten **51** auf den ersten $\text{Si}_x\text{Ge}_{1-x}$ -Schichten **47** dadurch ausgebildet werden, daß Ge-Ionen in die Fensterteile implantiert werden, um so die Metallelektroden **218**, **228** und die ersten $\text{Si}_x\text{Ge}_{1-x}$ -Schichten **47** zu überbrücken. Die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** können in Kontakt mit der $\text{Si}_x\text{Ge}_{1-x}$ -Schicht stehen, durch Grenzflächenschichten aus einem Silizid eines hochschmelzenden Metalls. Weiterhin kann statt der $\text{Si}_x\text{Ge}_{1-x}$ -Schicht **47** ein Halbleiter verwendet werden, der einen engeren Bandabstand als Si aufweist, beispielsweise eine $\text{Si}_x\text{Sn}_{1-x}$ -Schicht, oder PbS, PbTe, InSb und dergleichen.

[0132] Wie im einleitenden Teil der Beschreibung erwähnt wurde, werden die Kristallfehler, die durch Fehlanpassungen in dem Hetero-Übergang hervorgerufen werden, und die Kristallfehler, die durch die Ionenimplantierungsschäden hervorgerufen werden, in dem Hetero-Übergangs-SOI-MOSFET erzeugt. Aus verschiedenen Versuchen, die von den Erfindern der vorliegenden Erfindung vorgenommen wurden, stellte sich heraus, daß diese Kristallfehler auf Grenzflächen zwischen den Bereichen, welche Ge-Ionen implantiert sind, und den nicht mit Ge-Ionen implantierten Bereichen erzeugt werden. Aus diesem Grund werden zuerst Arsen-Ionen (As-Ionen) implantiert und wärmebehandelt, um relativ breite n⁻-Bereiche **285**, **295** auszubilden, wie in [Fig. 17A](#) gezeigt ist, unmittelbar nach der Ausbildung des Gateelektrodenmusters **205**. Dann werden die Gate-Seitenwandabstandsstücke **370** ausgebildet, wie in [Fig. 17A](#) gezeigt, und daraufhin werden P-Ionen (oder As-Ionen) ebenso wie Ge-Ionen gleichzeitig implantiert, um SiGe -Bereiche **286**, **287**, und n⁺-Source- und Drainbereich **216**, **226** innerhalb der n⁻-Bereiche **285**, **295** auszubilden. Hierdurch können, wie in [Fig. 17B](#) gezeigt, die Kanten der Defektstellen D innerhalb der

n^- -Bereiche **285**, **295** angeordnet werden. Selbst in einem Fall, in welchem die Draindurchbruchsspannung erhöht werden muß, während ein kleiner Kriechstrom unterdrückt werden muß, kann man einen SOI-MOSFET mit den gewünschten Eigenschaften durch den in [Fig. 17B](#) gezeigten Aufbau erhalten. Der in [Fig. 17B](#) gezeigte Aufbau läßt sich als eine Art eines LDD-Aufbaus ansehen. Allerdings ist dieser Vorteil nicht auf den Standard-LDD-Aufbau beschränkt, und jede Anordnung, bei welcher der Bereich mit implantierten Ge-Ionen (oder der Bereich mit implantierten Sn-Ionen) von dem n^- -Bereich umgeben ist, kann den beim Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik gemäß [Fig. 5B](#) auftretenden Kriechstrom unterdrücken.

(Siebte Ausführungsform)

[0133] [Fig. 18A](#) zeigt eine Schnittanordnung eines SOI-MOSFETs gemäß einer siebten Ausführungsform der vorliegenden Erfindung. In [Fig. 18A](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einem vergrabenen Oxidfilm **202** ausgebildet. Der SOI-Film **203** ist in mehrere Siliziuminseln unterteilt, und jede Siliziuminsel ist von einem Isolieroxidfilm **4** umgeben, der durch ein LOCOS-Verfahren oder dergleichen hergestellt wird, und das Innere der umgebenen Siliziuminsel wird als ein aktiver Bereich (Vorrichtungsbereich) verwendet. [Fig. 18A](#) zeigt nur einen aktiven Bereich. Ein n^+ -Sourcebereich **216** und ein n^+ -Drainbereich **226** werden tief im Inneren des aktiven Bereichs ausgebildet, und zwar so, daß ihr Bodenabschnitt jeweils mit dem vergrabenen Oxidfilm **202** verbunden ist. [Fig. 18B](#) ist eine vergrößerte Schnittansicht, welche den Aufbau nahe einem n^+ -Sourcebereich **216** des in [Fig. 18A](#) gezeigten SOI-MOSFETs zeigt. Ein Teil eines SiGe-Bereiches **237** ist um den Bodenteil des n^+ -Sourcebereiches **216** herum vorgesehen, und ein anderer Teil des SiGe-Bereiches **237** erstreckt sich in den Kanalbereich jenseits einer pn-Übergangs-Grenzfläche (metallurgischer Übergang) **215** zwischen dem n^+ -Sourcebereich und dem SOI-Körper **203** des p-Typs, oder dem Kanalbereich. Der SiGe-Bereich **237** jenseits der pn-Übergangs-Grenzfläche **215** und in der Seite des SOI-Körpers ist daher ein SiGe-Bereich des p-Typs. Entsprechend ist ein SiGe-Bereich **247** in dem n^+ -Drainbereich **226** so vorgesehen, daß er sich in den Kanalbereich oder SOI-Körper hinein erstreckt, jenseits einer pn-Übergangs-Grenzfläche zwischen dem n^+ -Drainbereich und dem SOI-Körper **203** des p-Typs. In einigen Fällen kann der SiGe-Bereich **247** an der Drainseite weggelassen werden. Weiterhin ist die Polysilizium-Gateelektrode **205** auf dem Kanalbereich **203** zwischen dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226** über den Gateoxidfilm **204** vorgesehen. Seitenwand-Nitridfilme **73** sind auf beiden Seiten der Polysilizium-Gateelektrode **205** angeord-

net. Ein SiO_2 -Film oder ein Verbundfilm aus dem SiO_2 -Film und einem PSG-Film (oder einem BPSG-Film) dient als ein Zwischenschicht-Isolierfilm **8** und ist auf der SOI-Schicht und auf der Gateelektrode vorgesehen. Kontaktlöcher (Fenster) sind in dem Zwischenschicht-Isolierfilm **8** geöffnet. Hierdurch erstrecken sich eine Source-Metallelektrode **218** und eine Drain-Metallelektrode **228**.

[0134] Bei der in den [Fig. 18A](#) und [Fig. 18B](#) gezeigten siebten Ausführungsform der vorliegenden Erfindung ist eine SiGe/Si-Hetero-Übergangs-Grenzfläche **225** weiter innen im Kanalbereich vorgesehen als die pn-Übergangs-Grenzfläche **215** zwischen dem n^+ -Sourcebereich **216** und dem SOI-Körper des p-Typs, und befindet sich innerhalb einer Verarmungsschicht **214**, die von der pn-Übergangs-Grenzfläche **215** ausgeht. Wie in [Fig. 19](#) gezeigt ist, kann allerdings derselbe Vorteil wie bei den [Fig. 18A](#) und [Fig. 18B](#) durch eine Anordnung erhalten werden, bei welcher ein Teil der SiGe/Si-Hetero-Übergangs-Grenzfläche **225** näher an dem Kanalbereich liegt als die pn-Übergangs-Grenzfläche **215**. Bei der Ausführungsform von [Fig. 19](#) kann zur Ausbildung des SiGe-Bereiches **237** die zum Implantieren von Ge-Ionen verwendete Beschleunigungsspannung Vac etwas niedriger eingestellt werden als bei der Ausführungsform gemäß [Fig. 18A](#) und [Fig. 18B](#), beispielsweise auf 80 kV.

[0135] Durch die voranstehend geschilderten Maßnahmen kann der Bereich **16** mit der SiGe/Si-Hetero-Übergangs-Grenzfläche **225** im Inneren der Verarmungsschicht **214** angeordnet werden, die von der metallurgischen pn-Übergangs-Grenzfläche **215** ausgeht. Durch diesen Aufbau kann das in [Fig. 20](#) gezeigte Potentialprofil eines SOI-MOSFETs erhalten werden (eine dünne, gestrichelte Linie bezeichnet eine Valenzbandkante von Ev (SiGe) von SiGe, und eine dicke durchgezogene Linie bezeichnet eine Valenzbandkante, die gemäß der vorliegenden Erfindung erhalten wird). Daher können Löcher wirksam zur Sourcelektrode abgesaugt werden, und läßt sich eine hohe Draindurchbruchsspannung erzielen. In den beiden Fällen der [Fig. 18](#) und [Fig. 19](#) beträgt die Draindurchbruchsspannung **5** Volt, was eine Verbesserung um 1 Volt darstellt, im Vergleich zum Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik, der dieselbe Kanallänge von 0,5 μm aufweist.

[0136] Bekanntlich wird der Draindurchbruchseffekt in einem SOI-MOSFET durch Löcher verursacht, die sich in dem Kanalbereich oder dem SOI-Körper ansammeln. Zur Lösung der Aufgabe, die Draindurchbruchsspannung zu erhöhen, stellt es daher nicht immer die beste Maßnahme dar, die Hetero-Übergangs-Grenzfläche **225** im Inneren der pn-Übergangs-Grenzfläche **215** anzuordnen, wie bei dem in [Fig. 4A](#) gezeigten Hetero-Übergangs-MOSFET nach

dem Stand der Technik. In der Figur ist ein Vergleich des Potentialprofils bei dem konventionellen MOSFET mit homogenem Übergang bzw. dem Hetero-Übergangs-MOSFET gemäß der vorliegenden Erfindung gezeigt. Es wird deutlich, daß bei dem in [Fig. 20](#) durch eine dicke, durchgezogene Linie dargestellten Potentialprofil die Energieschwellenhöhe in Bezug auf Löcher äußerst wirksam abgesenkt werden kann. Mit anderen Worten ist bei der Anordnung gemäß der siebten Ausführungsform der vorliegenden Erfindung die Valenzbandkante E_v (Si) in dem Kanalbereich, wo das Potential für Löcher am niedrigsten ist, linear mit einer Valenzbandkante E_v (Si-Ge) des Sourcebereiches mit engem Bandabstand verbunden, so daß keine hohe Schwelle in Bezug auf Löcher in dem Grenzbereich zwischen Source und Kanal hervorgerufen wird, wodurch die akkumulierten Löcher in dem SOI-Körper wirksam abgesaugt werden, und daher die Draindurchbruchsspannung wesentlich erhöht werden kann. Aus diesem Grund kann, wie in den [Fig. 18A](#), [Fig. 18B](#) und [Fig. 19](#) gezeigt, der SiGe-Bereich, welcher einen engeren Bandabstand als Si aufweist, in den Kanalbereich verlängert werden, in welchem das Potential in Bezug auf Löcher ein Minimum (einen Extremwert) zeigt, über die pn-Übergangs-Grenzfläche **215** hinaus. Statt des SiGe-Bereiches können auch SiSn, PbS, ein Mischkristall aus SiGeSn, ein Mischkristall aus $\text{Si}_x(\text{PbS})_{1-x}$, $\text{Si}_x(\text{PbTe})_{1-x}$ oder dergleichen verwendet werden.

[0137] Der SOI-MOSFET gemäß der siebten Ausführungsform der vorliegenden Erfindung kann im wesentlichen durch die gleichen Herstellungsschritte hergestellt werden wie die erste Ausführungsform der vorliegenden Erfindung, wie nachstehend erläutert wird.

(a) Zuerst wird die SOI-Anordnung durch das sogenannte SIMOX-Verfahren hergestellt, unter Verwendung eines (100)-Siliziumsubstrats **201** des p-Typs. Daher werden Sauerstoffionen in das (100)-Siliziumsubstrat **201** des p-Typs bei einer Beschleunigungsspannung $V_{ac} = 180$ kV mit einer Dosis $\phi = 2 \times 10^{18} \text{ cm}^{-2}$ implantiert. Daraufhin wird der vergrabene Oxidfilm **202** mit einer Dicke von 400 nm dadurch hergestellt, daß eine sechstündige Wärmebehandlung bei einer Temperatur von 1300°C durchgeführt wird. Auf diese Weise wird das SIMOX-SOI-Substrat hergestellt, bei welchem der 200 nm dicke SOI-Film **203** auf dem vergrabenen Oxidfilm **202** vorgesehen ist.

(b) Dann wird die Oberfläche des SOI-Films **203** thermisch oxidiert, um einen 100 nm dicken Siliziumfilm übrig zu lassen. Die Dicke des SOI-Films **203** wird auf 100 nm eingestellt, durch Naßätzung des thermischen Oxidfilms auf dem nicht oxidierten Siliziumfilm. Dann werden B-Ionen (oder BF_2 -Ionen) implantiert, um eine gewünschte Kanalverunreinigungskonzentration zu erzielen.

(c) Dann wird eine Vorrichtung durch Stan-

dard-MOSFET-Herstellungsschritte hergestellt, beispielsweise das Selbstausrichtungsverfahren mit der üblichen Polysilizium-Gateelektrode **205**. Nach Herstellung der 200 bis 300 nm dicken Polysilizium-Gateelektrode wird nämlich mittels CVD ein Nitridfilm erzeugt, und dann werden 300 nm breite Seitenwand-Nitridfilme **73** an beiden Seiten der Gateelektrode mittels RIE hergestellt. Unter Verwendung der Polysilizium-Gateelektrode **205** und der Seitenwand-Nitridfilme als Maske werden Ge-Ionen bei einer Beschleunigungsspannung $V_{ac} = 130$ kV mit einer Dosis von $\phi = 3 \times 10^{16} \text{ cm}^{-2}$ implantiert, und werden As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 20$ kV und mit einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert. Bei dieser selbstausgerichteten Ionenimplantierung wird ein Teil der Ge-Ionen durch die Seitenwand-Nitridfilme implantiert, während ihre effektiven Projektionsbereiche R_p in den SOI-Film **203** hinein geringfügig geändert werden. Daraufhin erfolgt eine Wärmebehandlung der sich ergebenden Anordnung 1 Stunden lang bei 850°C. Die Ge-Ionen, die durch die Seitenwand-Nitridfilme implantiert wurden, werden durch diesen Wärmebehandlungsschritt geringfügig eindiffundiert. Daher wird ein Teil der SiGe-Bereiche **237** in den Kanalbereich über die pn-Übergangs-Grenzfläche **215** hinaus verlängert, so daß daher n⁺-Source/Drainbereiche **216**, **226** gleichzeitig mit diesen Ionenimplantierungs/Wärmebehandlungsschritten ausgebildet werden. Ein anderer Teil der SiGe-Bereiche **237** in dem n⁺-Sourcebereich **216**, in welchem die Ge-Ionen direkt in die SOI-Filme implantiert wurden, ohne die Seitenwände zu durchdringen, wird so tief in Richtung der Tiefe des SOI-Films ausgebildet, daß er den vergrabenen Oxidfilm **202** erreicht.

Wie in [Fig. 19](#) gezeigt ist, kann wie voranstehend geschildert dann, wenn Ge-Ionen bei einer niedrigeren Beschleunigungsspannung $V_{ac} = 80$ bis 100 kV implantiert werden, eine Anordnung erhalten werden, bei welcher nur ein Teil der Hetero-Übergangs-Grenzfläche **225** über die pn-Übergangs-Grenzfläche **215** hinaus verlängert wird. In diesem Fall kann die Beschleunigungsspannung stufenweise geändert werden, beispielsweise von 80 kV über 90 kV auf 100 kV, und die Ge-Ionen können nacheinander durch diese sich ändernden Beschleunigungsspannungen implantiert werden. (d) Dann wird der Zwischenschicht-Isolierfilm **8**, beispielsweise ein SiO_2 -Film, ein Verbundfilm aus SiO_2 /PSG, oder ein Verbundfilm aus SiO_2 /BPSG mittels CVD oder dergleichen auf einer Oberfläche des SOI-Films **203** so hergestellt, daß in ihm die Polysilizium-Gateelektrode **205** enthalten ist. Dann werden mittels Photolithographie in dem Zwischenschicht-Isolierfilm **8** Kontaktlöcher (Fenster) geöffnet. Schließlich werden die Source-Metallelektrode **218** und die Drain-Metallelektrode **228**, die in [Fig. 18A](#) gezeigt sind, durch fol-

gende Schritte hergestellt. Nach Ablagerung eines Metalls wie beispielsweise Al-Si, Al-Si-Cu oder dergleichen auf der Oberfläche des SOI-Films und des Zwischenschicht-Isolierfilms mit Hilfe einer Elektronenstrahlverdampfung oder Sputtern, erfolgt dann eine Mustergebung des Teils mit Hilfe von Photolithographie- und RIE-Schritten. Damit ist der Hetero-Übergangs-SOI-MOSFET mit einem Sourcebereich mit engem Bandabstand gemäß der siebten Ausführungsform der vorliegenden Erfindung fertiggestellt.

(Achte Ausführungsform)

[0138] [Fig. 21A](#) zeigt einen Schnittaufbau eines SOI-MOSFETs gemäß einer achten Ausführungsform der vorliegenden Erfindung. In [Fig. 21A](#) wird ein SOI-Film **203** des p-Typs auf einem vergrabenen Oxidfilm **202** hergestellt, der auf einem (100)-Siliziumsubstrat **201** des p-Typs vorgesehen ist. Der SOI-Film **203** ist in mehrere Siliziuminseln unterteilt, jede Insel ist von einem Isolieroxidfilm **4** umgeben, der durch ein LOCOS-Verfahren oder dergleichen hergestellt wird, und das Innere jeder Siliziuminsel wird als ein aktiver Bereich (Vorrichtungsbereich) verwendet. [Fig. 21A](#) zeigt den Aufbau nahe dem aktiven Bereich. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226** werden tief im Inneren des aktiven Bereiches so ausgebildet, daß jeweils ihr Bodenabschnitt mit einem vergrabenen Oxidfilm **202** in Kontakt steht. [Fig. 21B](#) ist eine vergrößerte Schnittansicht, welche im einzelnen den Aufbau nahe einem n⁺-Sourcebereich **216** des SOI-MOSFETs mit dem Sourcebereich mit engem Bandabstand von [Fig. 21A](#) zeigt. Ein SiGe-Bereich **237** wird so in dem n⁺-Sourcebereich **216** ausgebildet, daß er sich in den Kanalbereich über eine pn-Übergangs-Grenzfläche (metallurgischer Übergang) zwischen dem n⁺-Sourcebereich **216** und der SOI-Schicht **203** des p-Typs, oder dem SOI-Körper, der als Kanalbereich dient, hinaus erstreckt. Entsprechend wird ein SiGe-Bereich **247** in dem Drainbereich so ausgebildet, daß er sich in den Kanalbereich hinein über eine pn-Übergangs-Grenzfläche hinaus zwischen dem n⁺-Drainbereich und dem Kanalbereich des p-Typs erstreckt. In einigen Fällen kann allerdings der SiGe-Bereich **247** an der Drainseite weggelassen werden. Schichten **74** eines Silizids eines hochschmelzenden Metalls wie beispielsweise TeSi₂, WSi₂ oder MoSi₂ sind auf den SiGe-Bereichen **237**, **247** vorgesehen. Weiterhin wird die aus Polysilizium und dergleichen bestehende Gateelektrode **205** auf dem Kanalbereich **203** zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** über den Gateoxidfilm **204** hergestellt. Auf beiden Seiten der Gateelektrode **205** werden Seitenwand-Nitridfilme **73** ausgebildet. Ein SiO₂-Film oder ein Verbundfilm aus einem SiO₂-Film und einem PSG-Film, der als Zwischenschicht-Isolierfilm **8** dient, wird auf der SOI-Schicht einschließlich der Ga-

teelektrode ausgebildet. In dem Zwischenschicht-Isolierfilm **8** werden Kontaktlöcher geöffnet. Eine Source-Metallelektrode **218** und einen Drain-Metallelektrode **228** werden auf den Schichten **74** aus einem Silizid eines hochschmelzenden Metalls hergestellt. In den [Fig. 21A](#) und [Fig. 21B](#) ist angestrebt, daß die SiGe-Bereiche **237**, **247** so ausgebildet werden, daß sie jeweils direkt an die Schichten **74** aus einem Silizid eines hochschmelzenden Metalls angeschlossen sind. Bei direktem Anschluß kann die Drainspannung um etwa 0,3 Volt erhöht werden, im Gegensatz zu einer Anordnung, bei welcher die SiGe-Bereiche **237**, **247** und die Schichten **74** aus einem Silizid eines hochschmelzenden Metalls getrennt über die n⁺-Siliziumbereiche **216**, **226** ausgebildet werden.

[0139] Bei der in den [Fig. 21A](#) und [Fig. 21B](#) gezeigten, achten Ausführungsform der vorliegenden Erfindung wird eine SiGe/Si-Hetero-Übergangs-Grenzfläche **225** an dem Ort näher am Kanalbereich als an der pn-Übergangs-Grenzfläche **215** zwischen dem n⁺-Sourcebereich **216** und dem SOI-Körper **203** des p-Typs ausgebildet, und befindet sich innerhalb einer Verarmungsschicht **214**, die von der pn-Übergangs-Grenzfläche und dem Gateoxidfilm ausgeht. Wie in [Fig. 22](#) gezeigt ist, lassen sich dieselben Vorteile wie bei der Anordnung gemäß [Fig. 21A](#) und [Fig. 21B](#) auch bei einer Anordnung erzielen, bei welcher ein Teil der SiGe/Si-Hetero-Übergangs-Grenzfläche näher an dem Kanal liegt als eine pn-Übergangs-Grenzfläche **215**. In [Fig. 22](#) kann zur Ausbildung des SiGe-Bereiches **237** die Beschleunigungsspannung Vac, die für das Implantieren der Ge-Ionen verwendet wird, etwas niedriger als bei der Ausführungsform gemäß [Fig. 21A](#) und [Fig. 21B](#) eingestellt werden, und kann beispielsweise auf 80 kV eingestellt werden.

[0140] Durch die voranstehend geschilderten Maßnahmen kann die Hetero-Übergangs-Grenzfläche **225** zwischen dem Si-Bereich und dem SiGe-Bereich **237** im Inneren der Verarmungsschicht **214** in dem Kanalbereich jenseits der metallurgischen pn-Übergangs-Grenzfläche **215** angeordnet werden. In diesem Fall kann ein ähnliches Potentialprofil eines SOI-MOSFETs erhalten werden, wie es in [Fig. 20](#) gezeigt und anhand der siebten Ausführungsform der vorliegenden Erfindung beschrieben wurde, erhalten werden. Daher können Löcher, die sich in dem SOI-Körper angesammelt haben, wirksam in den Sourcebereich mit engem Bandabstand abgesaugt werden, und läßt sich eine hohe Draindurchbruchspannung erzielen. Hierbei fließen Löcher, die durch den Sourcebereich mit engem Bandabstand oder die SiGe-Schicht **237** abgesaugt werden, weiterhin zur Sourcekontakt-Metallelektrode **218**. Die Erfinder der vorliegenden Erfindung haben bei verschiedenen Anordnungen Versuche unternommen, die ergeben haben, daß dann, wenn eine Energieschwelle in Bezug

auf Löcher nahe den Sourcekontakt-Metallelektroden vorhanden ist, die Verbesserung der Drainbruchspannung geringer wird. Mit anderen Worten kann, wie durch die gestrichelte Linie in [Fig. 23](#) angedeutet, falls die Si-Bereiche in der Nähe der Sourcekontakt-Metallelektroden bleiben, eine solche Energieschwelle in Bezug auf Löcher ausgebildet werden, daß Löcher nicht sofort und wirksam abgesaugt werden können. Wenn der SiGe-Bereich **237** tief in Richtung der Tiefe des SOI-Films **203** hergestellt wird, und die Sourcekontakt-Metallelektrode und die Grenzflächenlegierungsschicht (Metall-Silizium-Legierungs-Grenzfläche) flach auf der Oberfläche des n⁺-Sourcebereiches ausgebildet wird, wird eine derartige Situation erzeugt, daß die Kontakt-Metallelektrode und die Grenzflächenlegierungsschicht nicht den SiGe-Bereich **237** erreichen. Die Erfinder der vorliegenden Erfindung haben durch wiederholte Simulationen und Versuche herausgefunden, daß dann, wenn der SiGe-Bereich **237** in direkten Kontakt mit den Schichten aus einem Silizid eines hochschmelzenden Metalls unmittelbar unter den Sourcekontakt-Metallelektrodenabschnitten gebracht wird, gemäß dem Aufbau der achten Ausführungsform der vorliegenden Erfindung, das durch die durchgezogene Linie in [Fig. 23](#) dargestellte Potentialprofil erhalten wird, und Löcher schnell und wirksam in die Schichten aus einem Silizid eines hochschmelzenden Metalls abgesaugt werden können. Vorzugsweise beträgt die Molfraktion von Ge 1% oder mehr, so daß daher die Konzentration an Ge gleich $5 \times 10^{20} \text{ cm}^{-2}$ in Bezug auf Si in den SiGe-Bereichen **237**, **247** beträgt, die in den [Fig. 21](#) und [Fig. 22](#) gezeigt sind. Statt des SiGe-Bereiches kann ein SiSn-Bereich oder ein Mischkristall aus SiGeSn verwendet werden.

[0141] Die Anordnung des SOI-MOSFETs gemäß der achten Ausführungsform der vorliegenden Erfindung kann durch die nachstehend angegebenen Herstellungsschritte hergestellt werden.

(a) Zuerst wird die SOI-Anordnung durch ein sogenanntes SIMOX-Verfahren hergestellt, unter Verwendung eines (100)-Siliziumsubstrats **201** des p-Typs. Hierbei werden Sauerstoffionen in das (100)-Siliziumsubstrat **201** des p-Typs bei einer Beschleunigungsspannung $Vac = 180 \text{ kV}$ und mit einer Dosis $\phi = 2 \times 10^{18} \text{ cm}^{-2}$ implantiert. Dann werden der 400 nm dicke, vergrabene Oxidfilm **202** und der 200 nm dicke SOI-Film **203** auf dem vergrabenen Oxidfilm **202** durch eine Wärmebehandlung des Substrats **201** bei 1300°C über 6 Stunden ausgebildet. Hierdurch erhält man das SIMOX-SOI-Substrat.

(b) Dann wird die Oberfläche des SOI-Films **203** thermisch so oxidiert, daß ein 100 nm dicker, nicht oxidiertes Siliziumfilm übrigbleibt. Die Dicke des SOI-Films **203** wird dadurch auf eine Dicke von 100 nm eingestellt, daß eine Naßätzung dieses thermischen Oxidfilms erfolgt. Dann werden B-

oder BF_2 -Ionen so implantiert, daß eine gewünschte Kanalverunreinigungskonzentration erzielt wird, und dann wird ein Vorrichtungsbereich mit LOCOS-Schritten ausgebildet.

(c) Dann wird der MOSFET durch die Standard-MOSFET-Herstellungsschritte hergestellt. Nach Ausbildung der 200 bis 300 nm dicken Polysilizium-Gateelektrode wird nämlich ein Nitridfilm auf der Polysilizium-Gateelektrode und der gesamten Oberfläche des SOI-Films mittels CVD erzeugt. Daraufhin werden 300 nm breite Seitenwand-Nitridfilme **73** durch anisotropes Ätzen des Nitridfilmes unter Verwendung von RIE oder dergleichen hergestellt. Unter Verwendung der Polysilizium-Gateelektrode **205** und der Seitenwand-Nitridfilme **73** als Maske werden dann Ge-Ionen bei einer Beschleunigungsspannung $Vac = 130 \text{ kV}$ mit einer Dosis $\phi = 3 \times 10^{16} \text{ cm}^{-2}$ implantiert, und daraufhin werden As-Ionen bei einer Beschleunigungsspannung $Vac = 20 \text{ kV}$ in einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert. Wie in den [Fig. 21A](#) und [Fig. 21B](#) gezeigt, wird ein Teil der Ge-Ionen durch die Seitenwand-Nitridfilme **73** implantiert, wenn ihre effektiven Projektionsbereiche R_p in den SOI-Film **203** hinein geringfügig geändert werden. Daraufhin erfolgt eine Wärmebehandlung der sich ergebenden Anordnung **60** Minuten lang bei 900°C . Durch diesen Wärmebehandlungsvorgang erfolgt eine leichte Diffusion der Ge-Ionen, die durch die Seitenwand-Nitridfilme **73** hindurch implantiert wurden. Dieser Wärmebehandlungsvorgang bildet n⁺-Source/Drainbereiche **216**, **226** und SiGe-Bereiche **237**, **247** aus. Daher wird ein Teil der SiGe-Bereiche **237** in den Kanalbereich über eine pn-Übergangsgrenzfläche **215** hinaus verlängert. Ein anderer Teil der SiGe-Bereiche **237** wird tief in dem n⁺-Sourcebereich **216** ausgebildet, so daß er den vergrabenen Oxidfilm **202** in Richtung der Tiefe des SOI-Films erreicht. Wie voranstehend geschildert kann, wenn Ge-Ionen bei einer Beschleunigungsspannung $Vac = 80$ bis 100 kV implantiert werden, eine Anordnung erhalten werden, bei welcher sich der begrenzte Teil der Hetero-Übergangsgrenzfläche **225** über die pn-Übergangsgrenzfläche **215** hinaus erstreckt, wie in [Fig. 22](#) gezeigt.

(d) Dann werden ein Ti-Film und ein TiN-Film jeweils durch Sputtern auf der gesamten Oberfläche des SOI-Films **203** so abgelagert, daß sie eine Dicke von 30 bzw. 40 nm aufweisen. Andernfalls können der Ti-Film und der TiN-Film durch Elektronenstrahlverdampfung oder CVD abgelagert werden. Filme aus einem Silizid eines hochschmelzenden Metalls werden durch eine Wärmebehandlung bei 800°C auf der Oberfläche des SOI-Films **203** ausgebildet. Dann werden der Ti-Film und der TiN-Film, die nicht reagiert haben, durch einen wohlbekanntem, selektiven Ätzvorgang entfernt, so daß Ti-Silizidschichten (TiSi_2) **74**

auf den Oberflächen der n⁺-Source- und Drainbereiche **216** und **226** übrigbleiben.

(e) Dann wird der Zwischenschicht-Isolierfilm **8**, der aus einem SiO₂-Film, einem Verbundfilm aus SiO₂/PSG, oder einem Verbundfilm aus SiO₂/BPSG besteht, mittels CVD und dergleichen auf einer Oberfläche des SOI-Films **203** so ausgebildet, daß in ihm die Polysilizium-Gateelektrode **205** enthalten ist. Dann werden Kontaktlöcher mittels Photolithographie in dem Zwischenschicht-Isolierfilm **8** geöffnet. Schließlich werden die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** gemäß [Fig. 21A](#) dadurch hergestellt, daß ein Metall wie beispielsweise Al-Si, Al-Si-Cu oder dergleichen mit Hilfe von Elektronenstrahlverdampfung oder Sputtern abgelagert wird, und dann eine Mustergebung des Metalls auf photolithographische Weise erfolgt. Damit ist der Hetero-Übergangs-SOI-MOSFET gemäß der achten Ausführungsform der vorliegenden Erfindung fertiggestellt, der einen Sourcebereich mit engem Bandabstand aufweist.

(Neunte Ausführungsform)

[0142] Die [Fig. 24A](#) und [Fig. 24B](#) zeigen einen Schnitzaufbau in der Nähe eines n⁺-Sourcebereiches eines SOI-MOSFETs gemäß einer neunten Ausführungsform der vorliegenden Erfindung. In [Fig. 24A](#) wird ein SOI-Film **283** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **282** ausgebildet. Obwohl dies in [Fig. 24A](#) nicht gezeigt ist, ist der SOI-Film **283** von einem Vorrichtungsisolationsoxidfilm umgeben, und das Innere des SOI-Films **283**, der von dem Isolationsoxidfilm umgeben ist, wird als aktiver Bereich (Vorrichtungsbereich) verwendet. [Fig. 24A](#) zeigt nur die Ausbildung in der Nähe des Sourcebereiches des aktiven Bereiches. Der Aufbau der neunten Ausführungsform der vorliegenden Erfindung ist im wesentlichen gleich dem Aufbau der dritten bis fünften Ausführungsform der vorliegenden Erfindung. Ein n⁺-Sourcebereich **216** wird tief im Inneren des aktiven Bereiches hergestellt, so daß sein Bodenabschnitt im wesentlichen in Kontakt mit dem vergrabenen Oxidfilm **282** steht. In [Fig. 24A](#) ist ein SiGe-Bereich **47** so am Boden des n⁺-Sourcebereiches **216** ausgebildet, daß er in Kontakt mit dem vergrabenen Oxidfilm **282** steht.

[0143] Der SiGe-Bereich **47** als Sourcebereich mit engem Bandabstand wird so in dem n⁺-Sourcebereich **216** ausgebildet, daß er sich in den Kanalbereich jenseits einer pn-Übergangs-Grenzfläche (metallurgischer Übergang) **215** zwischen dem n⁺-Sourcebereich **216** und dem SOI-Film **283** des p-Typs oder dem SOI-Körper des p-Typs hinein erstreckt, der als der Kanalbereich dient. Entsprechend wird, obwohl dies nicht gezeigt ist, der SiGe-Bereich **47** in dem Drainbereich so ausgebildet, daß er sich in den

Kanalbereich hinein über eine pn-Übergangs-Grenzfläche hinaus zwischen dem n⁺-Drainbereich **226** und dem SOI-Körper **283** erstreckt. Allerdings kann der SiGe-Bereich **47** an der Drainseite weggelassen werden. In [Fig. 24B](#) wird der Bereich **74** aus einem Silizid eines hochschmelzenden Metalls wie beispielsweise WSi₂, MoSi₂, TiSi₂, PtSi₂ oder dergleichen auf dem SiGe-Bereich **47** ausgebildet. Dann wird die aus Polysilizium und dergleichen bestehende Gateelektrode **205** auf dem Kanalbereich **283** zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich hergestellt (der Drainbereich ist in [Fig. 24B](#) nicht dargestellt), über den Gateoxidfilm **204**. Seitenwand-Nitridfilme **73** werden auf beiden Seiten der Gateelektrode **205** hergestellt. Ein SiO₂-Film, ein Verbundfilm aus SiO₂/PSG-Filmen, oder dergleichen, der als Zwischenschicht-Isolierfilm **8** dient, wird – obwohl nicht dargestellt – auf der SOI-Schicht **283** ausgebildet, welche die Gateelektrode umgibt. Eine Source-Metallelektrode **218** wird über Kontaktlöcher ausgebildet, die in dem Zwischenschicht-Isolierfilm **8** geöffnet wurden. In [Fig. 24B](#) ist nur die Source-Metallelektrode **218** gezeigt, jedoch kann die Drain-Metallelektrode **228** entsprechend hergestellt werden. Zwar sind in [Fig. 24A](#) Metallelektroden weggelassen, jedoch wurden selbstverständlich Metallelektroden entsprechend jenen in [Fig. 24B](#) hergestellt.

[0144] Durch die voranstehend geschilderten Maßnahmen kann die Hetero-Übergangs-Grenzfläche zwischen dem Si-Bereich und dem SiGe-Bereich **47** im Inneren der Verarmungsschicht **214** in dem Kanalbereich **283** jenseits der metallurgischen pn-Übergangs-Grenzfläche **215** angeordnet werden. Durch diesen Aufbau kann ein ähnliches Potentialprofil eines SOI-MOSFETs erhalten werden, wie es bereits in [Fig. 20](#) gezeigt wurde. Dies führt dazu, daß Löcher wirksam in die Sourceelektrode abgesaugt werden können, und eine hohe Draindurchbruchsspannung von etwa 4,9 Volt erzielt werden kann.

[0145] Bei der voranstehend geschilderten Ausführungsform wurde zwar ein Fall beschrieben, bei welchem die SOI-Anordnung durch ein SIMOX-Verfahren ausgebildet wurde, jedoch kann das SOI-Substrat auch unter Verwendung eines Silizium-Direktverbindungsverfahrens (nachstehend als "SDB-Verfahren" bezeichnet), ein Epitaxie-Wachstumsverfahrens oder dergleichen hergestellt werden. Die neunte Ausführungsform der vorliegenden Erfindung wird so erläutert, daß sie durch ein SDB-Verfahren hergestellt wird, jedoch kann sie selbstverständlich durch ein SIMOX-Verfahren hergestellt werden.

[0146] Nachstehend werden Herstellungsschritte für den Hetero-Übergangs-SOI-MOSFET gemäß der neunten Ausführungsform der vorliegenden Erfindung, der einen Sourcebereich mit engem Bandabstand aufweist, erläutert.

(a) Zuerst wird ein SiO₂-Film **282** mit einer Dicke

von 1 μm durch thermische Oxidation oder CVD auf einer Oberfläche eines Siliziumsubstrats **201** des p-Typs erzeugt, welches eine vorbestimmte Oberflächenorientierung aufweist, beispielsweise in der (100)-Ebene. Als CVD kann CVD verwendet werden, bei welchem eine Reaktion zwischen SiH_4 und N_2O verwendet wird, oder CVD unter Verwendung einer organischen Siliziumquelle wie beispielsweise TEOS (Tetraethylorthosilikat; $\text{Si}(\text{OC}_2\text{H}_5)_4$), HMDS (Hexamethyldisiloxan; $\text{Si}(\text{CH}_3)_6$), OMCTS (Octamethylcyclotetrasiloxan; $\text{c}(\text{OSi}(\text{CH}_3)_2)_4$), oder dergleichen.

(b) Dann wird das Substrat **2** Stunden lang in einer N_2 -Atmosphäre bei 1200°C wärmebehandelt. Daraufhin wird unter Befestigung einer rückseitigen Oberfläche des Siliziumsubstrats **201** des p-Typs durch ein Vakuumaufspannwerkzeug der SiO_2 -Film **282**, der auf einer vorderen Oberfläche des Siliziumsubstrats **201** des p-Typs ausgebildet wurde, durch ein chemisch-mechanisches Polierverfahren (CMP) oder dergleichen poliert, damit der SiO_2 -Film **282** eine Dicke von $0,3 \mu\text{m}$ erlangt, und darüber hinaus der SiO_2 -Film **282** eine ebene, spiegelnde Oberfläche erhält. Schließlich wird ein SDB-Oxidfilm **282** hergestellt, der als ein vergrabener Oxidfilm für die SOI-Anordnung dient.

(c) Dann wird ein Siliziumsubstrat **283** des p-Typs mit einer spiegelnd polierten Oberfläche hergestellt. Wie in [Fig. 24A](#) gezeigt ist, sind die spiegelnd polierte Oberfläche des SiO_2 -Films **283** auf dem Siliziumsubstrat **201** des p-Typs und die spiegelnd polierte Oberfläche des Siliziumsubstrats **283** des p-Typs miteinander verbunden. Die sich ergebende Anordnung erfährt eine Wärmebehandlung, um ein SDB-Substrat auszubilden. Zu diesem Zeitpunkt kann die Wärmebehandlung durch Anlegen einer Spannung erfolgen. Dann wird die Dicke des Siliziumsubstrats **283** des p-Typs durch Polieren auf einen Wert von 200 nm gebracht.

(d) Daraufhin wird die Oberfläche des SOI-Films **283**, der durch das SDB-Verfahren hergestellt wurde, thermisch oxidiert, so daß eine nicht oxidierte, 100 nm dicke Siliziumschicht übrigbleibt. Der SOI-Film **283** wird auf eine Stärke von 100 nm durch Naßätzung des thermischen Oxidfilms verdünnt

(e) Dann wird der Isolationsoxidfilm durch ein LOCOS-Verfahren, ein BOX-Verfahren oder dergleichen hergestellt, so daß er benachbarte Vorrichtungen elektrisch isoliert. Weiterhin werden, falls erforderlich, B- oder BF_2 -Ionen in die Oberfläche des SOI-Films **283** implantiert, so daß dieser eine gewünschte Kanalverunreinigungskonzentration aufweist. Daraufhin wird der Gateoxidfilm **204** mit einer Dicke von 10 nm ausgebildet, und dann wird darauf ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von $0,3 \mu\text{m}$ hergestellt, mittels LPCVD und dergleichen. Daraufhin wird, wie in [Fig. 24A](#) gezeigt, die Polysilizium-Gateelektrode **205** auf

dem Gateoxidfilm **204** durch ein Mustergebungsverfahren mit einem Photolithographieschritt und einem RIE-Schritt hergestellt. Wie in [Fig. 24A](#) gezeigt, werden daraufhin zur Ausbildung von $\text{Si}_x\text{Ge}_{1-x}$ -Schichten **47** Ge-Ionen bei einer Beschleunigungsspannung $V_{ac} = 130 \text{ kV}$ und in einer Dosis von $\phi = 3 \times 10^{16} \text{ cm}^{-2}$ implantiert.

(f) Dann wird ein Nitridfilm durch CVD auf der gesamten Oberfläche ausgebildet. Daraufhin werden, wie in [Fig. 24A](#) gezeigt, Seitenwand-Nitridfilme **73** mit einer Breite von $0,3 \mu\text{m}$ durch anisotropes Ätzen mit hoher Richtwirkung wie beispielsweise RIE erzeugt. Daraufhin werden As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 30 \text{ kV}$ und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert. Daraufhin erfährt die sich ergebende Anordnung 30 Minuten lang eine Wärmebehandlung bei 850°C zur Ausbildung des n^+ -Sourcebereiches **216**. Damit ist die in [Fig. 24A](#) gezeigte Anordnung fertiggestellt. Eine in [Fig. 24B](#) gezeigte Anordnung kann dann erhalten werden, wenn Bereiche **74** aus einem Silizid eines hochschmelzenden Metalls auf dem SiGe-Bereich **47** ausgebildet werden, und das kann dadurch erfolgen, daß ein Film aus einem hochschmelzenden Metall wie beispielsweise Ti, Mo, W, Ta oder dergleichen mit Hilfe von CVD, Sputtern oder Vakuumverdampfung auf der Oberfläche des n^+ -Sourcebereiches **216** abgelagert wird, nachdem die Anordnung gemäß [Fig. 24A](#) fertiggestellt wurde.

(g) Zwar sind die folgenden Schritte nicht dargestellt, jedoch sind sie identisch mit Metallisierungsschritten in Standard-MOSFET-Herstellungsvorgängen. Genauer gesagt wird der Zwischenschicht-Isolieroxidfilm **8** mittels CVD oder dergleichen auf der gesamten Oberfläche des SOI-Films **283** hergestellt, so daß seine Dicke beispielsweise $0,5 \mu\text{m}$ beträgt. Dann wird dort mittels Schleuderbeschichtung ein Lackfilm aufgebracht, und durch Photolithographie mit einem Muster versehen. Daraufhin werden Kontaktlöcher geöffnet durch Ätzen des Oxidfilms **8** mittels RIE. Schließlich werden die Source-Metallelektrode und die Drain-Metallelektrode durch Metallisierungsvorgänge unter Verwendung eines Metalls wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen hergestellt. Damit ist der Hetero-Übergangs-SOI-MOSFET gemäß der neunten Ausführungsform der vorliegenden Erfindung fertiggestellt, der einen Sourcebereich mit engem Bandabstand aufweist.

[0147] Als anderes Verfahren unter Einsatz des SDB-Verfahrens können das Siliziumsubstrat **283** des p-Typs und ein anderes Siliziumsubstrat **201** des p-Typs so miteinander verbunden werden, daß ihre Oberflächen über SDB-vergrabenes Oxid kontaktiert werden, wobei die SiGe-Schicht, die mittels CVD aufwuchs, in dem Siliziumsubstrat **283** eingebettet ist. Diese andere SDB-SOI-Anordnung mit einer

CVD-SiGe-Schicht **47** kann folgendermaßen hergestellt werden. Die SiGe-Schicht wird mittels CVD auf einer Oberfläche einer Nut erzeugt, die Nut wird auf dem Siliziumsubstrat **283** des p-Typs vorgesehen, und die Oberflächen der SiGe-Schicht und des Substrats werden eingeebnet, damit dieselbe Ebene die SiGe-Schicht in dem Substrat **283** einbettet. Daraufhin kann die Oberfläche der SiGe-Schicht **47** oxidiert und dann so poliert werden, daß sie eine spiegelnde Oberfläche aufweist. Dann wird ein Oxidfilm **282** auf der Oberfläche eines anderen Siliziumsubstrats **201** des p-Typs ausgebildet, und auf die Oberfläche des Oxidfilms **282** wird spiegelnd poliert. Nach diesen Vorbereitungen werden die beiden spiegelnd polierten Oberflächen miteinander bei hoher Temperatur verbunden, um die SDB-SOI-Anordnung zu erhalten. Bei diesem anderen Verfahren kann eine Halbleiterschicht mit engem Bandabstand wie beispielsweise PbS, PbSe, SnTe, ZnSb, InSb oder dergleichen einfach mittels CVD anstelle der SiGe-Schicht **47** ausgebildet werden.

(Zehnte Ausführungsform)

[0148] Die [Fig. 25A](#) und [Fig. 25B](#) zeigen einen Schnitzaufbau eines SOI-MOSFETs gemäß einer zehnten Ausführungsform der vorliegenden Erfindung. In den [Fig. 25A](#) und [Fig. 25B](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** ausgebildet. Obwohl dies in den [Fig. 25A](#) und [Fig. 25B](#) nicht gezeigt ist, ist der SOI-Film **203** von einem Vorrichtungsisolationsoxidfilm umgeben, und das Innere des SOI-Films **203**, der von dem Isolationsfilm umgeben ist, wird als ein aktiver Bereich (Vorrichtungsbereich) verwendet. Die [Fig. 25A](#) und [Fig. 25B](#) zeigen nur den Schnitzaufbau in der Nähe des aktiven Bereiches. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226** werden tief im Inneren des aktiven Bereichs so ausgebildet, daß ihr Bodenabschnitt jeweils wesentlich in Kontakt mit dem vergrabenen Oxidfilm **202** steht. SiGe-Bereich **212** werden im Bodenbereich des n⁺-Sourcebereiches **216** und des n⁺-Drainbereiches **226** ausgebildet. Der SiGe-Bereich **212** wird nicht nur in dem Sourcebereich ausgebildet, sondern wird auch in den Kanalbereich hinein verlängert, über eine pn-Übergangs-Grenzfläche (metallurgischer Übergang) **215** hinaus zwischen dem n⁺-Sourcebereich **216** und der SOI-Schicht **203** des p-Typs, oder den SOI-Körper des p-Typs, der als Kanalbereich dient. Entsprechend wird der SiGe-Bereich **212** in dem Drainbereich so ausgebildet, daß er sich in den Kanalbereich hinein erstreckt, über eine pn-Übergangs-Grenzfläche zwischen dem n⁺-Drainbereich **226** und dem SOI-Körper **203** des p-Typs hinaus. Beide SiGe-Bereiche **212**, die von dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** ausgehen, sind miteinander kontaktiert verbunden und stetig durchgehend an der flachen Oberflächenseite des SOI-Körpers **203** vorgesehen. Weiterhin

wird die aus Polysilizium und dergleichen bestehende Gateelektrode **205** auf dem Kanalbereich (dem SOI-Körper) **203** ausgebildet, in welchem der dünne SiGe-Bereich **212** ausgebildet ist, zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** über den Gateoxidfilm **204**. Seitenwand-Nitridfilme **73** sind auf beiden Seiten der Gateelektrode **205** vorgesehen. In der Praxis, obwohl dies nicht dargestellt ist, wird ein SiO₂-Film, ein Verbundfilm aus SiO₂/PSG-Filmen, oder ein Verbundfilm aus SiO₂/BPSG-Filmen oder dergleichen, der als ein Zwischenschicht-Isolierfilm dient, auf der SOI-Schicht **203** ausgebildet, welche die Gateelektrode umschließt. Wie bei den voranstehend geschilderten Ausführungsformen werden eine Source-Metallektrode und eine Drain-Metallektrode über Kontaktlöcher hergestellt, die in dem Zwischenschicht-Isolierfilm geöffnet wurden. In [Fig. 25A](#) ist ein Fall dargestellt, in welchem die pn-Übergangs-Grenzfläche **215** völlig im Inneren des SiGe-Bereichs **212** angeordnet ist, wohingegen in [Fig. 25B](#) ein Fall gezeigt ist, bei welchem der bandförmige SiGe-Bereich **212** einen Teil der pn-Übergangs-Grenzfläche **215** überquert. Allerdings können in beiden Fällen im wesentlichen die gleichen Eigenschaften der Vorrichtung erzielt werden.

[0149] In den [Fig. 25A](#) und [Fig. 25B](#) ist keine Metallsilizidschicht in dem Source-Metallektrodenkontaktabschnitt gezeigt. Es ist selbstverständlich jedoch wichtig, daß die SiGe-Schicht so ausgebildet wird, daß sie Kontakt mit der Schicht aus einem Silizid eines hochschmelzenden Metalls hat, so daß ein niedrigerer ohmscher Kontaktwiderstand R_c zwischen der SiGe-Schicht und der Metallsilizidschicht erzeugt werden kann. Daher kann bei der zehnten Ausführungsform der vorliegenden Erfindung die SiGe-Schicht kombiniert mit der Ausbildung der Metallsilizidschicht hergestellt werden. Wenn bei der zehnten Ausführungsform der vorliegenden Erfindung die bandförmige SiGe-Schicht **212** so ausgebildet wird, daß sie die pn-Übergangs-Grenzfläche überquert, wird die SiGe-Schicht **212** darüber hinaus stetig durchgehend in dem Kanalbereich unmittelbar unter der Gateelektrode **205** ausgebildet. Da die Ladungsträgermobilität μ_n , μ_p in der SiGe-Schicht **212** höher ist als jene in Silizium, ist die Transkonduktanz g_m eines FET hoch, der einen SiGe-Kanalbereich aufweist, und kann die Stromtreiberfähigkeit erhöht werden. Die Tatsache, daß die Löchermobilität μ_p in SiGe höher als jene in Si, verbessert den Wirkungsgrad des Absaugens akkumulierter Löcher von dem SOI-Körper **203**, wodurch die Draindurchbruchsspannung verbessert wird. Diese Verbesserung ermöglicht es, einen Hochleistungs-MOSFET vorzuschlagen, der eine hohe Draindurchbruchsspannung aufweist, eine hohe Transkonduktanz g_m , und eine hohe Stromtreiberfähigkeit. Selbstverständlich rühren diese Verbesserungen von einer Gegenmaßnahme zur Erhöhung der Draindurchbruchsspannung

des FET mittels Bereitstellung eines Sourceaufbaus mit engem Bandabstand gemäß der vorliegenden Erfindung her. Bei der zehnten Ausführungsform der vorliegenden Erfindung können daher einfach eine hohe Transkonduktanzleitung g_m und eine hohe Draindurchbruchsspannung erhalten werden, die nicht beide zusammen bei dem Hetero-Übergangs-SOI-MOSFET nach dem Stand der Technik oder dem konventionellen SOI-MOSFET mit homogenem Übergang erzielt werden konnten. Daher lassen sich gemäß der Erfindung die Hochleistungsseigenschaften der SOI-Vorrichtung ausschöpfen.

[0150] Nachstehend werden Herstellungsschritte für den Hetero-Übergangs-SOI-MOSFET gemäß der zehnten Ausführungsform der vorliegenden Erfindung beschrieben.

(a) Zuerst wird wie bei den voranstehend geschilderten Ausführungsformen der SOI-Film **203** mit einer Dicke von 130 nm durch ein SIMOX-Verfahren oder ein SDB-Verfahren auf einem vergrabenen Oxidfilm **202** ausgebildet, der auf einem (100)-Siliziumsubstrat des p-Typs hergestellt wird.

(b) Dann wird der Vorrichtungsisolieroxidfilm durch ein LOCOS-Verfahren, ein BOX-Verfahren oder dergleichen hergestellt, um in Querrichtung benachbarte Vorrichtungen zu isolieren. Daraufhin wird der Gateoxidfilm **204** mit einer Dicke von 10 nm hergestellt, und wird darauf mittels LPCVD oder dergleichen ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von 130 nm ausgebildet. Daraufhin wird, wie in den [Fig. 25A](#) und [Fig. 25B](#) gezeigt ist, die Polysilizium-Gateelektrode **205** auf dem Gateoxidfilm **204** durch einen Photolithographieschritt mit einem RIE-Schritt hergestellt. Daraufhin wird mittels CVD ein Nitridfilm mit 150 bis 200 nm ausgebildet. Daraufhin werden, wie in den [Fig. 25A](#) und [Fig. 25B](#) gezeigt, die Seitenwand-Nitridfilme **73** durch einen anisotropen Ätzvorgang mit hoher Richtungswirkung wie beispielsweise RIE oder dergleichen hergestellt.

(c) Unter Verwendung der Polysilizium-Gateelektrode **205** und der Seitenwand-Nitridfilme **73** als Maske werden Ge-Ionen zur Ausbildung von Si_xGe_{1-x} -Schichten **47** implantiert, und werden As-Ionen implantiert, um die n^+ -Source- und Drainbereiche **216** und **226** herzustellen. Wenn zu diesem Zeitpunkt die Filmdicke der Polysilizium-Gateelektrode **205**, die Beschleunigungsspannung Vac für die Ge-Ionen und die Filmdicke des SOI-Films **203** geeignet ausgewählt werden, kann ein Teil der SiGe-Bereiche **212** so tief in den n^+ -Source- und Drainbereichen **216** und **226** ausgebildet werden, daß ein Kontakt mit dem vergrabenen Oxidfilm **202** erfolgt. Gleichzeitig kann ein anderer Teil des SiGe-Bereiches auf der Seite der flachen Oberfläche des SOI-Films **203** nahe der Grenze zwischen dem Gateoxidfilm **204** und dem Kanalbereich hergestellt werden. Da bei der zeh-

ten Ausführungsform der vorliegenden Erfindung die Filmdicke des SOI-Films auf 130 nm eingestellt wird, wird die Dicke der Polysilizium-Gateelektrode **205** auf 130 nm eingestellt, und die Ge-Ionen werden bei einer Beschleunigungsspannung Vac gleich 130 kV in einer Dosis $\phi = 5 \times 10^{16} \text{ cm}^{-2}$ implantiert. As-Ionen werden bei einer Beschleunigungsspannung Vac = 20 kV und mit einer Dosis $\phi = 2 \times 10^{15} \text{ cm}^{-2}$ implantiert. Daraufhin wird mit der sich ergebenden Anordnung 30 Minuten lang eine Wärmebehandlung bei 850°C durchgeführt, um die n^+ -Source- und Drainbereiche **216**, **226** und den bandförmigen SiGe-Bereich **212** auszubilden. Wie in [Fig. 25B](#) gezeigt können eine Beschleunigungsspannung Vac = 110 kV und eine Dosis $\phi = 3 \times 10^{16} \text{ cm}^{-2}$ für die Implantierung der Ge-Ionen gewählt werden, um die relativ schmalen, bandförmigen SiGe-Bereiche **212** so auszubilden, daß sie den oberen Teil der pn-Übergangs-Grenzfläche **215** überqueren.

(d) Dann wird ein Oxidfilm für die Zwischenschicht-Isolierschicht **8** mittels CVD und dergleichen auf der gesamten Oberfläche des SOI-Films **283** so ausgebildet, daß er eine Dicke von beispielsweise 0,5 µm aufweist. Dann wird dort ein Widerstandsfilm durch Schleuderbeschichtung aufgebracht und durch Photolithographie mit einem Muster versehen, und durch Ätzen des Oxidfilms mittels RIE werden Kontaktlöcher geöffnet. Nach dem Ätzen des Oxidfilms werden die Source-Metallelektrode und die Drain-Metallelektrode durch Metallisierungsvorgänge unter Verwendung eines Metalls wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen hergestellt. Damit ist der Hetero-Übergangs-SOI-MOSFET gemäß der zehnten Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0151] Die SiGe-Bereiche **212** können statt durch Implantierung von Ionen mittels MBE oder CVD hergestellt werden. Durch Implantieren von Sn-Ionen in das Silizium anstelle von Ge-Ionen lassen sich dieselben Vorteile der vorliegenden Erfindung bei der zehnten Ausführungsform wie bei den voranstehend geschilderten Ausführungsformen der vorliegenden Erfindung erreichen. Darüber hinaus ist es wirksam, sowohl Ge- als auch Sn-Ionen in das Silizium zu implantieren.

[0152] Bei der zehnten Ausführungsform der vorliegenden Erfindung werden die SiGe-Bereiche **212** in dem n^+ -Sourcebereich an einem relativ tief liegenden Ort ausgebildet. Wenn jedoch die SiGe-Bereiche **212** flach ausgebildet werden, lassen sich ähnliche Vorteile der vorliegenden Erfindung erzielen. Wie voranstehend geschildert kann die Metallsilizidschicht in dem Sourcekontaktabschnitt ausgebildet werden. Weiterhin kann als Material zur Ausbildung des Metallsilizid ein hochschmelzendes Metall wie beispielsweise Ti, Mo, W, Ni, Ta oder Pt verwendet werden.

Ein SALICIDE-Verfahren (Selfaligned silicide: selbstausgerichtetes Silizid) kann dazu verwendet werden, gleichzeitig das Silizid auf der Gateelektrode **205** unter Selbstausrichtung herzustellen.

[0153] In den [Fig. 25A](#) und [Fig. 25B](#) sind die bandförmigen SiGe-Bereiche **212** über der gesamten Oberfläche des Kanals über die pn-Übergangs-Grenzfläche **215** auf der Sourceseite hinaus vorhanden, und gehen weiterhin stetig bis zur Drainseite durch. Allerdings ist dies nur ein Beispiel für den Aufbau infolge der vereinfachten Herstellungsschritte, und bewirkt überhaupt nicht die gewünschten Verbesserungen der Eigenschaften der Vorrichtung. Als weiteres Beispiel kann nämlich die Ausbildung des SiGe-Bereiches in dem n⁺-Drainbereich **226** dadurch verhindert werden, daß ein bestimmter Bereich auf dem n⁺-Drainbereich **226** durch den Photolack maskiert wird, wenn eine Ionenimplantierung erfolgt, obwohl die Herstellungsschritte etwas kompliziert werden.

(Elfte Ausführungsform)

[0154] [Fig. 26D](#) zeigt einen Schnittaufbau eines SOI-MOSFET gemäß einer elften Ausführungsform der vorliegenden Erfindung. In [Fig. 26D](#) wird über einen vergrabenen Oxidfilm **202** ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs hergestellt. Der SOI-Film **203** wird von einem Isolieroxidfilm **4** umgeben, der durch ein LOCOS-Verfahren und dergleichen hergestellt wird, und das Innere des SOI-Films **203**, der von dem Isolieroxidfilm **4** umgeben ist, wird als ein aktiver Bereich (Vorrichtungsbereich) eingesetzt. [Fig. 26D](#) zeigt nur den Schnittaufbau nahe dem aktiven Bereich. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226** werden tief im Inneren des aktiven Bereiches ausgebildet, so daß ihr Bodenabschnitt jeweils mit dem vergrabenen Oxidfilm **202** in Kontakt steht. Relativ flache SiGe-Bereiche **257** werden im Inneren des n⁺-Sourcebereiches **216** und des n⁺-Drainbereiches **226** ausgebildet. Eine Source-Metallelektrode **218** und eine Drain-Metallelektrode **228** werden so ausgebildet, daß sie über in dem Zwischenschicht-Isolierfilm **8** geöffnete Kontaktlöcher einen Kontakt zu den SiGe-Bereichen **257** herstellen. Weiterhin wird die aus Polysilizium und dergleichen bestehende Gateelektrode **205** auf dem Kanalbereich **203** zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** über den Gateoxidfilm **204** hergestellt. Der Aufbau des MOSFET gemäß der elften Ausführungsform der vorliegenden Erfindung gemäß [Fig. 26D](#) ähnelt dem Aufbau der ersten Ausführungsform der vorliegenden Erfindung. Allerdings wurde in [Fig. 8](#) ein Verunreinigungselement wie etwa Phosphor (P) verwendet, welches einen kleineren Kovalenzradius als Si aufweist, als die n⁺-Verunreinigung in den n⁺-Source- und Drainbereichen **216**, **226**, um die Gitterfehlpassung in dem SiGe/Si-Hetero-Übergang

oder dem SiSn-Si-Hetero-Übergang zu kompensieren, die durch Ge oder Sn hervorgerufen wird, welche einen größeren Kovalenzradius als Si aufweisen, wogegen in [Fig. 26D](#) die Gitterfehlpassungskompensierung, oder der Kovalenzradius der Verunreinigung des n-Typs, die in den SiGe-Schichten **257** enthalten ist, nicht besonders berücksichtigt wird. Anders ausgedrückt wird bei der ersten Ausführungsform der vorliegenden Erfindung unter Berücksichtigung der Abmessungen von Kovalenzradien der Verunreinigung und der Verunreinigungsstelle im Kristallgitter die Störung des Kristallgitters kompensiert oder verringert, die hervorgerufen wird, wenn in dem Silizium die Halbleiterbereiche **217**, **227** mit engem Bandabstand ausgebildet werden, die einen größeren Kovalenzradius aufweisen. Im Gegensatz hierzu können bei der elften Ausführungsform der vorliegenden Erfindung selbst dann, wenn Kristallfehler durch Verzerrungen infolge einer Gitterfehlpassung hervorgerufen werden, die Kristallfehler D vollständig in den n⁺-Source- und Drainbereichen **216**, **226** gehalten werden, wie in [Fig. 26D](#) gezeigt, so daß sie nicht die Erzeugung eines Rekombinationsstroms in der Verarmungsschicht in dem Kanalbereich beeinflussen.

[0155] Wie bereits im Zusammenhang mit dem Stand der Technik unter Bezug auf [Fig. 7](#) beschrieben werden Kristallfehler D in dem Hetero-Übergangs-SOI-MOSFET so erzeugt, daß sie die pn-Übergangs-Grenzfläche **215** in den n⁺-Source- und Drainbereichen überqueren. Wenn das (100)-Substrat verwendet wird, besteht eine Neigung zur Ausbildung von Kristallfehlern entlang den {111}-Ebenen. Detaillierte Untersuchungen von Kristalldefekten durch die Erfinder der vorliegenden Erfindung haben ergeben, daß derartige Kristallfehler, die entlang den {111}-Ebenen hervorgerufen werden, ebene Fehler darstellen, etwa Stapelfehler oder Zwillingsfehler. Die Untersuchungen der Erfinder ergaben, daß die Bedingungen für die Erzeugung der Kristallfehler von der Ge-Dosis und einer Wärmebehandlungstemperatur nach der Innenimplantation abhängen. Anders ausgedrückt ergibt sich aus den Versuchen der Erfinder, daß die Erzeugungsorte für die Fehler auf den Ort unmittelbar unter den Gateelektrodenkanten begrenzt sind.

[0156] Weitere Untersuchungen der Erfinder der vorliegenden Erfindung haben ergeben, daß sich Kristallfehler in den Hetero-Übergangs-SOI-MOSFETs in drei Kategorien unterteilen lassen. Diese sind

- (a) Fehlanpassungsversetzungen, die durch die Gitterfehlpassung in dem SiGe/Si-Hetero-Übergang hervorgerufen werden;
- (b) sekundäre Fehler, die durch die Ionenimplantierungsbeschädigung hervorgerufen werden; und
- (c) Zwillingsdefekte, die im Verlauf des Rekristallisierungsvorgangs des amorphen Silizium hervorgerufen werden, welches durch die Ionenimplan-

tierungsbeschädigung ausgebildet wird.

[0157] Bekanntlich führen derartige Kristallfehler zu tiefen Niveaus im Bandabstand. Anscheinend wird der Übergangs-Kriechstrom erhöht, da die Kristallfehler als Rekombinationserzeugungszentren dienen können. Bei den voranstehend angegebenen drei Arten an Kristallfehlern können die Fehlanpassungsverzerrungen und die sekundären Fehler durch die Anordnungen kontrolliert werden, wie sie in [Fig. 26D](#) gezeigt sind, wobei die Kristallfehler D nur in den n^+ -Source- und Drainbereichen **216**, **226** so erzeugt werden, daß die Verarmungsschicht des pn-Übergangs und die Kristallfehler D nicht einander überlappen. In Bezug auf die Zwillingfehler muß jedoch sorgfältig darauf geachtet werden, derartige Fehler nicht hervorzurufen, da Zwillingfehler im gesamten Bereich des n^+ -Source/Drainbereiches erzeugt werden. Im Ergebnis kann der Kriechstrom bei dem Übergang verringert werden.

[0158] Weiterhin ist es bei der elften Ausführungsform der vorliegenden Erfindung wesentlich, daß die Bereiche, in welchen die Kristallfehler D hervorgerufen werden, so ausgebildet werden, daß sie nicht durch die pn-Übergangs-Grenzfläche hindurchstoßen. Dies liegt daran, daß – wie in [Fig. 26D](#) gezeigt – die Kristallfehler D nicht vollständig auf die n^+ -Source- und Drainbereiche **216**, **226** begrenzt sein können, wenn die Kristallfehler D durch die pn-Übergangs-Grenzfläche hindurchstoßen. Durch Ausbildung einer Anordnung, bei welcher wie in [Fig. 26D](#) gezeigt die Kristallfehler D sich an den Gatekantenabschnitten ansammeln, so daß sie nicht die pn-Übergangs-Grenzfläche erreichen, kann der Kriechstrom extrem stark verringert werden, unter die in [Fig. 5B](#) gezeigte Meßgrenze, bei dem Hetero-Übergangs-SOI-MOSFET gemäß der elften Ausführungsform der vorliegenden Erfindung.

[0159] Der Hetero-Übergangs-SOI-MOSFET gemäß der elften Ausführungsform der vorliegenden Erfindung wird durch die nachstehend geschilderten Herstellungsschritte hergestellt.

(a) Zuerst wird wie bei den voranstehend geschilderten Ausführungsformen der SOI-Aufbau durch ein SIMOX-Verfahren oder ein SDB-Verfahren hergestellt, mit einem SOI-Film **203** auf dem vergrabenen Oxidfilm **202**, der auf einem (100)-Substrat **201** des p-Typs ausgebildet wird. Ähnlich wie bei den voranstehenden Ausführungsformen wird die Dicke des SOI-Films **203** so eingestellt, daß dieser eine vorbestimmte Dicke von beispielsweise 100 nm aufweist.

(b) Dann wird, wie in [Fig. 26A](#) gezeigt, der Vorrichtungsisolieroxidfilm durch LOCOS, BOX oder ein ähnliches Verfahren so hergestellt, daß er in Querrichtung benachbarte Vorrichtungen isoliert. [Fig. 26A](#) zeigt einen Fall, in welchem ein LOCOS-Verfahren eingesetzt wird. Daraufhin wird

der Gateoxidfilm **204** in einer Dicke von 10 nm ausgebildet, und dann wird darauf mittels LPCVD oder dergleichen ein p-dotierter Polysiliziumfilm **205** mit einer Dicke von 0,3 μm hergestellt. Wie in [Fig. 26A](#) gezeigt ist, wird durch einen Photolithographieschritt und einen RIE-Schritt auf dem Gateoxidfilm **204** die Polysilizium-Gateelektrode **205** hergestellt, die eine Gatelänge von 0,5 μm aufweist.

(c) Dann wird ein nachträglicher Oxidfilm **7** so hergestellt, daß er eine Tiefe von 10 nm aufweist. Gemäß [Fig. 26A](#) werden dann Ge^+ -Ionen bei einer Beschleunigungsspannung $V_{ac} = 50 \text{ kV}$ und in einer Dosis $\phi = 1 \times 10^{16} \text{ cm}^{-2}$ implantiert, um die Si-Ge-Bereiche **257** auszubilden.

(d) Daraufhin werden gemäß [Fig. 26B](#) As^+ -Ionen mit Hilfe einer rotierenden Ionenimplantierung mit Schrägeinfall bei einem Implantierungswinkel von 45° , einer Beschleunigungsspannung $V_{ac} = 20 \text{ kV}$ und einer Dosis $\phi = 2 \times 10^{15} \text{ cm}^{-2}$ implantiert.

Nach diesem Ionenimplantierungsvorgang wird die sich ergebende Anordnung **30** Minuten lang bei 950°C wärmebehandelt, um implantierte As-Ionen usw. zu aktivieren. Wie aus [Fig. 26C](#) hervorgeht, werden die n^+ -Source- und Drainbereiche **216**, **226** so ausgebildet, daß sie die SiGe-Bereiche **257** umfassen. Die Kristallfehler D können auf die n^+ -Source- und Drainbereiche **216** und **226** begrenzt werden, infolge der rotierenden Ionenimplantierung mit Schrägeinfall. Da kein Kristallfehler in der Verarmungsschicht vorhanden ist, die sich von dem n^+ -Drainbereich **226** und dem Gateoxid in den SOI-Film **203** des p-Typs hinein erstreckt, der als Kanalbereich dient, kann ein Übergangs-Kriechstrom nur schwer fließen. Wie voranstehend geschildert ist es wesentlich, daß die Wärmebehandlung bei einer Temperatur im Bereich von 700°C bis 1000°C nach dem Implantieren von Ionen durchgeführt wird.

(e) Daraufhin wird, wie in [Fig. 26D](#) gezeigt, ein Oxidfilm **8** für den Zwischenschicht-Isolierfilm mittels CVD oder dergleichen auf der gesamten Oberfläche des SOI-Films **203** so ausgebildet, daß er eine Dicke von beispielsweise 0,5 μm aufweist. Dann wird darauf durch Schleuderbeschichtung ein Photolackfilm aufgebracht, und mittels Photolithographie mit einem Muster versehen, und durch Ätzung des Oxidfilms mittels RIE werden Kontaktlöcher geöffnet. Nach dem Ätzen des Oxidfilms **8** werden, wie in [Fig. 26D](#) gezeigt, die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** durch Metallisierungsschritte unter Verwendung eines Metalls wie beispielsweise Al, Al-Si, Al-Si-Cu und dergleichen hergestellt. Damit ist der Hetero-Übergangs-SOI-MOSFET gemäß der elften Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0160] Bei der elften Ausführungsform der vorliegenden Erfindung ist wesentlich, daß Einkristallberei-

che des SOI-Films **203**, die unbeschädigt sind und nicht durch Ionenimplantierung in amorphes Silizium umgewandelt werden, nahe an der Grenze zwischen dem vergrabenen Oxidfilm **202** und den n⁺-Source- oder Drainbereichen **216** oder **226** bleiben. Da der Rekristallisierungsvorgang in Vertikalrichtung bei dem Wärmebehandlungsschritt weitergeht, ohne die Zwillingfehler hervorzurufen, führt dies dazu, daß keine Kristallfehler in den n⁺-Source- und Drainbereichen **216** und **226** auftreten. Die kleinen Fehlanpassungsversetzungen und die Sekundärfehler sammeln sich daher unmittelbar unterhalb der Gateelektrodenkanten **205** an.

[0161] Ein Dünnschicht-SOI-MOSFET, durch welchen ein vollständig verarmter MOSFET erreicht werden kann, ist bei der elften Ausführungsform der vorliegenden Erfindung gezeigt. Im Falle einer SOI-Filmdicke von 100 nm können Ge-Ionen bei einer Beschleunigungsspannung $V_{ac} = 50$ kV und einer Dosis $\phi = 1 \times 10^{16}$ cm⁻² implantiert werden. Zu diesem Zeitpunkt wird ein durch die Ionenimplantierung erzeugter, amorpher Bereich bis zu einer Tiefe von etwa 83 µm von der Oberfläche des SOI-Films aus erzeugt. Der Bereich, der nicht in den amorphen Zustand umgewandelt wird, bleibt daher nahe der Grenze des vergrabenen Oxidfilms **202** unverändert auf einem Wert von etwa 17 nm. Infolge der Durchführung eines Wärmebehandlungsschrittes bei 700°C oder mehr, vorzugsweise entweder bei 850°C über 120 Minuten oder bei 900°C über 30 Minuten wird ein Wachstum des Siliziums in der festen Phase, oder eine Umkristallisierung des Siliziums, durch einen Silizium-Einkristallbereich hervorgerufen, der am Boden des SOI-Films **203** übrig bleibt, zu beschädigten, amorphen Bereichen. Daher wandelt sich der beschädigte n⁺-Sourcebereich **216** in Einkristallsilizium um, abgesehen von dem Bereich unmittelbar unterhalb der Gateelektrodenkanten. Daher werden die erzeugten Kristallfehler auf den Abschnitt des SOI-Films **203** unmittelbar unter der Gateelektrodenkante begrenzt. Der Umkristallisierungsvorgang und die Steuerung der Kristallfehler sind gut reproduzierbar.

[0162] Bei dem Hetero-Übergangs-SOI-MOSFET gemäß der elften Ausführungsform der vorliegenden Erfindung, der auf die voranstehend geschilderte Weise hergestellt wurde, zeigte sich keine Erhöhung des Widerstands in dem n⁺-Sourcebereich, kein Kriechstrom von dem Gateoxidfilm usw., die sämtlich durch die Kristallfehler hervorgerufen wurden, die bei Hetero-Übergangs-IG-Vorrichtungen nach dem Stand der Technik beobachtet wurden. Darüber blieb die Draindurchbruchsspannung ebenso hoch wie bei IG-Vorrichtungen nach dem Stand der Technik.

[0163] Wenn nach Ausbildung des voranstehend SOI-Filmsubstrats die Filmdicke des SOI-Films **203** auf 200 nm eingestellt wird, werden Ge⁺-Ionen bei einer Beschleunigungsspannung $V_{ac} = 50$ kV und ei-

ner Dosis $\phi = 1 \times 10^{16}$ cm⁻² implantiert. In diesem Fall bleiben nicht-amorphe Bereiche mit einer Dicke von etwa 20 bis 30 nm an der Bodenseite oder Unterseite des SOI-Films **203** infolge der voranstehend geschilderten Ionenimplantierungsbedingungen übrig. Durch nachfolgende Erhitzungs- und Wärmebehandlungsschritte, die 120 Minuten lang bei 850°C durchgeführt werden, kann der beschädigte, amorphe Bereich in Einkristallbereiche umgewandelt werden, oder in der festen Phase wachsen, um die Kristallfehler sind auf den n⁺-Sourcebereich begrenzt. Dies führt dazu, daß sich gute Kristalleigenschaften erzielen lassen. Infolge der Tatsache, daß die Position und die Richtung der erzeugten Kristallfehler D auf den Bereich unmittelbar unter den Gateelektrodenkanten beschränkt sind, werden die elektrischen Eigenschaften der Vorrichtung durch die Fehler D überhaupt nicht beeinträchtigt.

[0164] Die Vorrichtung kann auch auf die nachstehend angegebene Weise hergestellt werden. Nach Durchführung der voranstehend geschilderten Schritte (a) und (b) wird der nachträgliche Oxidfilm **7** hergestellt. Dann werden P⁺-Ionen implantiert, bei einer Beschleunigungsspannung $V_{ac} = 20$ kV und einer Dosis $\phi = 3 \times 10^{13}$ cm⁻², um die n⁺-Source und -Drain auszubilden.

[0165] Daraufhin wird auf der gesamten Oberfläche der Nitridfilm **73** mit einer Dicke von 15 bis 20 nm mittels CVD hergestellt, und dann werden die Seitenwand-Nitridfilme **73** durch anisotropes Ätzen mit hoher Richtwirkung wie beispielsweise RIE ausgebildet, wie in [Fig. 27](#) gezeigt. Unter Verwendung der Seitenwand-Nitridfilme **73** und der Polysilizium-Gateelektrode **205** als Maske werden Ge⁺-Ionen bei $V_{ac} = 50$ kV in einer Dosis $\phi = 1 \times 10^{16}$ cm⁻² implantiert, und werden P⁺ (oder As⁺) Ionen bei einer Beschleunigungsspannung $V_{ac} = 20$ kV und einer Dosis $\phi = 3 \times 10^{15}$ cm⁻² implantiert. Dann kann 120 Minuten lang eine Wärmebehandlung bei 850°C erfolgen. Daher können die Orte der Kristallfehler D, die durch die Ge-Ionenimplantierung hervorgerufen werden, durch einen ähnlichen Aufbau wie den LDD-Aufbau gemäß [Fig. 16C](#) und [Fig. 17B](#) gesteuert werden, unter Verwendung der Seitenwand-Nitridfilme **73**, die auf beiden Seiten der Gateelektrode vorgesehen sind. Anders ausgedrückt kann der Ort der Kristallfehler D von dem Ort unmittelbar unterhalb der Polysilizium-Gateelektrodenkante **205** zu einem Ort weit entfernt von der Gateelektrodenkante verschoben werden.

[0166] Bei der in [Fig. 27](#) gezeigten Vorrichtung, bei welcher Ionen über die Seitenwand-Nitridfilme **73** implantiert werden, ist zwar die Draindurchbruchsspannung vergleichbar mit jener oder etwas kleiner der in [Fig. 4A](#) gezeigten Anordnung nach dem Stand der Technik, bei welcher Ge- und As-Ionen in den n⁺-Sourcebereich **216** implantiert werden, jedoch

kann der Kriechstrom wesentlich verbessert werden, wie bei den voranstehend geschilderten Ausführungsformen.

[0167] Bei der elften Ausführungsform der vorliegenden Erfindung kann die Dicke des SOI-Films **203** erhöht werden. Der SOI-Film **203** kann beispielsweise eine Dicke von 400 nm aufweisen. In diesem Fall kann die Dosismenge der Ge-Ionen auf $\phi = 1 \times 10^{17} \text{ cm}^{-2}$ erhöht werden, um SiGe-Schichten auszubilden, die von den Böden der n⁺-Source- und Drainbereiche **216** und **226** umgeben sind. Wenn der SOI-Film **203** dick ausgebildet wird, gibt es einen nicht-amorphen Bereich, der ausreichende Dicke aufweist, nahe dem vergrabenen Oxidfilm **202** in dem SOI-Film **203**. Dieser nicht-amorphe Bereich ist daher ausreichend nach einer Umkristallisierung des beschädigten Bereiches durch einen Wärmebehandlungsschritt verfügbar, und daher werden die Zwillingseffekte nicht erzeugt.

[0168] Ähnlich wie bei den voranstehend geschilderten Ausführungsformen (der ersten bis zehnten Ausführungsform) können bei der elften Ausführungsform der vorliegenden Erfindung Sn-Ionen anstelle von Ge implantiert werden, bei einer Beschleunigungsspannung von Vac = 110 kV und einer Dosis $\phi = 2 \times 10^{16} \text{ cm}^{-2}$, und dann kann 30 Minuten lang eine Wärmebehandlung bei 850°C durchgeführt werden. In diesem Fall wird die Draindurchbruchsspannung um 1,5 Volt erhöht, im Gegensatz zum Verfahren nach dem Stand der Technik, bei welchem Ge- und As-Ionen in die Sourcediffusionsschicht implantiert werden. Jedoch zeigte sich nicht das Auftreten eines statistischen Kriechstroms, gemäß [Fig. 5B](#). Bei dem dicken SOI-Substrat unter Verwendung des SOI-Films **203** mit einer Dicke von 200 bis 400 nm kann die Draindurchbruchsspannung wesentlich verbessert werden, wenn die Dosis der Sn-Ionen innerhalb eines Bereiches von $\phi = 1 \times 10^{16} \text{ cm}^{-2}$ bis $1 \times 10^{17} \text{ cm}^{-2}$ eingestellt wird. Im Falle von Sn erhöht sich allerdings geringfügig die Anzahl an Kristallfehlern, im Gegensatz zu Ge, da die Gitterfehlenganpassung zwischen Si und Sn größer ist als die Gitterfehlenganpassung zwischen Si und Ge. In dieser Hinsicht kann bei der elften Ausführungsform der vorliegenden Erfindung ein Halbleiter wie beispielsweise PbS, PbSe, PbTe, SnTe, ZnSb, InSb, InAs usw. verwendet werden, der einen engeren Bandabstand als Si aufweist, um eine größere Gitterfehlenganpassung zu erzeugen. Weiterhin können auch Mischkristalle aus Si und diesen Halbleitern mit engem Bandabstand verwendet werden. Das liegt daran, daß im Falle der voranstehend geschilderten großen Gitterfehlenganpassung die Orte und Richtungen der Kristallfehler kontrolliert werden können.

[0169] Bei der voranstehend geschilderten elften Ausführungsform der vorliegenden Erfindung muß der Erhitzungsschritt bei einer Temperatur durchge-

führt werden, die zumindest das Umkristallisieren ermöglicht, also bei mindestens 600°C oder mehr. Im Gegensatz hierzu kann die Wärmebehandlungsprozeßzeit unter Berücksichtigung der Diffusionstiefe und der Umkristallisierung festgelegt werden. Es kann beispielsweise eine Wärmebehandlung 60 Minuten lang bei 1000°C durchgeführt werden.

(Zwölfte Ausführungsform)

[0170] Die [Fig. 28A](#) und [Fig. 28B](#) zeigen einen Schnittaufbau eines SOI-MOSFET gemäß einer zwölften Ausführungsform der vorliegenden Erfindung. In den [Fig. 28A](#) und [Fig. 28B](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** ausgebildet. Der SOI-Film **203** ist von einem Isolieroxidfilm **4** umgeben, der durch ein LOCOS-Verfahren und dergleichen hergestellt wird, und das von dem Isolieroxidfilm **4** umgebene innere des SOI-Films **203** wird als ein aktiver Bereich (Vorrichtungsbereich) verwendet. Die [Fig. 28A](#) und [Fig. 28B](#) zeigen nur die Schnittanordnung in der Nähe des aktiven Bereiches. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226** werden tief im Inneren des aktiven Bereiches so ausgebildet, daß ihre Bodenabschnitte jeweils in Kontakt mit dem vergrabenen Oxidfilm **202** stehen. Si_xGe_{1-x}-Bereiche **267** werden in dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** ausgebildet. Der Molfraktionsspitzenwert von Ge in den Si_xGe_{1-x}-Bereichen **267** wird innerhalb eines Bereiches von 1% bis 30% eingestellt. Die Si_xGe_{1-x}-Bereiche **267** liegen daher innerhalb eines Bereiches von Si_{0,99}Ge_{0,01} bis zu Si_{0,70}Ge_{0,30}. Eine Source-Metallelektrode **218** und eine Drain-Metallelektrode **228** werden so ausgebildet, daß sie im Kontakt mit den Si_xGe_{1-x}-Bereichen **267** über Kontaktlöcher stehen, die in dem Zwischenschicht-Isolierfilm **8** geöffnet wurden. Die Gateelektrode **205**, die aus Polysilizium und dergleichen besteht, wird auf dem Kanalbereich **203** zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** über den Gateoxidfilm **204** hergestellt. [Fig. 28B](#) zeigt einen Fall, in welchem Seitenwand-Nitridfilme **73** auf beiden Seiten der Gateelektrode **205** ausgebildet werden, und die übrigen Abschnitte in [Fig. 28B](#) sind ebenso wie in [Fig. 28A](#) gezeigt. Die Si_xGe_{1-x}-Bereiche **267** können vollständig und sicher auf den n⁺-Sourcebereich **216** und den n⁺-Drainbereich **226** begrenzt werden, durch Implantieren der Ge-Ionen unter Verwendung der Seitenwand-Nitridfilme **73** als Masken. Bei der voranstehend geschilderten, elften Ausführungsform der vorliegenden Erfindung wurden die Orte und Richtungen der Kristallfehler D kontrolliert. Die Erzeugung der Kristalldefekte D hat daher keine negativen Auswirkungen, aber selbstverständlich sind eigentlich überhaupt keine Kristalldefekte erwünscht. Andererseits kann bei der zwölften Ausführungsform der vorliegenden Erfindung die Erzeugung der Kristallfehler dadurch verhindert werden, daß die Molfraktion von

Ge in den $\text{Si}_x\text{Ge}_{1-x}$ -Bereichen **267** kontrolliert wird, obwohl sie beinahe ebenso ist wie bei dem SOI-MOSFET bei der elften Ausführungsform. Da die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **267** ein Beispiel für einen Halbleiterbereich darstellen, der einen engeren Bandabstand als Si aufweist, kann ein $\text{Si}_x\text{Sn}_{1-x}$ -Bereich statt der $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **267** eingesetzt werden. Darüber hinaus kann ein Halbleiter mit engem Bandabstand, der einen engeren Bandabstand als Si aufweist, beispielsweise PbS, PbTe, GaSb, InAs usw. statt der $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **267** eingesetzt werden. Weiterhin können Mischkristalle aus Si und den genannten Halbleitern für den Sourcebereich mit engem Bandabstand verwendet werden.

[0171] Bei der zwölften Ausführungsform der vorliegenden Erfindung haben die Erfinder der vorliegenden Erfindung die Bedingungen zur Ausbildung der Halbleiterbereiche mit engem Bandabstand untersucht, beispielsweise die optimale Molfraktion für Ge in den $\text{Si}_x\text{Ge}_{1-x}$ -Bereichen **267**, durch verschiedene Simulationen und Versuche. Insbesondere die Draindurchbruchsspannung und die Kristallfehler in dem MOSFET wurden im einzelnen untersucht, während die Bedingungen für die Implantierung der Ge-Ionen geändert wurden.

[0172] Hierbei hat sich die in [Fig. 29A](#) gezeigte Beziehung zwischen der Verbesserung der Draindurchbruchsspannung ΔV_{BD} und dem Molfraktionsspitzenwert von Ge ergeben. Die Draindurchbruchsspannungsverbesserung ΔV_{BD} steigt daher allmählich von einem Ge-Molfraktionsspitzenwert von etwa 1% an, steigt abrupt bei einem Ge-Molfraktionsspitzenwert von etwa 5% an, und gelangt in einem Bereich von 25% bis 30% in Sättigung. Hierfür lassen sich folgende Gründe angeben. Wenn der $\text{Si}_x\text{Ge}_{1-x}$ -Bereich in dem n^+ -Sourcebereich erzeugt wird, so wird das Potentialprofil einer Valenzbandkante E_v geändert, wie durch die gestrichelte Linie in [Fig. 4B](#) angegeben ist, so daß Löcher, die sich in dem Kanalbereich angesammelt haben, zur Seite der Sourceelektrode mit engem Bandabstand hin abgesaugt werden. Selbst wenn der Bandabstand in dem Sourcebereich dadurch verringert wird, daß die Ge-Molfraktion immer weiter erhöht wird, kann eine größere Unterdrückung des "Schwebekörpereffekts" nicht über ein bestimmtes Ausmaß der Ge-Molfraktion erzeugt werden, da die Potentialschwelle in Bezug auf Löcher immer noch vorhanden bleibt, infolge des eingebauten Potentials in dem pn-Übergang, der zwischen den Kanal- und Sourcebereichen vorhanden ist. Im Gegensatz hierzu zeigt [Fig. 29B](#) die Beziehung zwischen einem Ge-Molfraktionsspitzenwert und der Anzahl an Kristallfehlern bei einem Transistor. Aus [Fig. 29B](#) ergibt sich, daß die Kristallfehler D erzeugt werden, wenn der Ge-Molfraktionsspitzenwert 30% überschreitet, wenn die Ge-Ionen bei einer Beschleunigungsspannung $V_{\text{ac}} = 25$ kV implantiert werden. Die Beziehung zwischen der Anzahl an Kristallfehlern

und dem Ge-Molfraktionsspitzenwert hängt von der Beschleunigungsspannung V_{ac} ab, wie aus [Fig. 25B](#) hervorgeht. Die Anzahl an Kristallfehlern steigt abrupt von 15% bei $V_{\text{ac}} = 100$ kV an, und von 20% bei $V_{\text{ac}} = 50$ kV. Es gibt daher eine Beziehung zwischen der Beschleunigungsspannung V_{ac} und der minimalen Molfraktion von Ge, bei welcher die Kristallfehler erzeugt werden, wie in [Fig. 29C](#) gezeigt ist. Bei der zwölften Ausführungsform der vorliegenden Erfindung kann durch Einstellung des Molfraktionsspitzenwertes von Ge zwischen 1% und 30% auf der Grundlage dieser Versuchsergebnisse die Erzeugung der Kristallfehler verhindert werden, während die Draindurchbruchsspannung (Widerstandsfähigkeit) V_{BD} verbessert wird. Durch Einstellen des Molfraktionsspitzenwertes von Ge zwischen 1% und 30% liegt der Bandabstand in dem Sourcebereich gemäß [Fig. 4B](#) zwischen 1,07 und 0,80 eV. Im Falle von Sn wird vorzugsweise die Sn-Molfraktion so gewählt, daß der Bandabstand bei dem in [Fig. 4B](#) gezeigten Sourcebereich zwischen 1,07 und 0,70 eV liegt.

[0173] Nachstehend werden Herstellungsschritte des Hetero-Übergangs-SOI-MOSFET gemäß der zwölften Ausführungsform der vorliegenden Erfindung, der den Sourcebereich mit engem Bandabstand aufweist, erläutert. Im allgemeinen ist bei den Herstellungsschritten für eine derartige Halbleitervorrichtung eine hohe Wafer-Durchsatzrate erforderlich. Bei der zwölften Ausführungsform der vorliegenden Erfindung wird jedoch die optimale Molfraktion von Ge so ausgewählt, daß sie einen verhältnismäßig kleinen Wert annimmt, und ein steiles Profil (Spitzenwert) an Ge kann dadurch erzielt werden, daß die Beschleunigungsspannung verringert wird, um die Ionenimplantierungszeit zu verkürzen. Hierbei sind die Herstellungsschritte für den Hetero-Übergang-SOI-MOSFET gemäß der zwölften Ausführungsform der vorliegenden Erfindung grundsätzlich gleich jenen bei der elften Ausführungsform der vorliegenden Erfindung, abgesehen von den Bedingungen für die Ionenimplantierung. Daher werden nachstehend unter Bezugnahme auf die [Fig. 28A](#) und [Fig. 28B](#) zusammen mit den voranstehend geschilderten [Fig. 26A](#) bis [Fig. 26C](#) Herstellungsschritte der zwölften Ausführungsform der vorliegenden Erfindung erläutert.

- (a) Zuerst wird, wie bei der ersten bis elften Ausführungsform der vorliegenden Erfindung, der SOI-Film **203** durch ein SIMOX- oder SDB-Verfahren auf einem (100)-Substrat des p-Typs über den vergrabenen Oxidfilm **202** hergestellt. Wie bei den voranstehenden Ausführungsformen wird die Dicke des SOI-Films **203** auf eine vorbestimmte Dicke von beispielsweise 100 nm eingestellt.
- (b) Dann wird der Vorrichtungsisolieroxidfilm **4** mittels LOCOS, BOX oder ein ähnliches Verfahren hergestellt, um benachbarte Vorrichtungen in Querrichtung zu isolieren, und werden Verunreinigungen des p-Typs wie beispielsweise BF_2 -Ionen

und dergleichen implantiert, um eine gewünschte Kanalverunreinigungskonzentration zu erreichen. Daraufhin wird der Gateoxidfilm **204** mit einer Dicke von 10 nm ausgebildet, und dann wird darauf mittels LPCVD oder dergleichen ein P-dotierter Polysilizium **205** mit einer Dicke von 0,3 μm ausgebildet. Dann wird die Polysilizium-Gateelektrode **205** mit einer Gatelänge von 0,5 μm auf dem Gateoxidfilm **204** durch einen Photolithographieschritt und einen RIE-Schritt hergestellt.

(c) Dann wird ein nachträglicher Oxidfilm **7** so ausgebildet, daß er eine Tiefe von 10 nm aufweist. Wie in [Fig. 26A](#) gezeigt, werden dann Ge^+ -Ionen bei einer Beschleunigungsspannung $V_{ac} = 50 \text{ kV}$ und einer Dosis $\phi = 1 \times 10^{16} \text{ cm}^{-2}$ implantiert, um die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **267** auszubilden. Diese Dosis ϕ für die Implantierung der Ge-Ionen wird niedriger eingestellt als die Dosis $\phi = 3 \times 10^{16} \text{ cm}^{-2}$ bei der elften Ausführungsform der vorliegenden Erfindung.

(d) Daraufhin werden As^+ -Ionen bei einem Implantierungswinkel von 90° implantiert (zwar zeigt [Fig. 26B](#) eine schräge Implantierung, jedoch kann der Implantierungswinkel in diesem Fall 90° betragen), und zwar bei einer Beschleunigungsspannung $V_{ac} = 20 \text{ kV}$ und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$. Nach dieser Ionenimplantierung wird eine Wärmebehandlung 120 Minuten lang bei 850°C durchgeführt, um implantierte As-Ionen und dergleichen zu aktivieren. Wie in [Fig. 26C](#) gezeigt ist, werden der n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226** so ausgebildet, daß sie die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **267** vollständig enthalten.

[0174] Alternativ hierzu können, nach der Wärmebehandlung im Zusammenhang mit dem Implantieren von Ge-Ionen, As^+ -Ionen bei einer Beschleunigungsspannung $V_{ac} = 40 \text{ kV}$ und einer Dosis $\phi = 1 \times 10^{15} \text{ cm}^{-2}$ implantiert werden. Dann wird mittels CVD auf der gesamten Oberfläche der Nitridfilm hergestellt. Wie in [Fig. 28B](#) gezeigt, werden dann die Seitenwand-Nitridfilme **73** mit einer Dicke von 50 nm auf beiden Seiten der Gateelektrode **205** durch gerichtetes Ätzen wie beispielsweise RIE ausgebildet. Wiederum können As^+ -Ionen bei einer Beschleunigungsspannung $V_{ac} = 40 \text{ kV}$ und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert werden. Daraufhin erfolgt eine Wärmebehandlung während 90 Minuten bei 850°C . Dann werden Metallisierungsschritte durchgeführt, was zu dem SOI-MOSFET gemäß der zwölften Ausführungsform der vorliegenden Erfindung führt, wie er in den [Fig. 28A](#) und [Fig. 28B](#) gezeigt ist. Hierbei beträgt die maximale Molfraktion von Ge 10%. Die Draindurchbruchsspannung war um etwa 1 Volt verbessert, im Vergleich mit dem konventionellen SOI-MOSFET, da die Kanallänge 0,2 μm beträgt. Es fanden sich keine Kristallfehler infolge einer Gitterfehlpassung. Weiterhin sind etwa 2 Minuten erforderlich, um die Ionen in jede Waferplatte zu implantieren. Diese Zeit wird als praktisch angesehen.

[0175] Die zwölfte Ausführungsform der vorliegenden Erfindung ist nicht auf die voranstehend geschilderten Einzelheiten begrenzt, wenn der Molfraktions Spitzenwert für Ge, Sn usw. so ausgewählt wird, daß er innerhalb eines Bereiches von 1% bis 30% liegt, bevorzugt 5% bis 15%, um den Sourcebereich mit engem Bandstand wie beispielsweise den $\text{Si}_x\text{Ge}_{1-x}$ -Sourcebereich **267**, den $\text{Si}_x\text{Sn}_{1-x}$ -Sourcebereich usw. auszubilden. Weiterhin können die Bedingungen für die Ionenimplantierung entsprechend der Dicke des SOI-Films **203** usw. entsprechend geändert werden. Wenn PbS, PbTe, GaSb, InAs oder dergleichen dazu eingesetzt wird, den Bereich **267** mit engem Bandstand auszubilden, können entweder MBE oder selektive CVD eingesetzt werden. Beispielsweise können der n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226** dadurch ausgebildet werden, daß nur As-Ionen implantiert werden, während das Implantieren von Ge-Ionen weggelassen wird, die Oberflächen des n^+ -Sourcebereiches **216** und des n^+ -Drainbereiches **226** können geätzt werden, um einen mit U-Nuten versehenen Halbleiter auszubilden, und dann können durch selektive CVD Stoffe wie PbS, PbTe oder dergleichen in den U-förmigen Nuten abgelagert werden.

[0176] In Bezug auf die Ionenimplantierung gibt es darüber hinaus verschiedene Abänderungen entsprechend Änderungen der konstruktiven Gegebenheiten, beispielsweise der Dicke des SOI-Films, wie nachstehend erläutert.

(i) Wenn beispielsweise der SOI-Film **203** eine Dicke von 50 nm aufweist, werden nach Ausbildung der Polysilizium-Gateelektrode **205** Ge-Ionen bei einer Beschleunigungsspannung $V_{ac} = 25 \text{ kV}$ und einer Dosis $\phi = 2 \times 10^{16} \text{ cm}^{-2}$ implantiert, unter Verwendung der Polysilizium-Gateelektrode **205** als Maske, und daraufhin erfolgt eine Wärmebehandlung bei 850°C . Dann werden As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 20 \text{ kV}$ und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert. Dann erfolgt 60 Minuten lang eine Wärmebehandlung bei 800°C , um die Vorrichtung fertigzustellen. Zu diesem Zeitpunkt beträgt die maximale Molfraktion von Ge 20%. Die Draindurchbruchsspannung kann um etwa 1,5 Volt verbessert werden, wenn die Kanallänge auf 0,5 μm eingestellt ist. In diesem Fall treten keine Kristallfehler auf.

(ii) Wenn der SOI-Film **203** eine Dicke von 40 nm aufweist, können Sn-Ionen implantiert werden. Nach Ausbildung der Polysilizium-Gateelektrode **205** werden Sn-Ionen bei einer Beschleunigungsspannung $V_{ac} = 50 \text{ kV}$ und einer Dosis $\phi = 7 \times 10^{15} \text{ cm}^{-2}$ implantiert, unter Verwendung der Polysilizium-Gateelektrode **205** als Maske. Dann erfolgt eine Wärmebehandlung bei 900°C . Daraufhin werden As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 15 \text{ kV}$ und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert. Zur Fertigstellung der Vorrichtung erfolgt dann 60 Minuten lang eine Wär-

mebehandlung bei 800°C. Hierbei beträgt die maximale Molfraktion von Sn 15%. Die Drainbruchspannung kann um etwa 2,0 Volt bei der Kanallänge von 0,5 µm verbessert werden. Bei dieser Abänderung traten keine Kristallfehler auf. (iii) Falls der SOI-Film **203** so hergestellt wird, daß seine Dicke 90 nm beträgt, werden nach Ausbildung der Polysilizium-Gateelektrode **205** Ge-Ionen bei einer Beschleunigungsspannung $V_{ac} = 50$ kV und einer Dosis $\phi = 1 \times 10^{16}$ cm⁻² implantiert, unter Verwendung der Polysilizium-Gateelektrode **205** als Maske. Dann werden As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 40$ kV und einer Dosis $\phi = 1 \times 10^{15}$ cm⁻² implantiert. Dann erfolgt 1 Stunde lang eine Wärmebehandlung bei 900°C. Der Nitridfilm wird mittels CVD erzeugt, und dann werden, wie in [Fig. 28B](#) gezeigt, die Seitenwand-Nitridfilme **73** mit einer Dicke von 50 nm auf beiden Seiten der Polysilizium-Gateelektrode **205** mittels RIE hergestellt. Daraufhin werden erneut As-Ionen implantiert, bei einer Beschleunigungsspannung $V_{ac} = 40$ kV und einer Dosis $\phi = 3 \times 10^{15}$ cm⁻². Wenn es erforderlich ist, Diffusionsschichten mit niedrigerer Verunreinigungskonzentration herzustellen, können vor der Ausbildung der Seitenwand-Nitridfilme **73** As-Ionen bei einer niedrigeren Beschleunigungsspannung und einer niedrigeren Dosis als bei den voranstehend geschilderten Werten für die Ionenimplantierung implantiert werden. Daraufhin erfolgt 30 Minuten lang eine Wärmebehandlung bei 850°C, um die Vorrichtung fertigzustellen. Hierbei beträgt die maximale Molfraktion von Ge 10%. Implantierte As-Ionen diffundieren durch die Wärmebehandlung über die Ge-enhaltende Schicht oder die SiGe-Schicht **267** hinaus. Da die SiGe-Schicht vollständig von den n⁺-Source- und Drainbereichen **216** und **226** abgedeckt ist, wird daher verhindert, daß die Verarmungsschicht in Kontakt mit den Kristallfehlern gelangt, die in den n⁺-Source/Drainbereichen **216**, **226** erzeugt werden, wie bei der elften Ausführungsform der vorliegenden Erfindung, selbst wenn im schlimmsten Fall Kristallfehler hervorgerufen werden. Die Drainbruchspannung kann um etwa 1,5 Volt verbessert werden, wenn die Kanallänge auf 0,2 µm eingestellt ist. In diesem abgeänderten Fall ergaben sich keine Kristallfehler, und ergab sich daher kein Kriechstrom infolge von Kristallfehlern. Darüber hinaus sind zum Implantieren von Ionen für einen Wafer etwa 5 Minuten erforderlich, und diese Waferbehandlungszeit stellt einen in der Praxis vorteilhaften Wert dar.

(Dreizehnte Ausführungsform)

[0177] [Fig. 30](#) zeigt eine Schnittdarstellung eines SOI-MOSFET gemäß einer dreizehnten Ausführungsform der vorliegenden Erfindung. In [Fig. 30](#) wird ein SOI-Film **203** des p-Typ auf einem (100)-Si-

liziumpulversubstrat des p-Typs über einen vergrabenen Oxidfilm **202** hergestellt. Der SOI-Film **203** ist von einem Isolieroxidfilm **4** umgeben, der durch ein LOCOS-Verfahren und dergleichen hergestellt wird, und das Innere des SOI-Films **203**, das von dem Isolieroxidfilm umgeben ist, wird als aktiver Bereich verwendet (Vorrichtungsbereich). [Fig. 30](#) zeigt nur den Schnittaufbau in der Nähe des aktiven Bereiches. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226** werden im Inneren des aktiven Bereiches so ausgebildet, daß sie einen Teil von Si_xGe_{1-x}-Bereichen **278** überlappen. Wie aus [Fig. 30](#) hervorgeht, weisen der n⁺-Sourcebereich **216** und der n⁺-Drainbereich **226** eine größere Breite auf als die Si_xGe_{1-x}-Bereiche **278**, jedoch springen die Si_xGe_{1-x}-Bereiche **278** vertikal vom Boden des n⁺-Sourcebereiches **216** bzw. des n⁺-Drainbereiches **226** in Richtung auf den vergrabenen Oxidfilm **202** vor. Daher läßt sich die dreizehnte Ausführungsform der vorliegenden Erfindung auch als Abänderung der siebten Ausführungsform der vorliegenden Erfindung ansehen, welche in den [Fig. 18A](#) und [Fig. 18B](#) dargestellt ist. Ein Zwischenschicht-Isolierfilm, der aus SiO₂/PSG-Filmen und dergleichen besteht, wird auf den Si_xGe_{1-x}-Bereichen **278** ausgebildet. Über in dem Zwischenschicht-Isolierfilm **8** geöffnete Kontaktlöcher werden eine Source-Metallelektrode **218** und eine Drain-Metallelektrode **228** hergestellt. Weiterhin wird eine Gateelektrode **205**, die aus Polysilizium, einem hochschmelzenden Metall, einem Silizid eines hochschmelzenden Metalls usw. besteht, auf dem Kanalbereich **203** zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** über den Gateoxidfilm **4** ausgebildet.

[0178] Bei dem voranstehend geschilderten Aufbau sind Hetero-Übergangs-Grenzflächen zwischen Si-Bereichen und den Si_xGe_{1-x}-Bereichen **278** vorhanden, die von Böden des pn-Übergangs zur Verarmungsschicht vorspringen, die von den metallurgischen pn-Übergangs-Grenzflächen ausgeht. In diesem Fall wird eine Potentialschwelle gegen Löcher erzielt, die in [Fig. 20](#) gezeigt und im Zusammenhang mit der siebten Ausführungsform der vorliegenden Erfindung erläutert wurde. Löcher können wirksam zur Sourceseite mit engem Bandstand hin abgesaugt werden, so daß eine hohe Drainbruchspannung erzielt werden kann, wodurch der "Schwebekörpereffekt" ausgeschaltet wird. Wenn daher der SOI-MOSFET so hergestellt wird, daß er den Aufbau gemäß der dreizehnten Ausführungsform der vorliegenden Erfindung aufweist, kann mit anderen Worten das Energieband so ausgebildet werden, daß die Valenzbandkante E_v in dem Kanalbereich, wo das niedrigste Potential für Löcher erhalten wird, allmählich an eine Valenzbandkante in dem SiGe-Sourcebereich angeschlossen ist, um so nicht eine Schwelle gegenüber Löchern zu erzeugen. Dies führt dazu, daß die Drainbruchspannung wesentlich erhöht werden kann. Statt des SiGe-Bereiches können SiSn, SiGeSn, PbS, Si_x(PbS)_{x-1} oder Si_x(PbTe)_{1-x}

oder dergleichen verwendet werden.

[0179] Der Hetero-Übergangs-SOI-MOSFET gemäß der dreizehnten Ausführungsform der vorliegenden Erfindung kann durch die in den [Fig. 31A](#) bis 32C gezeigten Herstellungsschritte hergestellt werden.

(a) Zuerst wird, wie bei den voranstehenden Ausführungsformen der vorliegenden Erfindung, ein 150 nm dicker SOI-Film **203** durch ein SIMOX- oder SDB-Verfahren auf einem (100)-Substrat des p-Typs über den vergrabenen Oxidfilm **202** hergestellt.

(b) Dann wird, wie in [Fig. 31A](#) gezeigt, der Vorrichtungsisolieroxidfilm **4** durch LOCOS, BOX oder ein entsprechendes Verfahren so hergestellt, daß benachbarte Vorrichtungen elektrisch isoliert werden. [Fig. 31A](#) zeigt einen Fall, in welchem das LOCOS-Verfahren verwendet wird. Daraufhin wird der Gateoxidfilm **204** mit einer Dicke von 10 nm ausgebildet, und dann wird darauf ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von 0,3 µm ausgebildet, durch CVD unter Atmosphärendruck (APCVD), durch LPCVD oder dergleichen. Dann wird, wie in [Fig. 31A](#) gezeigt, die Polysilizium-Gateelektrode **205** mit einer Gatelänge von 0,5 µm auf dem Gateoxidfilm **204** durch einen Photolithographieschritt und einen RIE-Schritt ausgebildet. Ein nachträglicher Oxidfilm **7** wird auf der Polysilizium-Gateelektrode **205** so hergestellt, daß seine Tiefe **8** bis 10 nm beträgt.

(c) Dann wird der Nitridfilm (SiN) mit einer Dicke von 20 nm auf der gesamten Oberfläche mittels CVD ausgebildet. Daraufhin werden die Seitenwand-Nitridfilme **73** durch einen "Rückätzvorgang" hergestellt, nämlich die gesamte Oberfläche des Nitridfilms anisotrop mittels RIE oder dergleichen geätzt. Dann werden U-förmige Nuten in dem SOI-Film **203** ausgebildet, wie in [Fig. 31A](#) gezeigt ist, unter Verwendung des Isolationsoxidfilms **4**, der Seitenwand-Nitridfilme **73** und des nachträglichen Oxidfilms **7** auf der Polysilizium-Gateelektrode **205** als Maske. Im einzelnen kann der SOI-Film **203** mittels RIE geätzt werden, oder durch eine Licht-erregte Ätzung mit einer Bestrahlung durch UV unter Verwendung von SF₆, CCl₄, SiCl₄ oder dergleichen, zur Ausbildung der U-Nuten mit einer Tiefe von beispielsweise 120 nm.

(d) Dann wird, wie in [Fig. 31B](#) gezeigt, der Si_{0,9}Ge_{0,1}-Film **112** selektiv nur im Inneren der U-Nuten auf eine Dicke von 150 nm abgelagert, durch CVD bei 500 bis 550°C in einer Mischgasatmosphäre aus SiH₄ und GeH₄. Statt SiH₄ kann Si₂H₆ oder SiH₂Cl₂ verwendet werden. Darüber hinaus kann statt GeH₄ auch GeH₂Cl₂ eingesetzt werden. Im einzelnen wächst, wenn 100% Si₂H₆ in die Wachstumskammer bei einem Druck von 5 × 10⁻² Pa eingegeben wird, und GeH₄ bei einem Druck von 5 × 10⁻² Pa eingegeben wird, in 1 Stun-

de eine SiGe-Schicht **278** mit einer Dicke von 150 nm selektiv auf, wie es in [Fig. 31B](#) gezeigt ist.

(e) Dann werden, wie in [Fig. 31B](#) gezeigt, unter Verwendung der Polysilizium-Gateelektrode **205** und der Seitenwand-Nitridfilme **73** als Maske, As⁺-Ionen bei einer Beschleunigungsspannung Vac = 30 kV und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert. Wenn daraufhin eine Wärmebehandlung bei 850°C über 30 Minuten in einer N₂-Atmosphäre durchgeführt wird, diffundieren As-Ionen in Querrichtung über den Si_xGe_{1-x}-Bereich **278** hinaus, so daß auf diese Weise der in Querrichtung vorspringende n⁺-Sourcebereich **216** und n⁺-Drainbereich **226** ausgebildet werden, wie in [Fig. 31C](#) gezeigt ist.

(f) Dann wird die Zwischenschicht-Isolierschicht **8** mittels CVD usw. auf der Gesamtoberflächen des SOI-Films **203** so ausgebildet, daß sie eine Dicke von beispielsweise 0,3 bis 0,5 µm aufweist. Dann wird durch Schleuderbeschichtung hierauf ein Lackfilm aufgebracht, und mittels Photolithographie mit einem Muster versehen. Daraufhin werden Kontaktlöcher durch Ätzen des Oxidfilms **8** mittels RIE oder dergleichen geöffnet. Nach dem Ätzen des Oxidfilms **8** werden gemäß [Fig. 30](#) die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** hergestellt, unter Verwendung eines Metalls wie beispielsweise Al-Si, Al-Si-Cu oder dergleichen. Damit ist der SOI-MOSFET gemäß der dreizehnten Ausführungsform der vorliegenden Erfindung fertiggestellt, welcher eine Source mit engem Bandstand aufweist.

[0180] Zwar wird bei der voranstehend geschilderten dreizehnten Ausführungsform der vorliegenden Erfindung die Si_xGe_{1-x}-Schicht **278** durch selektive CVD erzeugt, jedoch kann auch die Si_xSn_{1-x}-Schicht, oder die Halbleiterschicht mit engem Bandstand wie beispielsweise PbS, PbTe, GaSb, InAs, InSb usw. verwendet werden, durch selektive CVD, statt der Si_xGe_{1-x}-Schicht **278**.

(Vierzehnte Ausführungsform)

[0181] [Fig. 32A](#) zeigt eine Schnitthanordnung eines SOI-MOSFET gemäß einer vierzehnten Ausführungsform der vorliegenden Erfindung. In [Fig. 32A](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** hergestellt. Der SOI-Film **203** wird von einem Isolieroxidfilm **4** umgeben, der durch ein LOCOS-Verfahren und dergleichen hergestellt wird, und der von dem Isolieroxidfilm **4** umgebene SOI-Film **203** wird als ein aktiver Bereich (Vorrichtungsbereich) verwendet. [Fig. 32A](#) zeigt nur den Schnittaufbau in der Nähe des aktiven Bereichs. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226** werden so im Inneren des aktiven Bereiches hergestellt, daß sie einen Teil der Si_xGe_{1-x}-Bereiche **278** überlappen. Wie in [Fig. 32A](#) gezeigt, springen der

n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226** von dem Boden der $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **278** aus vor. Die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **278** springen in Querrichtung von den n^+ -Source- und Drainbereich **216**, **226** vor und liegen näher an der Kanalbereichsseite, die sich unmittelbar unter der Gateelektrodenkante befindet. Daher kann die vierzehnte Ausführungsform der vorliegenden Erfindung auch als eine Abänderung der siebten Ausführungsform der vorliegenden Erfindung angesehen werden, die in [Fig. 18A](#) gezeigt ist. Ein Zwischenschicht-Isolierfilm **8**, der aus SiO_2 /PSG-Filmen und dergleichen besteht, wird auf den $\text{Si}_x\text{Ge}_{1-x}$ -Bereichen **278** ausgebildet. Eine Source-Metallelektrode **218** und eine Drain-Metallelektrode **228** werden über Kontaktlöcher hergestellt, die in dem Zwischenschicht-Isolierfilm **8** geöffnet werden. Weiterhin wird eine Gateelektrode **205**, die aus Polysilizium und dergleichen besteht, auf dem Kanalbereich **203** zwischen dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226** über den Gateoxidfilm **204** erzeugt.

[0182] Bei der voranstehend geschilderten Anordnung springen Hetero-Übergangs-Grenzflächen zwischen Si-Bereichen und den $\text{Si}_x\text{Ge}_{1-x}$ -Bereichen **278** in Querrichtung von den n^+ -Bereichen **216**, **226** vor zu der Verarmungsschicht in dem Kanalbereich, und sind jenseits der metallurgischen pn-Übergangs-Grenzflächen vorhanden. In diesem Fall wird die Potentialschwelle für Löcher, die bereits in [Fig. 20](#) gezeigt und bei der siebten Ausführungsform der vorliegenden Erfindung erläutert wurde, auf entsprechende Weise erzielt. Löcher können wirksam zur Seite der Source mit engem Bandstand abgesaugt werden, so daß der "Schwebekörpereffekt" ausgeschaltet oder verringert werden kann. Wenn mit anderen Worten der SOI-MOSFET so ausgebildet ist, daß er den Aufbau der vierzehnten Ausführungsform der vorliegenden Erfindung aufweist, so kann das Energieband so ausgebildet werden, daß die Valenzbandkante E_v in dem Kanalbereich, wo das niedrigste Potential für Löcher erhalten wird, allmählich an eine Valenzbandkante E_v des SiGe-Bereichs angeschlossen ist, so daß nicht eine hohe Schwelle gegen Löcher erzeugt wird. Dies führt dazu, daß die Drainbruchspannung deutlich erhöht werden kann. Statt des SiGe-Bereichs können auch SiSn, PbS, PbTe, PbSe, SnTe, ZnSb, InAs, InSb, $\text{Si}_x(\text{PbTe})_{1-x}$, $\text{Si}_x(\text{PbSe})_{1-x}$ und $\text{Si}_x(\text{SnTe})_{1-x}$ oder dergleichen verwendet werden.

[0183] In diesem Zusammenhang zeigt [Fig. 32B](#) einen Aufbau, bei welchem die SiGe/Si-Hetero-Übergangs-Grenzflächen perfekt von der pn-Übergangs-Grenzfläche aus zwischen den n^+ -Bereichen **216**, **226** und dem SOI-Film **203** des p-Typs vorspringen. Der Lochabsaugeffekt kann vergrößert werden, und der Schwebekörpereffekt wird wesentlich verringert.

[0184] Der Hetero-Übergangs-SOI-MOSFET gemäß der vierzehnten Ausführungsform der vorliegenden Erfindung kann durch die in den [Fig. 33A](#) bis [Fig. 33C](#) gezeigten Herstellungsschritte hergestellt werden.

(a) Zuerst wird, wie bei den voranstehenden Ausführungsformen der vorliegenden Erfindung, der SOI-Film **203** durch ein SIMOX- oder SDB-Verfahren auf einem (100)-Substrat des p-Typs über den vergrabenen Oxidfilm **202** hergestellt.

(b) Dann wird gemäß [Fig. 33A](#) der Isolationsoxidfilm **4** durch LOCOS, BOX oder ein ähnliches Verfahren ausgebildet, so daß benachbarte Vorrichtungen elektrisch isoliert werden. [Fig. 33A](#) zeigt einen Fall, in welchem das LOCOS-Verfahren verwendet wird. Daraufhin wird der Gateoxidfilm **204** mit einer Dicke von 10 nm hergestellt, und dann wird auf diesem ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von 0,3 μm mittels APCVD, LPCVD oder dergleichen ausgebildet. Daraufhin wird gemäß [Fig. 31A](#) die Polysilizium-Gateelektrode **205** mit einer Gatelänge von 0,5 μm auf dem Gateoxidfilm **204** durch einen Photolithographieschritt und einen RIE-Schritt ausgebildet. Ein nachträglicher Oxidfilm **7** wird so auf der Polysilizium-Gateelektrode **205** hergestellt, daß seine Tiefe **8** bis 10 nm beträgt.

(c) Dann wird auf der gesamten Oberfläche mittels CVD ein Film aus Nitrid (SiN) mit 20 nm Dicke ausgebildet. Daraufhin werden die Seitenwand-Nitridfilme **73** durch einen "Rückätzvorgang" hergestellt, wobei nämlich die Gesamtoberfläche der Nitridfilme mittels RIE oder dergleichen anisotrop geätzt wird. Unter Verwendung des Isolationsoxidfilms **4**, der Seitenwand-Nitridfilme **73** und des nachträglichen Oxidfilms **7** auf der Polysilizium-Gateelektrode **205** als Maske werden dann, wie in [Fig. 33A](#) gezeigt, Nuten in dem SOI-Film **203** ausgebildet. Im einzelnen kann der SOI-Film **203** isotrop mittels CDE (Chemical Dry etching; chemische Trockenätzung) geätzt werden, oder durch ein Licht-erregtes Ätzen unter Verwendung von SF_6 , CCl_4 , SiCl_4 oder dergleichen, zur Ausbildung der 67 nm tiefen Nuten, die große hinterschnittene Abschnitte beispielsweise unter den Seitenwand-Nitridfilmmasken **73** aufweisen.

(d) Dann wird bei einer Substrattemperatur von 470°C 100% Si_2H_6 in die Wachstumskammer bei einem Druck von $1,8 \times 10^{-2}$ Pa eingegeben, und GeH_4 bei einem Druck von $1,5 \times 10^{-2}$ Pa eingegeben, so daß ein selektives Aufwachsen des $\text{Si}_{0,7}\text{Ge}_{0,3}$ -Films **278** erfolgt, der eine Dicke von 77 nm aufweist, wie in [Fig. 33B](#) gezeigt ist.

(e) Daraufhin können, wie in [Fig. 33B](#) gezeigt, unter Verwendung der Polysilizium-Gateelektrode **205** und der Seitenwand-Nitridfilme **73** als Maske, As^+ -Ionen bei einer Beschleunigungsspannung $V_{ac} = 30$ kV und einer Dosis $\phi = 3 \times 10^{15}$ cm^{-2} implantiert werden, und wird 30 Minuten lang in ei-

ner N_2 -Atmosphäre eine Wärmebehandlung bei 850°C durchgeführt. Dann diffundieren, wie in [Fig. 33C](#) gezeigt, der n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226** vertikal über den Boden der $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **278** hinaus. Wenn eine erneute Wärmebehandlung 10 Minuten lang bei 850°C durchgeführt wird, bilden sich der n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226** so aus, daß sie vollständig von den $\text{Si}_x\text{Ge}_{1-x}$ -Bereichen **278** umgeben sind, wie in [Fig. 32B](#) gezeigt.

(f) Dann wird der Oxidfilm **8** für den Zwischenschicht-Isolierfilm mittels CVD oder dergleichen auf der gesamten Oberfläche so ausgebildet, daß er eine Dicke von beispielsweise 0,3 bis 0,5 μm aufweist. Dann wird durch Schleuderbeschichtung darauf ein Photolack aufgebracht, und photolithographisch mit einem Muster versehen. Daraufhin werden Kontaktlöcher geöffnet, durch Ätzen des Oxidfilms **8** mittels RIE oder dergleichen. Nach dem Ätzen des Oxidfilms **8** werden, wie in den [Fig. 32A](#) oder [Fig. 32B](#) gezeigt, die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** durch Metallisierungsschritte unter Verwendung eines Metalls wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen hergestellt. Damit ist der SOI-MOSFET gemäß der vierzehnten Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0185] Bei der vierzehnten Ausführungsform der vorliegenden Erfindung werden die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **278** durch CVD hergestellt. Statt der $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **278** können auch eine $\text{Si}_x\text{Sn}_{1-x}$ -Schicht oder eine Halbleiterschicht mit engem Bandabstand wie PbS, PbTe, GaSb, InAs, InSb, Si(PbS), Si(PbTe) oder dergleichen durch selektive CVD hergestellt werden.

(Fünfzehnte Ausführungsform)

[0186] [Fig. 34](#) zeigt einen Schnitzaufbau eines SOI-MOSFET gemäß einer fünfzehnten Ausführungsform der vorliegenden Erfindung. In [Fig. 34](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des p-Typs über einen vergrabenen Oxidfilm **202** ausgebildet. Der SOI-Film **203** wird von einem Isolieroxidfilm **4** umgeben, der durch ein LOCOS-Verfahren oder dergleichen gebildet wird, und der SOI-Film **203**, der von dem Isolieroxidfilm **4** umgeben ist, wird als ein aktiver Bereich (Vorrichtungsbereich) verwendet. [Fig. 34](#) zeigt nur den Schnitzaufbau nahe dem aktiven Bereich. $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **278** werden in dem aktiven Bereich so ausgebildet, daß ihre Böden mit dem vergrabenen Oxidfilm **202** in Kontakt stehen. Ein n^+ -Sourcebereich **216** und ein n^+ -Drainbereich **226** werden im Inneren der $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **278** hergestellt. Wie aus [Fig. 34](#) hervorgeht, springen die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **278** in Querrichtung von den n^+ -Bereichen **216**, **226** aus vor und befinden sich nahe dem Kanalbereich unmittelbar unter der Gateelektrodenkante. Ein Zwi-

schenschicht-Isolierfilm **8**, der aus SiO_2 /PGS-Filmen und dergleichen besteht, wird auf den $\text{Si}_x\text{Ge}_{1-x}$ -Bereichen **278** ausgebildet. Eine Source-Metallelektrode **218** und eine Drain-Metallelektrode **228** werden über Kontaktlöcher hergestellt, die in dem Zwischenschicht-Isolierfilm **8** geöffnet werden. Weiterhin wird eine aus Polysilizium und dergleichen bestehende Gateelektrode **205** auf dem Kanalbereich **203** zwischen dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226** über den Gateoxidfilm **204** ausgebildet.

[0187] Bei der voranstehend geschilderten Anordnung sind Hetero-Übergangs-Grenzflächen zwischen Si-Bereichen und den $\text{Si}_x\text{Ge}_{1-x}$ -Bereichen **278** in der Verarmungsschicht vorhanden, die in dem Kanalbereich unmittelbar unter der Gateelektrodenkante jenseits der metallurgischen pn-Übergangs-Grenzflächen ausgebildet wird. Auch in diesem Fall wird eine Potentialschwelle für Löcher erhalten, die in [Fig. 20](#) gezeigt und im Zusammenhang mit der siebten Ausführungsform der vorliegenden Erfindung erläutert wurde. Löcher können wirksam zur Seite der Source mit engem Bandabstand hin abgesaugt werden, so daß der Schwebekörpereffekt infolge der akkumulierten Löcher in dem SOI-Körper ausgeschaltet oder wesentlich verringert wird. Wenn mit anderen Worten der SOI-MOSFET so hergestellt wird, daß er den Aufbau gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung aufweist, kann das Energiebanddiagramm so ausgebildet werden, daß die Valenzbandkante E_v in dem Kanalbereich, wo das Potential für Löcher am niedrigsten ist, allmählich mit einer Valenzbandkante E_v des SiGe-Bereichs verbunden ist, so daß keine Schwelle gegen Löcher erzeugt wird. Dies führt dazu, daß die Drainbruchspannung bemerkenswert erhöht werden kann. Statt des SiGe-Bereichs kann auch SiSn, PbS, InAs, Si(PbS), Si(InAs) und HgCdTe oder dergleichen verwendet werden.

[0188] Der Hetero-Übergangs-SOI-MOSFET gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung kann durch die in den [Fig. 35A](#) bis [Fig. 35E](#) gezeigten Herstellungsschritte hergestellt werden.

(a) Wie bei den voranstehenden Ausführungsformen der vorliegenden Erfindung wird zuerst der SOI-Film **293** mit einer Dicke von 10 nm durch ein SIMOX- oder SDB-Verfahren auf einem (100)-Substrat des p-Typs über den vergrabenen Oxidfilm **202** hergestellt.

(b) Wie in [Fig. 35A](#) gezeigt, wird dann der SOI-Film **293** in einem vorausgewählten Bereich zur Ausbildung eines Kanalbereichs entfernt, um den vergrabenen Oxidfilm **202** durch Photolithographie und RIE freizulegen.

(c) Wie in [Fig. 35B](#) gezeigt, werden dann SiGe-Schichten **277** selektiv auf dem SOI-Film **293** mittels CVD ausgebildet, so daß ihre Dicke etwa 30 nm oder mehr beträgt. Beispielsweise läßt man

die SiGe-Schichten **277**, welche Ge mit 40% Molfraktion enthalten, zu einer Dicke von 30 nm unter folgenden LPCVD-Bedingungen aufwachsen:

einer Substrattemperatur von 470°C, einem Druck von $1,5 \times 10^{-2}$ Pa für das zugeführte GeH_4 , und

einem Druck von $1,8 \times 10^{-2}$ Pa für das eingeführte Si_2H_6 .

In diesem Fall beträgt die Wachstumsrate 1 nm/mm.

(d) Wie in [Fig. 35C](#) gezeigt wird dann eine Si-Schicht **203** mit einer Dicke von 200 nm auf den SiGe-Schichten **277** durch Epitaxiewachstum erzeugt. Da bei der fünfzehnten Ausführungsform der vorliegenden Erfindung die Kanallänge oder der Fensterteil der SiGe-Schicht **277** auf 0,1 µm eingestellt ist, wird ein Wachstum in Querrichtung von beiden Seiten der SiGe-Schichten **277** aus hervorgerufen, um einen Überbrückungsabschnitt auf dem vergrabenen Oxidfilm **202** zu erzeugen, und darüber hinaus wächst ein Einkristall in dem Kanalbereich auf. Dieses Epitaxiewachstum wird etwa 1 Stunde lang unter den Bedingungen einer Substrattemperatur von 650°C und einem Si_2H_6 -Druck von $2,5 \times 10^{-3}$ Pa durchgeführt.

(e) Dann wird die in [Fig. 35C](#) gezeigte Epitaxiewachstumsschicht **203** eingeebnet, um eine flache Oberfläche auszubilden, mittels CMP oder dergleichen. Daraufhin wird, wie in [Fig. 35D](#) gezeigt, der Isolieroxidfilm **4** mittels LOCOS, BOX oder einem entsprechenden Verfahren hergestellt, um so benachbarte Vorrichtungen elektrisch zu isolieren. [Fig. 35D](#) zeigt einen Fall, in welchem das LOCOS-Verfahren verwendet wird. Dann wird der Gateoxidfilm **204** mit einer Dicke von 10 nm hergestellt, und dann wird auf diesem ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von 150 nm mittels APCVD, LPCVD oder dergleichen hergestellt. Gemäß [Fig. 35D](#) wird dann die Polysilizium-Gateelektrode **205** mit einer Gatelänge von 0,2 µm auf dem Gateoxidfilm **204** durch Photolithographie- und RIE-Schritte ausgebildet. Ein nachträglicher Oxidfilm **7** wird auf der Polysilizium-Gateelektrode **205** mit einer Tiefe von 8 bis 10 nm hergestellt. Da der voranstehend erwähnte LOGOS-Vorgang, der Gateoxidationsvorgang usw. Erwärmungsvorgänge bei einer Substrattemperatur von 800°C oder mehr darstellen, erfolgt eine Diffusion von Ge-Atomen in der in [Fig. 35C](#) gezeigten SiGe-Schicht **277**. Infolge des Hinausdiffundierens von Ge werden SiGe-Schichten **278** erzeugt, wie sie in [Fig. 35D](#) dargestellt sind.

(f) Dann wird der Film aus Nitrid (SiN) mit einer Dicke von 20 nm auf der gesamten Oberfläche ausgebildet. Daraufhin werden die Seitenwand-Nitridfilme **73** durch "Rückätzen" der gesamten Oberfläche mit Hilfe von RIE oder dergleichen hergestellt. Wie in [Fig. 35E](#) gezeigt, können dann, unter

Verwendung des Isolieroxidfilms **4**, der Seitenwand-Nitridfilme **73** und des nachträglichen Oxidfilms **7** auf der Polysilizium-Gateelektrode **205** als Maske As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 30$ kV und einer Dosis $\phi = 3 \times 10^{15}$ cm^{-2} implantiert werden, und dann erfolgt 30 Minuten lang eine Wärmebehandlung bei 850°C, um diese implantierten Ionen zu aktivieren. Wie in [Fig. 35E](#) gezeigt, werden auf diese Weise der n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226** in den SiGe-Bereichen **278** hergestellt.

(g) Dann wird der Oxidfilm **8** für den Zwischenschicht-Isolierfilm mittels CVD und dergleichen auf der Gesamtoberfläche so hergestellt, daß er eine Dicke von beispielsweise 0,3 bis 0,5 µm aufweist. Dann wird hierauf durch Schleuderbeschichtung ein Photolackfilm aufgebracht und photolithographisch mit einem Muster versehen. Daraufhin werden Kontaktlöcher durch Ätzen des Oxidfilms **8** durch Photolithographie, RIE oder dergleichen geöffnet. Wie in [Fig. 34](#) gezeigt werden nach dem Ätzen des Oxidfilms **8** die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** durch Metallisierungsschritte unter Verwendung eines Metalls wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen hergestellt. Damit ist der SOI-MOSFET gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0189] Der Hetero-Übergangs-SOI-MOSFET gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung kann auch, über das voranstehend geschilderte Herstellungsverfahren hinaus, durch andere Herstellungsschritte hergestellt werden, wie sie in den [Fig. 36A](#) bis [Fig. 36D](#) gezeigt sind.

(a) Wie bei den voranstehenden Ausführungsformen der vorliegenden Erfindung wird zuerst der SOI-Film **203** mit einer Dicke von 110 nm durch SIMOX- oder SDB-Verfahren auf einem (100)-Substrat des p-Typs über den vergrabenen Oxidfilm **202** erzeugt.

(b) Gemäß [Fig. 36A](#) wird dann das dicke Isolieroxid **4** durch LOCOS, BOX oder ein entsprechendes Verfahren hergestellt, um elektrisch benachbarte Vorrichtungen zu isolieren. [Fig. 36A](#) zeigt einen Fall, in welchem das LOGOS-Verfahren verwendet wird, und die Böden der Isolieroxidfilme **4** den vergrabenen Oxidfilm **202** erreichen. Unter Verwendung eines Photolacks als Maske wird daraufhin der SOI-Film **203** auf eine Tiefe von etwa 90 nm mittels RIE geätzt, um U-förmige Nuten auszubilden.

(c) Daraufhin wird, wie in [Fig. 36B](#) gezeigt, eine SiGe-Schicht **277** mit einer Dicke von 200 nm mittels CVD ausgebildet, um die U-Nuten zu vergraben. CVD zur Ausbildung der SiGe-Schicht **277** wird dadurch ausgeführt, daß GeH_4 -Gas bei einem Druck von $1,5 \times 10^{-2}$ Pa sowie Si_2H_6 -Gas bei einem Druck von $1,8 \times 10^{-2}$ Pa in ein Reaktions-

rohr bei einer Substrattemperatur von beispielsweise 470°C eingelassen werden, damit $\text{Si}_{0,6}\text{Ge}_{0,4}$ mit einer Wachstumsrate von etwa 1 nm/mm aufwachsen kann. Statt einer CVD der SiGe-Schicht **277** kann auch ein selektives Aufwachsen einer $\text{Si}_x\text{Sn}_{1-x}$ -Schicht, einer Halbleiterschicht mit engem Bandabstand wie beispielsweise PbS, PbTe, GaSb, InSb, InAs usw., eines Mischkristalls aus Si und dieser Schichten oder dergleichen, mittels MBE, ALE (Atomschicht-Epitaxie), MLE (Molekülschicht-Epitaxie), oder dergleichen erfolgen.

(d) Gemäß [Fig. 36C](#) wird dann die sich ergebende Anordnung zurückgeätzt mittels CMP und dergleichen, um ihre Oberfläche einzuebenen. Durch diesen Vorgang wird der SOI-Film **203** so ausgebildet, daß er eine Dicke von 100 nm aufweist.

(e) Dann wird der Gateoxidfilm **204** in einer Dicke von 10 nm ausgebildet, und daraufhin wird auf diesem ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von 0,3 µm hergestellt, mittels APCVD, LPCVD oder dergleichen. Wie in [Fig. 36D](#) gezeigt wird dann die Polysilizium-Gateelektrode **205** mit einer Gatelänge von 0,5 µm auf dem Gateoxidfilm **204** durch Photolithographie- und RIE-Schritte ausgebildet. Ein nachträglicher Oxidfilm **7** wird auf der Polysilizium-Gateelektrode **205** mit einer Tiefe von 8 bis 10 nm hergestellt. Dann wird auf der gesamten Oberfläche der Nitridfilm mit einer Dicke von 20 nm erzeugt. Daraufhin werden die Seitenwand-Nitridfilme **73** durch Rückätzen der gesamten Oberfläche mittels RIE oder dergleichen hergestellt. Unter Verwendung des Isolationsoxidfilms **8**, der Seitenwand-Nitridfilme **73**, und des nachträglichen Oxidfilms **7**, der auf der Polysilizium-Gateelektrode **205** vorgesehen ist, als Maske können dann As-Ionen bei einer Beschleunigungsspannung $V_{ac} = 30 \text{ kV}$ und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert werden, und dann erfolgt 30 Minuten lang eine Wärmbehandlung bei 850°C. Wie in [Fig. 36D](#) gezeigt werden dann der n⁺-Sourcebereich **216** und der n⁺-Drainbereich **226** in den SiGe-Bereichen **278** ausgebildet.

(f) Dann wird der Oxidfilm **8** für den Zwischenschicht-Isolierfilm mittels CVD und dergleichen auf der gesamten Oberfläche mit einer Dicke von beispielsweise 0,3 bis 0,5 µm ausgebildet. Daraufhin wird durch Schleuderbeschichtung ein Photolack aufgebracht und photolithographisch mit einem Muster versehen. Daraufhin werden Kontaktlöcher durch Ätzen des Oxidfilms **8** mittels RIE oder dergleichen geöffnet. Nach dem Ätzen des Oxidfilms **8** wird, wie in [Fig. 34](#) gezeigt, ein Metall wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen mit einem Muster versehen, um die Source-Metallelektrode **218** und die Drain-Metallelektrode **228** auszubilden. Hiermit ist auch der SOI-MOSFET gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung fertiggestellt.

(Sechzehnte Ausführungsform)

[0190] Die [Fig. 37A](#) und [Fig. 37B](#) zeigen jeweils eine Aufsicht bzw. eine Schnittansicht eines SOI-MOS-DRAM (DRAM: Dynamic Random Access Memory; dynamischer Speicher mit wahlfreiem Zugriff) [Fig. 37A](#) ist eine Aufsicht auf die sechzehnte Ausführungsform, und [Fig. 37B](#) eine Schnittansicht der sechzehnten Ausführungsform in [Fig. 37A](#). In [Fig. 37B](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **401** des n⁺-Typs über einen vergrabenen Oxidfilm **202** hergestellt. Der SOI-Film **203** ist von einem Isolieroxidfilm **4** umgeben, der durch ein LOCOS-Verfahren und dergleichen hergestellt wird, und der von dem Oxidfilm **4** umgebene SOI-Film **203** wird als ein aktiver Bereich (Vorrichtungsbereich) **1** verwendet. [Fig. 37B](#) zeigt nur die Schnittanordnung nahe dem aktiven Bereich **1**. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226**, die einen Schalttransistor (oder Auswahltransistor) eines DRAM bilden, werden tief in dem aktiven Bereich **1** ausgebildet, so daß ihre Böden mit dem vergrabenen Oxidfilm **202** in Kontakt stehen. SiGe-Bereiche **411** und **412** werden jeweils im Inneren des n⁺-Sourcebereiches **216** bzw. des n⁺-Drainbereiches **226** ausgebildet. Weiterhin wird eine aus Polysilizium und dergleichen bestehende Gateelektrode **205** auf einem Kanalbereich **203** zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** des Schalttransistors über den Gateoxidfilm **204** hergestellt. Wie aus [Fig. 37A](#) hervorgeht, wird die Polysilizium-Gateelektrode **205** auch als Wortleitung verwendet. Eine Kontaktelektrode **408** aus W und dergleichen wird so hergestellt, daß sie an die SiGe-Bereiche angeschlossen ist, die in dem Oberflächenabschnitt des n⁺-Drainbereiches **226** hergestellt werden. Die Kontaktelektrode **408** ist weiterhin an eine Datenleitung (Bitleitung) **409** angeschlossen. Nahe dem n⁺-Sourcebereich **216** in dem SOI-Film **203** wird ein Graben durch tiefes Eingraben in das (100)-Siliziumsubstrat **401** des n⁺-Typs durch den vergrabenen Oxidfilm **202** ausgebildet. Ein Kondensatorisolierfilm **416** wird auf einer Innenwand des Grabens hergestellt. Dotiertes, Polysilizium, welches als Speicherknotenelektrode **415** dient, wird so auf einer Oberfläche des Kondensatorisolierfilms **416** ausgebildet, daß das Innere des Grabens vergraben wird. Ein hochschmelzendes Metall wie beispielsweise W, Ti, Mo usw., oder ein Silizid eines hochschmelzenden Metalls wie beispielsweise Wsi_2 , TiSi_2 , MoSi_2 und dergleichen kann statt des dotierten Polysiliziums verwendet werden. Ein DRAM-Speicherkondensatorabschnitt (Zellenkondensatorabschnitt) wird durch die Speicherknotenelektrode **415** und das (100)-Siliziumsubstrat **401** des n⁺-Typs gebildet, welches als Plattenelektrode (gegenüberliegende Elektrode) dient, wobei der Kondensatorisolierfilm **416** zwischen diesen Teilen angeordnet ist. Die Speicherknotenelektrode **415** in diesem Kondensatorabschnitt ist an den SiGe-Bereich **412** angeschlossen, der in dem

Oberflächenabschnitt des n^+ -Sourcebereiches **216** in dem Schalttransistor vorgesehen ist, mit Hilfe eines Kontaktmetalls **418**. Da gemäß [Fig. 37B](#) in dem SOI-MOS-DRAM gemäß der sechzehnten Ausführungsform der vorliegenden Erfindung die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **412** und **411** in dem n^+ -Sourcebereich **216** und dem n^+ -Drainbereich **226** ausgebildet werden, können Löcher, die sich in dem Kanalbereich **203** oder dem SOI-Körper angesammelt haben, hieraus schnell und mit hohem Wirkungsgrad abgesaugt werden. Hierdurch kann der Nachteil der Verringerung der Draindurchbruchsspannung (der Drainwiderstandsfähigkeit) infolge des "Schwebekörpereffekts" ausgeglichen werden. Weiterhin sind, wie in [Fig. 37B](#) gezeigt, die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche vollständig in den n^+ -Bereichen **216**, **226** enthalten und beabstandet von der pn-Übergangs-Grenzfläche um eine Entfernung entsprechend der Dicke von Seitenwänden (nicht gezeigt) der Gateelektrode angeordnet, also um etwa 10 bis 50 nm. Durch den Aufbau, daß der Si-Ge-Bereich vollständig in dem n^+ -Bereich enthalten ist, kann der Kriechstrom infolge von Kristalldefekten, die durch Ionenimplantierung hervorgerufen werden, auf entsprechende Weise wie bei der elften Ausführungsform der vorliegenden Erfindung verhindert werden, die in [Fig. 26](#) gezeigt ist, und läßt sich eine gute Datenhaltecharakteristik erzielen.

[0191] Der SOI-MOS-DRAM kann durch die nachstehend geschilderten Herstellungsschritte hergestellt werden.

(a) Zuerst wird ein SOI-Substrat für die sechzehnte Ausführungsform durch ein SDB-Verfahren hergestellt, unter Verwendung eines (100)-Substrats des CZ \times n^+ -Typs ($\rho = 0,006 \Omega \text{ cm}$), in welches Phosphor (P) in einer Menge von 10^{19} cm^{-3} eindotiert wird. Hierbei wird als der SOI-Film **203** für die Seite eines aktiven Bereichs zuerst ein Bor-dotiertes-CZ \times p (100)-Substrat **203** ($\rho = 4 \Omega \text{ cm}$) hergestellt. Dann läßt man einen thermischen Oxidfilm **202** mit einer Dicke von 500 nm auf der Oberfläche des SOI-Films **203** aufwachsen, und die Oberfläche des thermischen Oxidfilms **202** wird dann poliert, bis eine spiegelblanke Oberfläche erhalten wird. Dann wird ein weiteres Substrat vorbereitet, welches ein n^+ -(100)-Stützsubstrat **401** ist, und auch die Oberfläche des n^+ -Stützsubstrats wird spiegelnd poliert. Dann werden beide Substrate **203**, **401** an die gegenüberliegende, spiegelnde Oberfläche des thermischen Oxidfilms **202** auf der spiegelnden Oberfläche des n^+ -Substrats **401** angepaßt, und die sich ergebende Anordnung wird bei einer Temperatur von 1100°C wärmebehandelt. Daraufhin wird die aktive Schicht (SOI-Film) **203** durch Schleifen verdünnt, worauf ein Ätzvorgang erfolgt, um eine Dicke von 250 nm zu erreichen, wodurch man ein SDB-SOI-Substrat erhält. Alternativ hierzu kann das SOI-Substrat durch ein SIMOX-Verfahren hergestellt werden. In diesem Fall werden O^+ -lo-

nen von einer Oberfläche des n^+ -(100)-Substrats aus bei einer Beschleunigungsspannung von $\text{Vac} = 400 \text{ kV}$ in einer Dosis $\phi = 2 \times 10^{18} \text{ cm}^{-2}$ implantiert, dann erfolgt etwa 5 Stunden lang eine Wärmebehandlung bei einer Temperatur von 1325°C , und dann wird eine Ionenimplantierung mit B^+ (oder BF_2^+) in den SOI-Film **203** durchgeführt, der auf dem vergrabenen Oxidfilm **202** durch das SIMOX-Verfahren hergestellt wurde, um die gewünschte Verunreinigungskonzentration für den Kanalbereich zu erreichen. Die Dicke des SOI-Films **203** kann durch thermische Oxidation der Oberfläche des SOI-Films **203** und Naßätzung des thermischen Oxidfilms gesteuert werden. Wenn ein thermischer Oxidfilm mit einer Dicke von 300 nm auf der Oberfläche des SOI-Films **203** hergestellt wurde, beträgt die Gesamtdicke der verbleibenden Si-Schicht am Bodenabschnitt des SOI-Films **203** dann 100 nm. Vor der Ausbildung des thermischen Oxidfilms mit einer Dicke von 300 nm sollte der Vorrichtungsisolieroxidfilm **4** tief innerhalb des SOI-Films **203** mittels LOGOS, BOX oder eines entsprechenden Verfahrens hergestellt werden, um den vergrabenen Oxidfilm **202** zu erreichen, und den Vorrichtungsbereich **1** in Querrichtung zu isolieren.

(b) Dann wird ein Photolackmuster photolithographisch ausgebildet, welches einen Fensterabschnitt für einen Abschnitt aufweist, der einen Graben (eine U-Nut) erzeugt. Der auf der Oberfläche des SOI-Films **203** hergestellte, 300 nm dicke Oxidfilm wird mittels ECR oder RIE geätzt, unter Verwendung von beispielsweise CF_4 , CF_4/H_2 , C_3F_8 und dergleichen. Unter Verwendung des Oxidfilms als Maske wird ein Graben zur Ausbildung des DRAM-Speicherkondensators mittels RIE- oder ECR-Innenätzung ausgebildet, unter Verwendung von CF_4 , SF_6 , CBrF_3 , SiCl_4 , CCl_4 oder dergleichen. Das Substrat kann auf -110°C bis -130°C gekühlt werden, wenn der Graben mit hohem Streckungsverhältnis geätzt wird.

(c) Dann wird der Kondensatorisolierfilm (Kondensatoroxidfilm) **416** auf der Oberfläche des Grabens durch thermische Oxidation mit einer Dicke von 10 bis 20 nm ausgebildet. Dann wird der dotierte Polysiliziumfilm, der als Speicherknotenelektrode **415** dient, durch LPCVD auf dem Kondensatorisolierfilm hergestellt, so daß der Graben vergraben wird. Der Kondensatorisolierfilm **416** kann auch durch LPCVD hergestellt werden. Zuerst kann daher das dotierte Polysilizium für die Plattenelektrode auf den Innenwänden des Grabens mittels CVD ausgebildet werden, und daraufhin können kontinuierlich der Kondensatoroxidfilm **416** und der dotierte Polysiliziumfilm **415** für die Speicherknotenelektrode mittels CVD hergestellt werden. Dann wird das dotierte Polysilizium zurückgeätzt, und die Oberfläche des SOI-Films **203** wird, falls erforderlich, durch CMP oder dergleichen eingeebnet.

(d) Die folgenden Schritte sind derartige Schritte, wie sie zur Ausbildung des Schalttransistors durch Standard-MOSFET-Herstellungsvorgänge verwendet werden. In diesem Zusammenhang werden detaillierte Erläuterungen wie beispielsweise das Implantieren von Ionen zum Eindotieren von Ionen in den Kanalbereich weggelassen. Der Gateoxidfilm **204** mit einer Dicke von beispielsweise 10 nm wird durch thermische Oxidation erzeugt. Dann wird die Polysilizium-Gateelektrode **205** ausgebildet. Der n⁺-Sourcebereich **216** und der n⁺-Drainbereich **226** werden mittels Ionenimplantierung von As- oder P-Ionen mit Selbstausrichtung hergestellt. Hierbei können P-Ionen bei einer Beschleunigungsspannung Vac = 30 kV und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert werden, und dann erfolgt 30 Minuten lang eine Wärmebehandlung bei einer Substrattemperatur von 850°C. Hierdurch werden der n⁺-Sourcebereich **216** und der n⁺-Drainbereich **226** ausgebildet. Dann wird auf der gesamten Oberfläche der Nitridfilm mittels CVD in einer Dicke von 10 bis 50 nm abgelagert. Daraufhin werden die Seitenwand-Nitridfilme nur auf beiden Seiten der Polysilizium-Gateelektrode **205** durch gerichtetes (anisotropes) Ätzen wie beispielsweise RIE oder dergleichen hergestellt. Unter Verwendung der Seitenwand-Nitridfilme und der Polysilizium-Gateelektrode **205** als Maske können dann Ge-Ionen bei einer Beschleunigungsspannung Vac = 50 kV und einer Dosis $\phi = 1 \text{ bis } 2 \times 10^{16} \text{ cm}^{-2}$ implantiert werden, und dann wird 30 Minuten lang eine Wärmebehandlung bei 800°C durchgeführt. Auf diese Weise werden die Si_xGe_{1-x}-Bereiche **411** und **412** in dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** hergestellt.

(e) Dann wird ein Oxidfilm für den Zwischenschicht-Isolierfilm mittels CVD und dergleichen auf der gesamten Oberfläche in einer Dicke von beispielsweise 0,5 µm erzeugt. Dann wird hierauf durch Schleuderbeschichtung ein Photolackfilm aufgebracht, der photolithographisch mit einem Muster versehen wird. Dann werden photolithographisch Kontaktlöcher auf dem n⁺-Sourcebereich **216** geöffnet. Wie in [Fig. 37A](#) gezeigt ist, wird darüber hinaus ein Fenster zur Ausbildung einer Kontaktelektrode nahe einer Grenze zwischen der Speicherknotenelektrode **415** und dem n⁺-Drainbereich **216** geöffnet. Wolframmetall, welches als Kontaktelektroden **408**, **418** dient, wird im Inneren des Kontaktloches und des Fensters vergraben, zur Ausbildung der Kontaktelektrode, wobei mit W entweder eine selektive CVD durchgeführt wird, oder ein Sputtervorgang und umgekehrter Sputtervorgang. Wenn man die Kontaktelektrode **408**, **418** aus SiGe statt aus W herstellen möchte, kann SiGe selektiv mittels CVD abgelagert werden, unter Verwendung einer Dampfphasenreaktion zwischen SiH₄ (oder Si₂H₆) und GeH₄. Als weiteres Verfahren zur Ausbildung einer Si-

Ge-Kontaktelektrode **408**, **418** kann eine Ionenimplantierung von Ge-Ionen in das Polysilizium hinein erfolgen, wobei die Ionen selektiv in dem Kontaktlochschnitt in dem Zwischenschicht-Isolierfilm mittels CVD abgelagert werden. Ein Metall wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen wird durch Elektronenstrahlverdampfung oder Sputtern abgelagert, und eine Bitleitung **409** wird durch Photolithographie- und RIE-Schritte hergestellt, wie in den [Fig. 37A](#) und [Fig. 37B](#) gezeigt. Damit ist der SOI-MOS-DRAM fertiggestellt.

[0192] Bei den voranstehend geschilderten Herstellungsschritten kann der Si_xGe_{1-x}-Bereich **412** auch in dem oberen Teil der Speicherknotenelektrode **415** ausgebildet werden, durch Implantieren von Ge-Ionen in die Speicherknotenelektrode **415**, die aus Polysilizium und dergleichen besteht (in [Fig. 37B](#) ist der Si_xGe_{1-x}-Bereich weggelassen, der in dem Oberflächenabschnitt der Speicherknotenelektrode **415** hergestellt wird). Ge-Ionen können durch die Kontaktlöcher, die in dem Zwischenschicht-Isolierfilm ausgebildet werden, und durch das Fenster zur Ausbildung der Kontaktelektrode implantiert werden (nachstehend als "Kontaktlöcher oder dergleichen" bezeichnet). Wenn Ge-Ionen über Kontaktlöcher oder dergleichen implantiert werden, sind die Si_xGe_{1-x}-Bereiche **411** und **412** vollständig in den n⁺-Bereichen **216**, **226** enthalten, und entfernt von der pn-Übergangs-Grenzfläche zwischen den n⁺-Bereichen **216**, **226** und dem Kanalbereich des p-Typs des Schalttransistors angeordnet, so daß die Erzeugung und Ausbreitung der Kristallfehler in den n⁺-Bereichen **216**, **226** nicht den Kriechstrom in dem Kanalbereich beeinflussen kann. Die Ionenimplantationsdosen für die Peripherieschaltungen und die Speicherzellenabschnitte können unabhängig geändert werden, und die Ge-Ionen können ohne Verwendung einer bestimmten Implantationsmaske implantiert werden, so daß für den jeweiligen Fall die geeignetsten Implantationsdosen frei ausgewählt werden können. Statt einer Ionenimplantierung zur Herstellung der SiGe-Schicht **411**, **412** unter Verwendung der Seitenwand-Nitridfilme oder dergleichen als Maske kann auch die Si_xGe_{1-x}-Schicht **411**, **412** selektiv mittels CVD abgelagert werden, unter Verwendung des Zwischenschicht-Isolierfilms **8** als Maske für die selektive CVD.

[0193] Bei einer ersten Abänderung der sechzehnten Ausführungsform die in [Fig. 38](#) gezeigt ist, können Ge-Ionen nur in das Kontaktloch auf der Seite des n⁺-Drainbereichs **226** implantiert werden, die an die Datenleitung **409** angeschlossen ist. Da das Kontaktloch auf der Seite der Speicherknotenelektrode **415** nur kapazitiv an das n⁺-Substrat **401** angekopelt ist, welches als die Plattenelektrode (gegenüberliegende Elektrode) dient, gibt es keinen Stromweg zum wirksamen Absaugen von Löchern. Wenn das n⁺-dotierte Polysilizium als die Speicherknotenelektrode

rode **415** verwendet wird, kann daher die Löcherkonzentration auf der Kanalseite einfach in dem Ausmaß entsprechend der Absenkung der Schwellenhöhe in dem $\text{Si}_x\text{Ge}_{1-x}$ -Bereich verringert werden, und Löcher werden nicht wirksam abgesaugt, wodurch keine wesentlichen Auswirkungen zur Verringerung des Schwebekörpereffekts erwartet werden können. Daher kann man vermuten, daß das Vorhandensein des SiGe-Bereichs in dem n^+ -Sourcebereich **216** keine Rolle spielt, und daß derselbe Effekt erwartet werden kann, wenn Ge-Ionen nur in den n^+ -Drainbereich **226** implantiert werden. Da es keine Möglichkeit für das Auftreten von Kristallfehlern nahe dem pn-Übergang in dem n^+ -Sourcebereich **216** gibt, kann darüber hinaus der Kriechstrom infolge der Kristallfehler ebenfalls verringert werden, wenn die Ge-Implantierung an der n^+ -Sourcebereichsseite weggelassen wird. In diesem Zusammenhang wird darauf hingewiesen, daß bei der sechzehnten Ausführungsform der an die Datenleitung (Bitleitung) **409** angeschlossene n^+ -Bereich zur Vereinfachung als der n^+ -Drainbereich **226** bezeichnet wird, dies jedoch nur eine Frage der Bezeichnung ist, und daher könnte der an die Datenleitung (Bitleitung) **409** angeschlossene n^+ -Bereich auch als der n^+ -Sourcebereich bezeichnet werden. Mit anderen Worten kann jeder der Hauptelektrodenbereiche des MOSFET, der als Schalttransistor dient, als ein Sourcebereich oder als ein Drainbereich bezeichnet werden.

[0194] Als zweite Abänderung der sechzehnten Ausführungsform können die Speicherknotenelektrode **415** und die Kontaktelektrode **418** von [Fig. 37A](#) und [Fig. 37B](#) durch die $\text{Si}_x\text{Ge}_{1-x}$ -Schicht selbst gebildet werden. Mit anderen Worten wird zwar das dotierte Polysilizium **415** in dem Graben als Speicherknotenelektrode vergraben, bei der in den [Fig. 37A](#), [Fig. 37B](#) und [Fig. 38](#) gezeigten Anordnung, jedoch kann auch die in den [Fig. 39A](#) und [Fig. 39B](#) gezeigte Anordnung eingesetzt werden. In [Fig. 39B](#) wird anstelle des dotierten Polysiliziums **415** die n^+ - $\text{Si}_x\text{Ge}_{1-x}$ -Schicht als Speicherknotenelektrode **425** mittels CVD abgelagert, unter Verwendung einer Mischatmosphäre aus SiH_4 (oder Si_2H_6), GeH_4 und einer Verunreinigung des N-Typs (beispielsweise AsH_3) sowie des Rückätzverfahrens. Bei einer in den [Fig. 39A](#) und [Fig. 39B](#) gezeigten zweiten Abänderung der sechzehnten Ausführungsform kann der Nachteil eines kleinen Lochabsaugeffekts infolge des n^+ -Sourcebereiches **415** mit engem Bandabstand, der bereits unter Bezugnahme auf [Fig. 38](#) erläutert wurde, in gewissem Ausmaß ausgeglichen werden. Wenn die Speicherknotenelektrode **415** durch n^+ -dotiertes Polysilizium gebildet wird, können Löcher nicht leicht zur Seite des n^+ -dotierten Polysiliziums hin abgezogen werden, infolge der relativ großen Schwellenhöhe, die an der Grenzfläche zwischen der $\text{Si}_x\text{Ge}_{1-x}$ -Schicht **412** und dem n^+ -dotierten Polysilizium erzeugt wird. Dies führt dazu, daß die Lochkonzentration in dem SOI-Körper nicht wesentlich verrin-

gert werden kann. Zur Überwindung dieser Schwierigkeit kann, wie in [Fig. 39B](#) gezeigt, die Schwellenhöhe dadurch ausgeschaltet werden, daß die Speicherknotenelektrode **425** selbst als die n^+ - $\text{Si}_x\text{Ge}_{1-x}$ -Schicht ausgebildet wird, so daß Löcher in erheblich größerem Ausmaß in die Speicherknotenelektrode **425** abgezogen werden können. Wenn ein Teil der Speicherknotenelektrode **425** durch ein Metall wie etwa W gebildet wird, kann darüber hinaus ein derartiger Vorteil noch weiter vergrößert werden.

[0195] Bei einer in [Fig. 40](#) gezeigten, dritten Abänderung der sechzehnten Ausführungsform wird zuerst ein Abschirm-Oxidfilm **413** auf der Innenwand ausgebildet, dann darauf eine Abschirm-Plattenelektrode **414**, und schließlich werden die Abschirm-Plattenelektrode **414** und das n^+ -Substrat **401** miteinander am Boden des Grabens kontaktiert. Ein Speicherkondensatorabschnitt des DRAM besteht aus der Abschirm-Plattenelektrode **414**, dem Kondensator-Isolierfilm **416**, und der Speicherknotenelektrode **415**. Durch den Aufbau des DRAM-Speicherkondensators von [Fig. 40](#) können eine große und stabile Kapazität als auch eine Kapazität mit einem kleineren Kriechstrom erzielt werden.

[0196] Jeder der SOI-MOSFETs der voranstehenden ersten bis fünfzehnten Ausführungsformen kann als der Schalttransistor gemäß der sechzehnten Ausführungsform verwendet werden, ebenso wie der SOI-MOSSIT, der eine I_d - V_d -Charakteristik wie eine Vakuumtriode aufweist. Zur Erzielung der SIT-Charakteristik sollte die Kanallänge, oder die Ladungsträgerkonzentration auf dem Kanalbereich, verringert werden, um den Zustand nahe der Durchgreifspannung zu erreichen.

[0197] Bei der voranstehenden Beschreibung wurde ein Fall diskutiert, in welchem der Schalttransistor (oder Auswahltransistor) als n-Kanal-MOSFET unter Verwendung des n^+ -Trägersubstrats **401** ausgebildet wird. Wenn jedoch der Leitfähigkeitstyp sämtlicher Elemente umgedreht wird, kann der Schalttransistor als p-Kanal-MOSFET unter Einsatz eines p^+ -Trägersubstrats ausgebildet werden. Weiterhin kann der DRAM als CMOS-Aufbau ausgebildet werden, bei welchem ein n-Graben in dem SOI-Film **203** des p-Typs gebildet wird, unter Einsatz des n^+ -Trägersubstrats **401**.

(Siebzehnte Ausführungsform)

[0198] Die [Fig. 41A](#) und [Fig. 41B](#) zeigen eine Aufsicht auf eine Anordnung bzw. eine Schnittansicht einer Anordnung eines dynamischen SOI-MOS-RAM (DRAM). [Fig. 41A](#) ist eine Aufsicht auf die siebzehnte Ausführungsform, und [Fig. 41B](#) ist eine Schnittansicht der in [Fig. 41A](#) gezeigten siebzehnten Ausführungsform. In [Fig. 41B](#) wird ein SOI-Film **203** des p-Typs auf einem (100)-Siliziumsubstrat **201** des

p-Typs über einen vergrabenen Oxidfilm **202** ausgebildet. Der SOI-Film **203** wird von einem Vorrichtungsisolieroxidfilm **4** umgeben, der durch ein LO-COS-Verfahren und dergleichen hergestellt wird, und das Innere des SOI-Films **203**, der von dem Oxidfilm **4** umgeben ist, wird als ein aktiver Bereich (Vorrichtungsbereich) **1** verwendet. [Fig. 41B](#) zeigt nur im Schnitt die Anordnung nahe dem aktiven Bereich **1**. Ein n⁺-Sourcebereich **216** und ein n⁺-Drainbereich **226**, welche einen Schalttransistor in einer DRAM-Zelleneinheit bilden, werden in dem aktiven Bereich **1** ausgebildet und diffundieren tief in den SOI-Film **203** hinein, so daß ihr Boden jeweils mit dem vergrabenen Oxidfilm **202** in Kontakt steht. Weiterhin wird eine Gateelektrode **205**, die aus Polysilizium und dergleichen besteht, auf einem Kanalbereich **203** oder SOI-Körper zwischen dem n⁺-Sourcebereich **216** und dem n⁺-Drainbereich **226** des Schalttransistors in jeder DRAM-Einheitszelle über den Gateoxidfilm **204** ausgebildet. Wie aus [Fig. 41A](#) hervorgeht, wird die Gateelektrode **205** auch als Wortleitung verwendet. Si_xGe_{1-x}-Bereiche **412** und **411** werden jeweils im Inneren des n⁺-Sourcebereiches **216** bzw. des n⁺-Drainbereiches **226** hergestellt. Ein Zwischenschicht-Isolierfilm **8**, etwa ein Oxidfilm und dergleichen, wird auf der Wortleitung ausgebildet. Eine Kontaktelektrode **408**, die aus W, WSi₂, TiSi₂, MoSi₂ und dergleichen besteht, wird in einem Kontaktloch ausgebildet, das in dem Zwischenschicht-Isolierfilm **8** hergestellt wird, um mit dem Si_xGe_{1-x}-Bereich **411** verbunden zu werden, der auf dem n⁺-Drainbereich **226** vorgesehen ist. Die Kontaktelektrode **408** wird an die Datenleitung (Bitleitung) **409** angeschlossen, die durch ein Metall wie beispielsweise W, Al, Al-Si, Al-Si-Cu oder dergleichen gebildet wird.

[0199] Die siebzehnte Ausführungsform stellt einen DRAM des Stapeltyps dar, bei welchem der DRAM-Speicher Kondensatorabschnitt auf dem n⁺-Sourcebereich **216** und der Gateelektrode **205** des Auswahltransistors ausgebildet wird. Eine Kontaktelektrode **418**, die aus W, Ti, WSi₂, TiSi₂, MoSi₂ und dergleichen besteht, wird auf dem Si_xGe_{1-x}-Bereich **412** ausgebildet, der in dem Oberflächenabschnitt des n⁺-Sourcebereiches **216** vorgesehen ist. Die Kontaktelektrode **418** kann auch aus Si_xGe_{1-x} bestehen. Die Speicherknotenelektrode **425**, die entweder aus einem Metall wie beispielsweise W, Ti, Pt, Ru (Rutenium) oder dergleichen besteht, oder aus einem Silizidfilm dieser Metalle, wird auf der Kontaktelektrode **418** ausgebildet. Als Speicherknotenelektrodenmaterial können Oxide eines leitfähigen Metalls verwendet werden, beispielsweise SrLaTiO₃, CaYTiO₃, CaNdTiO₃, LaNiO₃, SrCaLaRuO₃, NdNiO₃, und RuO₂. Die Speicherknotenelektrode **425** kann aus einem Film aus dotiertem Polysilizium oder aus einem mehrlagigen Film hergestellt werden, beispielsweise aus Ti/TiN-Filmen, die auf dem Film aus dotiertem Polysilizium hergestellt werden. Weiterhin wird eine gegenüberliegende Elektrode (Zellenplat-

tenelektrode) **427** auf dem Kondensatorisolierfilm **426** ausgebildet, der auf der Speicherknotenelektrode **425** vorgesehen ist. Der Kondensatorisolierfilm **426** kann aus einem Siliziumoxidfilm (SiO₂) bestehen, aus einem Tantaloxidfilm (Ta₂O₅), Bariumtitanat (BaTiO₃), Aluminiumoxid (Al₂O₃), Siliziumnitrid (Si₃N₄), oder dergleichen. Alternativ hierzu kann der Kondensatorisolierfilm **426** durch einen Film aus Bariumstrontiumtitanat (BSTO) gebildet werden, der eine Feststofflösung von SrTiO₃ (STO) und BaTiO₃ (BTO) darstellt, oder durch einen Verbundfilm aus einem Film aus Siliziumnitrid (Si₃N₄) und einem Film aus Siliziumoxid (SiO₂). Als gegenüberliegende Elektrode (Zellenplattenelektrode) **427** kann ein Film aus Titanitrid (TiN), ein W-Film, ein Ru-Film, ein RuO₂-Film, oder ein Silizidfilm wie beispielsweise WSi₂, MoSi₂, TiSi₂, usw. verwendet werden. Als weiteres Beispiel kann ein Verbundfilm aus RuO₂/Ru oder RuO₂/Ru/TiN/W als gegenüberliegende Elektrode **427** verwendet werden.

[0200] Wie in [Fig. 41B](#) gezeigt können bei dem SOI-MOS-DRAM gemäß der siebzehnten Ausführungsform da die Si_xGe_{1-x}-Bereiche **412** und **411** in dem n⁺-Sourcebereich **216** bzw. dem n⁺-Drainbereich **226** vorgesehen sind, in dem Kanalbereich **203** oder dem SOI-Körper angesammelte Löcher von dort schnell und mit hohem Wirkungsgrad abgezogen werden. Daher wird der Schwebekörpereffekt unterdrückt, und kann die Draindurchbruchsspannung (Drainwiderstandsfähigkeit) verbessert werden. Wie in [Fig. 41B](#) gezeigt, sind darüber hinaus die Si_xGe_{1-x}-Bereiche vollständig in den n⁺-Bereichen **216**, **226** enthalten und entfernt von der pn-Übergangsgrenzfläche um eine Entfernung entsprechend der Dicke von Seitenwänden der Gateelektrode angeordnet, also um etwa 10 bis 50 nm. Darüber hinaus kann die Erzeugung der Kristallfehler infolge der Ionenimplantierung verhindert werden, oder anders ausgedrückt wird der Einfluß des Kriechstroms infolge der Erzeugung von Kristallfehlern ausgeschaltet, und können gute Datenhalteeigenschaften eines DRAM erzielt werden, obwohl einige Kristallfehler hervorgerufen wurden.

[0201] Der SOI-MOS-DRAM gemäß der siebzehnten Ausführungsform kann durch die nachstehend geschilderten Herstellungsschritte hergestellt werden. Zwar wird nachstehend ein Fall beschrieben, bei welchem der Kondensatorisolierfilm in dem DRAM-Speicher Kondensator aus dem Film aus Barium-Strontium-Titanat (BSTO) gebildet wird, jedoch können selbstverständlich andere Materialien (Isoliermaterialien) verwendet werden.

- (a) Zuerst wird, wie bei den voranstehenden Ausführungsformen, der SOI-Film **203** durch ein SIMOX- oder SDB-Verfahren auf einem (100)-Substrat des p-Typs über den vergrabenen Oxidfilm **202** hergestellt.
- (b) Dann wird der Vorrichtungsisolierfilm **4** mittels

LOCOS, BOX oder ein entsprechendes Verfahren hergestellt, um benachbarte Vorrichtungen elektrisch zu isolieren. Daraufhin wird der Gateoxidfilm **204** mit einer Dicke von 10 nm ausgebildet, und dann wird hierauf mittels LPCVD oder dergleichen ein P-dotierter Polysiliziumfilm **205** mit einer Dicke von 0,3 μm hergestellt. Daraufhin wird die Polysilizium-Gateelektrode **205** mit einer Gatelänge von 0,5 μm auf dem Gateoxidfilm **204** hergestellt, durch ein Mustergebungsverfahren, beispielsweise Photolithographie- und RIE-Schritte.

(c) Dann werden der n^+ -Sourcebereich **216** und der n^+ -Drainbereich **226** dadurch hergestellt, daß P bei einer Beschleunigungsspannung $V_{ac} = 30$ kV und einer Dosis $\phi = 3 \times 10^{15} \text{ cm}^{-2}$ implantiert wird, und 30 Minuten lang eine Wärmebehandlung bei 850°C erfolgt. Dann wird der Nitridfilm in einer Dicke von 10 bis 50 nm auf der gesamten Oberfläche mittels CVD abgelagert. Daraufhin werden die Seitenwand-Nitridfilme nur auf beiden Seiten des Polysiliziumgates **205** hergestellt, durch gerichtetes (anisotropes) Ätzen wie beispielsweise RIE und dergleichen. Unter Verwendung der Seitenwand-Nitridfilme und der Polysilizium-Gateelektrode **205** als Maske können dann Ge-Ionen bei einer Beschleunigungsspannung $V_{ac} = 50$ kV und einer Dosis $\phi = 1$ bis $2 \times 10^{16} \text{ cm}^{-2}$ implantiert werden, und dann erfolgt 30 Minuten eine Wärmebehandlung bei 800°C. Dies führt dazu, daß die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **411** und **412** in dem Oberflächenabschnitt des n^+ -Sourcebereiches **226** bzw. des n^+ -Drainbereiches **216** ausgebildet werden.

(d) Daraufhin wird der SiO_2 /PGS-Film in einer Dicke von 200 nm bis 300 nm mittels CVD abgelagert, um den ersten Zwischenschicht-Isolierfilm **8** auszubilden. Eine Implantierung eines p^+ -Kanalstopps, eine Kanaldotierimplantierung, usw. die ähnlich wie bei Standard-MOS-DRAM-Vorgängen sind, können falls erforderlich vorgenommen werden, und daher wird ihre Beschreibung hier weggelassen.

(e) Dann werden Kontaktlöcher in dem ersten Zwischenschicht-Isolierfilm oder dem SiO_2 /PGS-Film **8** geöffnet. Eine mit As n^+ -dotierte Polysiliziumschicht oder ein W-Film mit einer Dicke von 200 nm bis 400 nm wird mittels CVD in den Kontaktlöchern abgelagert, um die Kontaktelektroden **408**, **418** auszubilden. Weiterhin wird als Speicherknotelektrode **425** ein Oxid eines leitfähigen Metalls oder ein W-Film auf der Kontaktelektrode **418** abgelagert, und weiterhin wird eine Ti/TiN-Schicht durch Hochfrequenzsputtern auf der Speicherknotelektrode **425** abgelagert, um so eine Metallsperrschicht für die Speicherknotelektrodenmaterialien auszubilden. Dann wird ein Photolack durch Schleuderbeschichtung aufgebracht, und photolithographisch mit einem Muster versehen, um auf einem Abschnitt der Ti/TiN-Sperre Metall entsprechend dem Speicher-

knotenelektrodenabschnitt des DRAM-Speicherkondensators abzulagern.

(f) Unter Verwendung des Photolacks als Maske wird die Metallsperrschicht geätzt mittels RIE unter Verwendung von BCl_3 , CF_4 , SF_6 , CCl_4 oder dergleichen. Weiterhin werden die Oxide aus leitfähigem Metall oder der W-Film darunter ebenfalls geätzt, um die Form der Speicherknotelektrode **425** auszubilden, wie in [Fig. 41B](#) gezeigt. Wenn dann der Photolack entfernt ist, wird die Anordnung gereinigt. Dann werden nacheinander in dieser Reihenfolge ein Pt-Film mit einer Dicke von 50 nm, ein BSTO-Film **426** mit einer Dicke von 30 nm, und ein W-Film **427** mit einer Dicke von 150 nm ausgebildet, um die obere Oberfläche und die Seitenwände der Speicherknotelektrode **425** abzudecken. Statt des Hochfrequenzsputterns kann CVD oder dergleichen verwendet werden.

(g) Dann wird durch Schleuderbeschichtung ein Photolack auf die gesamte Oberfläche aufgebracht. Unter Verwendung des Photolacks als Maske wird dann, wie in [Fig. 41B](#) gezeigt, der W-Film **427** photolithographisch durch RIE unter Verwendung von CF_4 geätzt, so daß sich die in [Fig. 41B](#) gezeigte Form ergibt.

(h) Dann wird unter Verwendung des W-Films, der als die gegenüberliegende Elektrode (Zellenplattelektrode) **427** dient, als Maskierungsschicht die BSTO-Schicht **426** geätzt, unter Verwendung einer vorbestimmten Ätzlösung wie beispielsweise einer Lösungsmischung aus Wasserstoffperoxid, Ammoniakwasser und EDTA und dergleichen, und so mit einem Muster versehen.

(i) Dann wird, unter Verwendung der wie voranstehend geschildert ausgebildeten BSTO-Schicht **426** als Maske, die unterhalb des BSTO-Films **426** hergestellte Pt-Schicht mit einem Muster versehen, mittels RIE unter Verwendung von CF_4 oder einer Ätzlösung, die aus $\text{Iod} (\text{I}_2)$ besteht, Cetylpyridin-Iodid (CPI) und Benzol, und dann auf 60°C erwärmt. Nach diesem Vorgang wird die Ätzlösung dadurch abgewaschen, daß sich die ergebende Anordnung in Alkohol eingetaucht wird. Daraufhin wird die Ätzlösung vollständig dadurch abgewaschen, daß Cholin als Alkalihydroxid verwendet wird. Als das Cholin kann eine Waschlösung verwendet werden, die als Cicaclean TMK bekannt ist (Produktbezeichnung von KANTO KAGAKU Co., Ltd.). Durch die voranstehend geschilderten Vorgänge kann einfach und kostengünstig die DRAM-Speicherkondensatorzelle hergestellt werden, die in [Fig. 41B](#) gezeigt ist und die W/Ti/TiN/Pt-Speicherknotelektrode (oder die Speicherknotelektrode aus einem Oxid eines leitfähigen Metalls und Ti/TiN/Pt) **425** aufweist, den Film **426** aus einem Material mit hoher Dielektrizitätskonstanten, und die gegenüberliegende Elektrode **427** W auf dem n^+ -Sourcebereich **216**. Alkalihydroxid, MAST, oder verschiedene Alkohole können statt des Cholins zum Entfernen der

Ätzlösung verwendet werden. Hierbei wird eine Verwendung im Dampfzustand unter Einsatz eines Dampfdruckes vorgezogen, jedoch können diese Lösungen auch durch Ultraschallenergie von 50 kHz bis 1 MHz eingesetzt werden. Wenn die Reinigungsflüssigkeit im Dampfzustand eingesetzt wird, also das Substrat auf 50 bis 150°C unter verringertem Druck erwärmt wird, so wird eine Trockenreinigung ermöglicht.

(j) Daraufhin wird der zweite Zwischenschicht-Isolierfilm wie beispielsweise ein SiO_2 -Film, ein PSG-Film, oder ein BPSG-Film mittels CVD abgelagert. Ein Kontaktloch wird in dem zweiten Zwischenschicht-Isolierfilm auf der Kontaktelektrode **408** geöffnet, die auf dem n^+ -Drainbereich **226** vorgesehen ist.

[0202] Dann wird der Film aus dotiertem Polysilizium, der WSi_2 -Film oder dergleichen durch selektive CVD ausgebildet, um die Kontaktlöcher in dem zweiten Zwischenschicht-Isolierfilm zu vergraben. Statt einer selektiven CVD kann zuerst eine Ablagerung eines Films aus W oder WSi_2 auf der gesamten Oberfläche mittels CVD erfolgen, und dann eine Rückätzung zur Einebnung der Oberfläche des Films, wodurch die Kontaktlöcher in dem zweiten Zwischenschicht-Isolierfilm gefüllt werden. Daraufhin wird die Bitleitung **409** hergestellt, unter Verwendung eines Metalls wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen. Damit ist, wie in [Fig. 41A](#) und [Fig. 41B](#) gezeigt, der SOI-MOS-DRAM gemäß der siebzehnten Ausführungsform der vorliegenden Erfindung fertiggestellt.

[0203] Bei einem Beispiel für den DRAM des Stapeltyps gemäß [Fig. 41A](#) und [Fig. 41B](#) kann die Ausbildung des DRAM-Speicherkondensatorabschnitts verwendet werden, die in den [Fig. 42A](#) und [Fig. 42B](#) gezeigt ist. [Fig. 42B](#) zeigt einen Kondensator des sogenannten Rippentyps, der eine größere Kapazität ermöglicht. Zwar wird in den [Fig. 41A](#), [Fig. 41B](#), [Fig. 42A](#) und [Fig. 42B](#) der DRAM-Speicherkondensatorabschnitt unterhalb der Datenleitung (Bitleitung) **409** ausgebildet, jedoch kann, wie in den [Fig. 43A](#) und [Fig. 43B](#) gezeigt, der Speicherkondensatorabschnitt, welcher die Speicherknotenelektrode **435**, den Kondensatorisolierfilm **436**, und die gegenüberliegende Elektrode (Zellenplattenelektrode) **437** umfaßt, auch auf der Bitleitung **409** hergestellt werden. Die Speicherknotenelektrode **435** ist mit der Kontaktelektrode **438** verbunden, die auf dem $\text{Si}_x\text{Ge}_{1-x}$ -Bereich **412** vorgesehen ist, der in dem Oberflächenabschnitt des n^+ -Sourcebereiches **216** ausgebildet ist, über die Kontaktelektrode **452**, die in dem Durchgangsloch ausgebildet wird, das in dem zweiten Zwischenschicht-Isolierfilm vorgesehen ist.

[0204] Bei der siebzehnten Ausführungsform kann der $\text{Si}_x\text{Ge}_{1-x}$ -Bereich durch Implantieren von Sn-Ionen statt von Ge-Ionen hergestellt werden. Ge-Ionen

oder Sn-Ionen können durch die Kontaktlöcher implantiert werden, die in dem ersten Zwischenschicht-Isolierfilm oder dergleichen vorgesehen sind. Wenn Ionen durch Kontaktlöcher oder dergleichen implantiert werden, sind die $\text{Si}_x\text{Ge}_{1-x}$ -Bereiche **411** und **412** oder die $\text{Si}_x\text{Sn}_{1-x}$ -Schichten vollständig in den n^+ -Bereichen **216**, **226** enthalten und entfernt von der pn-Übergangs-Grenzfläche zwischen dem n^+ -Bereich und dem Kanalbereich des p-Typs des Schalttransistors angeordnet. Aus diesem Grund kann ein Kriechstrom infolge von Kristallfehlern unterdrückt werden, da der Kristallfehler weit entfernt von der Verarmungsschicht in dem Kanalbereich vorhanden ist. Darüber hinaus können die Ionenimplantationsdosen unabhängig für die Peripherieschaltungsabschnitte und für die Speicherzellenabschnitte ausgewählt werden, ohne Verwendung der Implantationsmaske, so daß für die jeweiligen Fälle die geeignetste Dosis für die Ionenimplantierung frei ausgewählt werden kann. Statt der Kontaktelektroden **408**, **418** und **438** kann die $\text{Si}_x\text{Ge}_{1-x}$ -Schicht in diesen Kontaktlöchern oder dergleichen mittels CVD hergestellt werden, unter Verwendung einer Dampfphasenreaktion zwischen SiH_4 (oder Si_2H_6) und GeH_4 . Anderenfalls kann im Falle einer Ionenimplantierung unter Verwendung der Seitenwand-Nitridfilme oder dergleichen als Maske die $\text{Si}_x\text{Ge}_{1-x}$ -Schicht durch selektive CVD hergestellt werden. Entsprechend können die $\text{Si}_x\text{Sn}_{1-x}$ -Schicht oder das Material mit engem Bandabstand wie beispielsweise PbS, PbTe, SnTe, ZnSb, usw. mittels CVD hergestellt werden, statt der $\text{Si}_x\text{Ge}_{1-x}$ -Schicht.

[0205] Jeder der SOI-MOSFETs der voranstehenden ersten bis fünfzehnten Ausführungsformen kann als der Schalttransistor bei der siebzehnten Ausführungsform der vorliegenden Erfindung eingesetzt werden. Beispielsweise kann der in [Fig. 17C](#) gezeigte LDD-MOSFET verwendet werden. Weiterhin kann statt eines SOI-MOSFET ein SOI-MOSSIT (Static Induction Transistor) verwendet werden, der eine ungesättigte I_d - V_d -Charakteristik (Abhängigkeit des Drainstroms von der Drainspannung) wie eine Vakuumtriode aufweist. Um die SIT-Charakteristik zu erhalten, sollte die Kanallänge oder die Ladungsträgerkonzentration des Kanalbereichs oder des SOI-Körpers so weit verringert werden, daß ein Zustand nahe der Draindurchbruchsspannung erreicht wird. In diesem Sinne kann man SIT als eine Art eines Kurzkanal-MOSFET ansehen. Bei der SIT-Anordnung wird die Schwellenhöhe, die vor dem Sourcebereich erzeugt wird, durch die angelegte Drainspannung gesteuert, was eine exponentielle Abhängigkeit der I_d - V_d -Charakteristik hervorruft. Weiterhin wurde bei der voranstehenden Beschreibung ein Fall diskutiert, in welchem der Schalttransistor als n-Kanal-MOSFET unter Verwendung des Si-Substrats **201** des p-Typs ausgebildet wurde. Wenn jedoch der Leitfähigkeitstyp sämtlicher Elemente umgekehrt wird, kann der Schalttransistor als p-Kanal-MOSFET un-

ter Verwendung eines Siliziumsubstrats des n-Typs ausgebildet werden. Darüber hinaus kann der DRAM als CMOS-Anordnung ausgebildet werden, bei welcher ein n-Graben in dem SOI-Film **203** des p-Typs hergestellt wird, unter Verwendung eines Siliziumsubstrats **201** des p-Typs.

(Achtzehnte Ausführungsform)

[0206] Die [Fig. 44A](#) und [Fig. 44B](#) zeigen jeweils die Aufsicht bzw. die Schnittansicht einer Anordnung eines dynamischen MOS-RAM (DRAM) gemäß einer achtzehnten Ausführungsform. Bei dieser achtzehnten Ausführungsform wird ein vertikaler Transistor, der als SGT bezeichnet wird (SGT: surrounding gate transistor; Transistor mit umgebendem Gate), als Schalttransistor (Auswahltransistor) verwendet, und der DRAM-Speicherkondensatorabschnitt wird in einem unteren Teil einer Siliziumsäule ausgebildet, in welchem der SGT vorgesehen ist. In [Fig. 44B](#) werden ein n⁺-Sourcebereich **302**, ein Bereich **303** des p-Typs, der als Kanalbereich des SGT dient, ein n⁺-Drainbereich **304**, und ein Si_xGe_{1-x}-Bereich **311** auf einem (100)-Siliziumsubstrat **301** des p-Typs in dieser Reihenfolge hergestellt. Eine Gateelektrode **308** des SGT, die als Wortleitung dient, und eine gegenüberliegende Elektrode (Plattenelektrode) **306**, werden um eine rechteckige Siliziumsäule herum ausgebildet, welche einen mehrlagigen Aufbau der Form p/n⁺/p/n⁺ aufweist. Ein DRAM-Speicherkondensator wird in dem unteren Teil der Siliziumsäule und zwischen dem n⁺-Sourcebereich **302** und der gegenüberliegenden Elektrode **306** ausgebildet, wobei sandwichartig ein dünnes Kondensator-Dielektrikum wie beispielsweise ein Oxidfilm dazwischen eingeschlossen wird. Eine Bitleitung **409** wird an den Si_xGe_{1-x}-Bereich **311** angeschlossen, der auf dem n⁺-Drainbereich **304** vorgesehen ist, über ein Kontaktloch in dem Zwischenschicht-Isolierfilm.

[0207] Bei den Dünnschicht-Transistoren der jeweiligen, voranstehend geschilderten Ausführungsformen wird der "Schwebekörpereffekt" auf ähnliche Weise verursacht. In dem SGT, in welchem der vertikale Transistor in der Siliziumsäule ausgebildet wird, die in den [Fig. 44A](#) und [Fig. 44B](#) gezeigt ist, wird der Kanalbereich **303** auf dem Körper, der in der Siliziumsäule ausgebildet wird, einfach dazu veranlaßt, einen "Schwebekörperzustand" oder Zustand mit unbestimmten Potential anzunehmen, da die Siliziumsäule perfekt gegenüber den anderen Vorrichtungsbereichen isoliert ist, abgesehen von dem n⁺-Sourcebereich **302**, der am Boden der Siliziumsäule angeordnet ist, insbesondere dann, wenn die Siliziumsäule einen Durchmesser von etwa 200 nm aufweist. Daher wird eine Verringerung der Draindurchbruchsspannung durch die Löcher, die sich angesammelt haben, in dem Siliziumsäulenkörper verursacht, wie bei dem SOI-MOSFET. Um diesen "Schwebekörpereffekt" auszuschalten ist es wünschenswert, daß die

Si_xGe_{1-x}-Schicht in den Source- und Drainbereichen oder nahe bei diesen des vertikalen Transistors ausgebildet wird, wie bei der nachstehend geschilderten, achtzehnten Ausführungsform.

[0208] Wie aus den [Fig. 44A](#) und [Fig. 44B](#) hervorgeht, können bei dem vertikalen MOS-DRAM gemäß der achtzehnten Ausführungsform deswegen, da der Si_xGe_{1-x}-Bereich **311** auf dem n⁺-Drainbereich **304** vorgesehen ist, Löcher, die sich in dem Kanalbereich **33** angesammelt haben, in den n⁺-Drainbereich **304** schnell und mit hohem Wirkungsgrad abgezogen werden. Daher kann die durch den Schwebekörpereffekt beeinträchtigte Draindurchbruchsspannung (das Drainwiderstandsvermögen) verbessert werden. Da wie in [Fig. 44B](#) gezeigt der Si_xGe_{1-x}-Bereich **311** so ausgebildet ist, daß er von der pn-Übergangs-Grenzfläche zwischen dem n⁺-Bereich **304** und dem Säulenkörper **303** des p-Typs beabstandet angeordnet ist, werden darüber hinaus die Kristallfehler infolge der Gitterfehlpassung des Si-Ge/Si-Hetero-Übergangs nur in dem n⁺-Bereich **304** hervorgerufen, und breiten sich nicht in den Körper **303** des p-Typs aus, und die erzeugten Fehler können nicht den Kriechstrom in dem Körper des p-Typs beeinflussen, oder in dem Kanalbereich, und es können gute Datenhalteigenschaften erzielt werden.

[0209] In diesem Zusammenhang wird darauf, hingewiesen, daß statt der Si_xSn_{1-x}-Schicht **311** auch die Si_xGe_{1-x}-Schicht oder das Material mit engem Bandabstand wie beispielsweise PbS, PbTe, SnTe, ZnSb und dergleichen verwendet werden kann.

[0210] Der vertikale MOS-DRAM gemäß der achtzehnten Ausführungsform kann durch die in den [Fig. 45A](#) bis [Fig. 45E](#) gezeigten Herstellungsschritte hergestellt werden.

(a) Zuerst werden, wie aus [Fig. 45A](#) hervorgeht, der n⁺-Sourcebereich **302** mit einer Dicke von 2,5 µm, der p-Bereich **303** mit einer Dicke von 0,3 µm, und der n⁺-Drainbereich **304** von 0,3 µm kontinuierlich auf einem Substrat **301** des p-Typs durch Niederdruck-Epitaxie erzeugt, unter Verwendung von SiH₂Cl₂ und H₂. Als Dotiergas wird beispielsweise AsH₃, B₂H₆ verwendet. Die voranstehend angegebenen Werte für die Dicke sind nur beispielhaft. Nach Ausbildung des vertikalen Transistors in mesoskopischem Maßstab (etwa 10 nm) etwa als ballistischer Transistor, können Dampfphasenepitaxie unter Ultrahochvakuum (UHV), MBE oder MLE (Molkülschicht-Epitaxie) verwendet werden. Falls man die mehreren Si-Schichten mittels MLE aufwachsen läßt, wird infolge der Tatsache, daß eine Molkülschicht (0,136 nm für eine (100)-Oberfläche) von Si durch einen Gaseinführungs/Absaugzyklus aufwächst, so daß beispielsweise SiH₂Cl₂ in eine Wachstumskammer bei einem Druck von 3 × 10⁻² Pa über 15 Sekunden eingelassen wird, das Innere

der Wachstumskammer evakuiert (etwa gleich 10^{-4} bis 10^{-7} Pa), und dann läßt man H_2 bei einem Druck von 4×10^{-3} Pa 10 Sekunden lang einströmen, und dann wird das Innere erneut evakuiert. Wenn diese Gaseinlaß/Absaugzyklen eine vorbestimmte Anzahl mal wiederholt werden, also bis zur gewünschten Molkülschichtanzahl, bei einer Substrattemperatur von 850°C , wird die gewünschte Dicke des Siliziums mit einer Genauigkeit von einer monomolekularen Schicht erhalten.

(b) Dann wird ein Oxidfilm **315** auf dem n^+ -Drainbereich **304** mittels CVD oder thermischer Oxidation ausgebildet, und dann wird dem Oxidfilm photolithographisch ein Muster gegeben. Dann wird ein Photolack entfernt, der beim Ätzen des Oxidfilms verwendet wurde. Unter Verwendung des Oxidfilms als Maske werden dann U-Nuten mit einer Tiefe von $3,2 \mu\text{m}$, die in [Fig. 45B](#) gezeigt sind, mittels RIE hergestellt, unter Verwendung von Bcl_3 , CF_4 , SF_6 , Ccl_4 und dergleichen, oder durch ECR-Innenätzung. Dann werden die Oberflächen der U-Nuten oxidiert, um den Kondensatoroxidfilm **305** auszubilden (der obere Teil des Kondensatoroxidfilms wird nachstehend als Anschlußflächenoxidfilm bezeichnet), in einer Dicke von 10-nm. Ein Film aus dotiertem Polysilizium, der als die Plattenelektrode **306** dient, wird durch CVD auf dem Kondensatoroxidfilm **305** ausgebildet, um die U-Nuten zu vergraben. Dann werden, wie in [Fig. 45B](#) gezeigt, die Plattenelektroden **306** nahe der Bodenseite der U-Nuten ausgebildet, durch Zurückätzen der U-Nuten um etwa $0,7 \mu\text{m}$ von der Oberfläche aus. Dann wird der Film **307** aus Nitrid (Si_3N_4) auf der gesamten Oberfläche mittels CVD abgelagert.

(c) Dann wird der Film aus Nitrid (Si_3N_4) so geätzt, daß er nur auf Seitenwänden der U-Nuten übrigbleibt, durch einen stark richtungsabhängigen, anisotropen Ätzvorgang wie beispielsweise RIE oder dergleichen. Durch dieses anisotrope Ätzen werden die Nitridfilme entfernt, die auf den Plattenelektroden **306** vorhanden waren, sowie der Nitridfilm oben auf dem Oxidfilm **315**. Wie in [Fig. 45C](#) gezeigt, wird ein Oxidfilm mit einer Dicke von $0,1 \mu\text{m}$ nur auf der Polysilizium-Plattenelektrode **306** ausgebildet, durch selektive Oxidation (vertikaler LOCOS-Vorgang), unter Verwendung des Nitridfilms **307**, der auf den Seitenwänden übrigbleibt.

(d) Daraufhin wird der Nitridfilm **307**, der für die selektive Oxidation auf den Seitenwänden verblieben war, durch isotropes Ätzen wie beispielsweise CDE entfernt, und der dünne Anschlußflächenoxidfilm **305** darunter wird ebenfalls entfernt, um die obere Seitenwand der U-Nut freizulegen. Der Gateoxidfilm **305** wird erneut auf der oberen Seitenwand der U-Nut ausgebildet. Polysilizium, W, WSi_2 und dergleichen werden mittels CVD auf der Oberfläche des Gateoxidfilms **305** ausgebildet, um die als Wortleitung dienende Gateelektrode **308** herzustellen, wie in [Fig. 45D](#) gezeigt ist. Die

Gateelektrode **308** kann in den U-Nuten durch selektive CVD hergestellt werden. Anderenfalls kann die Gateelektrode **308** so hergestellt werden, daß zuerst ein Schutzfilm aus Polysilizium, W, WSi_2 und dergleichen hergestellt wird, der dicker ist als die Tiefe der U-Nuten, und dann der Schutzfilm zurückgeätzt wird, um die Oberfläche des n^+ -Drainbereiches **304** freizulegen, um eine flache Oberfläche durch ein CMP-Verfahren zu erzielen, wie in [Fig. 45D](#) gezeigt. Daraufhin werden Ge-Ionen mit einer Beschleunigungsspannung $\text{Vac} = 100 \text{ kV}$ und einer Dosis $\phi = 2 \times 10^{16} \text{ cm}^{-2}$ implantiert.

(e) Nach der Ionenimplantierung erfolgt 30 Minuten lang eine Wärmebehandlung bei 950°C , um so wie in [Fig. 45E](#) gezeigt den $\text{Si}_x\text{Ge}_{1-x}$ -Bereich **311** auszubilden. Dann wird der Zwischenschicht-Isolierfilm **8**, der aus SiO_2/PSG oder dergleichen besteht, mittels CVD hergestellt, und dann werden die Kontaktlöcher geöffnet. Daraufhin wird ein Metall wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen aufgebracht. Wie aus [Fig. 45E](#) hervorgeht, wird die Bitleitung **409** photolithographisch mit einem Muster versehen. Damit ist der vertikale MOS-DRAM gemäß der achtzehnten Ausführungsform fertiggestellt.

[0211] Nach der Durchführung der kontinuierlichen Epitaxie, die in [Fig. 45A](#) gezeigt ist, kann ein $\text{Si}_x\text{Ge}_{1-x}$ -Bereich weiter oben auf dem n^+ -Drainbereich **304** ausgebildet werden, durch Epitaxiewachstum mit Hilfe eines Dampfphasenwachstums von SiH_4 (oder Si_2H_6 , SiH_2Cl_2) und GeH_4 (oder GeH_2Cl_2). Anderenfalls kann ein MLE-Wachstum dadurch durchgeführt werden, daß abwechselnd SiH_2Cl_2 und GeH_2Cl_2 eingelassen werden.

[0212] Alternativ hierzu kann PbS durch MLE-Wachstum ausgebildet werden, durch abwechselndes Einlassen von Bleihalogeniden (oder entweder eines Bleiacetats, eines Bleichelats oder eines Bleitertiärbutoxidkomplexes wie beispielsweise $[\text{Pb}(\text{OBU}^t)_2]_2$, $\text{Pb}_4\text{O}(\text{OBU}^t)_6$) und H_2S bei einem Druck von 3×10^{-2} Pa. Wenn der Bereich mit engem Bandstand durch Epitaxiewachstum oder einen CVD-Vorgang ausgebildet wird, wird der Kriechstrom verringert, und die Datenhaltecharakteristik des DRAM verbessert, da der durch die Ionenimplantierungsfehler hervorgerufene sekundäre Effekt ausgeschaltet werden kann, und andere Kristallfehler in Bezug auf den Sekundärfehler verringert werden können. Zwar wurde in [Fig. 45C](#) der Oxidfilm **317** auf der Plattenelektrode **306** durch selektive Oxidation (einen vertikalen LOCOS-Vorgang) ausgebildet, der dem konventionellen LOCOS-Vorgang (lateraler LOCOS-Vorgang) ähnlich ist, jedoch kann der Film **317** aus Isoliermaterial, beispielsweise dem Oxid, durch Vakuumverdampfung oder MBE mit guter Richtwirkung hergestellt werden. Er kann beispielsweise nur auf dem Boden der U-Nut abgelagert werden, oder

auf der Plattenelektrode **306**, so daß er eine Dicke von 0,1 µm aufweist, ohne eine Ablagerung auf den Seitenwänden an der Oberseite der U-Nut. Das Isoliermaterial muß nicht auf der Seitenwand der Siliziumsäule durch gerichtete Verdampfung unter Verwendung stark kollimierter Strahlen unter UHV abgelagert werden. Durch diese Vorgehensweise mit gerichteter Verdampfung kann die Plattenelektrode **306** aus W, WSi₂, MoSi₂ usw. hergestellt werden, statt aus dotiertem Silizium.

[0213] Die [Fig. 46A](#) und [Fig. 46B](#) stellen eine Aufsicht bzw. eine Schnittansicht einer ersten Abänderung der achtzehnten Ausführungsform dar, wobei der SGT als Schalttransistor verwendet wird, und der DRAM einen Speicherkondensator des Stapeltyps aufweist, der eine Speicherknotenelektrode **325**, einen Kondensatorisolierfilm **326**, und eine gegenüberliegende Elektrode (Zellenplattenelektrode) **327** in dem Speicherkondensatorabschnitt aufweist. Bei dem in den [Fig. 46A](#) und [Fig. 46B](#) gezeigten MOS-DRAM wird eine vergrabene n⁺-Schicht **322**, die auf dem Siliziumsubstrat **301** des p-Typs in Form eines schmalen Streifens ausgebildet wird, als die Bitleitung verwendet, und die Gateelektrode **308** des SGT wird als Wortleitung eingesetzt. Der SGT umfaßt die vergrabene n⁺-Schicht **322**, die als der n⁺-Drainbereich dient, den p-Kanalbereich **303**, der auf dem n⁺-Drainbereich vorgesehen ist, den darauf vorgesehenen n⁺-Sourcebereich, und die Gateelektrode **308**, die auf der Seitenwand des Kanalbereichs **303** oder der rechteckigen Siliziumsäule vorgesehen ist, usw. Ein Si_xGe_{1-x}-Bereich **312** und ein Si_xGe_{1-x}-Bereich **313** werden jeweils in dem n⁺-Drainbereich **322** bzw. dem n⁺-Sourcebereich **323** ausgebildet. Eine Speicherknotenelektrode **325** ist an den Si_xGe_{1-x}-Bereich **313** angeschlossen. Wie aus [Fig. 46B](#) hervorgeht, wird der Si_xGe_{1-x}-Bereich **312** im Oberflächenabschnitt der vergrabenen n⁺-Schicht ausgebildet, die als die Bitleitung **322** dient, und in einem Bereich, auf welchem die den SGT bildende Siliziumsäule nicht ausgebildet wird. Der auf der Speicherknotenelektrode **325** erzeugte Kondensatorisolierfilm kann aus Ta₂O₅, STO, BTO, BSTO und dergleichen hergestellt werden, wie bei der siebzehnten Ausführungsform der vorliegenden Erfindung. Im Unterschied zum Aufbau der in den [Fig. 44A](#) und [Fig. 44B](#) gezeigten achtzehnten Ausführungsform kann ein flacherer Graben bei dieser ersten Abänderung ausgebildet werden, und darüber hinaus ist bei dem Aufbau gemäß [Fig. 46A](#) und [Fig. 46B](#) nicht der komplizierte "vertikale LOCOS-Prozeß" oder die gerichtete Verdampfung von Isoliermaterial **317** zum Trennen der gegenüberliegenden Elektrode (Plattenelektrode) **306** und der Wortleitung **308** erforderlich. Daher ist die Anordnung gemäß der ersten Abänderung bei der Herstellung vorteilhaft einfach. Selbstverständlich kann anstelle der Si_xGe_{1-x}-Bereiche **312** und **313** ein Material wie Si_xGe_{1-x} oder ein Material mit engem Bandstand wie beispielsweise PbS verwendet wer-

den.

[0214] Bei dem Aufbau gemäß [Fig. 46B](#) wurde der Si_xGe_{1-x}-Bereich **312** auf der vergrabenen n⁺-Schicht ausgebildet, die als die Bitleitung **322** dient, und in einem Bereich, in welchem die Siliziumsäule nicht ausgebildet wird, welche den SGT bildet. Die Erfindung ist jedoch nicht auf die in [Fig. 46B](#) gezeigte Anordnung beschränkt, und der Si_xGe_{1-x}-Bereich **312** kann unmittelbar unterhalb der Siliziumsäule ausgebildet werden, wie in den [Fig. 47](#) und [Fig. 47B](#) gezeigt ist. Bei der Anordnung gemäß einer zweiten Abänderung der achtzehnten Ausführungsform, wie in den [Fig. 47A](#) und [Fig. 47B](#) gezeigt, kann ein verstärkter Lochabziehungseffekt erzielt werden, ist der Schwebekörpereffekt verringert, und schließlich kann die Draindurchbruchsspannung verbessert werden. Aus diesem Grund kann bei dem SGT eine kürzere Kanallänge erzielt werden.

[0215] Wenn die Kanallänge ausreichend kurz wird, und das elektrische Feld des Drains die Potentialschwelle beeinflusst, die vor dem Sourcebereich ausgebildet wird, wird der "SGT" zu einem "SGSIT" ("surrounding gate static induction transistor"; statischem Induktionstransistor mit umgebendem Gate), der eine Abhängigkeit des ungesättigten Drainstroms (I_d) von der Drainspannung (V_d) ähnlich wie eine Vakuumtriode zeigt. Durch Ausbildung des Sourcebereichs mit engem Bandstand wird der Schwebekörpereffekt in dem SIT ebenfalls verringert, und eine hohe Draindurchbruchsspannungsverbesserung ΔV_{BD} erzielt.

[0216] Die zweite abgeänderte Anordnung des vertikalen MOS-DRAM der achtzehnten Ausführungsform, dargestellt in den [Fig. 47A](#) und [Fig. 47B](#), kann auf die nachstehend geschilderte Weise durch vergrabene Epitaxiee ausgebildet werden. Um die vergrabene n⁺-Schicht **322** auszubilden, wird die n⁺-Diffusionsschicht zuerst in dem p-Substrat **301** in Form eines schmalen Streifens ausgebildet, und dann werden Ge-Ionen implantiert. Daraufhin erfährt das Substrat eine Wärmebehandlung, um eine SiGe-Schicht auf der vergrabenen n⁺-Streifenschicht **322** auszubilden. Dann können der p-Bereich **303** und der n⁺-Sourcebereich **323** durch kontinuierliches Epitaxiewachstum hergestellt werden. Durch entsprechende Auswahl der Beschleunigungsspannung für das Implantieren von Ge kann der SiGe-Bereich **312** in der n⁺-Schicht **322** angeordnet werden. Anderenfalls wird zur Herstellung der vergrabenen n⁺-Schicht **322** zuerst die n⁺-Diffusionsschicht in dem p-Substrat **301** erzeugt, dann der Oxidfilm auf der Oberfläche des p-Substrats **301** ausgebildet, dann ein Teil der Oberfläche der n⁺-Diffusionsschicht **322** geätzt, unter Verwendung des Oxidfilms als Maske, zur Ausbildung der U-Nut, dann der Si_xGe_{1-x}-Bereich **312** und der n⁺-Bereich **322** kontinuierlich durch ein selektives Epitaxiewachstum in der U-Nut ausgebildet, um die

U-Nut zu vergraben, und dann die Oberfläche der sich ergebenden Anordnung eingeebnet. Daraufhin wird der Oxidfilm entfernt, der als Maske bei dem selektiven Epitaxiewachstum diente, und darauf können der p-Bereich **303** und der n⁺-Sourcebereich **323** durch ein kontinuierliches Epitaxiewachstum ausgebildet werden.

[0217] Weiterhin kann, wie in den [Fig. 48A](#) bis [Fig. 48F](#) gezeigt, der Aufbau gemäß der zweiten Abänderung der achtzehnten Ausführungsform gemäß [Fig. 47A](#) und [Fig. 47B](#) durch ein SDB-Verfahren hergestellt werden. Mit anderen Worten werden, wie in [Fig. 48A](#) gezeigt, U-Nuten in dem Siliziumsubstrat **303** des p-Typs hergestellt, und dann werden Siliziumsäulen so ausgebildet, daß sie jeweils von den U-Nuten umgeben sind. Die Innenabschnitte der U-Nuten werden oxidiert, und die Gateelektroden **308** werden als DRAM-Wortleitungsverdrahtungen ausgebildet, um so die U-Nuten zu vergraben. Daraufhin wird auf der gesamten Oberfläche ein erster Zwischenschicht-Isolierfilm **81** abgelagert, und Kontaktlöcher werden selektiv auf den Oberseiten der Siliziumsäulen geöffnet. As-Ionen werden bei einer Beschleunigungsspannung $Vac = 100 \text{ kV}$ und einer Dosis $\phi = 2 \times 10^{16} \text{ cm}^{-2}$ implantiert, und dann erfolgt 30 Minuten lang eine Wärmebehandlung bei 750°C . Dann werden Ge-Ionen bei einer Beschleunigungsspannung $Vac = 50 \text{ kV}$ und einer Dosis $\phi = 1 \times 10^{16} \text{ cm}^{-2}$ implantiert. Auf diese Weise werden, wie in [Fig. 48B](#) gezeigt, ein n⁺-Drainbereich **322** und ein Si_xGe_{1-x}-Bereich **312** ausgebildet. Weiterhin wird mittels CVD eine n⁺-Si_xGe_{1-x}-Schicht hergestellt, und ein Silizid eines hochschmelzenden Metalls oder ein hochschmelzendes Metall (beispielsweise W) **332** wird hierauf abgelagert, um Datenleitungen (Bitleitungen) **322** auszubilden. Die Bitleitungen werden in der Richtung parallel zur Papieroberfläche verdrahtet, und mehrere parallele Leitungen werden Seite an Seite in der Richtung senkrecht zur Papieroberfläche hergestellt. Ein zweiter Zwischenschicht-Isolierfilm wird gestapelt zwischen Bitleitungen (nicht gezeigt) angeordnet und seine Oberfläche wird spiegelnd poliert. Es wird ein weiteres Siliziumsubstrat **301** vorbereitet, dessen Oberfläche ebenfalls spiegelnd poliert wird, beide Substrate **303**, **301** werden so aufeinandergelegt, so daß ihre Spiegeloberflächen gegenüberliegen, und 1 Stunde lang bei 900°C wärmebehandelt. Wie in [Fig. 48C](#) gezeigt, wird ein Siliziumsubstrat **301** des p-Typs mit dem Substrat **303** durch ein SDB-Verfahren verbunden oder an dieses gebondet. Daraufhin wird das Siliziumsubstrat **303** des p-Typs geschliffen und von seiner hinteren Oberfläche aus poliert, bis die Gateleitungen **308** freiliegen, so daß nur die Siliziumsäule übrigbleibt. Dann wird das p-Siliziumsubstrat aus der in [Fig. 48A](#) gezeigten Orientierung in die Orientierung von [Fig. 48C](#) umgedreht. Wie in [Fig. 48D](#) gezeigt wird auf der gesamten Oberfläche ein dritter Zwischenschicht-Isolierfilm **82** abgelagert, und werden Kontaktlöcher in dem dritten

Zwischenschicht-Isolierfilm **82** geöffnet. Ein n⁺-Sourcebereich **323** wird an der Oberseite der Siliziumsäule ausgebildet, durch Implantieren von As-Ionen (oder P-Ionen) durch die Kontaktlöcher in dem dritten Zwischenschicht-Isolierfilm **82**. Dann wird, wie in [Fig. 48E](#) gezeigt, ein Si_xGe_{1-x}-Bereich **313** mittels CVD oder MBE abgelagert, und die Oberfläche der sich ergebenden Anordnung wird dann eingeebnet, zum Vergraben in dem dritten Zwischenschicht-Isolierfilm **82**.

[0218] Als nächstes wird ein vierter Zwischenschicht-Isolierfilm **83** auf dem dritten Zwischenschicht-Isolierfilm **82** und dem Si_xGe_{1-x}-Bereich **313** abgelagert. Dann werden in dem vierten Zwischenschicht-Isolierfilm **83** Kontaktlöcher geöffnet. Wie in [Fig. 48F](#) gezeigt, wird ein Metall wie beispielsweise W/Ti/TiN/Pt, welches als die Speicherknotenelektrode dient, durch Verdampfen oder Sputtern ausgebildet, und dann mit einem Muster versehen. Wenn dann wie bei der siebzehnten Ausführungsform der DRAM-Speicherkondensatorabschnitt durch einen Ta₂O₅-Film oder einen BSTO-Film ausgebildet wurde, ist die in den [Fig. 47A](#) und [Fig. 47B](#) gezeigte Anordnung fertiggestellt.

(Neunzehnte Ausführungsform)

[0219] [Fig. 49A](#) und [Fig. 49B](#) sind eine Aufsicht bzw. eine Schnittansicht des Aufbaus eines vertikalen MOS-DRAM gemäß einer neunzehnten Ausführungsform. Bei dieser neunzehnten Ausführungsform wird ein DRAM-Speicherkondensatorabschnitt ausgebildet, welcher einen n⁺-Bereich (Substrat) **337** aufweist, der als Plattenelektrode (gegenüberliegende Elektrode) dient, einen Kondensatorisolierfilm **336**, der im Inneren einer ersten U-Nut **9** ausgebildet wird, die in dem n⁺-Bereich **337** vorgesehen ist, und eine Speicherknotenelektrode **335**, die aus n⁺-Einkristallsilizium (oder aus n⁺-dotiertem Polysilizium) hergestellt wird. Als Schalttransistor (oder Auswahltransistor) des DRAM wird ein vertikaler Dünnfilmtransistor (TFT), der eine Dünnfilmsiliziumschicht **303** des p-Typs als Kanalbereich verwendet, auf dem DRAM-Speicherkondensatorabschnitt (Zellenkondensatorelement) ausgebildet. Der TFT kann entweder ein MOSFET oder ein MOSSIT sein. Der Schalttransistor umfaßt den n⁺-Bereich **337**, der als Sourcebereich dient, einen n⁺-Bereich **304**, der als Drainbereich auf dem p-Dünnfilmsilizium **303** ausgebildet wird, und Polysilizium und dergleichen, welches als Gateelektrode **308** dient, die in einer zweiten U-Nut ausgebildet wird, die in der ersten U-Nut **9** über Dünnfilmsilizium ausgebildet wird. Die Gateelektrode **308** dient als eine Wortleitung des DRAM. Ein Si_xGe_{1-x}-Bereich **311** wird auf dem n⁺-Drainbereich **304** ausgebildet, also auf der obersten Schicht des Dünnfilmsiliziums. Eine Bitleitung **409** wird über eine Kontaktelektrode **338** auf dem Si_xGe_{1-x}-Bereich **311** hergestellt.

[0220] Wie in den [Fig. 49A](#) und [Fig. 49B](#) gezeigt, können bei dem vertikalen MOS-DRAM gemäß der neunzehnten Ausführungsform aufgrund der Tatsache, daß der $\text{Si}_x\text{Ge}_{1-x}$ -Bereich **311** auf dem n^+ -Drainbereich **304** vorgesehen ist, Löcher, die sich in dem Kanalbereich **303** angesammelt haben, in den n^+ -Drainbereich **304** schnell und mit hohem Wirkungsgrad abgezogen werden, und wird der Schebekörpereffekt wirksam unterdrückt. Daher kann die Draindurchbruchsspannung (die Drainwiderstandsfähigkeit) verbessert werden. Da wie in [Fig. 49B](#) gezeigt der $\text{Si}_x\text{Ge}_{1-x}$ -Bereich **311** weit entfernt von der pn-Übergangs-Grenzfläche zwischen dem n^+ -Bereich **304** und dem p-Dünnsilizium **303** vorgesehen ist, kann der Kriechstrom verhindert werden, der durch Kristallfehler infolge der Gitterfehlpassung zwischen dem $\text{Si}_x\text{Ge}_{1-x}$ -Bereich und dem Si-Bereich hervorgerufen wird, und läßt sich eine gute Datenhaltcharakteristik erzielen.

[0221] Statt der $\text{Si}_x\text{Ge}_{1-x}$ -Schicht **311** kann auch die $\text{Si}_x\text{Sn}_{1-x}$ -Schicht oder das Material mit engem Bandabstand wie beispielsweise PbS, PbTe, SnTe, ZnSb, und dergleichen verwendet werden.

[0222] Der vertikale MOS-DRAM gemäß der neunzehnten Ausführungsform kann durch die in den [Fig. 50A](#) bis [Fig. 50E](#) dargestellten Herstellungsschritte hergestellt werden.

(a) Zuerst wird, wie in [Fig. 50A](#) gezeigt, der n^+ -Bereich **377** auf einem Substrat **303** des p-Typs durch Niederdruckepitaxie hergestellt, unter Verwendung von SiH_2Cl_2 (oder SiHCl_3) und H_2 mit AsH_3 -Gas (oder PH_3 -Gas) als Dotiermittel. Dann wird ein Oxidfilm auf dem n^+ -Bereich **377** durch CVD oder thermische Oxidation ausgebildet, und daraufhin der Oxidfilm photolithographisch mit einem Muster versehen. Dann wird ein Photolack entfernt, der beim Ätzen des Oxidfilms verwendet wurde. Unter Benutzung des Oxidfilms als Maske werden dann in [Fig. 50A](#) gezeigte, tiefe Gräben (U-Nuten) so ausgebildet, daß sie das p-Substrat **303** durch die n^+ -Epitaxiewachstumsschicht **377** erreichen, und ein Graben in das p-Substrat **303** gegraben wird, mittels RIE unter Verwendung von Bcl_3 , CF_4 , SF_6 , CCl_4 und dergleichen, oder durch ECR-Innenätzung. Obwohl beispielhaft zwei Gräben in [Fig. 50A](#) gezeigt sind, werden in der Praxis diese beiden Gräben als durchgehendes Muster in der Ebene und so ausgebildet, daß sie die rechteckige Säule umgeben.

(b) Dann wird unter Verwendung eines Photolacks als Maske nur ein oberer Abschnitt der rechteckigen Säule (Siliziumsäule), die von dem Graben umgeben ist, selektiv auf eine Tiefe von $0,3 \mu\text{m}$ geätzt. Nachdem der Photolack entfernt wurde, wird die gesamte Oberfläche oxidiert. Dann wird das Innere des Grabens durch einen Oxidfilm **336** vergraben, und die Oberfläche der sich ergebenden Anordnung wird geschliffen und bis zur Erzie-

lung einer flachen, spiegelnden Oberfläche poliert, bis der n^+ -Bereich **377** freigelegt ist. Dann wird ein anderes n^+ -Substrat **378** hergestellt, und dessen Oberfläche spiegelnd poliert. Beide Substrate **377**, **378** werden so aufeinandergelegt, daß ihre Spiegeloberflächen einander gegenüberliegen, und 1 Stunde lang bei 100°C wärmebehandelt, um so ein SDB-Substrat auszubilden, wie in [Fig. 50B](#) gezeigt ist.

(c) Durch diesen SDB-Vorgang werden der n^+ -Epitaxiewachstumsbereich **377** und der n^+ -Bereich **378**, der als Trägersubstrat dient, miteinander zu einem Körper vereinigt, was zu einer n^+ -Plattenelektrode **337** führt. Gleichzeitig wird der isolierte n^+ -Bereich **335**, oder die rechteckige Siliziumsäule **335**, in den U-Nuten vergraben. Dann wird, wie in [Fig. 50C](#) gezeigt, das SDB-Substrat nach oben gedreht. Eine Oberfläche des p-Substrats **303** wird solange poliert, bis die vergrabenen Oxidfilme **336** in dem Graben freigelegt sind. Daraufhin wird wie in [Fig. 50C](#) gezeigt ein dicker Oxidfilm **4** für die Vorrichtungsisolierung durch ein LOCOS- oder BOX-Verfahren ausgebildet, abgesehen von einem Vorrichtungsausbildungsbereich. Unter Verwendung des dicken Oxidfilms **4** als Maske wird der n^+ -Drainbereich **304** auf der Oberfläche des p-Substrats **303** hergestellt, durch Implantieren von As-Ionen und dergleichen, und – wie in [Fig. 50C](#) gezeigt – ein Oxidfilm **84** wird auf dem n^+ -Drainbereich **304** hergestellt.

(d) Daraufhin wird photolithographisch der Oxidfilm **84** auf dem n^+ -Drainbereich **304** selektiv entfernt. Wie in [Fig. 50D](#) gezeigt wird eine $\text{Si}_x\text{Ge}_{1-x}$ -Schicht **311** auf der gesamten Oberfläche des n^+ -Drainbereichs **304** und des Oxidfilms **84** mittels CVD ausgebildet, unter Verwendung von SiH_4 (oder SiH_2Cl_2) und GeH_4 (oder GeH_2Cl_2) oder dergleichen. Zu diesem Zeitpunkt werden, um die n^+ -dotierte $\text{Si}_x\text{Ge}_{1-x}$ -Schicht **311** zu erhalten, das AsH_3 -Gas (oder PH_3 -Gas) gleichzeitig mit den SiH_4 - und GeH_4 -Gasen in die Wachstumskammer eingelassen.

(e) Dann wird der Teil der $\text{Si}_x\text{Ge}_{1-x}$ -Schicht **311** unmittelbar auf dem n^+ -Drainbereich, der in dem oberen Oberflächenabschnitt der Siliziumsäule **335** in der ersten U-Nut vorgesehen ist, selektiv mittels Photolithographie entfernt. Zusätzlich wird eine zweite U-Nut in der Siliziumsäule **335** in der ersten U-Nut so hergestellt, daß sie den n^+ -Bereich **335** durch den n^+ -Drainbereich **304** und den p-Bereich **303** erreicht. Dann wird der Gateoxidfilm **305** auf der Oberfläche der zweiten U-Nuten ausgebildet. Der Polysiliziumfilm **308**, der als die Gateelektrode dient, wird durch CVD ausgebildet, wie in [Fig. 50E](#) gezeigt.

(f) Dann erfolgt 30 Minuten lang eine Wärmebehandlung bei 950°C , um so den $\text{Si}_x\text{Ge}_{1-x}$ -Bereich **311** auszubilden, wie [Fig. 43E](#) gezeigt. Dann wird durch CVD der Zwischenschicht-Isolierfilm herge-

stellt, und daraufhin werden in dem Zwischenschicht-Isolierfilm die Kontaktlöcher geöffnet. Daraufhin wird die Kontaktelektrode **338** aus beispielsweise W und dergleichen in den Kontaktlöchern vergraben. Weiterhin wird ein Verdrahtungsmuster der Bitleitung **309** durch ein Metall wie beispielsweise Al, Al-Si, Al-Si-Cu oder dergleichen hergestellt. Damit ist der vertikale MOS-DRAM gemäß der neunzehnten Ausführungsform fertiggestellt.

[0223] Obwohl bei den voranstehenden Erläuterungen eine Herstellungsweise des TFT in der U-Nut **9** durch ein SDB-Verfahren geschildert wurde, kann eine andere Herstellungsweise eingesetzt werden. Dabei wird zuerst die U-Nut **9** in dem n^+ -Substrat **337** hergestellt, dann wird der Oxidfilm **336** auf der Oberfläche der U-Nut ausgebildet, daraufhin wird das Polysilizium **335** in der U-Nut mittels CVD hergestellt, und wird der obere Abschnitt des Polysiliziumbereiches in der U-Nut in einen Einkristall umgewandelt, durch eine Laserwärmebehandlung oder eine Elektronenstrahlwärmebehandlung. Wenn man B-(oder BF_2 -)Ionen in das Einkristallsilizium **303** implantiert, wird der Einkristallkanalbereich **303** des p-Typs des TFT ausgebildet. Durch Implantieren von As-Ionen werden die n^+ -Drainbereiche **304** erhalten, und es ergibt sich ein ähnlicher Aufbau wie in [Fig. 50C](#). Die folgenden Vorgänge sind dieselben wie jene, die bereits im Zusammenhang mit den [Fig. 50C](#) bis [Fig. 50D](#) beschrieben wurden.

[0224] Wie bei den voranstehenden Ausführungsformen kann statt der Si_xGe_{1-x} -Schicht **311** auch Si_xSn_{1-x} , PbS oder dergleichen verwendet werden. Weiterhin kann ein Film aus einem Silizid eines hochschmelzenden Metalls wie beispielsweise $MoSi_2$, $TiSi_2$ oder WSi_2 auf der Oberfläche des Si_xGe_{1-x} **311** ausgebildet werden.

(Zwanzigste Ausführungsform)

[0225] [Fig. 51A](#) ist eine Ansicht, welche den Schaltungsaufbau eines SOI-MOS-DRAM gemäß einer zwanzigsten Ausführungsform zeigt. Bei den voranstehenden sechzehnten bis neunzehnten Ausführungsformen wurde ein Fall erläutert, bei welchem der Halbleiter mit engem Bandabstand wie etwa der Si_xGe_{1-x} -Bereich als der Schalttransistor der DRAM-Zelle ausgebildet wurde. Allerdings werden bei der zwanzigsten Ausführungsform Ge-Ionen nicht in die n^+ -Source- und Drainbereiche des Schalttransistors in dem Zellenfeldabschnitt **531** und einem Meßverstärkerabschnitt **532** des Speichers implantiert, sondern für einen Transistor in einer Peripherieschaltung, die an das Zellenfeld angeschlossen ist.

[0226] Mit anderen Worten werden in [Fig. 51A](#) Ge- oder Sn-Ionen in einen Zeilendekodierer **526**, einen

Spaltendekodierer **524**, die beide an einen Zellenfeldabschnitt **531** angeschlossen sind, in einen Adressenpuffer **522** und **527**, einen Eingangspuffer **528**, einen Ausgangspuffer **521** und dergleichen implantiert. Hierdurch kann ein kleiner Kriechstrom, der in einem Übertragungsgatetransistor oder einem Schalttransistor des Speicherzellenfeldabschnitts **531** einschließlich der Bitleitungen **530** und Wortleitungen **529** hervorgerufen wird, unterdrückt werden, kann die Verschlechterung der Zellenhalteeigenschaften verhindert werden, und eine Immunität gegen "weiche Fehler" erzielt werden. Daher lassen sich die bei einem SOI-DRAM grundsätzlich erreichbaren Vorteile in maximaler Weise nutzen. zwanzigste Ausführungsform

[0227] Die zwanzigste Ausführungsform kann, zusätzlich zum Einsatz bei einem DRAM, bei allen integrierten Halbleiterschaltungen eingesetzt werden. Es kann beispielsweise gewünscht sein, für einen Betrieb mit geringer Leistung den Kriechstrom so weit wie möglich zu unterdrücken. Allerdings sind bei einer logischen integrierten Schaltung, die in einem tragbaren Gerät vorgesehen und in [Fig. 51B](#) gezeigt ist, hohe Draindurchbruchsspannungen für eine Eingabe/Ausgabeschaltung **542**, eine Steuerschaltung **545** und dergleichen erforderlich, infolge der Schnittstelleneigenschaft zwischen den externen Geräten und der logischen Schaltung. Wenn daher Ge- oder Sn-Ionen nicht in die innere Logikschaltung **547** der logischen integrierten Schaltung implantiert werden, sondern nur in den Eingabe/Ausgabe-Schnittstellenabschnitt implantiert werden, kann eine logische integrierte Schaltung hergestellt werden, welche in maximaler Weise die Vorteile erzielt, die unter Verwendung des SOI-Substrats erhalten werden, so daß auch ein kleiner Kriechstrom unterdrückt werden kann, und ein niedriger Stromverbrauch erzielt wird.

[0228] Bei der zwanzigsten Ausführungsform kann die Dosis ϕ oder die Beschleunigungsspannung Vac so gesteuert werden, daß in der integrierten SOI-Schaltung der Si_xGe_{1-x} -Bereich oder der Si_xSn_{1-x} -Bereich nicht den SOI-Film durchdringt, und nicht die vergrabene Oxidschicht erreicht.

[0229] Wenn eine Wärmebehandlung bei einer Temperatur von 700°C oder mehr durchgeführt wird, nach der Implantierung mit Ge- oder Sn-Ionen, können die Kristallfehler infolge der Ausbildung des Si_xGe_{1-x} -Bereichs oder des Si_xSn_{1-x} -Bereichs bezüglich des gewünschten Ortes und der gewünschten Richtung gesteuert werden.

[0230] Statt des Si_xGe_{1-x} -Bereiches kann, wie bei den voranstehenden Ausführungsformen, entweder ein Halbleiter wie etwa PbS, TbTe, PbSe, SnTe, ZnSb, InSb, InAs und dergleichen verwendet werden, der jeweils einen engeren Bandabstand als Si aufweist, oder ein Mischkristall aus Si und einem der-

artigen Halbleiter mit engem Bandabstand.

[0231] Fachleuten auf diesem Gebiet werden nach dem Studium der vorliegenden Anmeldeunterlagen verschiedene Abänderungen deutlich werden, ohne daß vom Umfang der vorliegenden Erfindung abgewichen wird. Zwar wurde ein DRAM als typisches Beispiel für den Speicher bei den voranstehenden Ausführungsformen geschildert, jedoch wird aus den voranstehenden Erläuterungen deutlich, daß auch die Eigenschaften anderer LSIs verbessert werden können, beispielsweise EEPROM oder SRAM, wenn die vorliegende Erfindung bei derartigen anderen LSIs eingesetzt wird. Da der EEPROM eine hohe Durchbruchsspannung erfordert, lassen sich eine hohe Geschwindigkeit und gute Halteeigenschaften erzielen, wenn die Anordnung gemäß der vorliegenden Erfindung eingesetzt wird.

[0232] Bei den voranstehenden Ausführungsformen wurde zwar hauptsächlich ein MOSFET aus Si erläutert, jedoch läßt sich selbstverständlich die vorliegende Erfindung bei Verbindungshalbleitervorrichtungen etwa aus GaAs einsetzen. Zusätzlich zur SOI-Anordnung kann in einem HEMT (High Electron Mobility Transistor; Transistor mit hoher Elektronenbeweglichkeit), welcher einen derartigen AlGaAs-GaAs-Hetero-Übergang verwendet, der in einem halbisolierenden GaAs-Substrat vorgesehen ist, ein entsprechender "Schwebekörpereffekt" auftreten, und dann kann ein Halbleiter wie beispielsweise InSb, InAs oder dergleichen, der einen engeren Bandabstand aufweist als GaAs, in dem n⁺-Sourcebereich vorgesehen werden, um die akkumulierten Löcher in den Körper des P-Typs abzusaugen.

[0233] Weiterhin kann der n⁺-Si-Bereich (der Sourcebereich mit engem Bandabstand) in dem n⁺-Sourcebereich eines SiC-MIS-FET vorgesehen sein, der einen SiC-Kanalbereich des p-Typs aufweist, dessen Bandbreite größer als bei Si ist.

Patentansprüche

1. Transistor mit isoliertem Gate (IG-Transistor), umfassend: einen Kanalbereich eines ersten Leitfähigkeitstyps, der aus einem ersten Halbleiter besteht, und der in einem für den Floating-Body-Effekt (Schwebekörpereffekt) empfänglichen Zustand ausgebildet ist; einen auf dem Kanalbereich vorgesehenen Gate-Isolierfilm (**204**); und eine auf dem Gate-Isolierfilm (**204**) vorgesehene Gate-Elektrode (**205**), zum Steuern eines durch den Kanalbereich fließenden elektrischen Stroms, mit:
einem ersten Source-Bereich (**216, 211**) eines zweiten Leitfähigkeitstyps, der aus einem zweiten Halbleiter besteht, der einen engeren verbotenen Bandabstand aufweist als der erste Halbleiter, wobei der erste Source-Bereich (**216, 211**) mit einem ersten Verunreinigungselement dotiert ist, um den zweiten Leitfä-

higkeitstyp auszubilden, einem zweiten Source-Bereich (**217; 219**), der den zweiten Leitfähigkeitstyp aufweist, und der angrenzend an den ersten Source-Bereich ausgebildet ist und aus dem ersten Halbleiter besteht, wobei zumindest das erste Verunreinigungselement in den zweiten Source-Bereich (**217; 219**) eindotiert ist; wobei ein zweites Verunreinigungselement in den ersten Source-Bereich (**216, 211**) eindotiert ist, um so die Gitterfehlanspassung in der Hetero-Übergangsanordnung zu kompensieren, die zwischen dem ersten und dem zweiten Halbleiter gebildet wird.

2. Transistor mit isoliertem Gate nach Anspruch 1, wobei der Kanalbereich ein SOI-Film (**203**) ist, der derart auf einem von einem Substrat (**201**) getragenen vergrabenen Oxidfilm (**202**) ausgebildet ist, dass der SOI-Film im isolierten Zustand ist, eingelegt zwischen dem Gate-Isolierfilm (**204**) und dem vergrabenen Oxidfilm (**202**).

3. Transistor nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das zweite Verunreinigungselement einen kleineren Kovalenzradius aufweist als ein wesentliches Element des ersten Halbleiters.

4. Transistor nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Material des ersten Halbleiters Si ist, das Material des zweiten Halbleiters Si_xGe_{1-x} ist, und das erste Verunreinigungselement As oder Sb ist, wenn das zweite Verunreinigungselement eines von P oder B ist.

5. Transistor nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die erste Verunreinigung in einen anderen Ort eindotiert ist als in den Ort des zweiten Verunreinigungselements.

6. Transistor mit isoliertem Gate nach einem der Ansprüche 1 bis 5, wobei der zweite Source-Bereich (**217; 219**), der den zweiten Leitfähigkeitstyp aufweist, und angrenzend an den ersten Source-Bereich (**216, 211**) angeordnet ist und aus dem ersten Halbleiter besteht an einem Ort vorgesehen ist, der eine größere Tiefe aufweist als eine Minimaltiefe einer Verarmungsschicht, die von dem Gate-Isolierfilm aus ausgeht, und die Verarmungsschicht in dem Kanalbereich in einem Hauptbetriebszustand ausgebildet wird.

7. Transistor nach Anspruch 6, dadurch gekennzeichnet, dass eine Source-Metallelektrode (**218**) auf dem ersten Source-Bereich (**211**) und in Kontakt mit diesem über eine Nut vorgesehen ist, die in dem zweiten Source-Bereich (**219**) vorgesehen ist.

8. Transistor nach Anspruch 6, dadurch gekennzeichnet, dass der erste Source-Bereich (**211; 47**) mit einer Source-Metallelektrode (**218**) über einen dritten Source-Bereich (**51**) verbunden ist, welcher auf dem

ersten Source-Bereich (216; 47) vorgesehen ist und mit diesem in Kontakt steht, und aus einem Halbleiter besteht, der einen engeren verbotenen Bandabstand aufweist als der erste Halbleiter.

9. Transistor nach Anspruch 6, dadurch gekennzeichnet, dass der erste Source-Bereich (216, 47) mit einer Source-Metallelektrode (218) über ein Metallsilizid (74) verbunden ist, welches auf dem ersten Source-Bereich (216, 47) vorgesehen ist und mit diesem in Kontakt steht.

10. Transistor mit isoliertem Gate nach Anspruch 1, wobei der Kanalbereich einen aus dem ersten Halbleiter gebildeten ersten Körperbereich implementiert, der auf einem vergrabenen Isolierfilm angeordnet ist und in Kontakt mit diesem steht, ferner einen zweiten Körperbereich des ersten Leitfähigkeitstyps umfassend, der aus dem zweiten Halbleiter gebildet ist; wobei ein Abschnitt des ersten Körperbereiches, durch welchen der Hauptstrom des Transistors fließt, und der erste Source-Bereich elektrisch über den zweiten Körperbereich verbunden sind.

11. Transistor nach Anspruch 10, dadurch gekennzeichnet, dass der erste Source-Bereich (216, 211; 47) zumindest einen Abschnitt (216 bzw. 47) aufweist, der weiter unten liegt als der zweite Source-Bereich (217; 219; 51), so dass der Boden des ersten Source-Bereiches (216, 211; 47) in Kontakt mit dem vergrabenen Oxidfilm steht.

12. Transistor nach Anspruch 10, dadurch gekennzeichnet, dass der zweite Source-Bereich mit dem ersten Körperbereich über zumindest entweder den oberen oder den unteren Schichtabschnitt des ersten Körperbereichs in Kontakt steht.

13. Transistor nach Anspruch 10, dadurch gekennzeichnet, dass der zweite Source-Bereich nicht metallurgisch in Kontakt mit dem ersten Körperbereich steht, sondern elektrisch über den ersten Source-Bereich und den zweiten Körperbereich an den ersten Körperbereich angeschlossen ist.

14. Transistor nach Anspruch 1, wobei: der Kanalbereich einen ersten Körperbereich eines ersten Leitfähigkeitstyps implementiert, der aus einem ersten Halbleiter gebildet ist, der auf einem vergrabenen Oxidfilm ausgebildet ist; der erste Source-Bereich eines zweiten Leitfähigkeitstyps auf dem ersten Isolierfilm ausgebildet ist und in Kontakt mit diesem steht; der zweite Source-Bereich des zweiten Leitfähigkeitstyps in Kontakt mit dem ersten Source-Bereich steht und an einem weniger tiefen Ort angeordnet ist als der erste Source-Bereich; und ferner umfassend: einem zweiten Körperbereich des ersten Leitfähigkeitstyps, der in Kontakt mit dem vergrabenen Oxid-

film steht;

wobei der untere Schichtabschnitt des ersten Körperbereichs elektrisch mit dem ersten Source-Bereich über den zweiten Körperbereich verbunden ist.

15. Transistor nach Anspruch 1, wobei der Kanalbereich einen ersten Körperbereich, der aus einem ersten Halbleiter besteht, der auf einem vergrabenen Oxidfilm gebildet ist; ferner umfassend: einem zweiten Körperbereich des ersten Leitfähigkeitstyps, der aus einem zweiten Halbleiter besteht, der einen engeren verbotenen Bandabstand aufweist als der erste Halbleiter, wobei der zweite Körperbereich auf dem ersten Körperbereich vorgesehen ist, wobei der zweite Source-Bereich in Kontakt mit dem ersten Source-Bereich steht, und der erste Source-Bereich mit dem zweiten Körperbereich in Kontakt steht.

16. Transistor nach einem der Ansprüche 10, 14 und 15, dadurch gekennzeichnet, dass ein Metallsilizidfilm (74) vorgesehen ist, der auf dem ersten Source-Bereich (216; 47) angeordnet ist und mit diesem in Kontakt steht.

17. Transistor nach Anspruch 1, wobei der zweite Source-Bereich einen Abschnitt aufweist, der weiter unten angeordnet ist als der erste Source-Bereich, und der erste Source-Bereich vollständig in dem zweiten Source-Bereich enthalten ist, abgesehen von der oberen Oberfläche, so dass der Kristallfehler infolge der Gitterfehlpassung in dem Hetero-Übergang zwischen dem ersten und dem zweiten Halbleiter vollständig in dem zweiten Source-Bereich enthalten ist.

18. Transistor nach einem der Ansprüche 1 bis 17, wobei der erste Halbleiter Silizium (Si) ist, und der zweite Halbleiter entweder $\text{Si}_x\text{Ge}_{1-x}$ oder $\text{Si}_x\text{Sn}_{1-x}$ ist, dessen Si-Molfraktion 99 bis 70% beträgt.

19. Transistor nach Anspruch 1, wobei der Kanalbereich säulenförmig ausgebildet ist um den Isolationszustand mit einem Gate-Isolierfilm zu implementieren, der so ausgebildet ist, dass er eine Umfangsflächenoberfläche des Kanalbereichs umgibt, und eine die Außenoberfläche des Gate-Isolierfilms umgebende Gate-Elektrode.

20. Verfahren zur Herstellung einer Halbleitervorrichtung mit isoliertem Gate, umfassend: Ausbilden einer SOI-Anordnung, wobei ein SOI-Film eines ersten Leitfähigkeitstyps aus einkristallinem Silizium auf einem Trägersubstrat hergestellt wird, wobei das Trägersubstrat einen oberen Abschnitt aus Isoliermaterial aufweist; Ausbilden eines Gate-Isolierfilms und einer Gate-Elektrode auf dem SOI-Film; Implantieren erster Verunreinigungen eines zweiten Leitfähigkeitstyps in dem SOI-Film unter Ver-

wendung der Gate-Elektrode als Maske;
 Implantieren mindestens einer Art von Ionen von Ge und Sri in den SOI-Film zum Bilden eines Halbleiters mit engem Bandabstand, der einen engeren verbotenen Bandabstand hat als Silizium, unter Verwendung der Gate-Elektrode als Maske;
 Implantieren zweiter Verunreinigungen des zweiten Leitfähigkeitstyps in dem SOI-Film unter Verwendung der Gate-Elektrode als Maske;
 Wärmebehandeln des SOI-Films bei einer Temperatur von 700°C oder darüber, um einen aus dem Halbleiter mit engem Bandabstand gebildeten ersten Source-Bereich vom zweiten Leitfähigkeitstyp auszubilden, wobei der erste Source-bereich mit den aktivierten ersten und zweiten Verunreinigungen dotiert ist, und um einen aus Silizium gebildeten zweiten Source-Bereich vom zweiten Leitfähigkeitstyp auszubilden, wobei der zweite Source-Bereich angrenzend an den ersten Source-Bereich angeordnet ist und mit den aktivierten ersten Verunreinigungen dotiert ist, wobei die aktivierten zweiten Verunreinigungen in dem ersten Source-Bereich die Gitterfehlpassung in der zwischen Silizium und dem Halbleiter mit engem Bandabstand gebildeten Hetero-Übergangsstruktur derart kompensieren, dass der Ort und die Richtung von Kristallfehlern infolge der Innenimplantation steuerbar sind.

21. Verfahren nach Anspruch 20, ferner umfassend:

Ausbilden eines Seitenwand-Abstandsstücks auf einem Seitenabschnitt der Gate-Elektrode nach der Implantation zum Bilden des Halbleiters mit engem Bandabstand und der Implantation der ersten Verunreinigungen;
 wobei die zweiten Verunreinigungen der Verunreinigung des zweiten Leitfähigkeitstyps in den SOI-Film unter Verwendung der Gate-Elektrode und der Seitenwand-Abstandsstücke als Maske implantiert werden.

22. Verfahren nach Anspruch 20, ferner umfassend:

Ausbilden eines Seitenwand-Abstandsstücks auf einem Seitenabschnitt des Gate-Elektrodenbereichs nach der Implantation der ersten Verunreinigungen,
 wobei die mindestens eine Art von Ge-Ionen und Sn-Ionen unter Verwendung der Gate-Elektrode und des Seitenwand-Abstandsstücks implantiert wird mit einer derart eingestellten Beschleunigungsspannung für die Innenimplantation, dass die Ionen in den SOI-Film durch zumindest einen Teil des Seitenwand-Abstandsstücks hindurch implantiert werden.

23. Verfahren nach Anspruch 22, wobei die Beschleunigungsspannung so eingestellt wird, dass die mindestens eine Art von Ionen von Ge und Sn in den SOI-Film durch das Gate und durch den Gate-Isolier-

film hindurch implantiert werden.

24. Verfahren nach Anspruch 20, ferner umfassend:

Ausbilden eines hochschmelzenden Metalls auf dem Bereich mit engem Bandabstand; und
 Ausbilden eines Films aus einem Silizid eines hochschmelzenden Metalls auf dem Source-Bereich mit engem Bandabstand mittels Wärmebehandlung.

Es folgen 53 Blatt Zeichnungen

FIG. 1

STAND DER TECHNIK

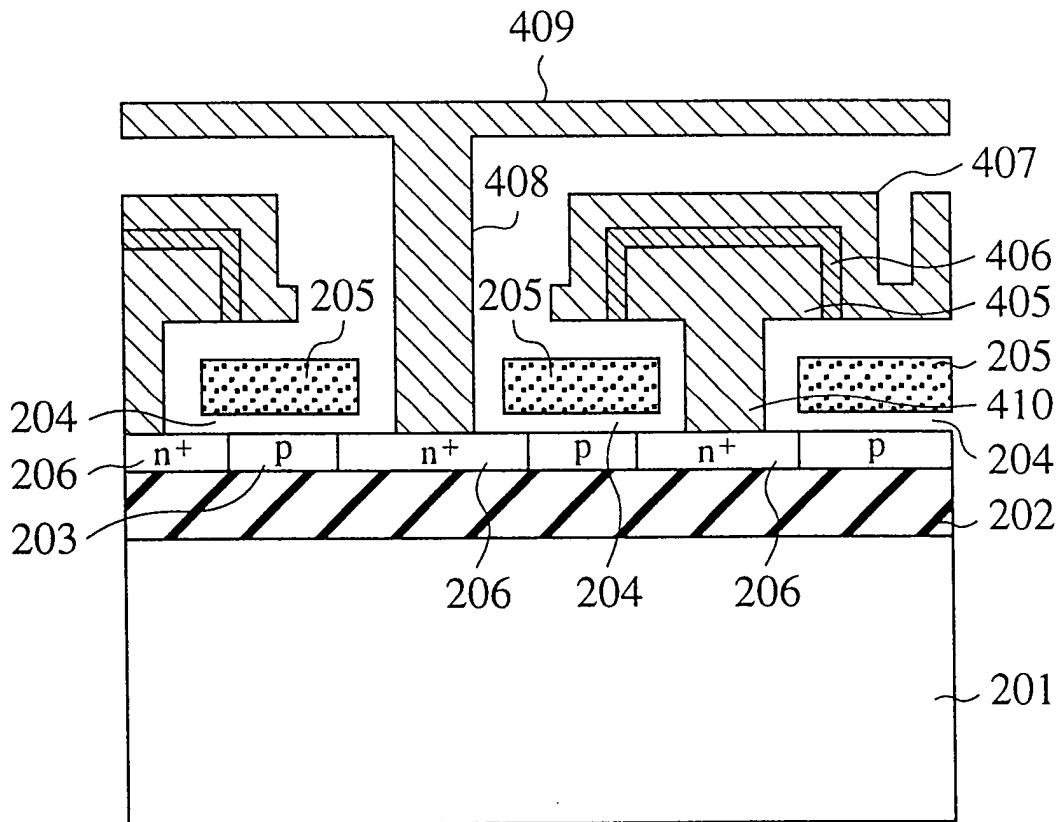


FIG. 2

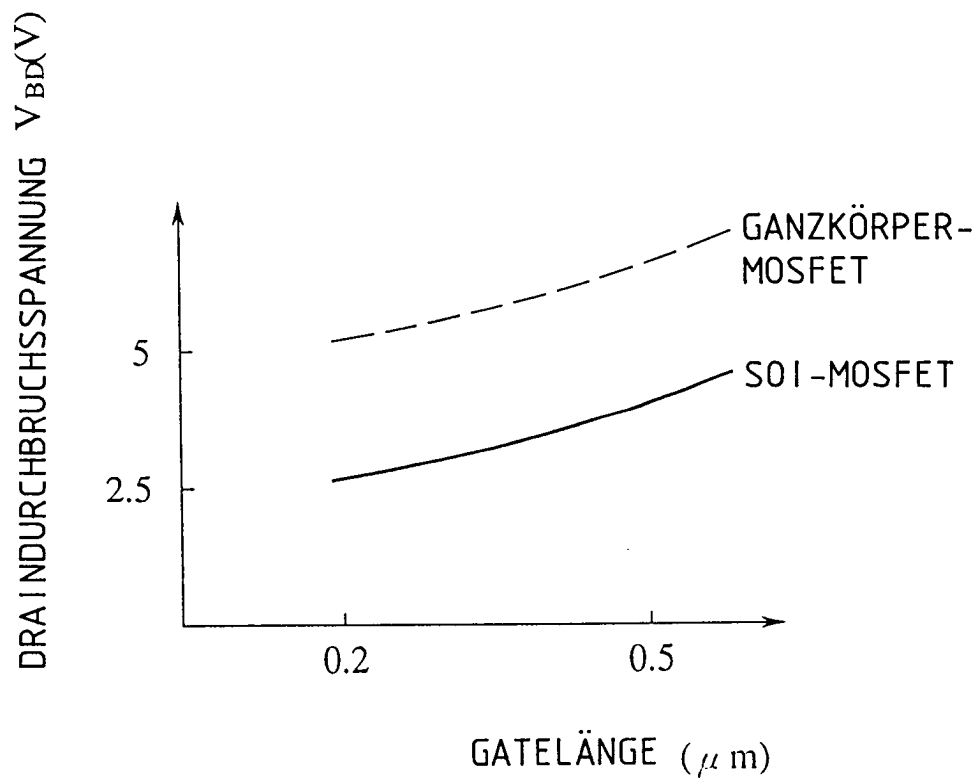


FIG. 3A

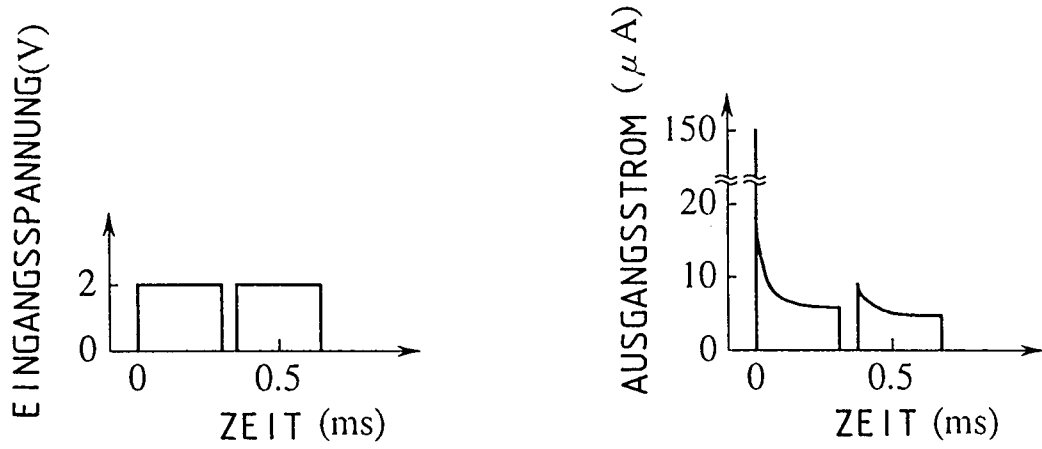


FIG. 3B

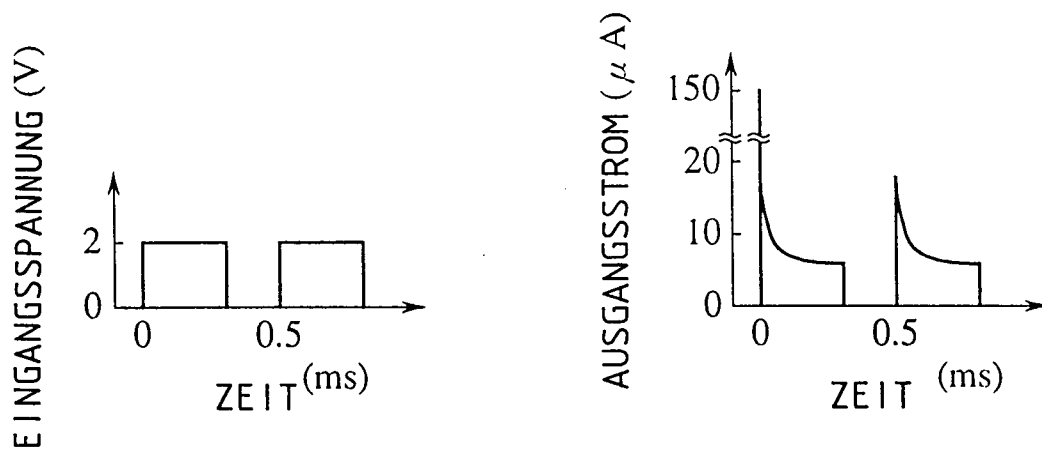


FIG. 3C

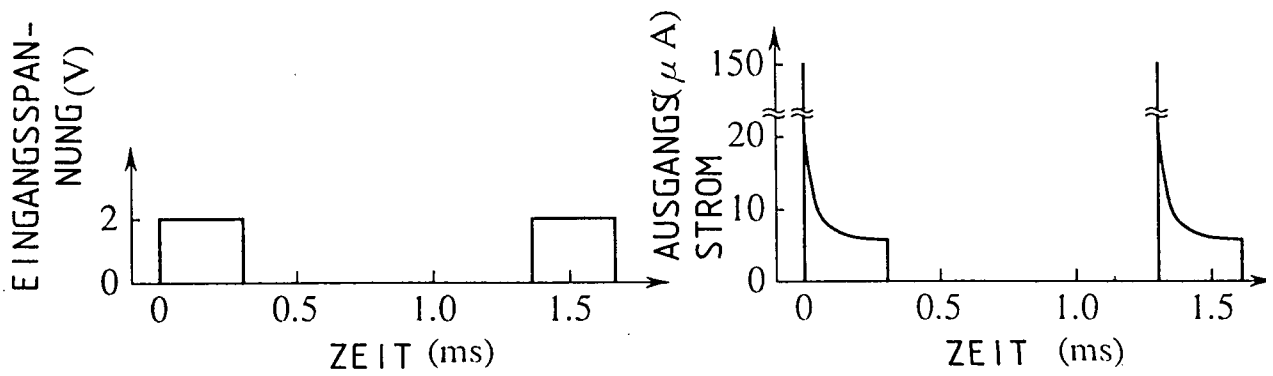


FIG. 4A

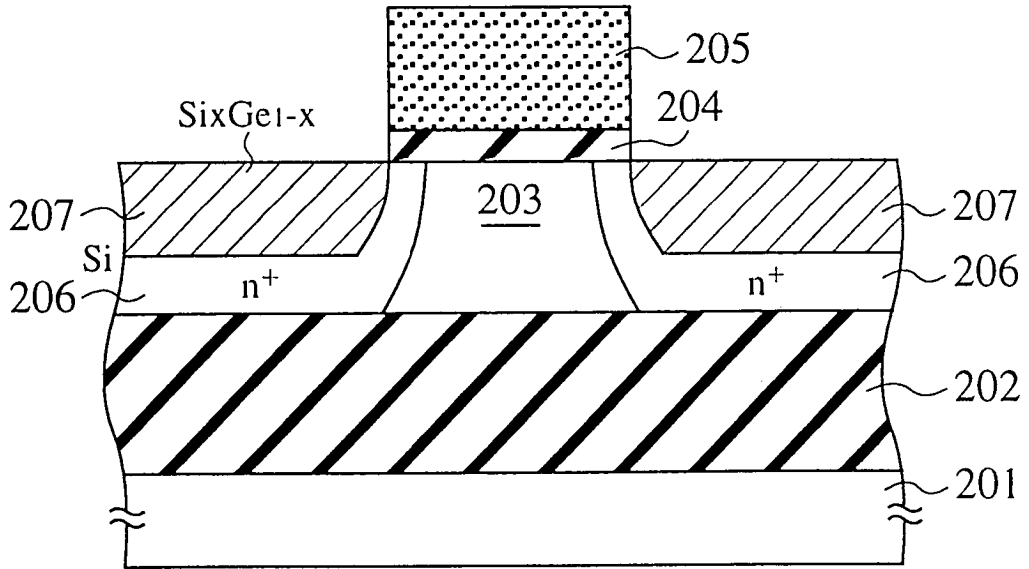


FIG. 4B

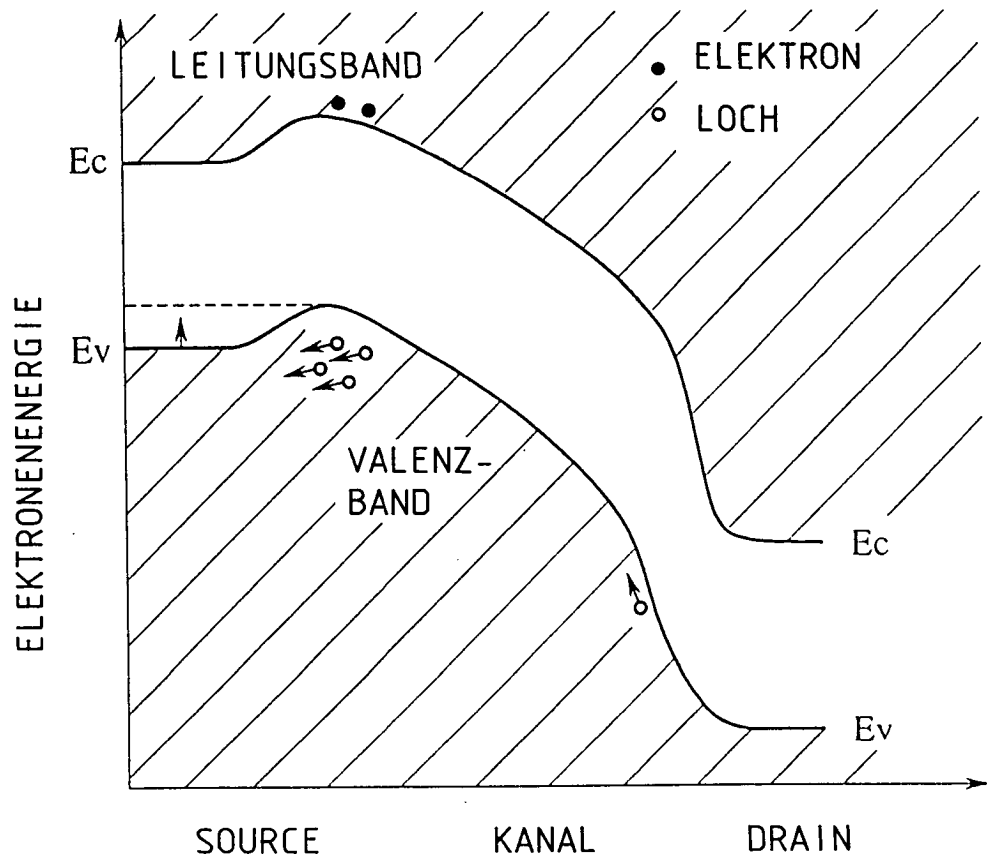


FIG. 5A

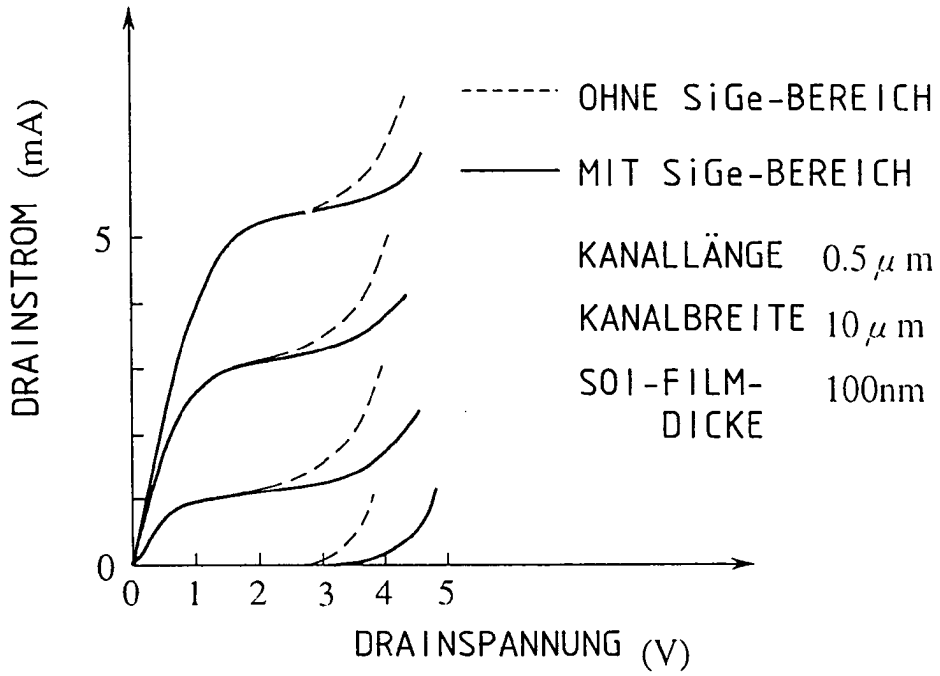
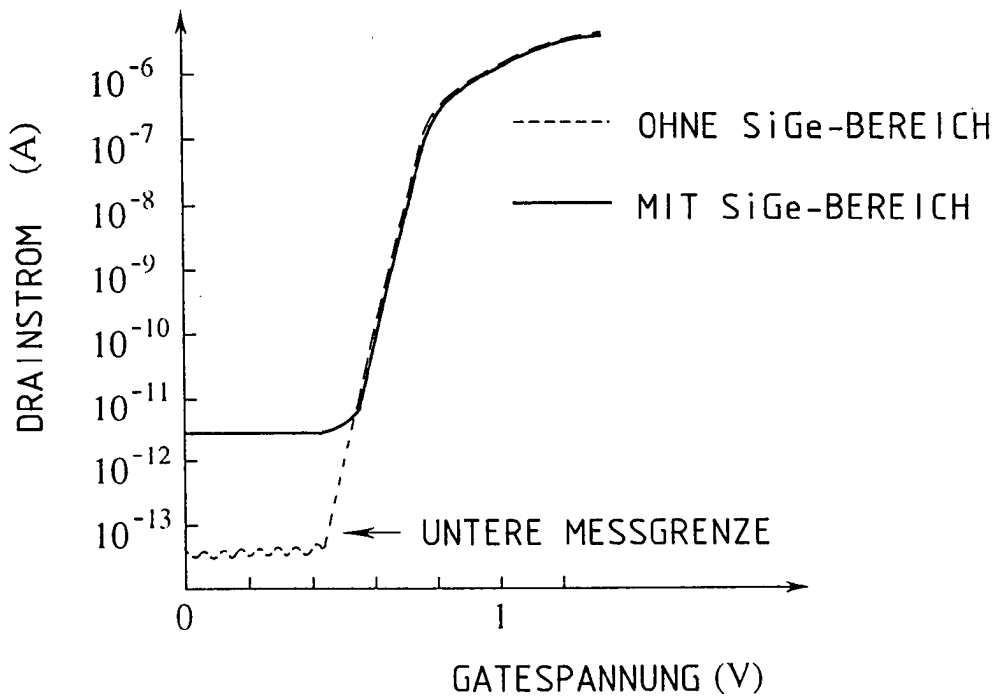


FIG. 5B



VERBESSERUNG ΔV_{BD} (V) DER DRAIN-
DURCHBRUCHSSPANNUNG

FIG. 6

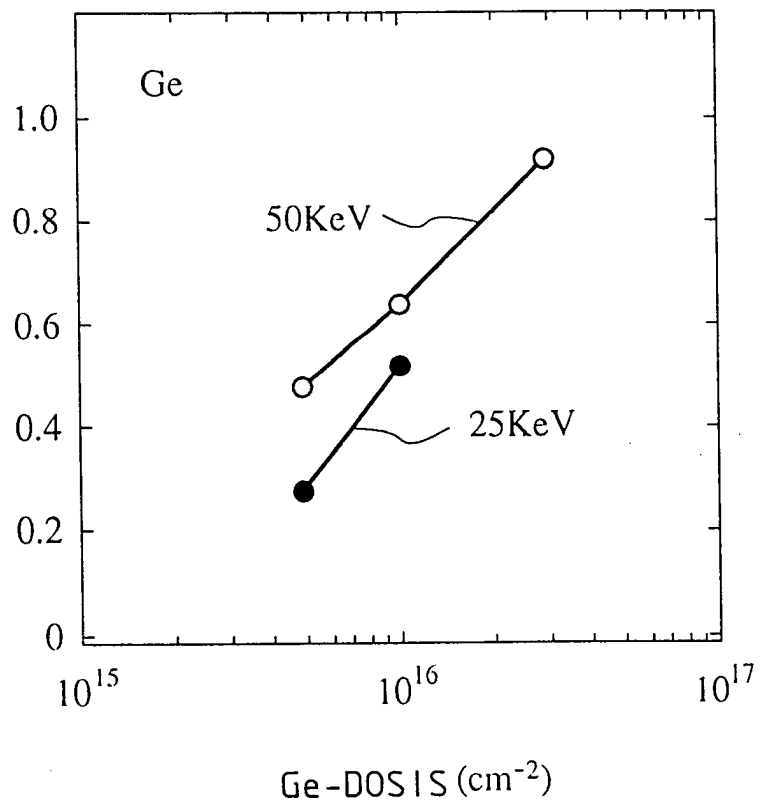


FIG. 7

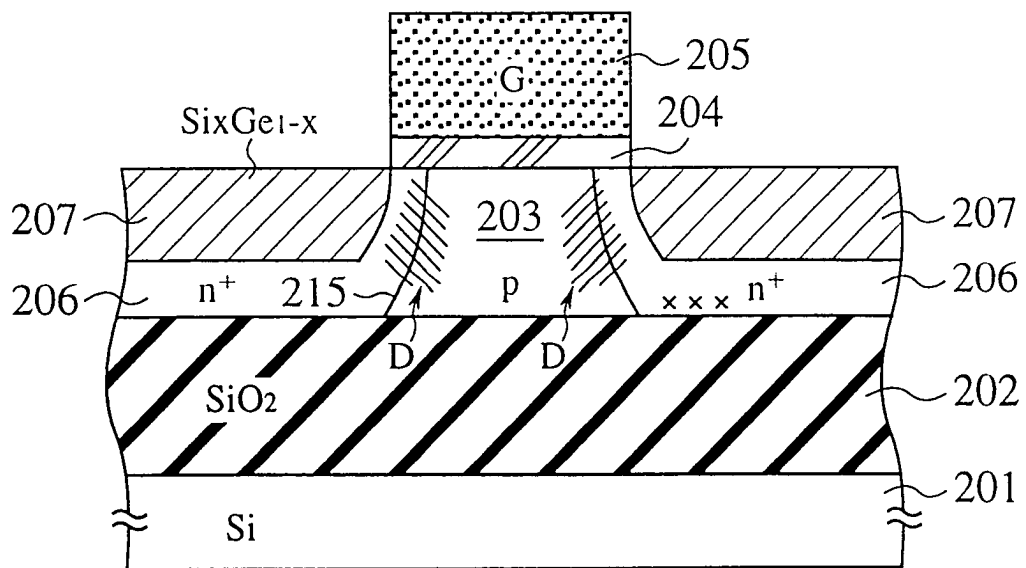


FIG. 8

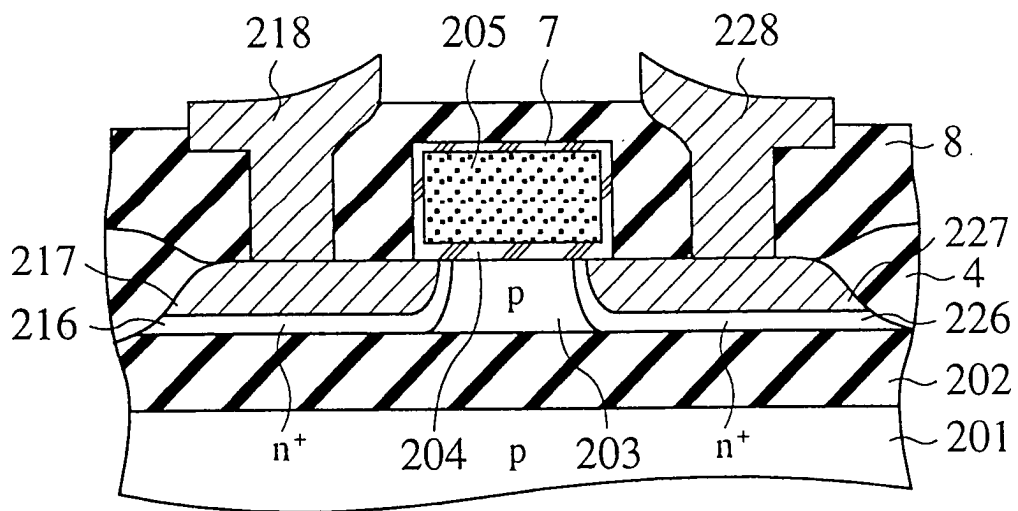


FIG. 9A

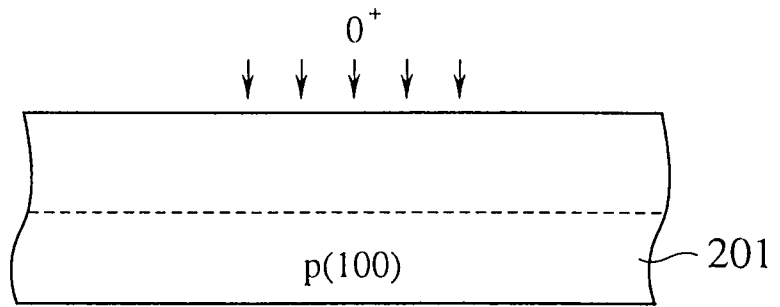


FIG. 9B

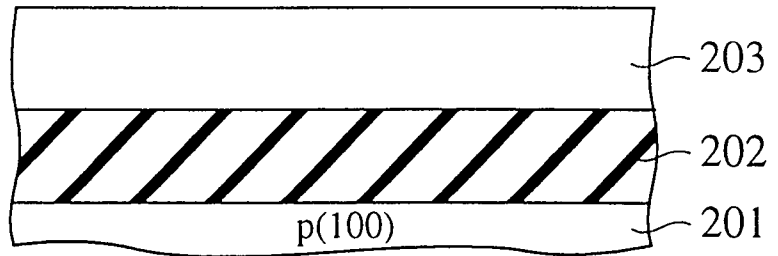


FIG. 9C

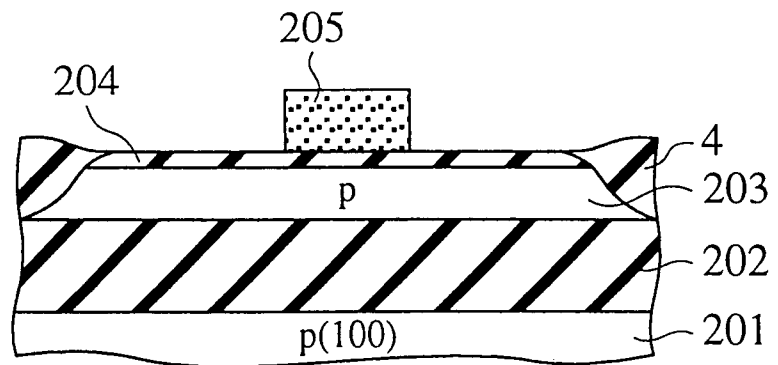


FIG. 9D

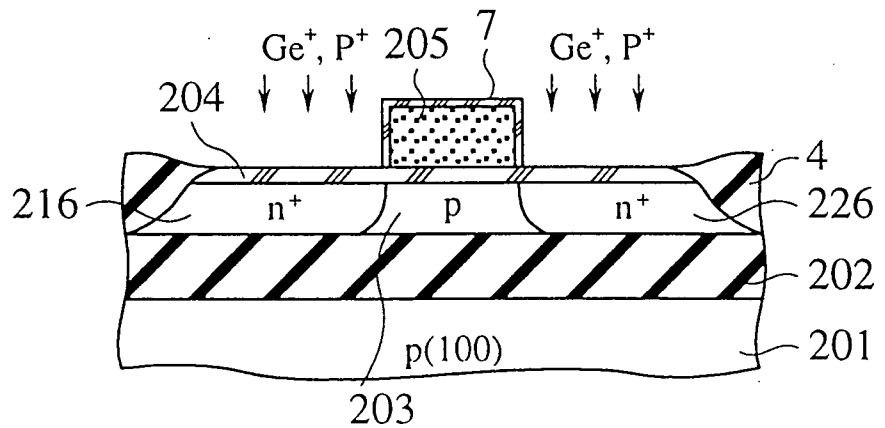


FIG. 11A

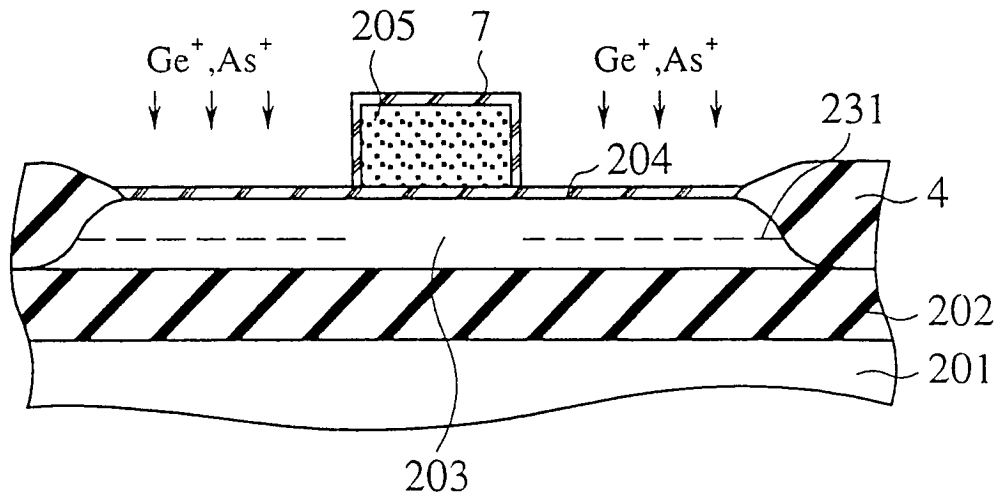


FIG. 11B

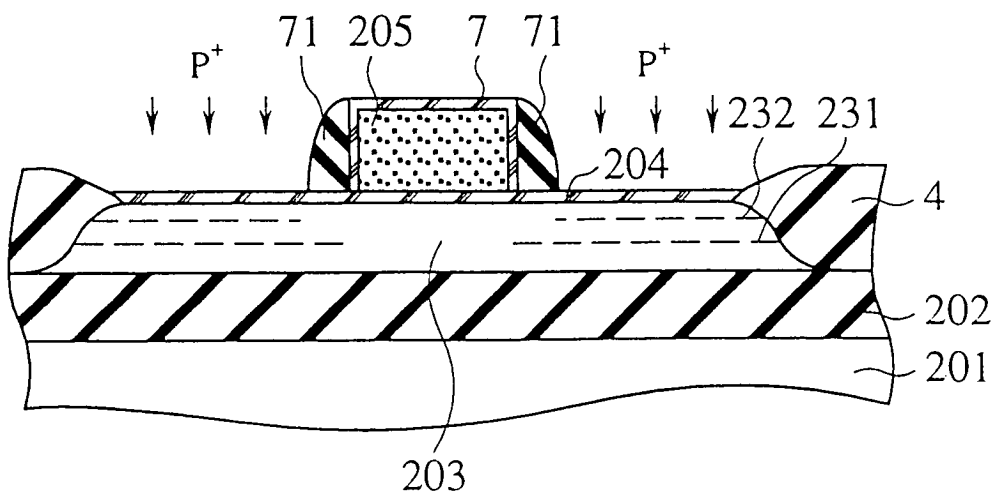


FIG. 12A

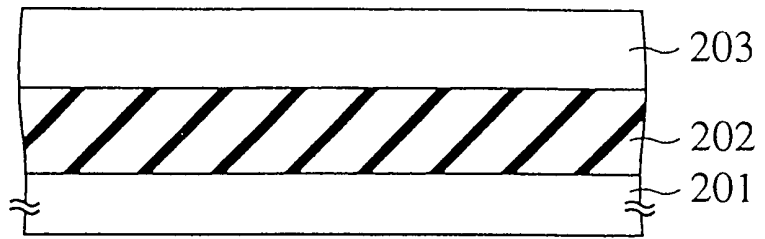


FIG. 12B

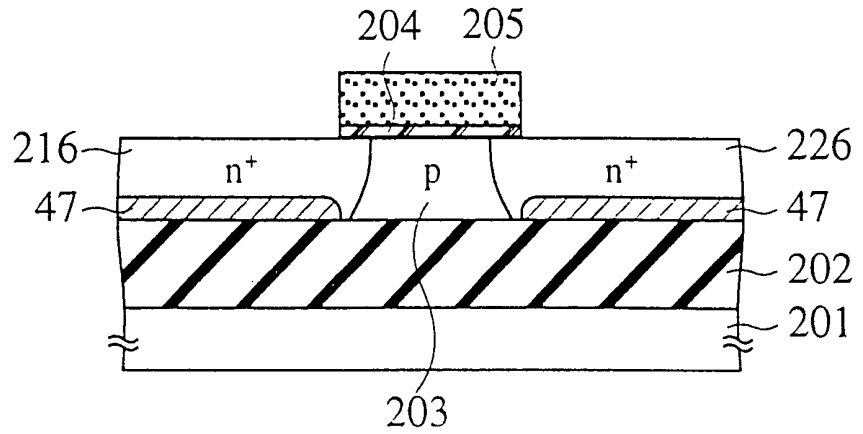


FIG. 12C

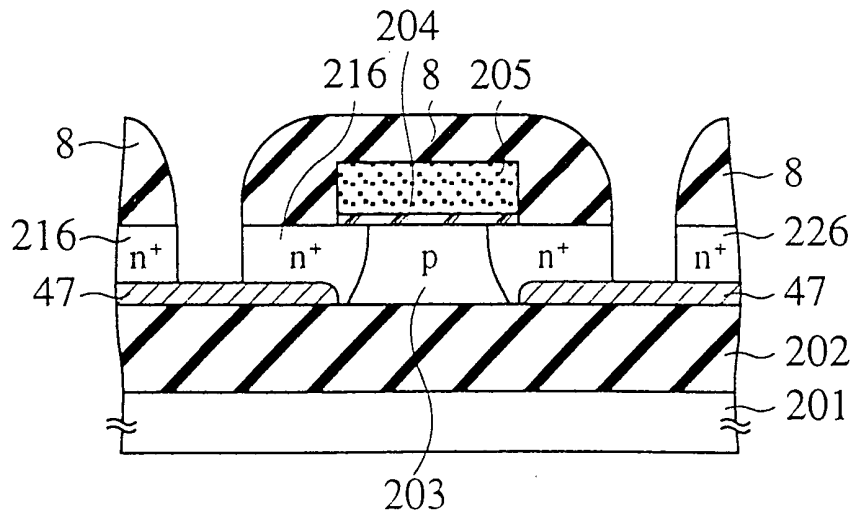


FIG. 12D

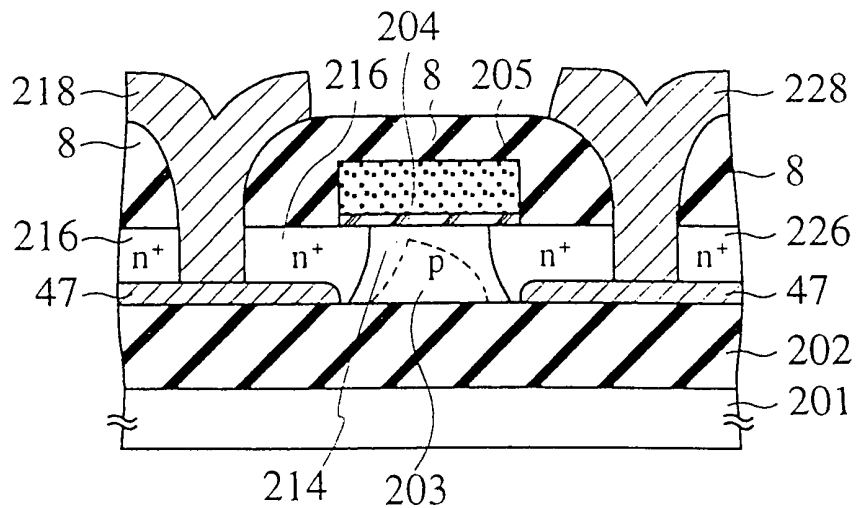


FIG. 13A

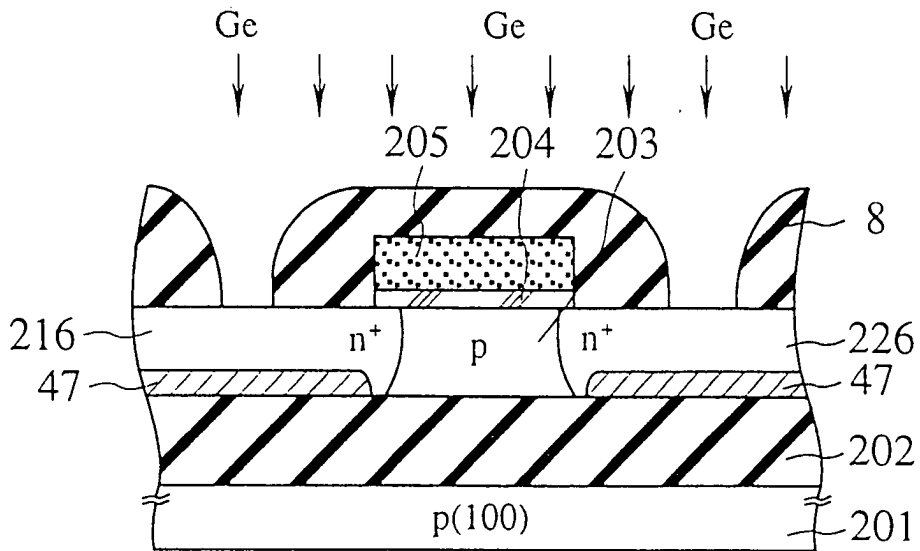


FIG. 13B

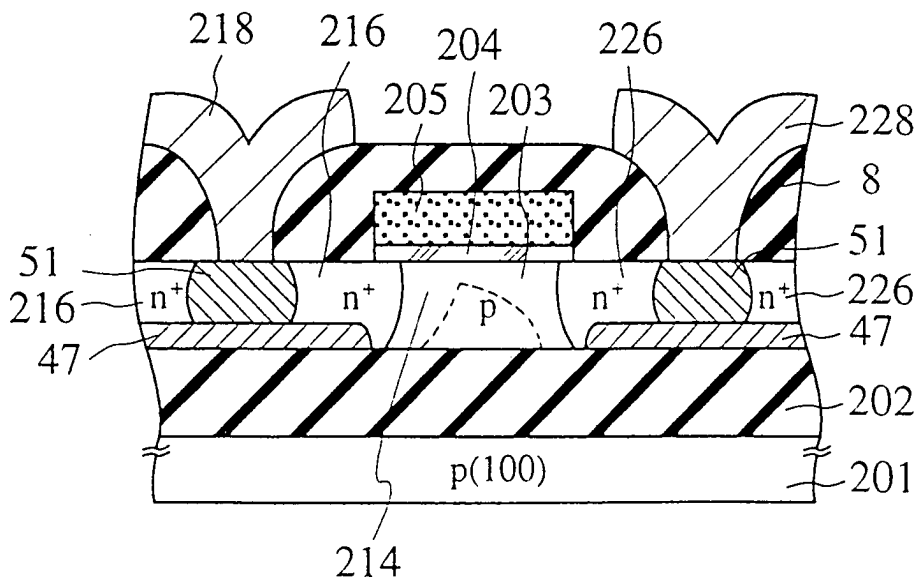


FIG. 14

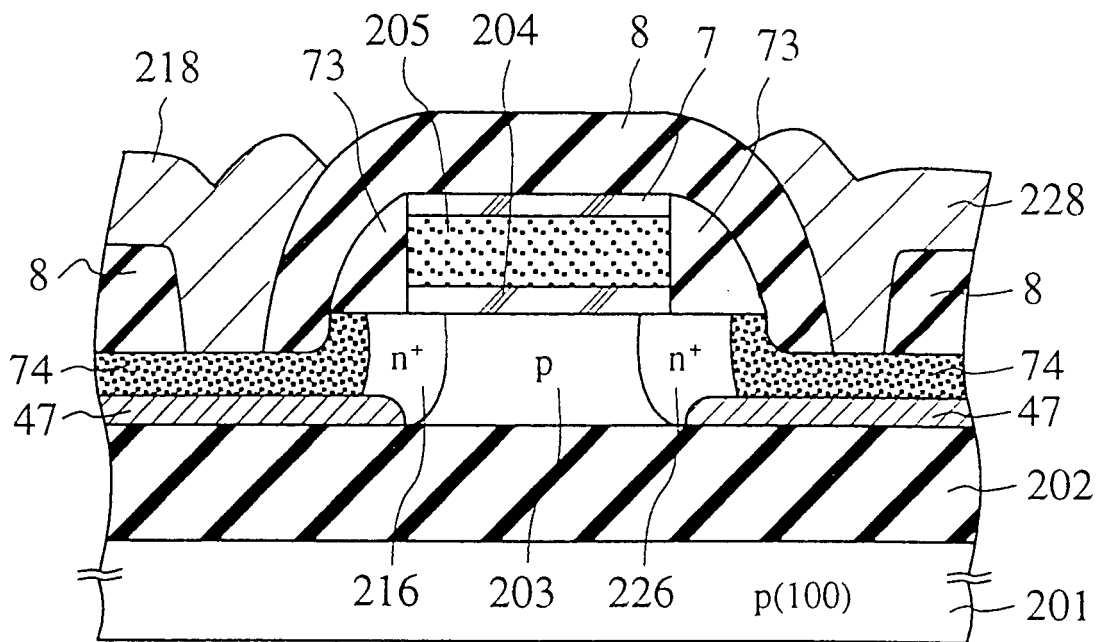


FIG. 15A

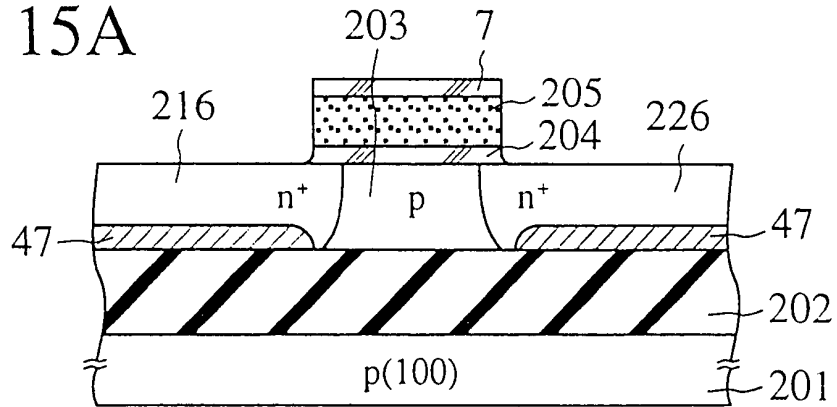


FIG. 15B

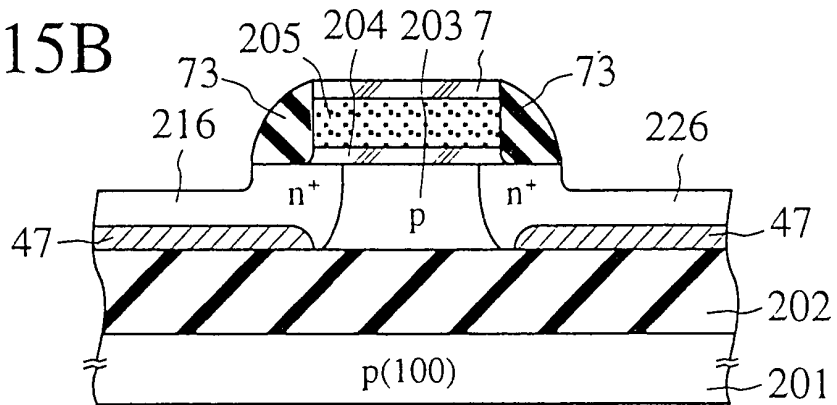


FIG. 15C

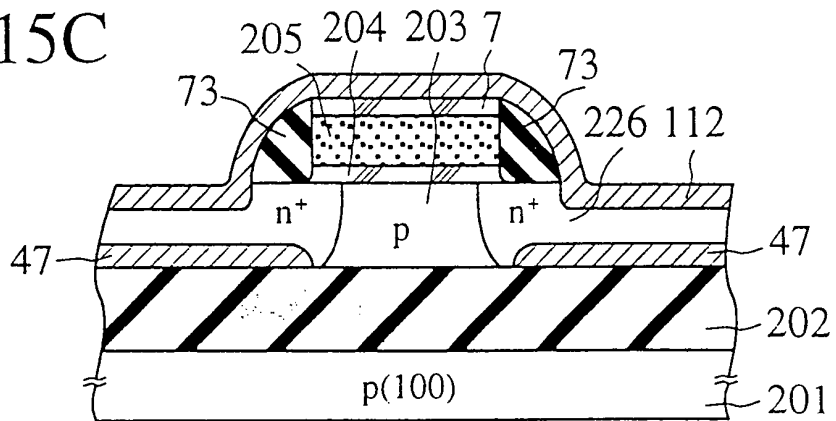


FIG. 15D

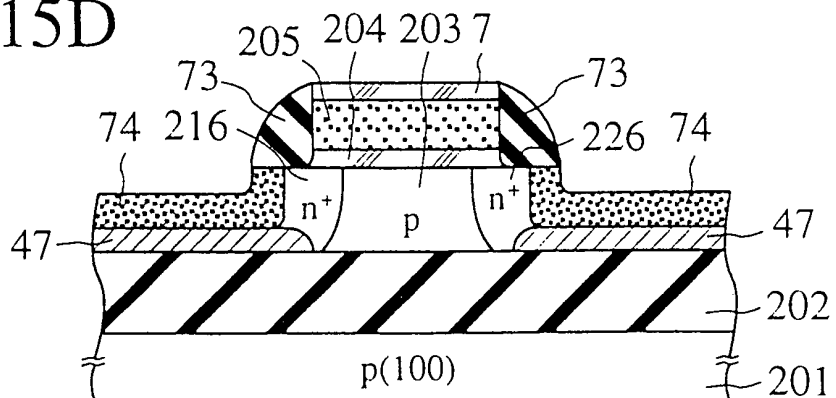


FIG. 16A

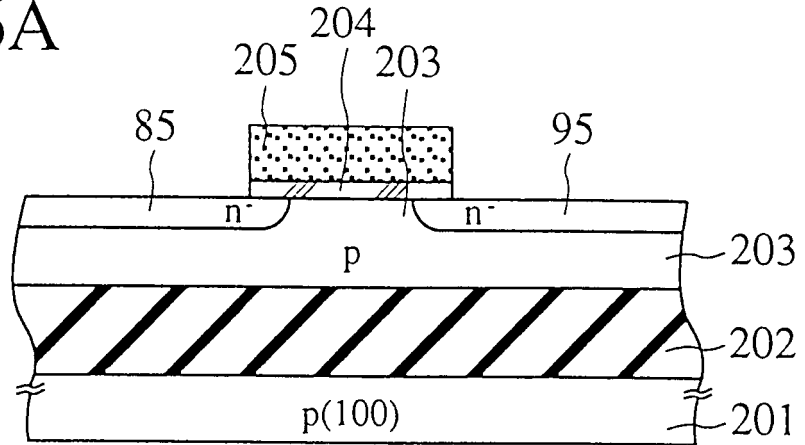


FIG. 16B

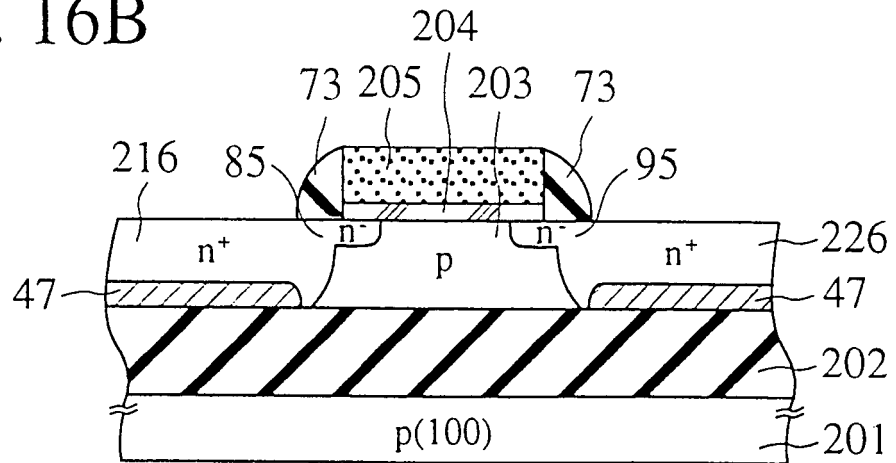


FIG. 16C

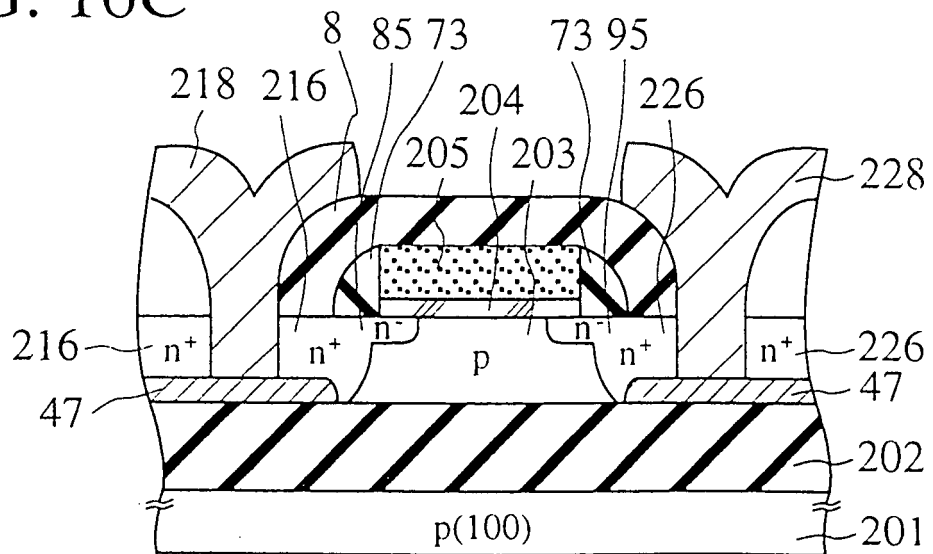


FIG. 17A

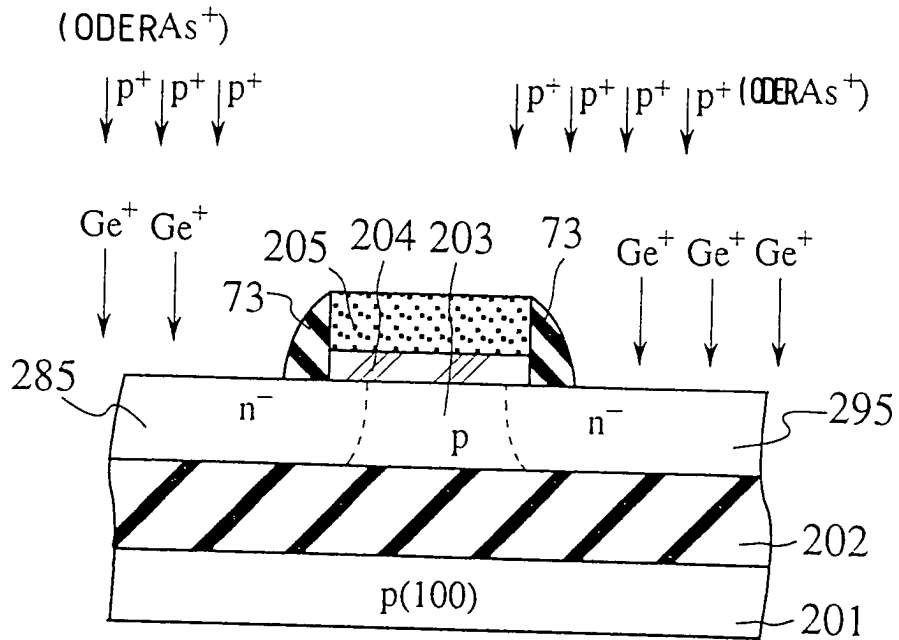


FIG. 17B

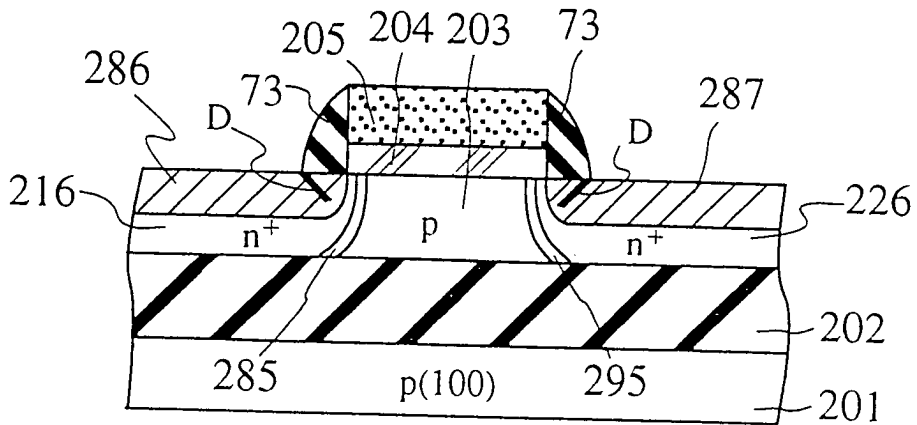


FIG. 18A

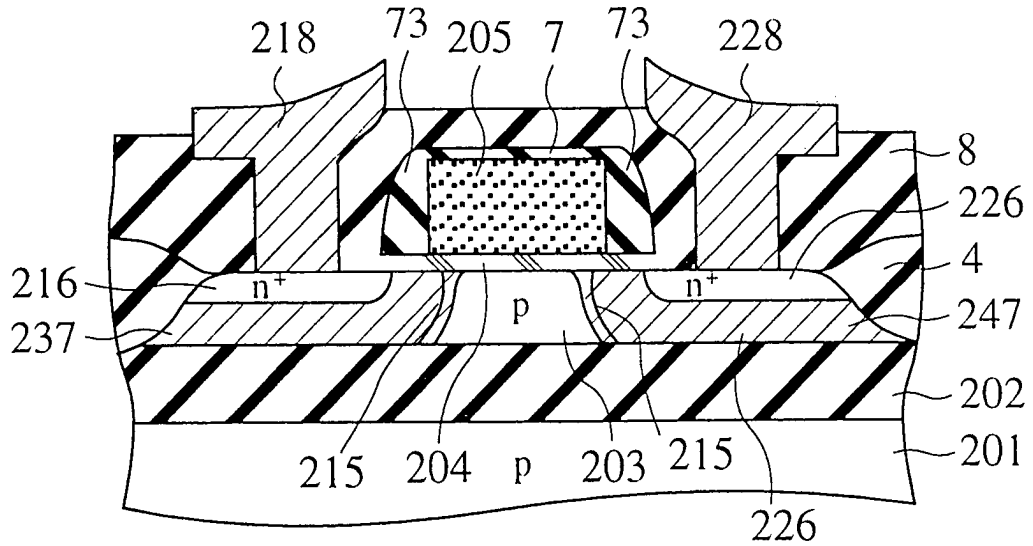


FIG. 18B

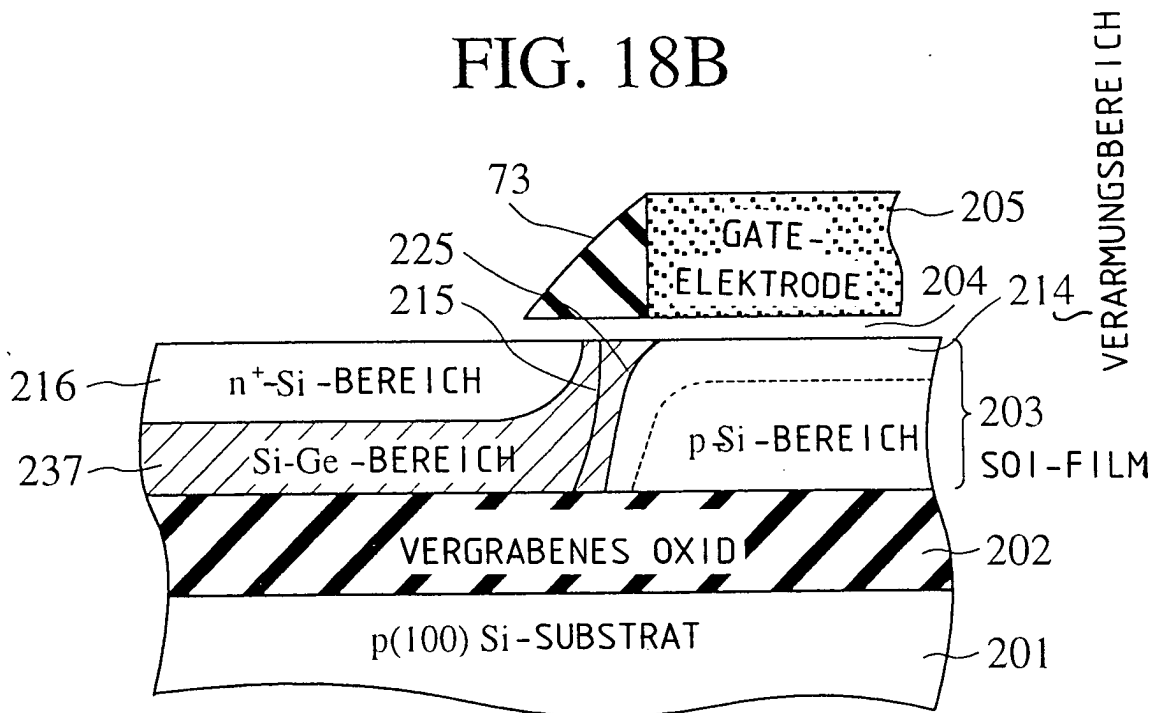


FIG. 19

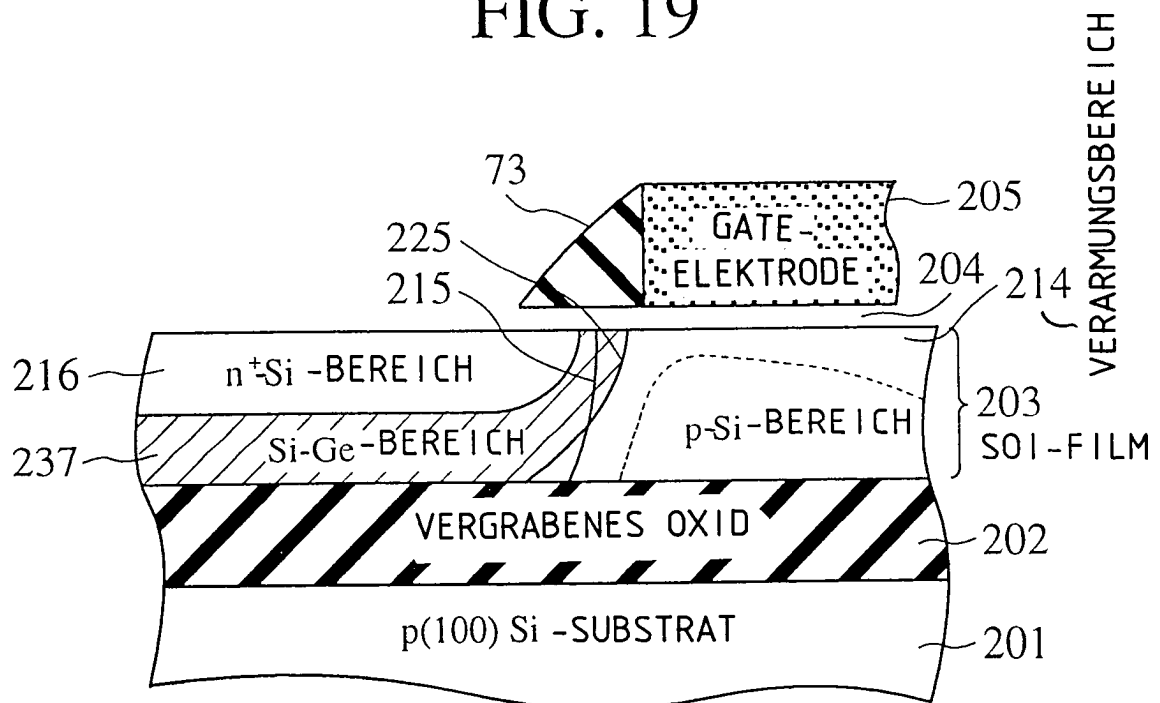


FIG. 20

POTENTIALSCHWELLENHÖHE
FÜR LÖCHER IN EINEM
HETEROÜBERGANGS-FET
DER 7. AUSFÜHRUNGS-
FORM

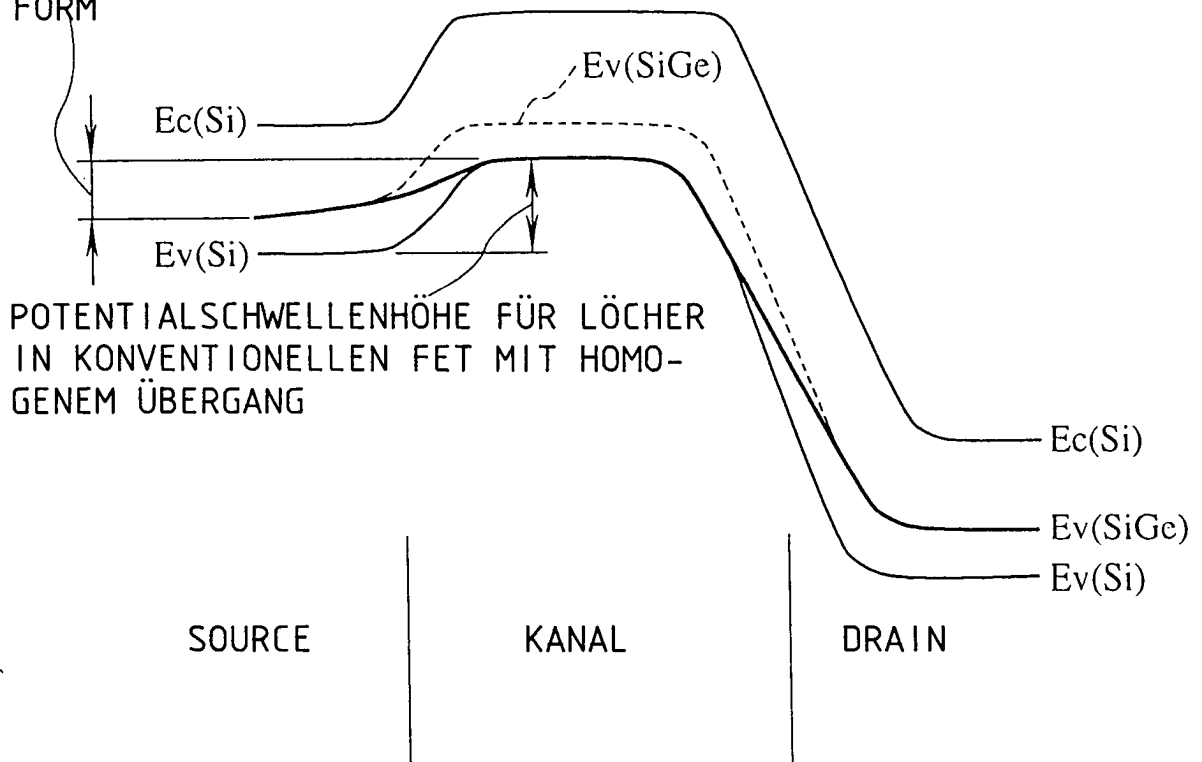


FIG. 21A

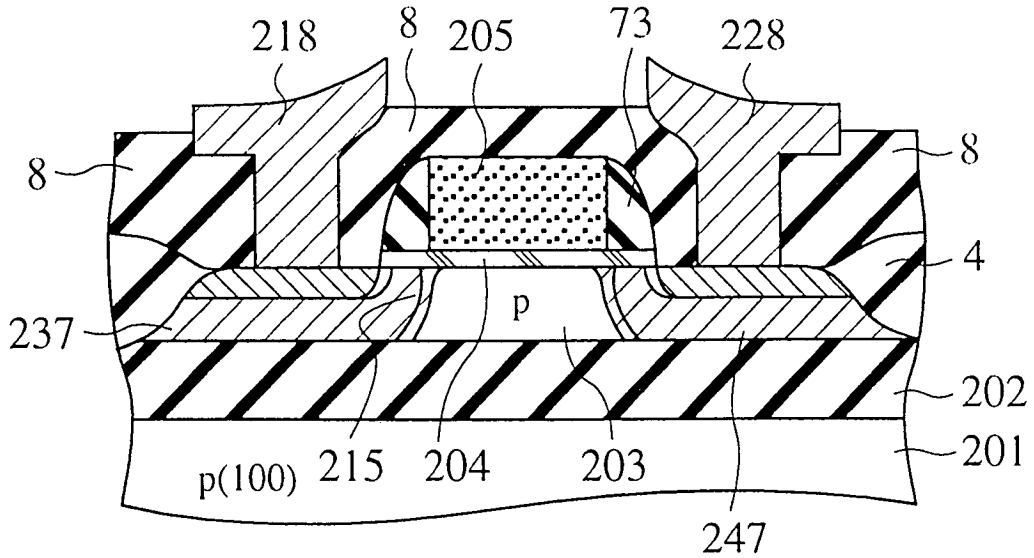


FIG. 21B

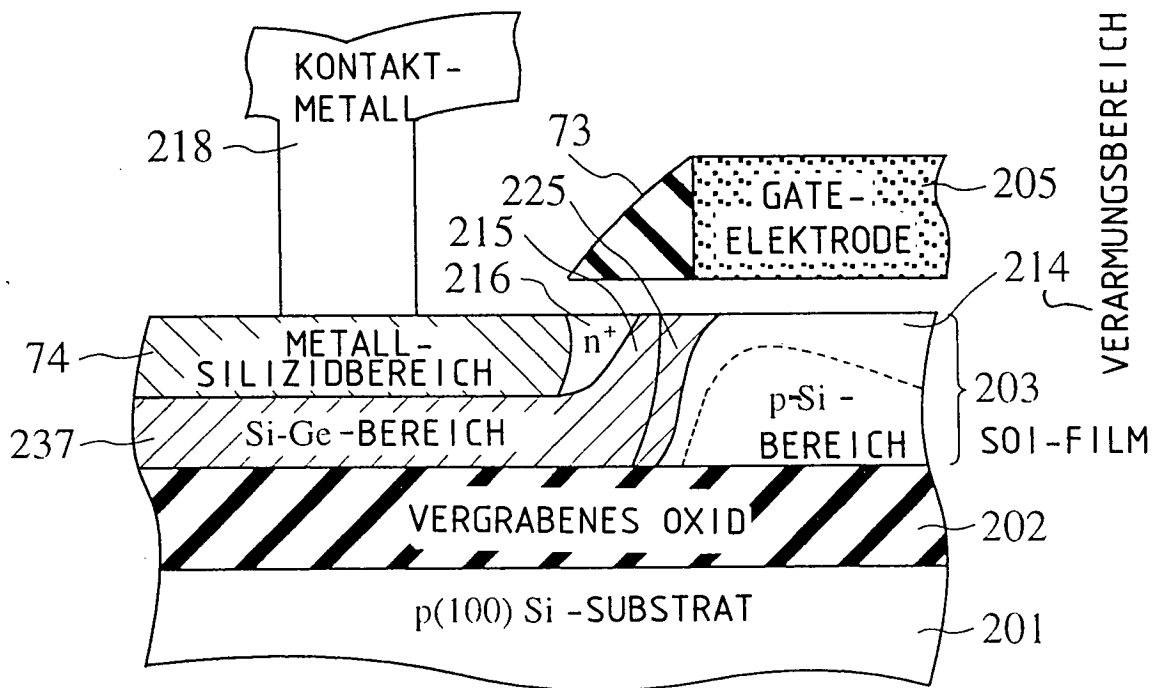


FIG. 22

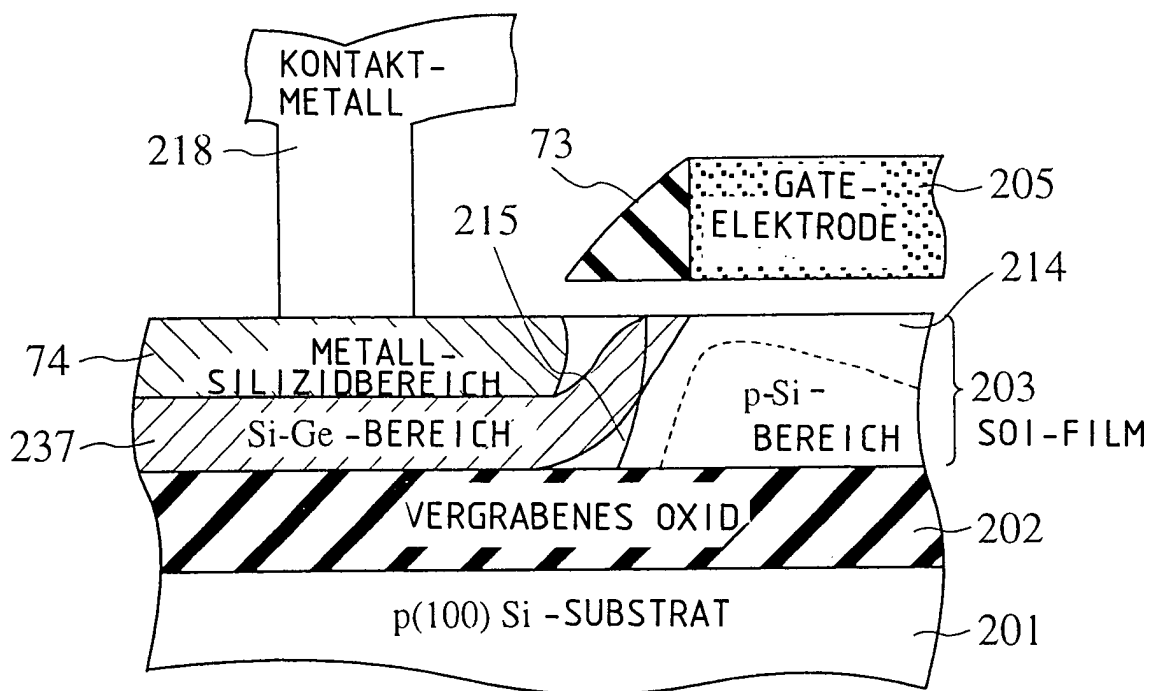


FIG. 23

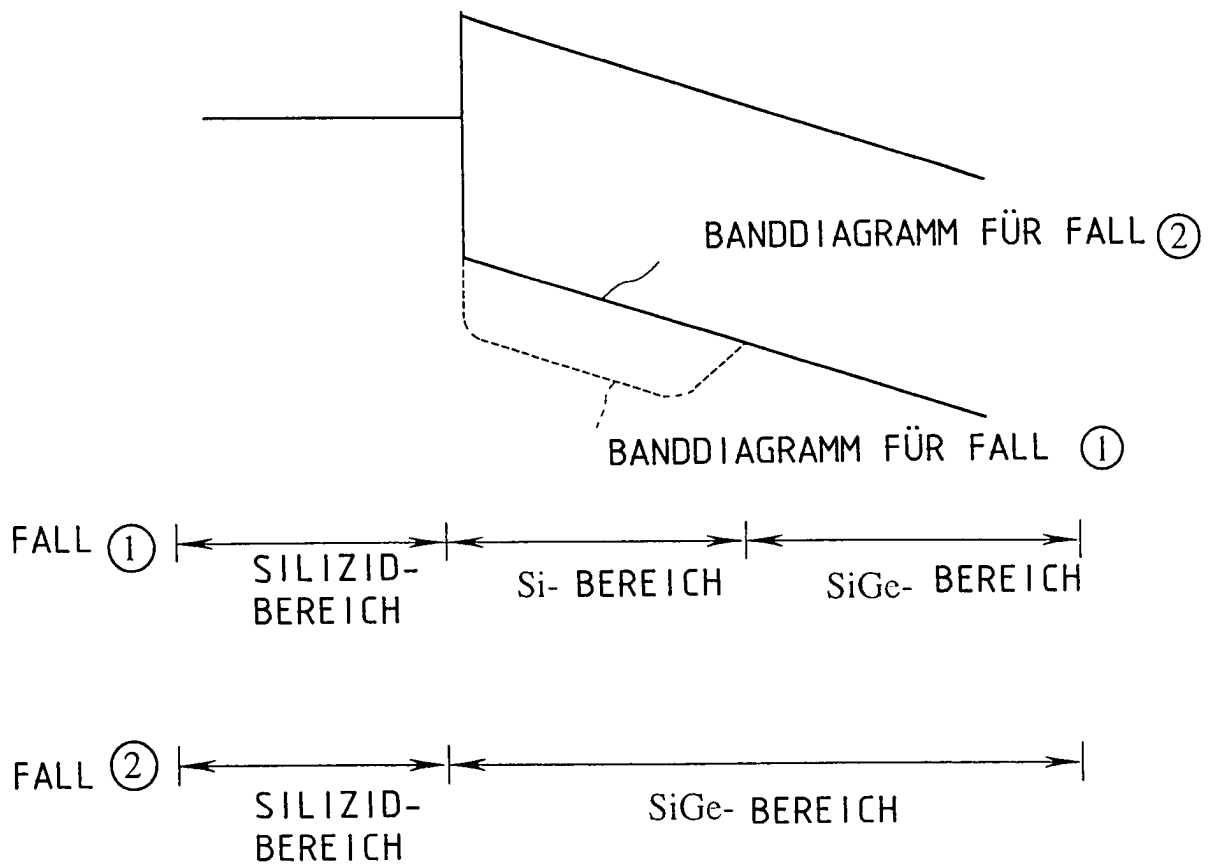


FIG. 24A

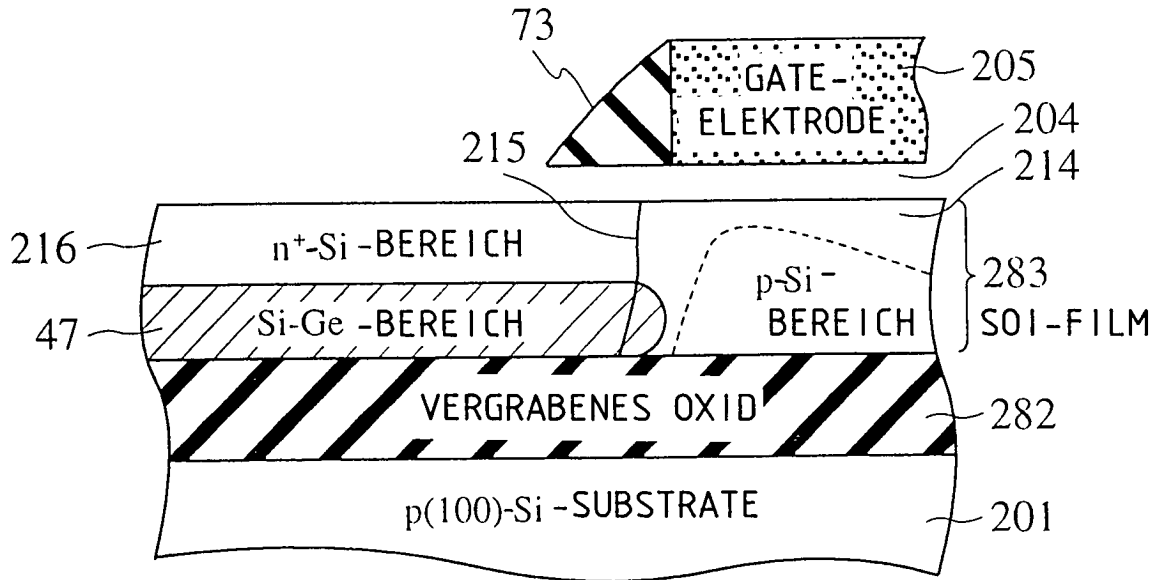


FIG. 24B

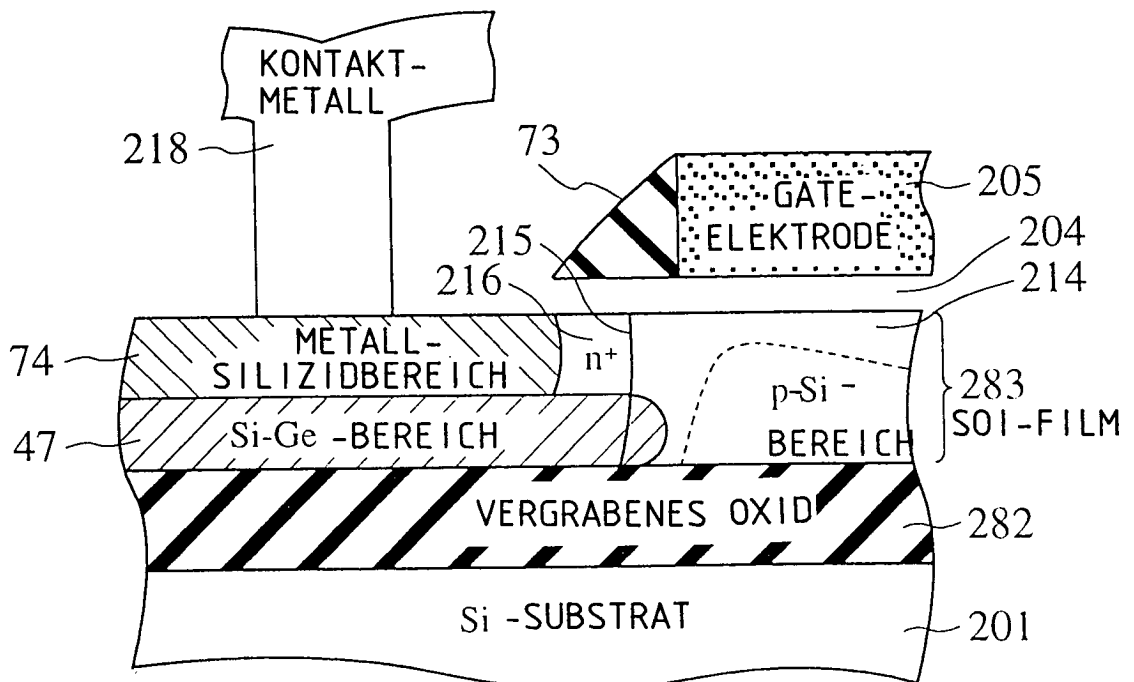


FIG. 25A

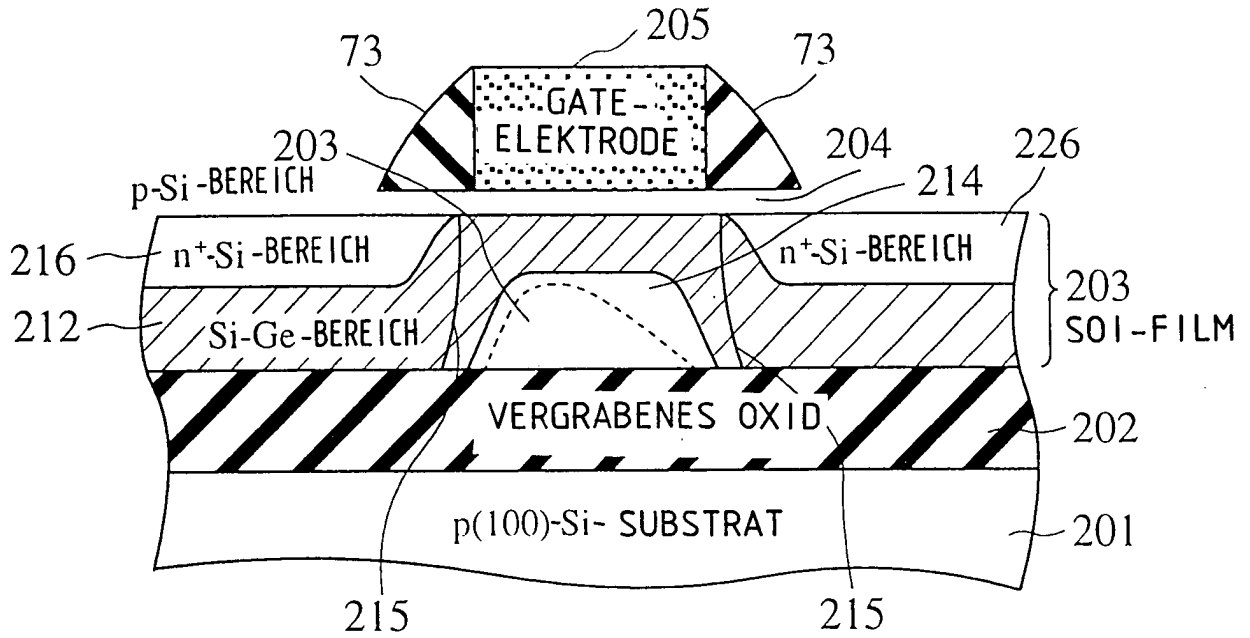
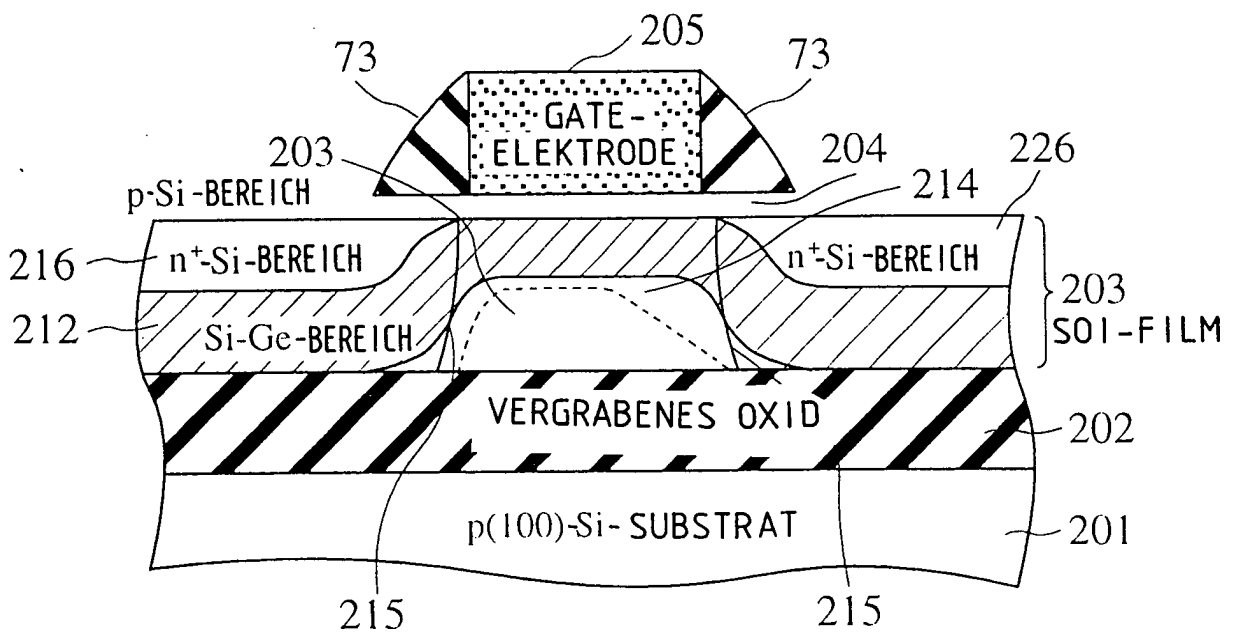


FIG. 25B



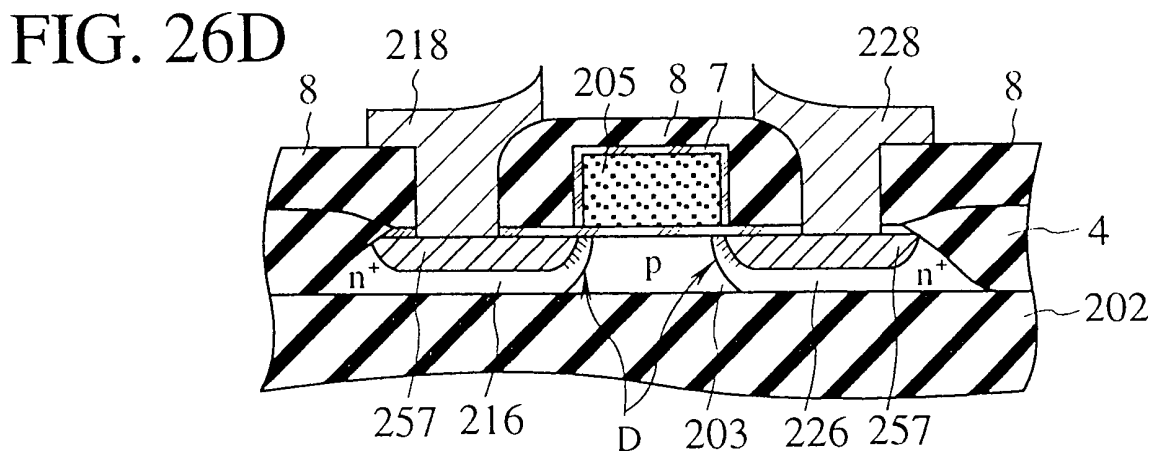
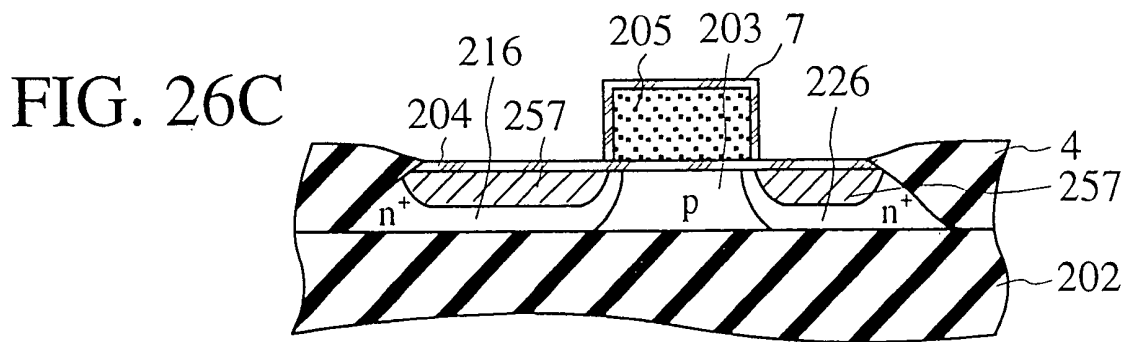
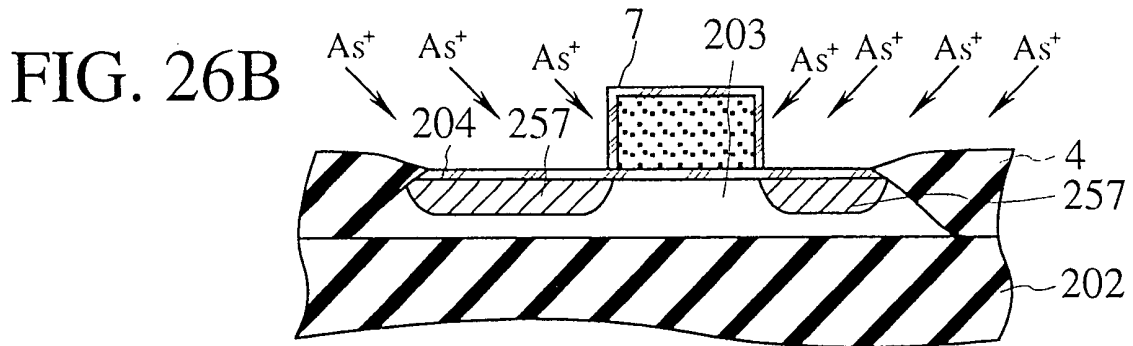
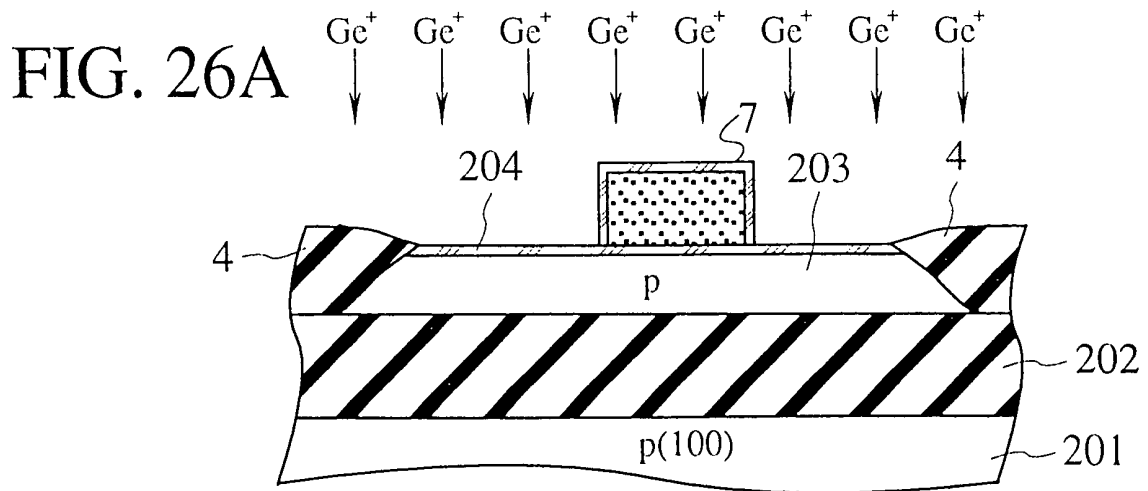


FIG. 27

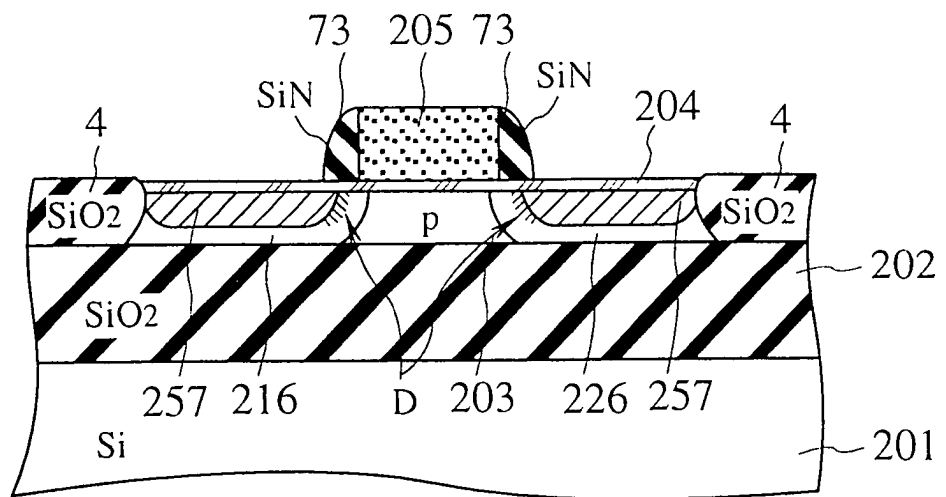


FIG. 28A

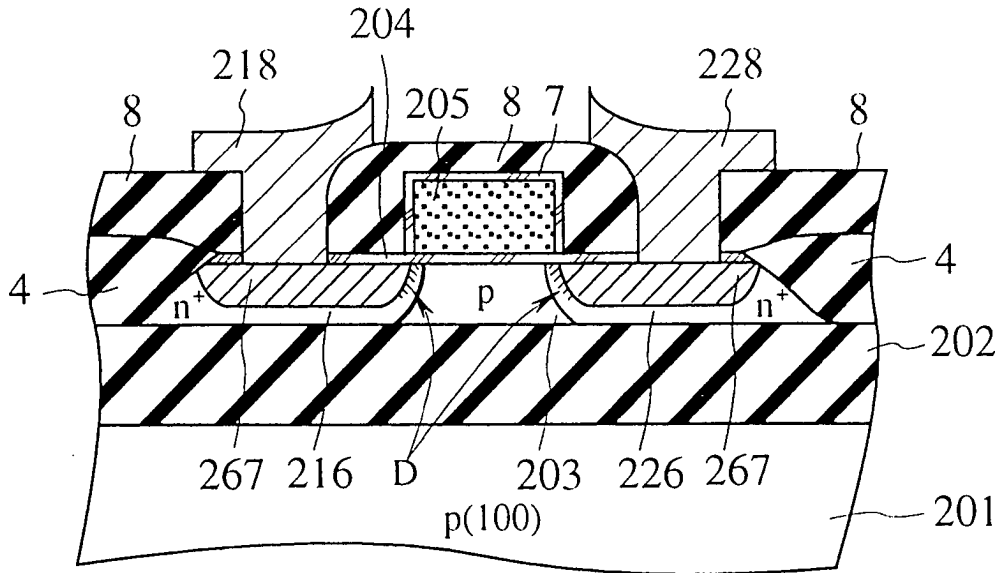


FIG. 28B

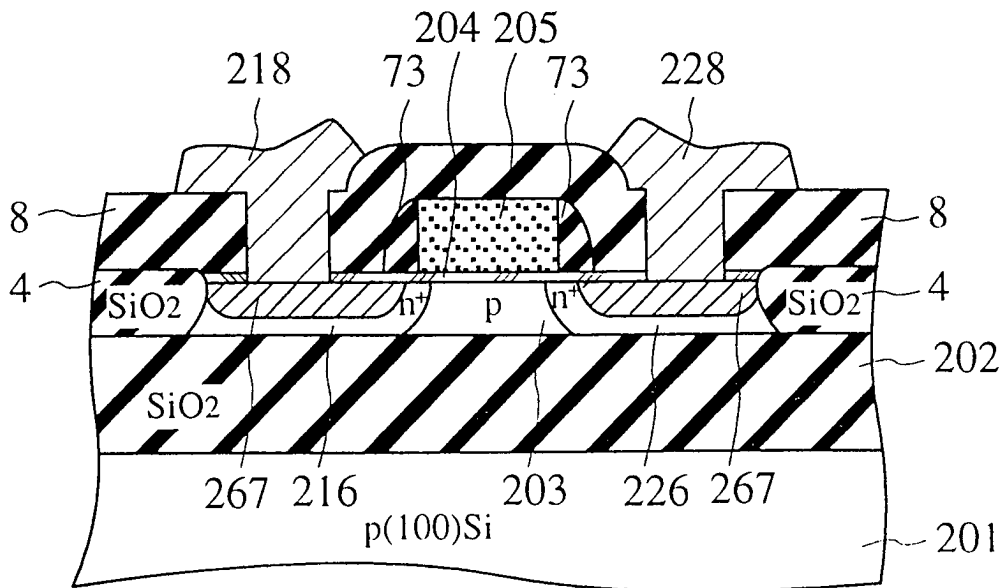


FIG. 29A

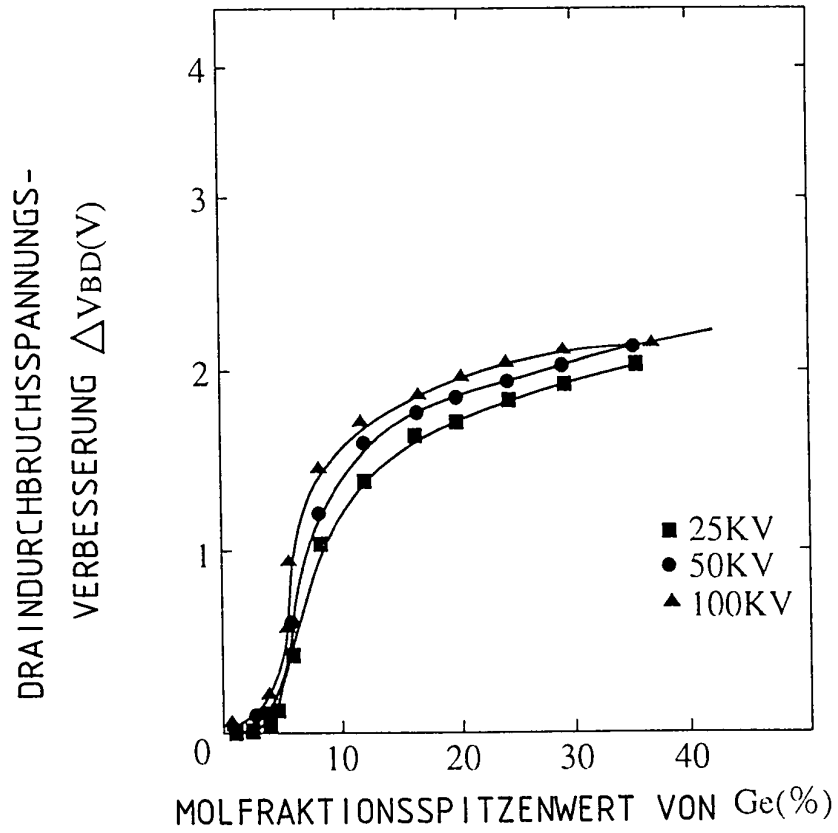


FIG. 29B

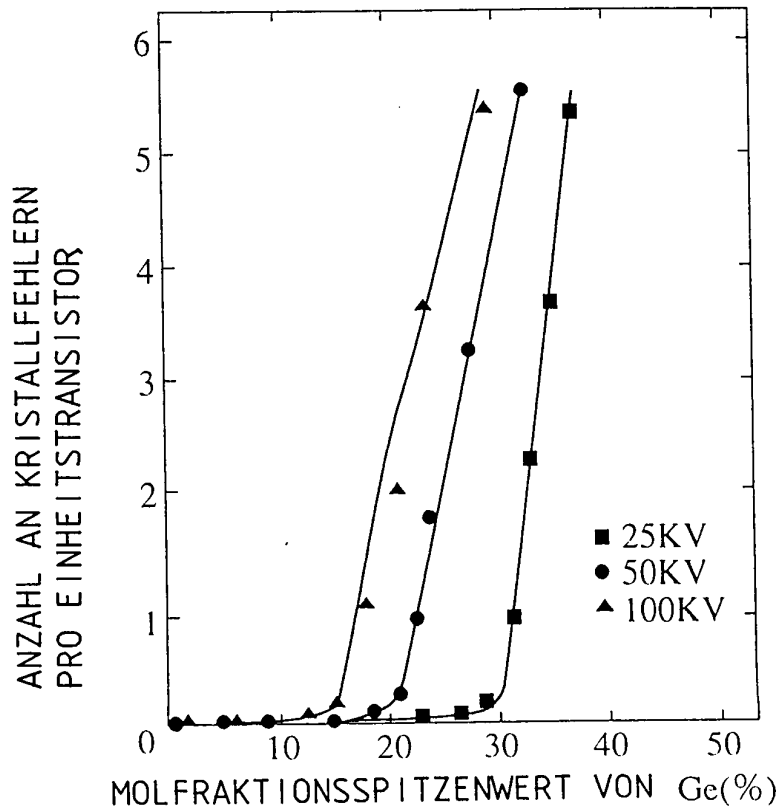


FIG. 29C

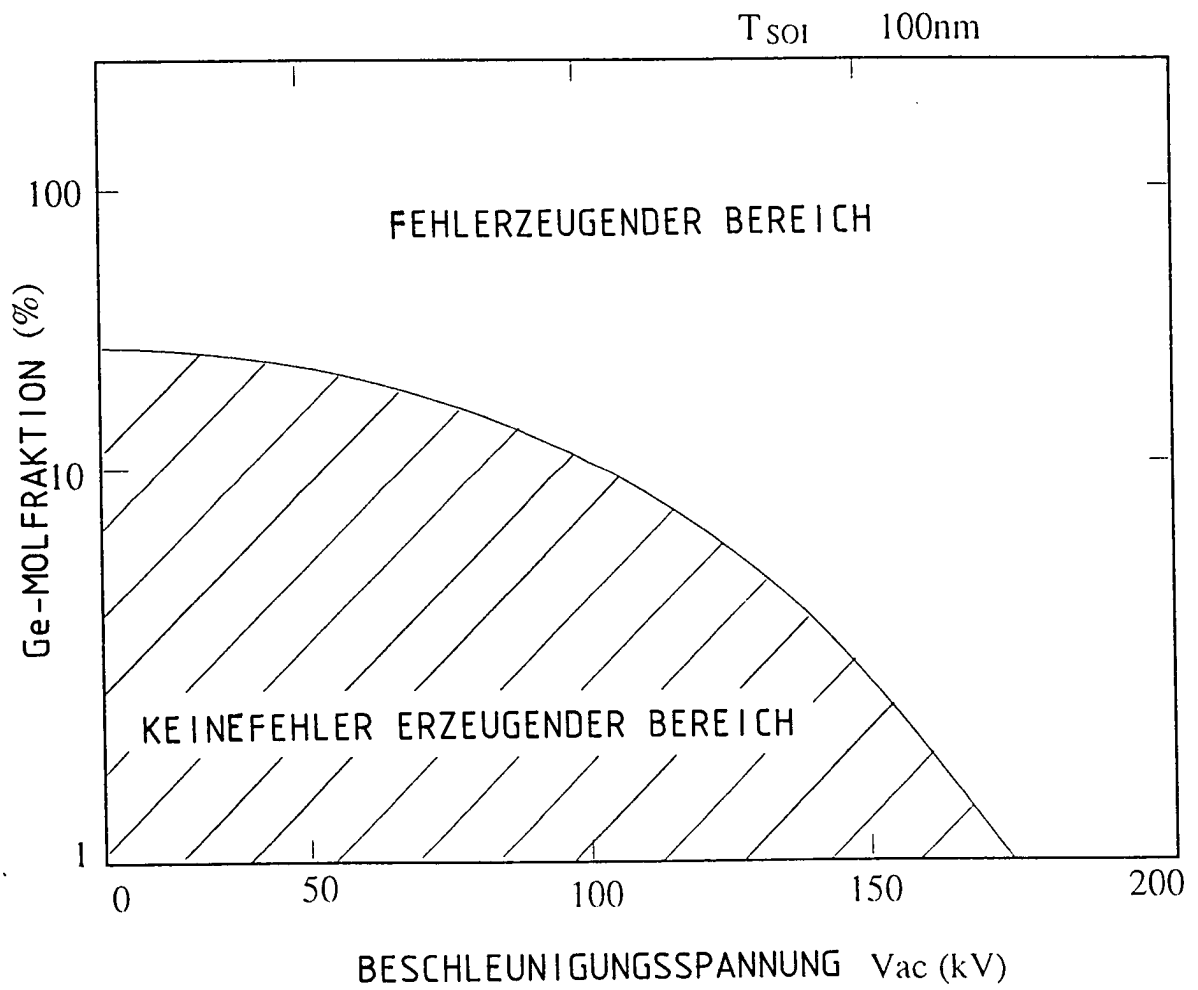


FIG. 30

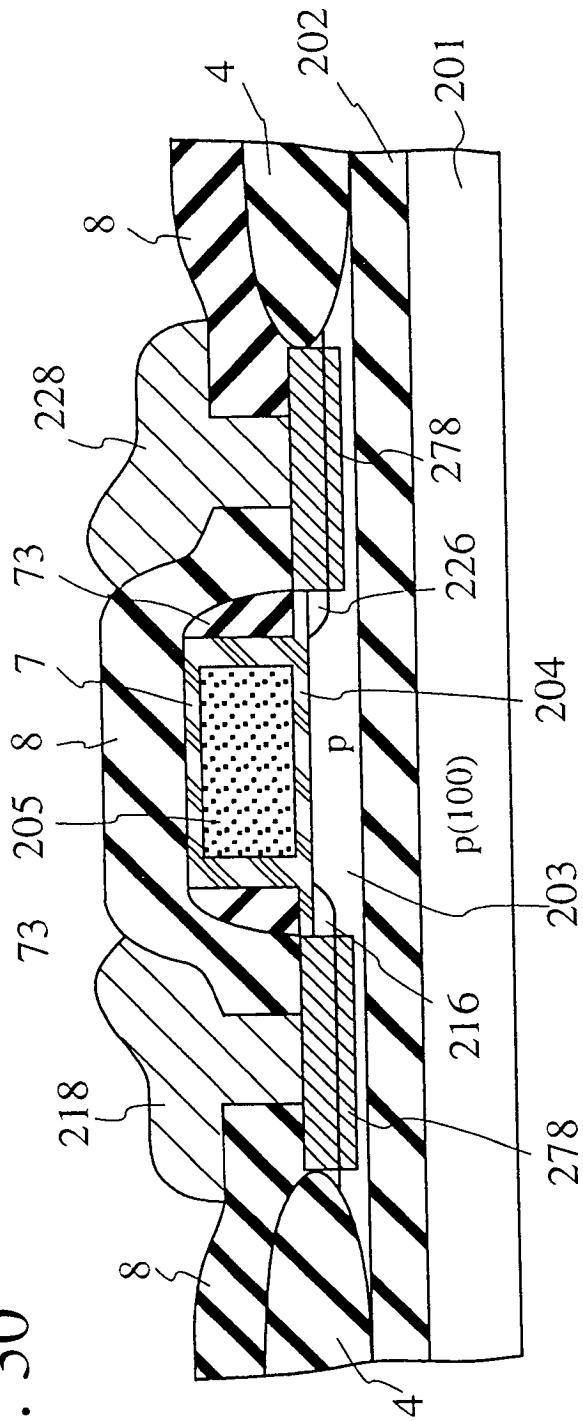


FIG. 31A

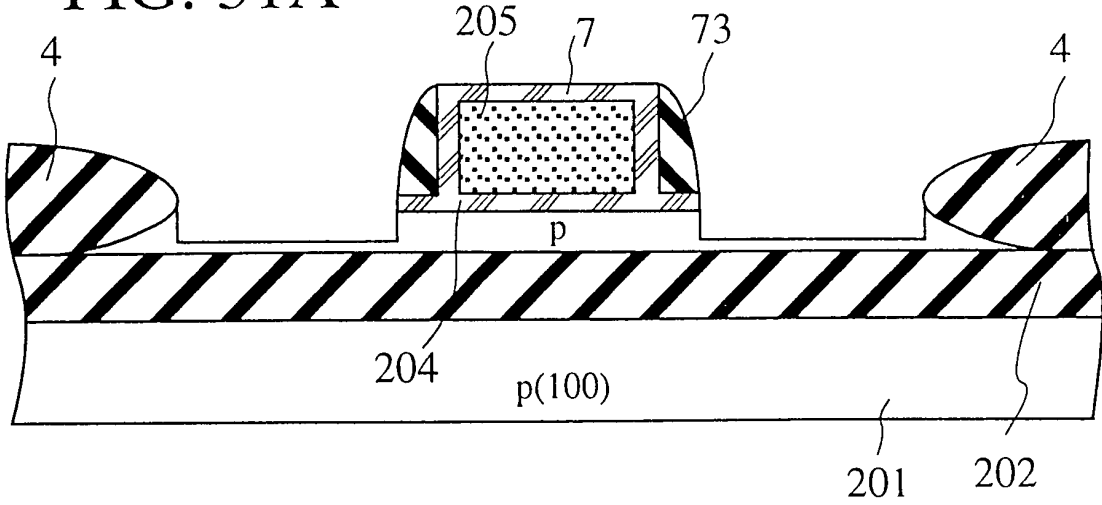


FIG. 31B

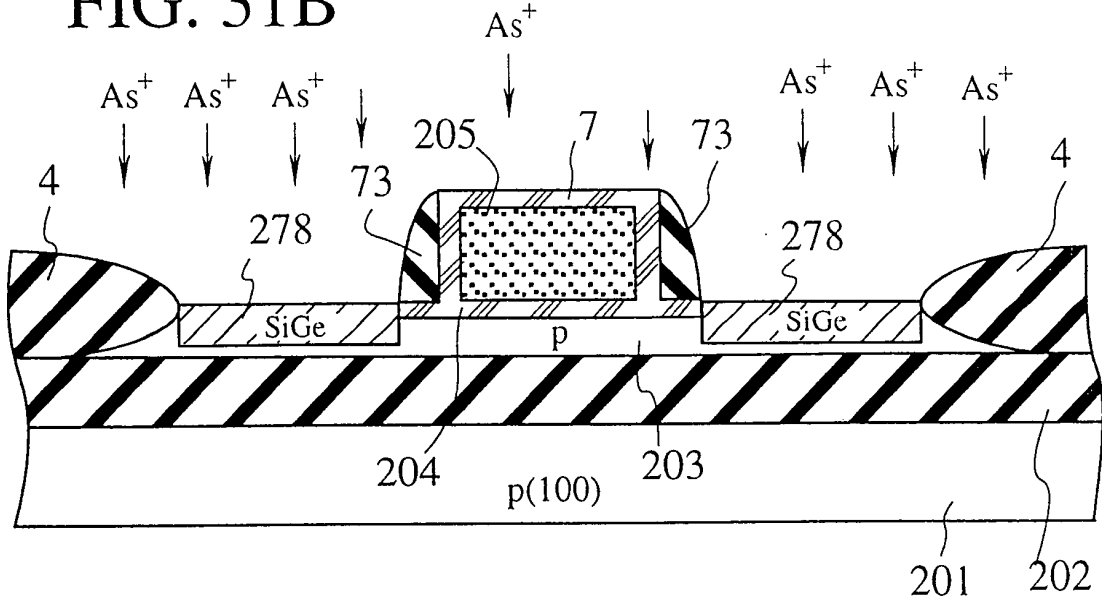


FIG. 31C

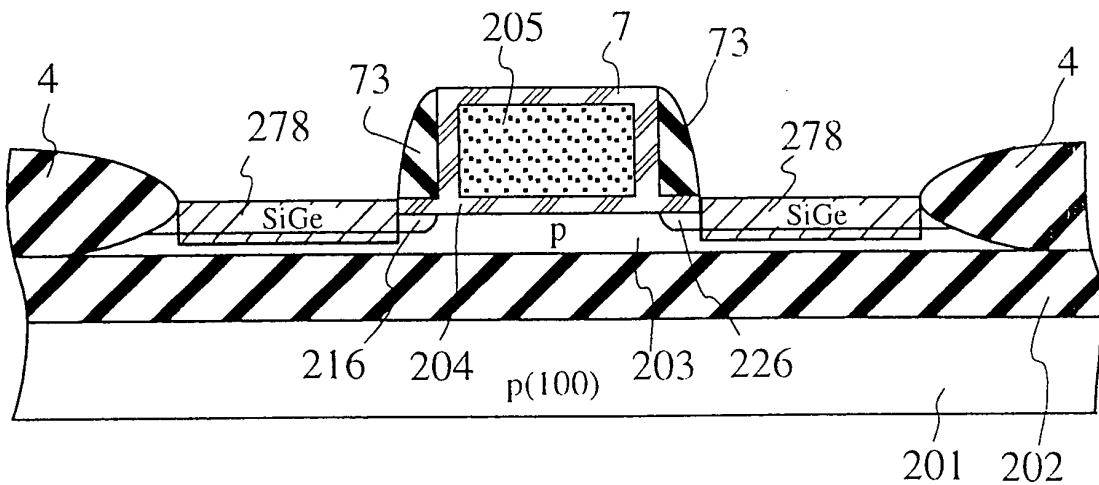


FIG. 32A

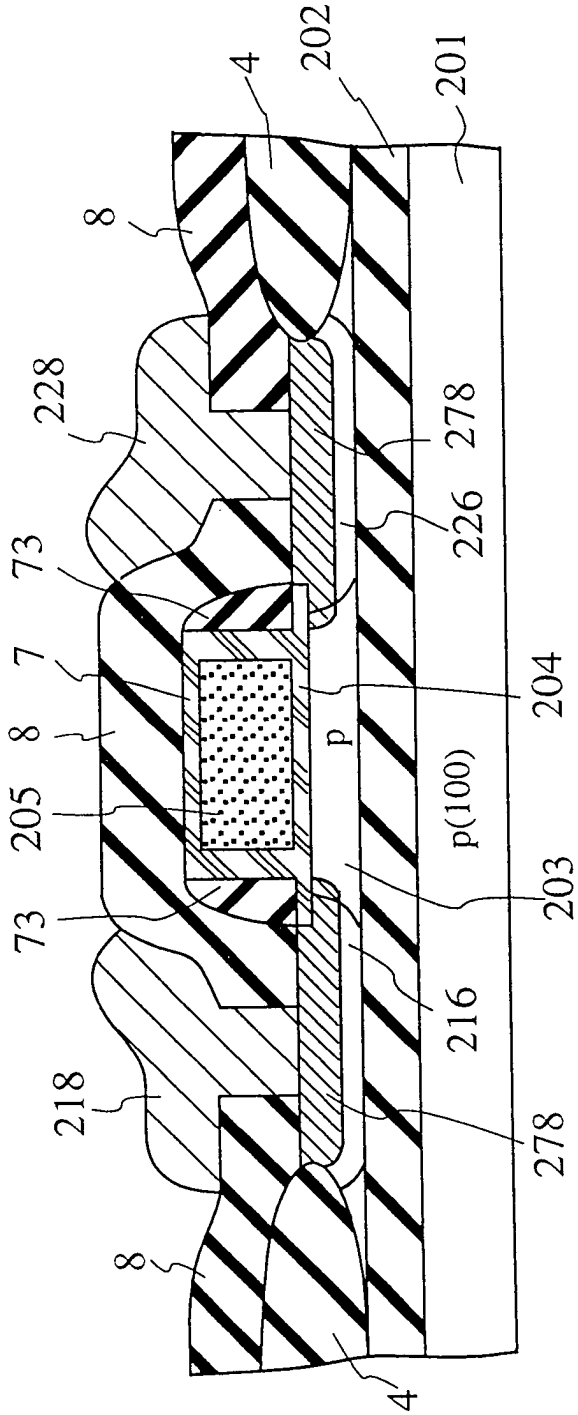


FIG. 32B

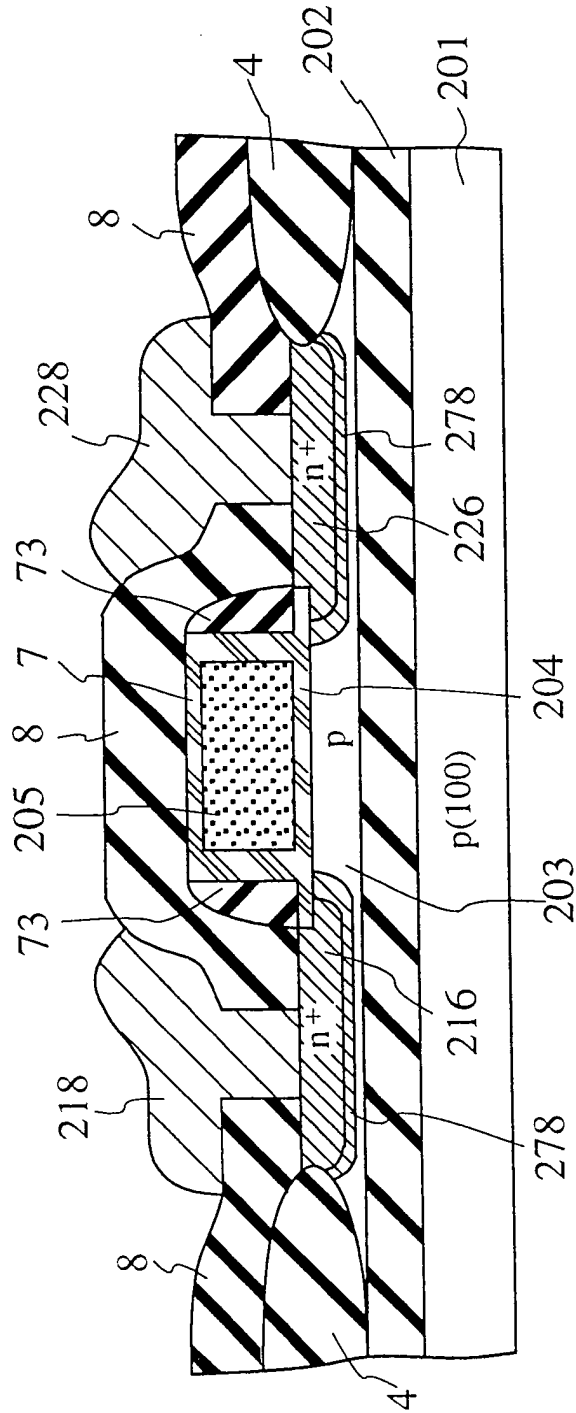


FIG. 33A

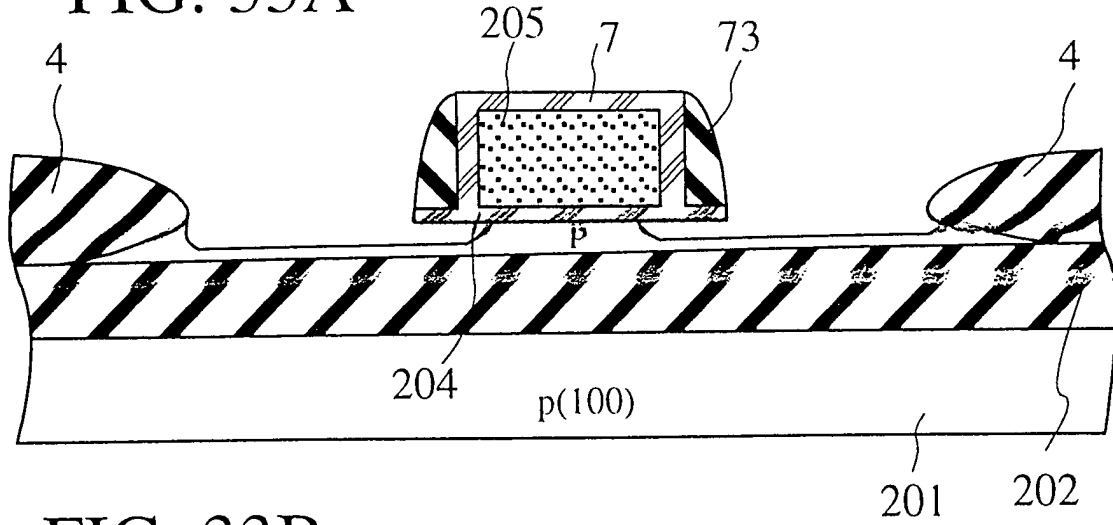


FIG. 33B

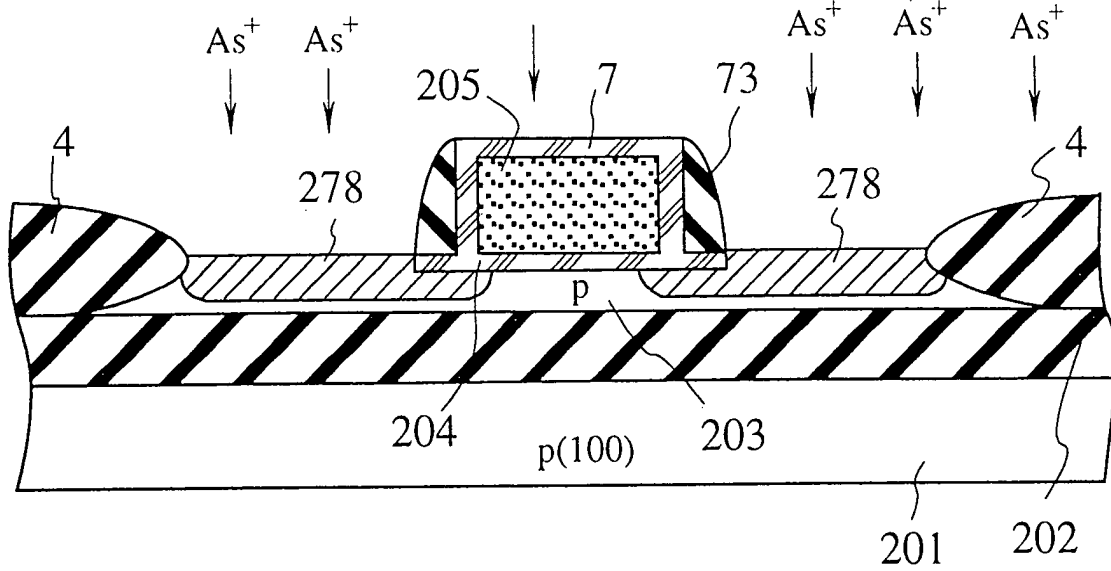


FIG. 33C

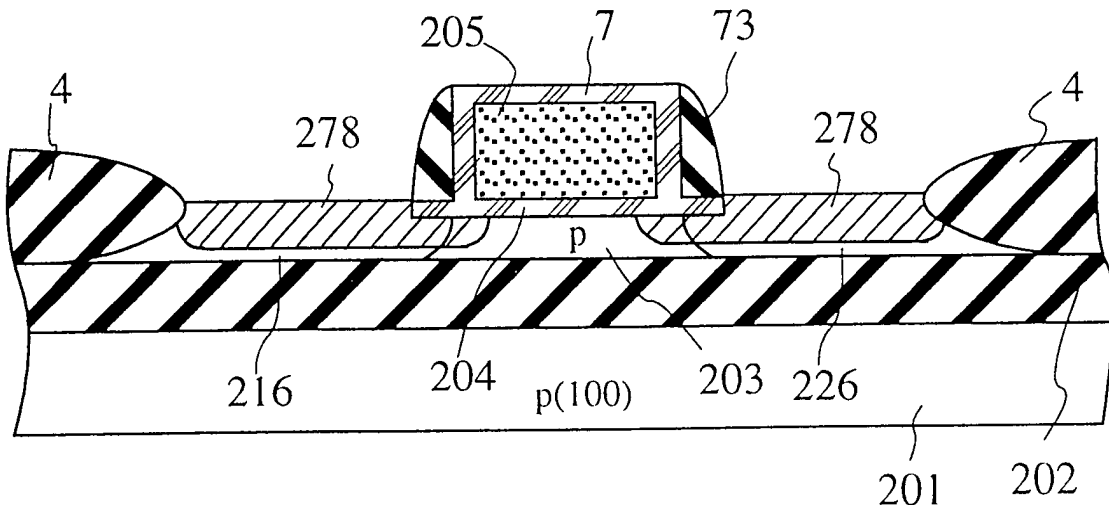


FIG. 34

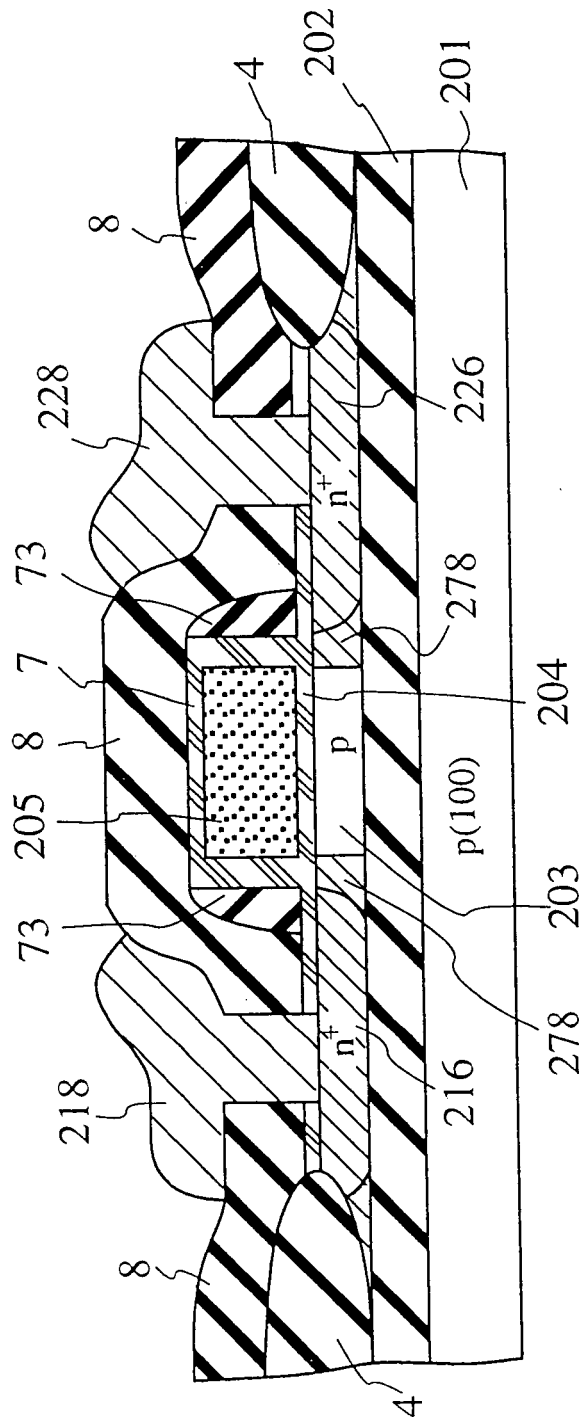


FIG. 35A

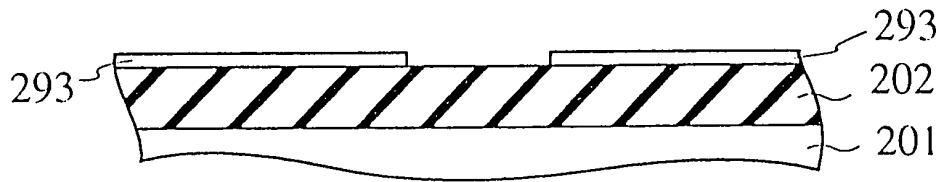


FIG. 35B

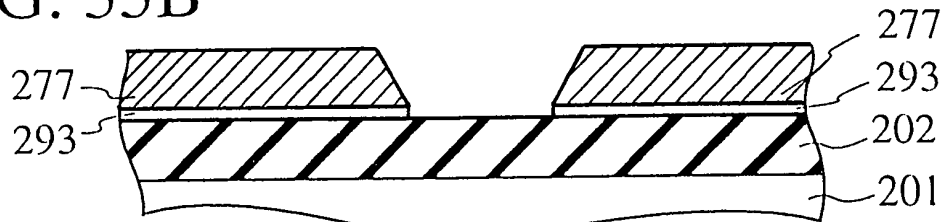


FIG. 35C

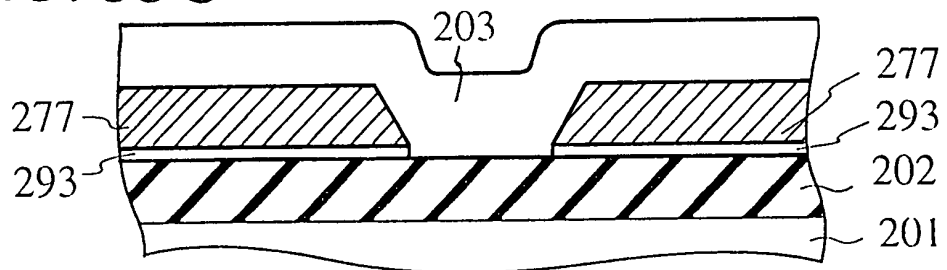


FIG. 35D

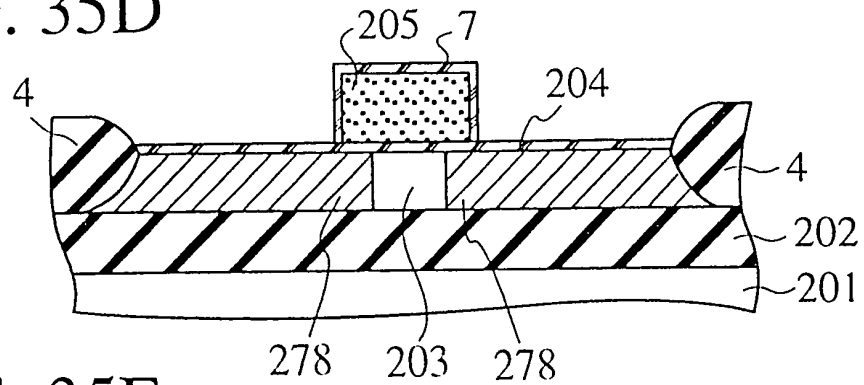


FIG. 35E

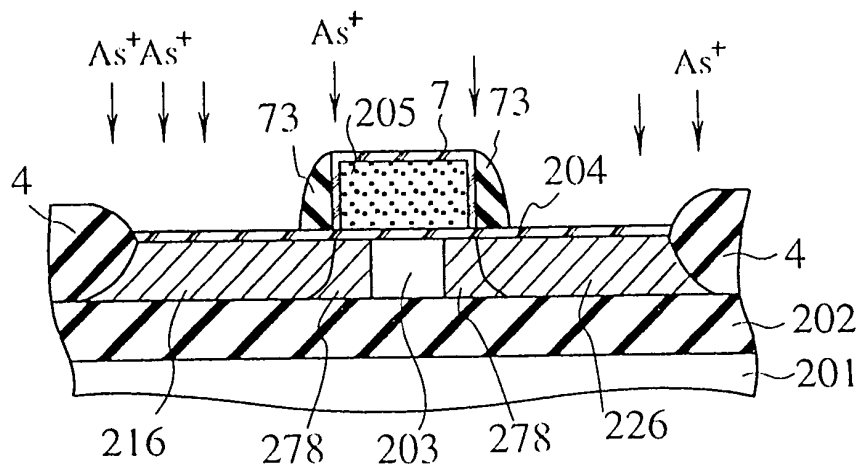


FIG. 36A

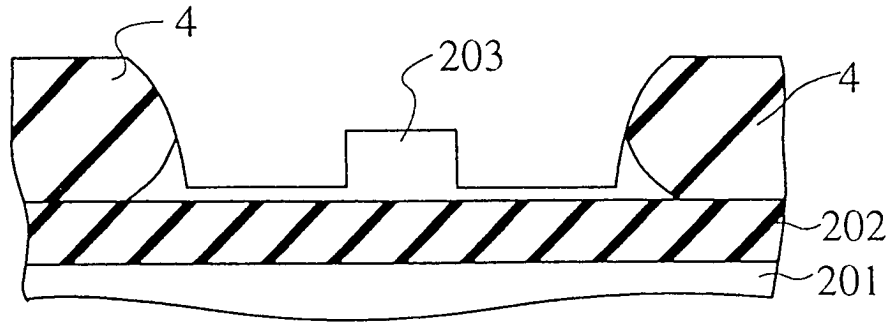


FIG. 36B

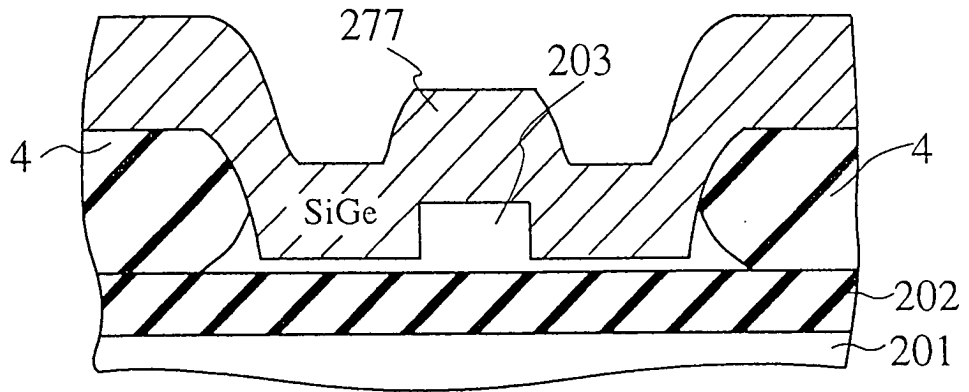


FIG. 36C

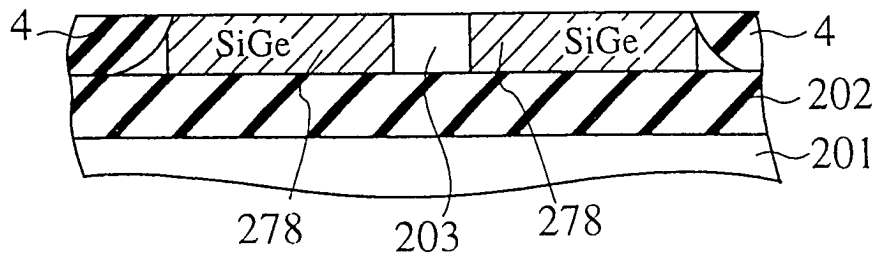


FIG. 36D

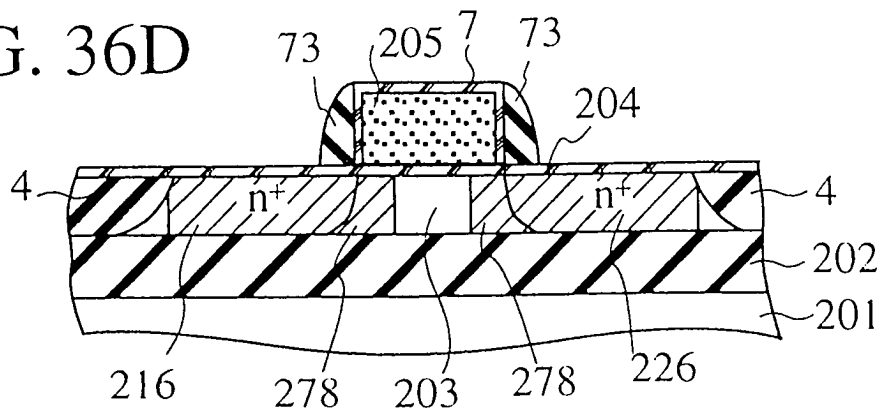


FIG. 37A

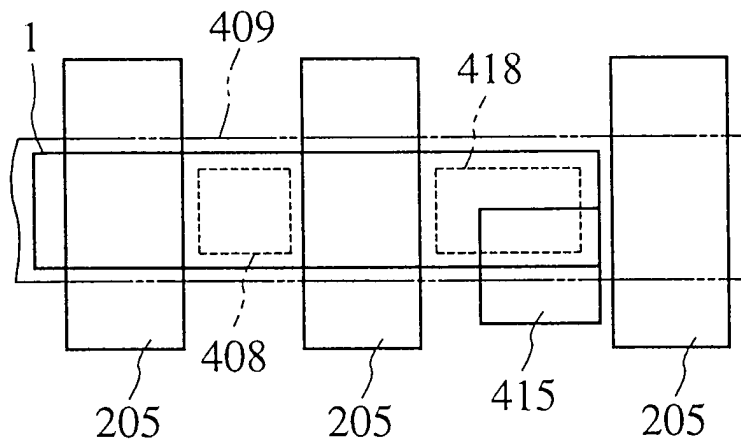


FIG. 37B

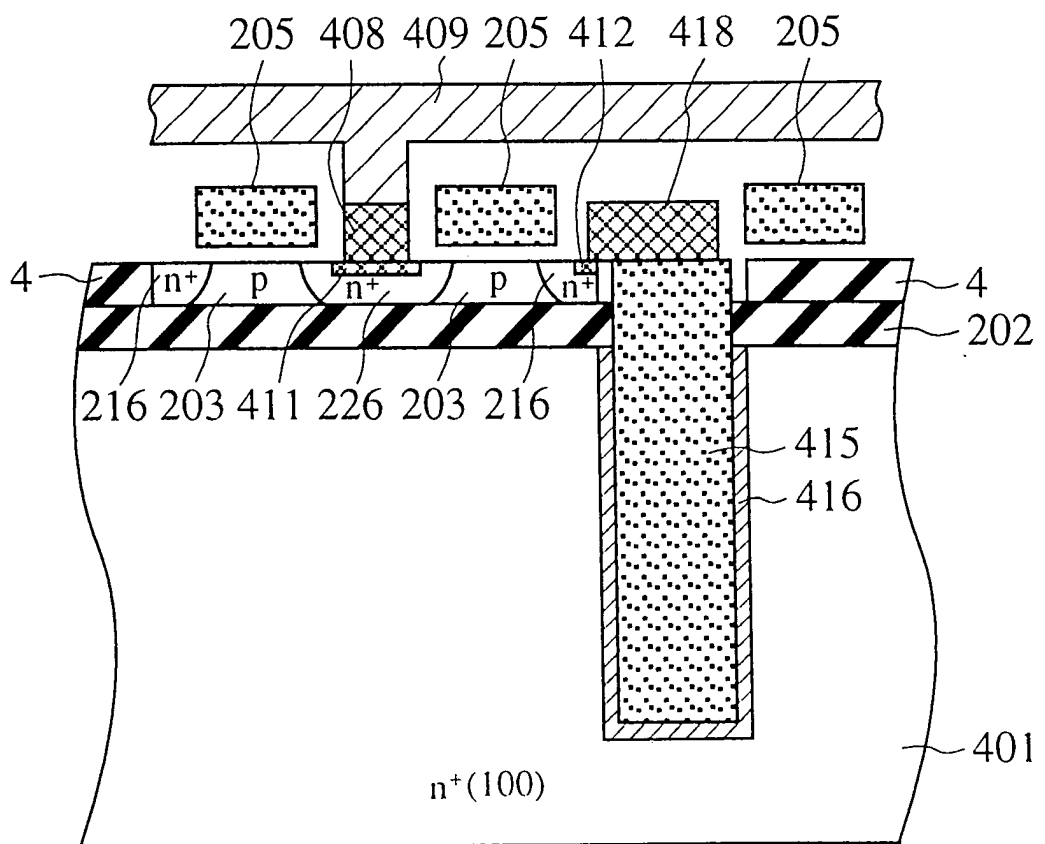


FIG. 38

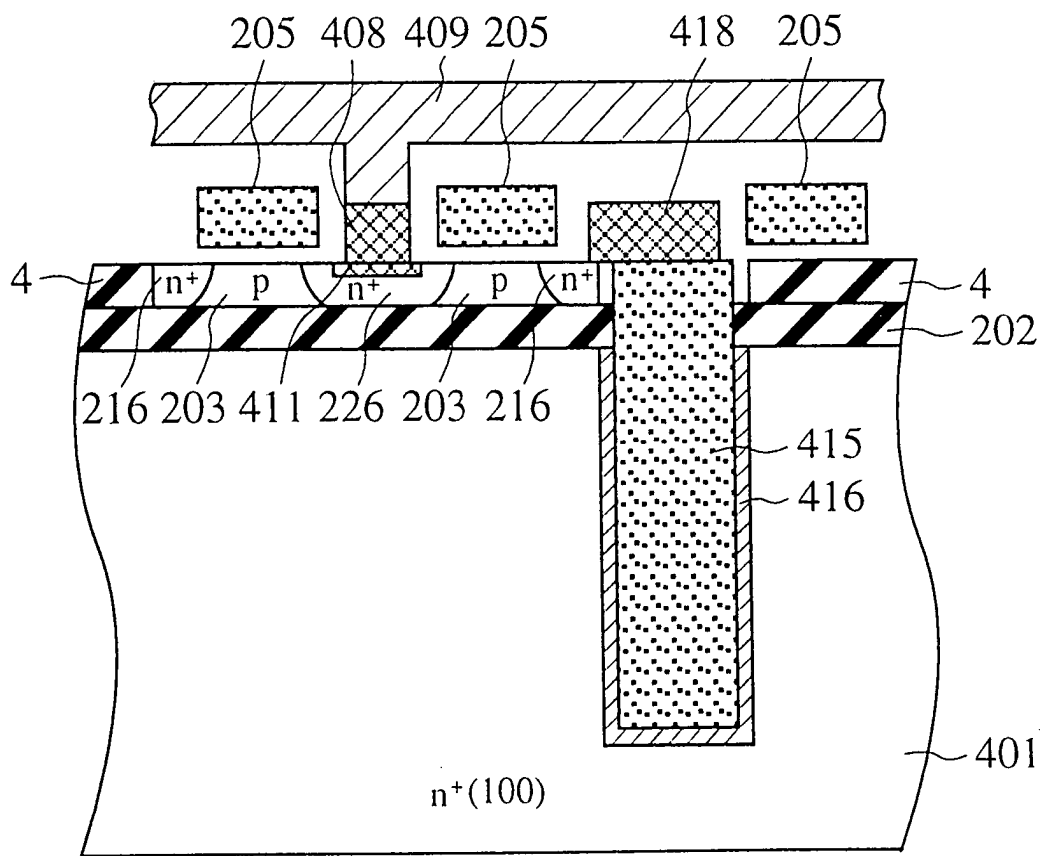


FIG. 39A

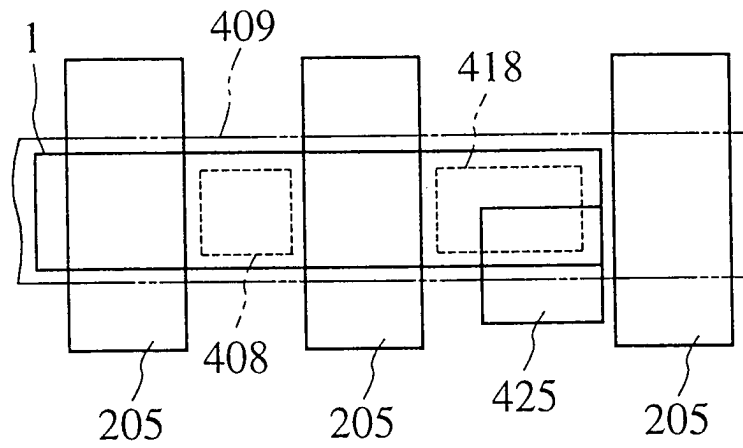


FIG. 39B

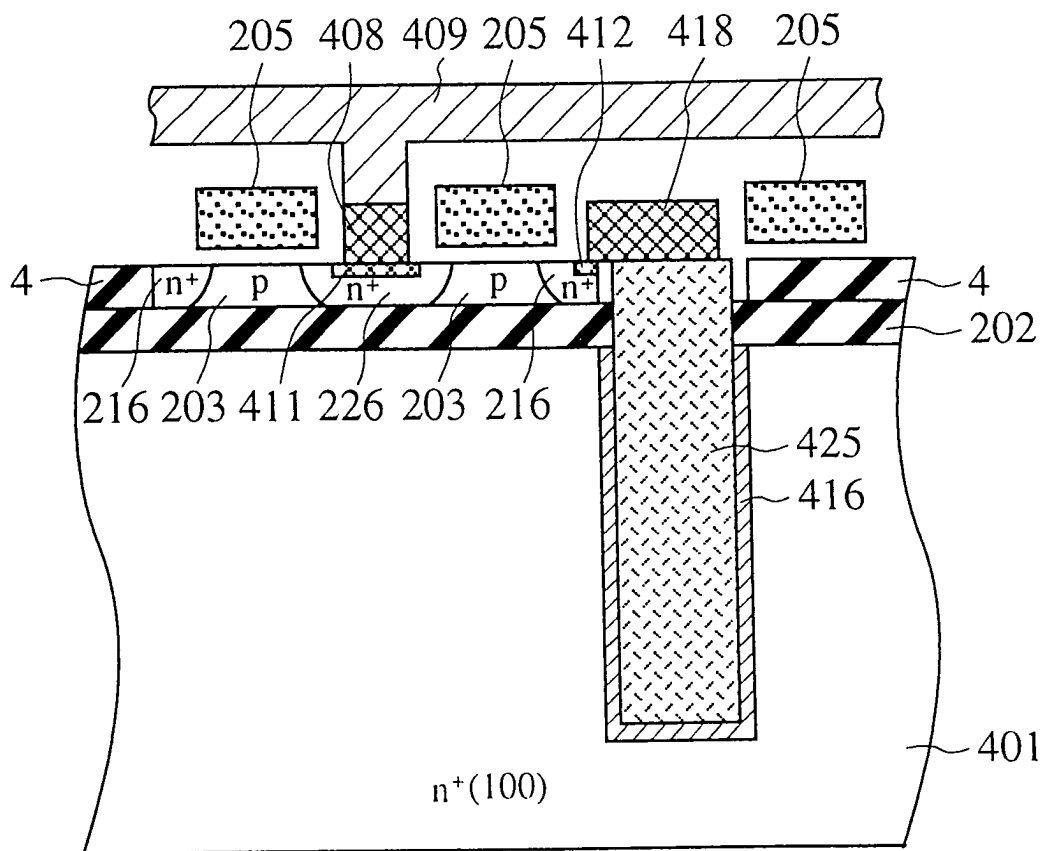


FIG. 40

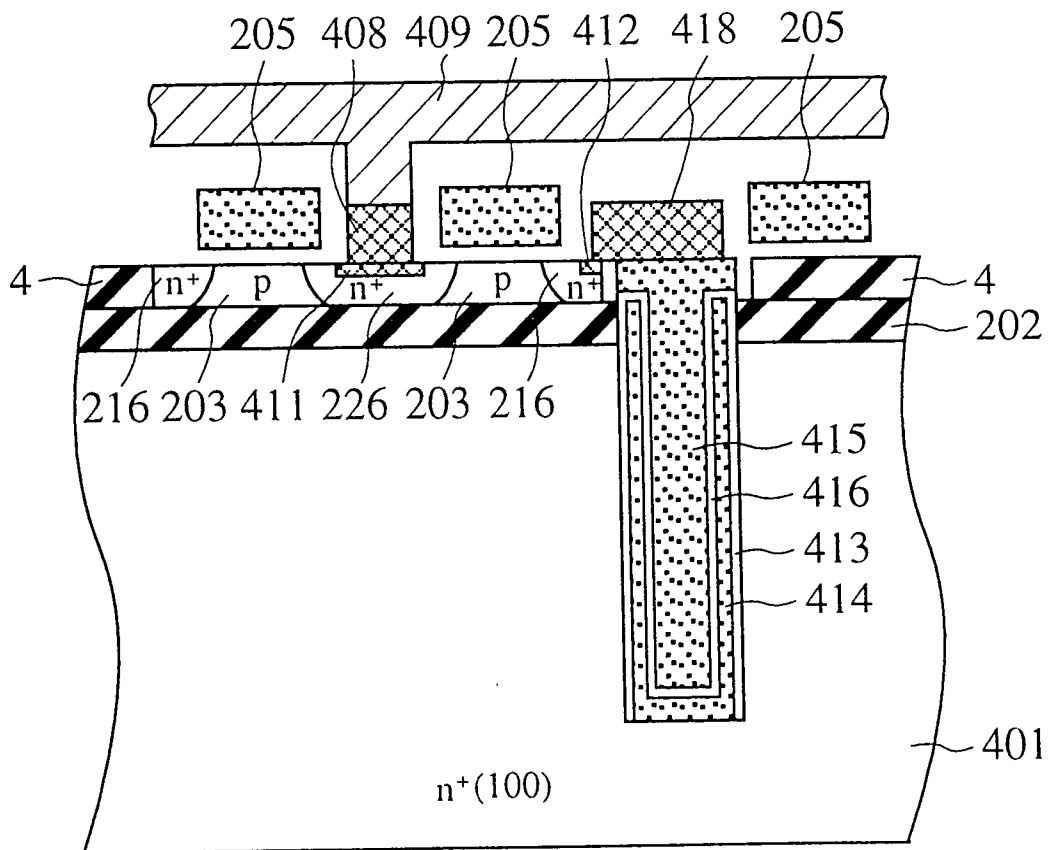


FIG. 41A

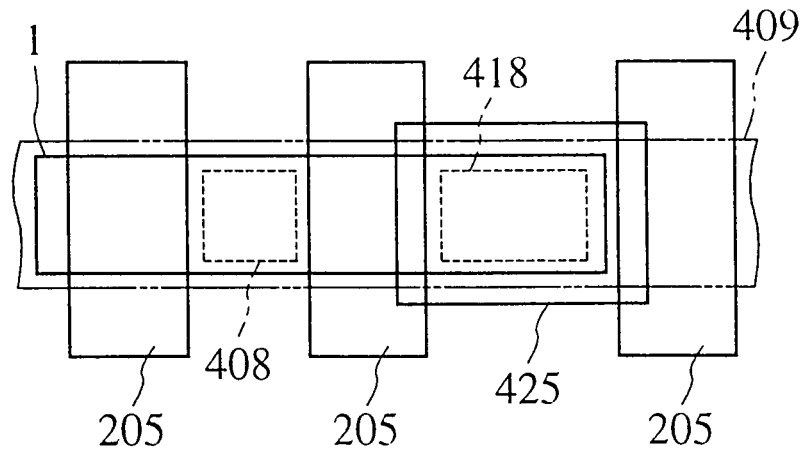


FIG. 41B

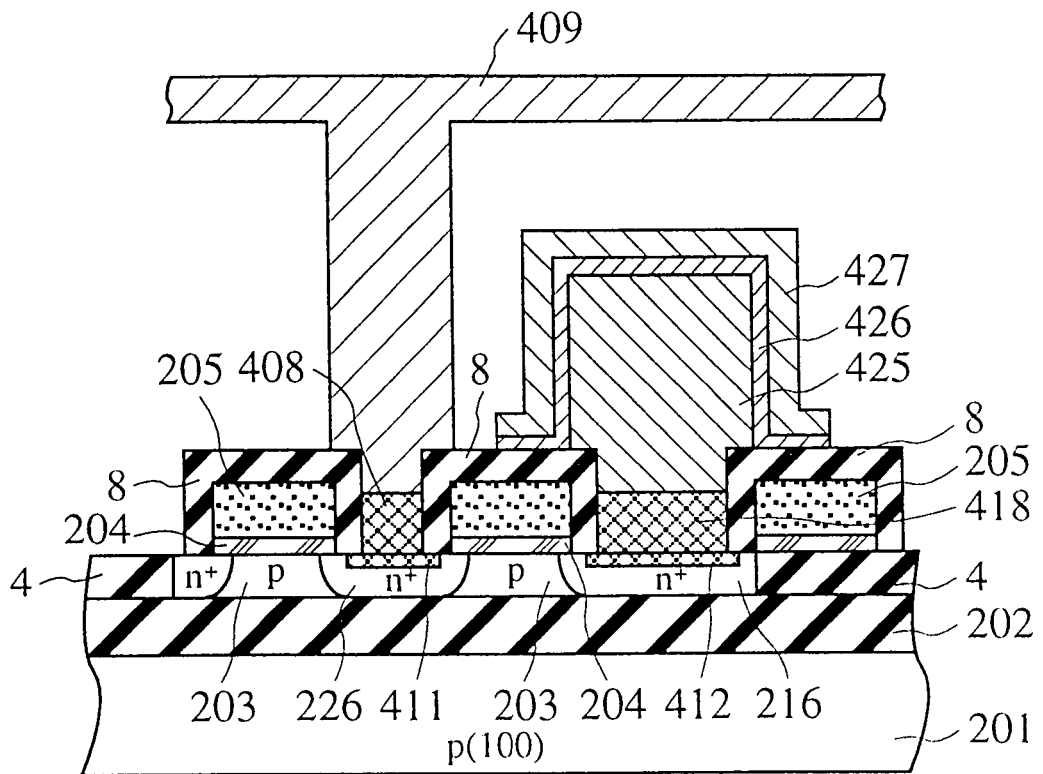


FIG. 42A

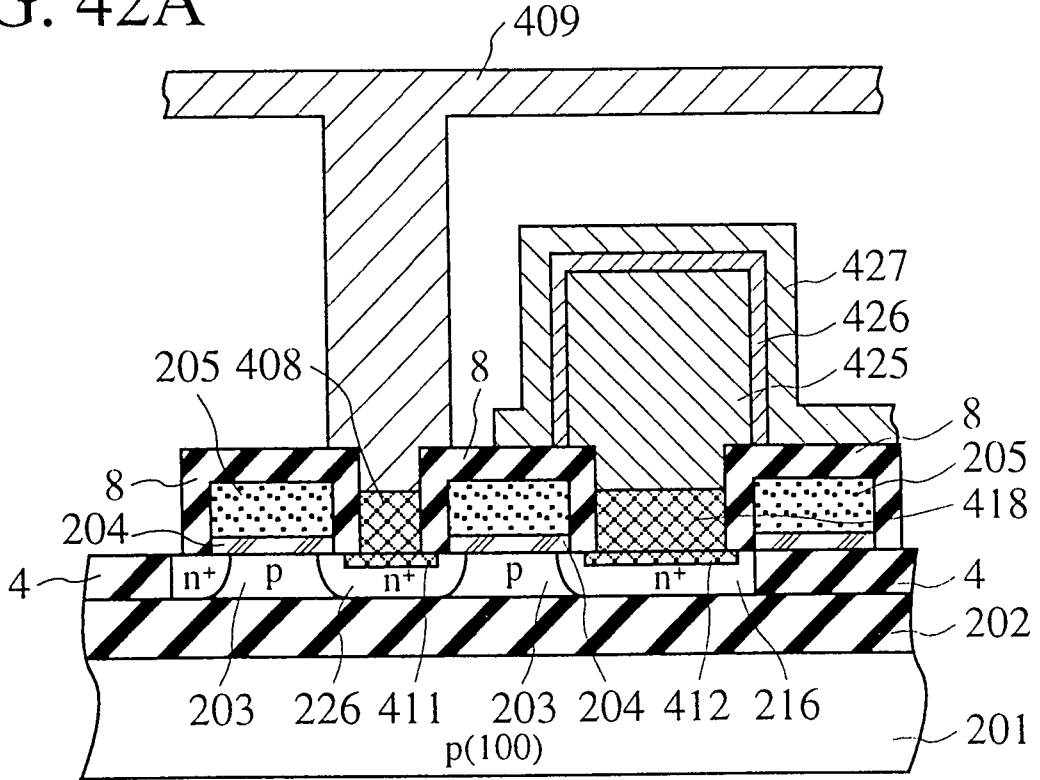


FIG. 42B

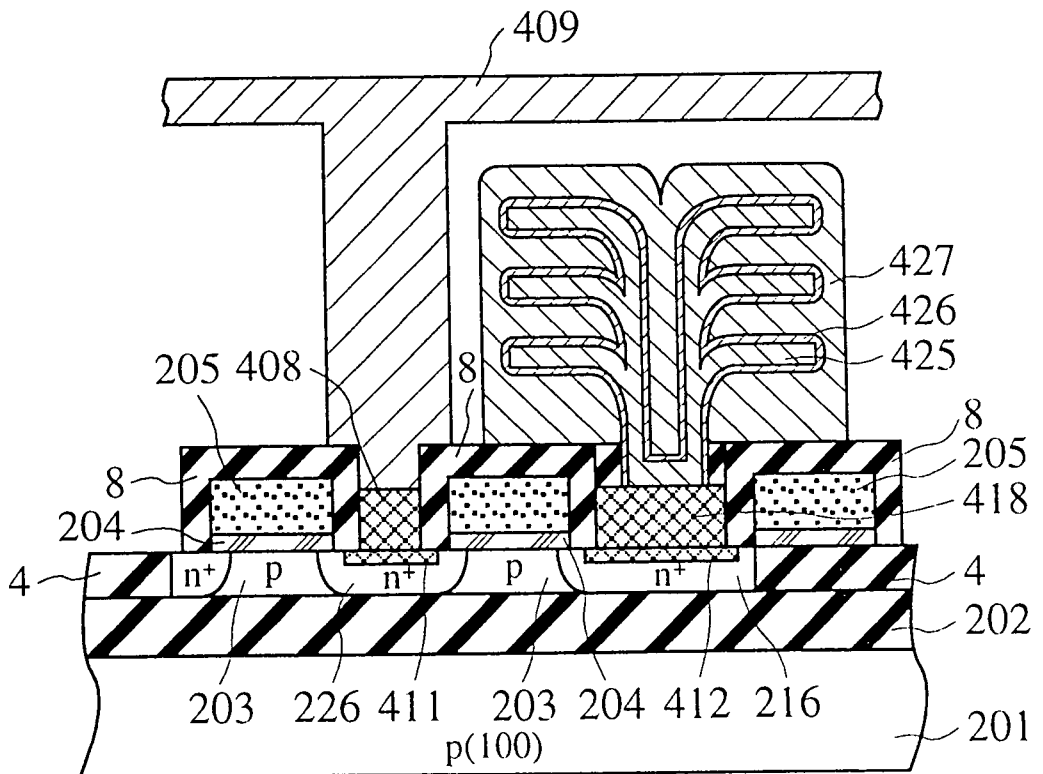


FIG. 43A

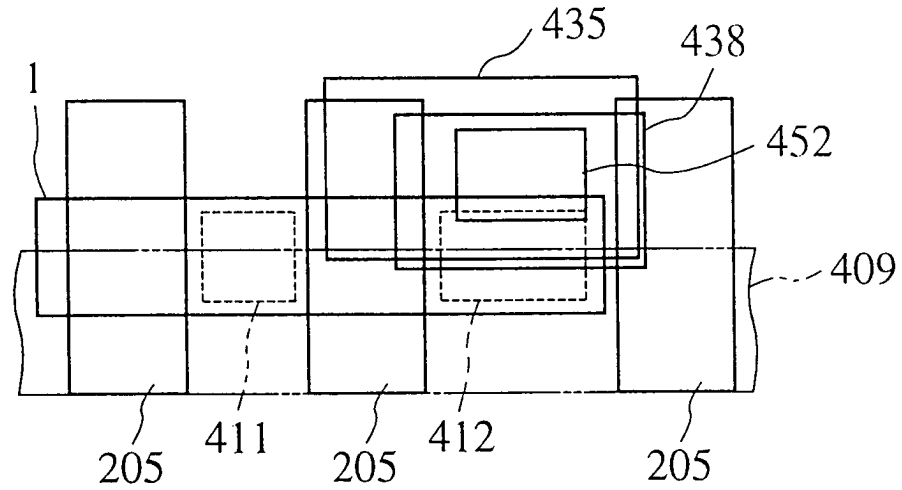


FIG. 43B

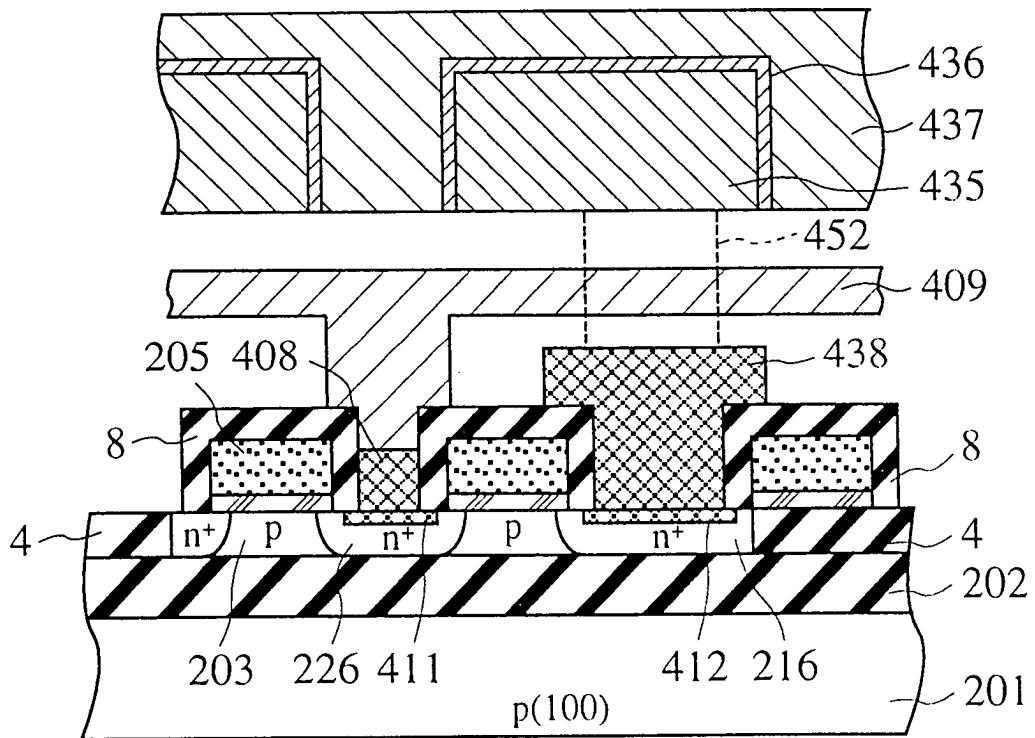


FIG. 44A

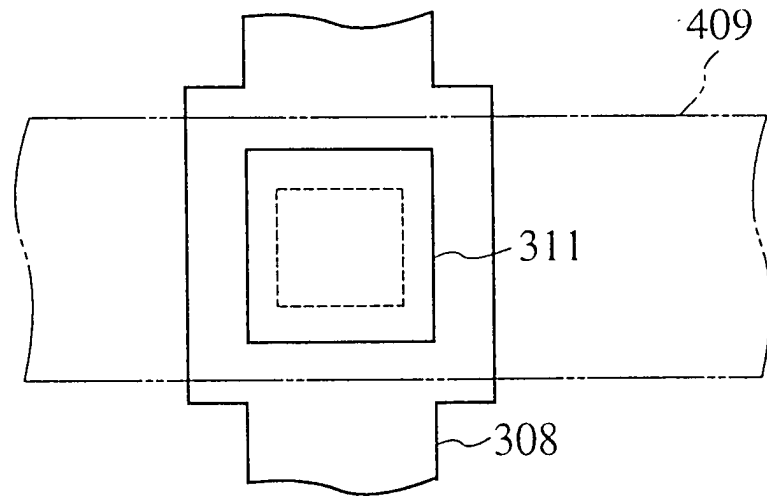


FIG. 44B

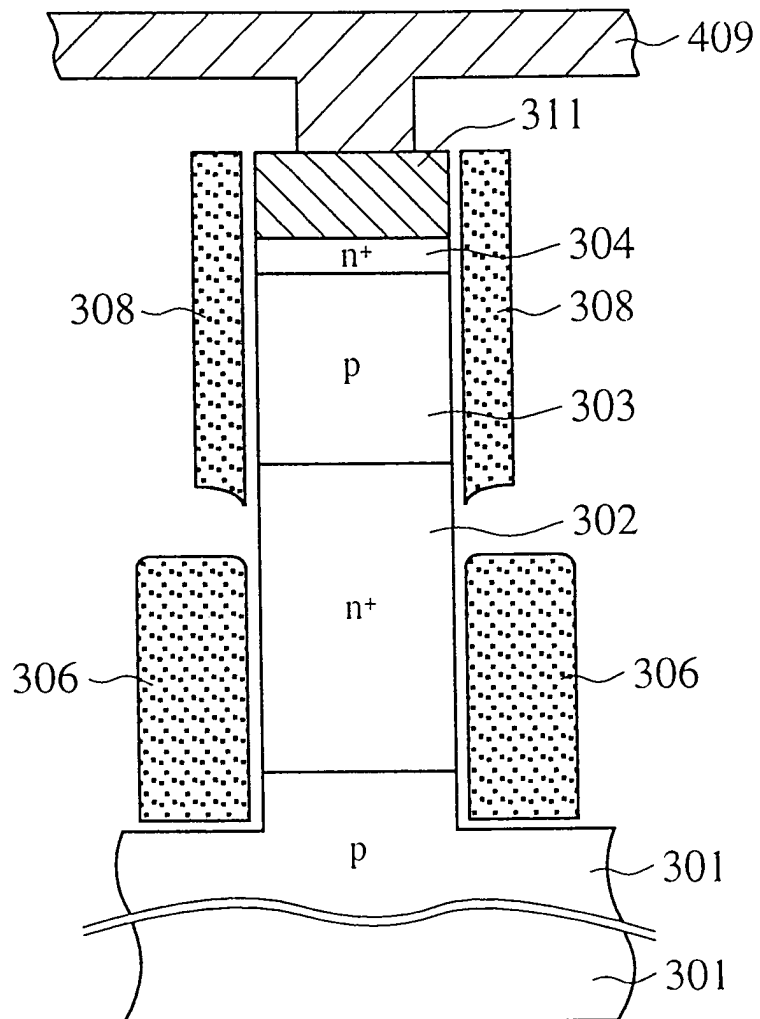


FIG. 45A

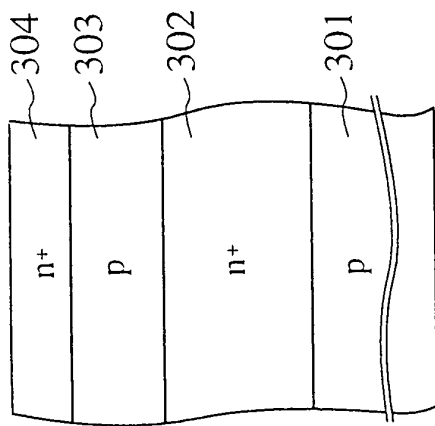


FIG. 45B

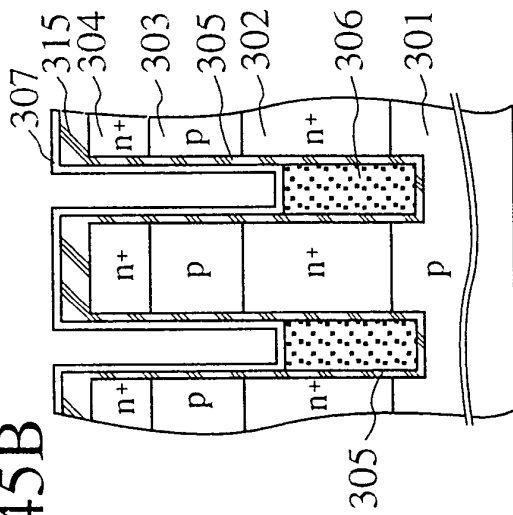


FIG. 45C

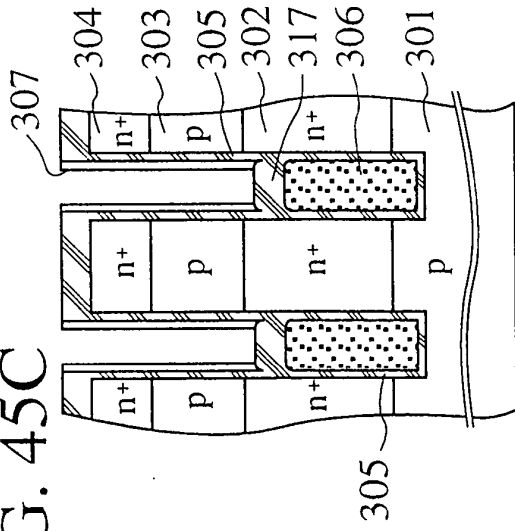


FIG. 45D

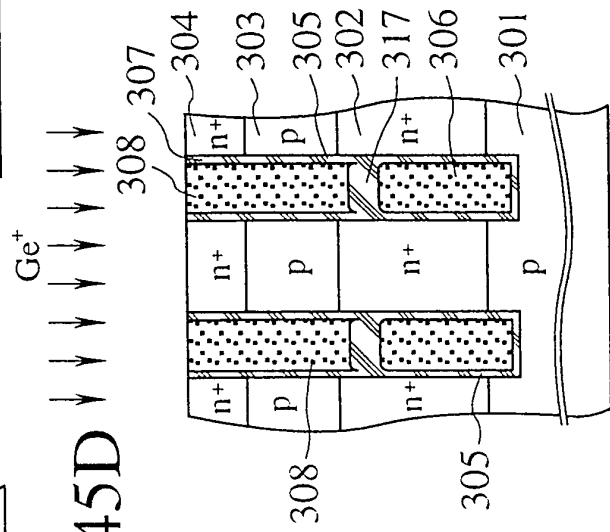


FIG. 45E

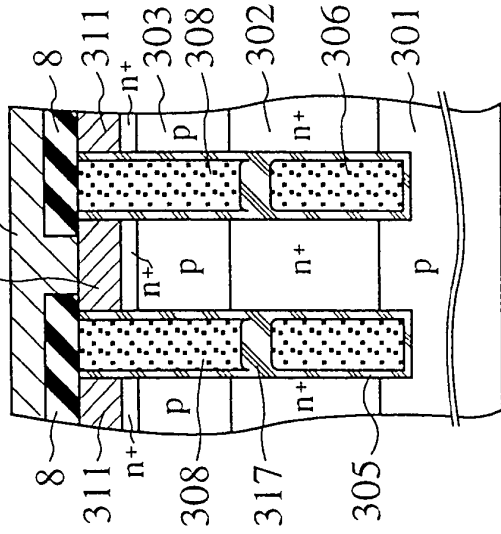


FIG. 46A

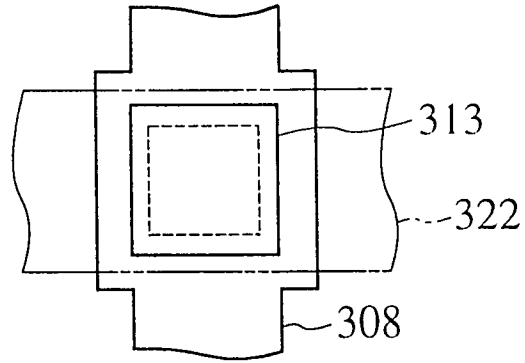


FIG. 46B

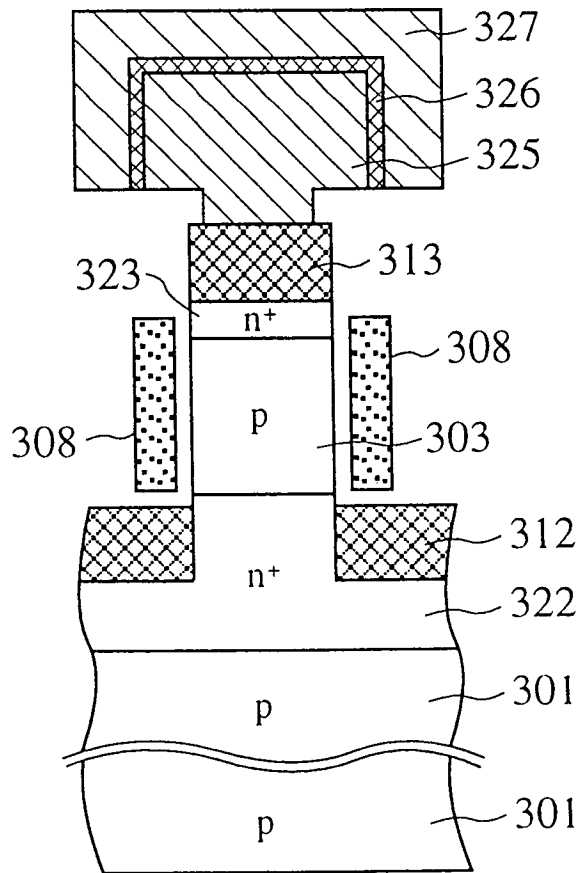


FIG. 47A

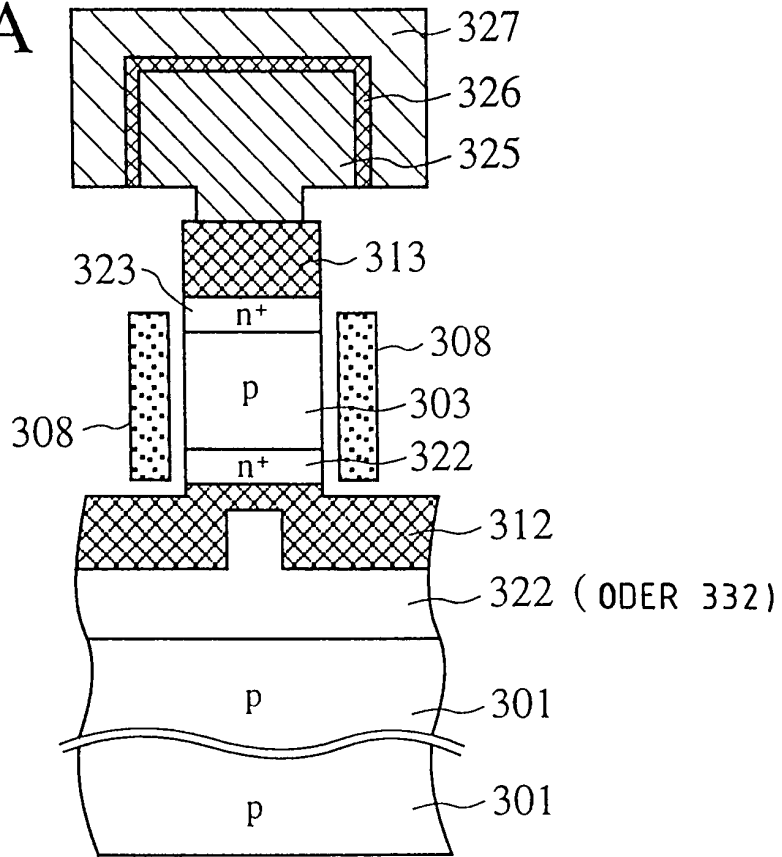


FIG. 47B

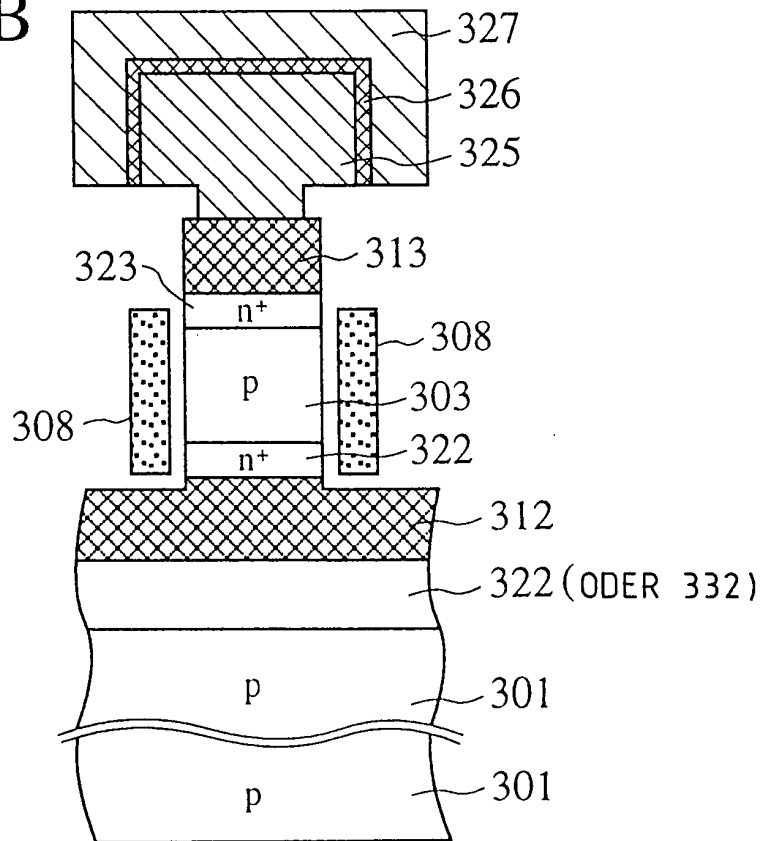


FIG. 48A

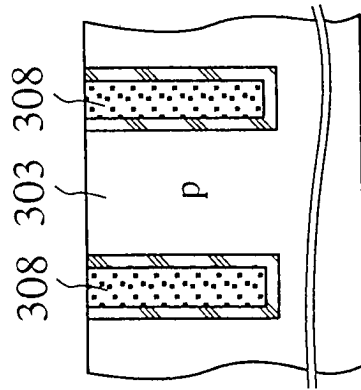


FIG. 48B

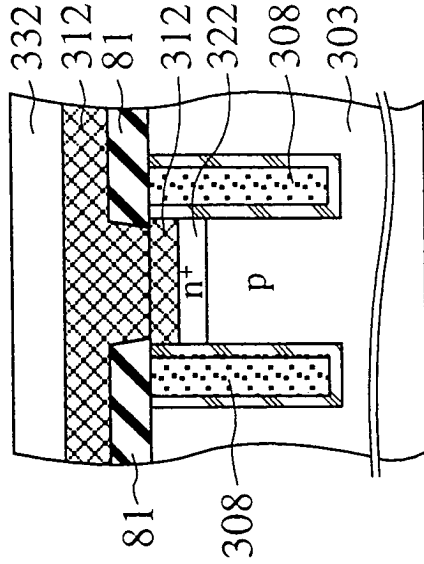


FIG. 48C

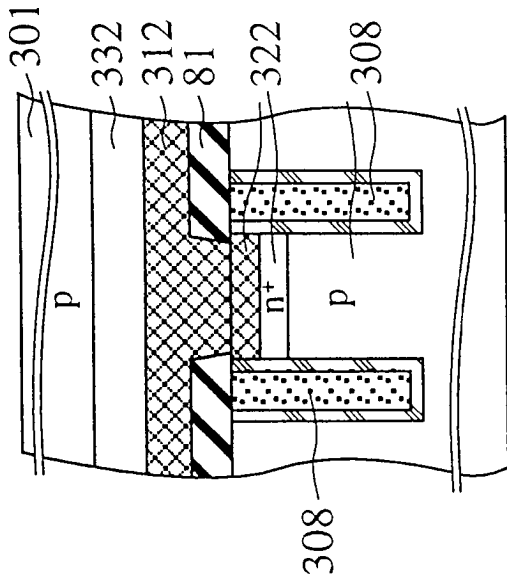


FIG. 48D

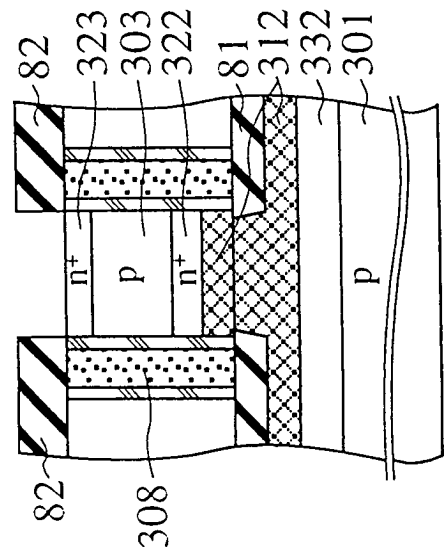


FIG. 48E

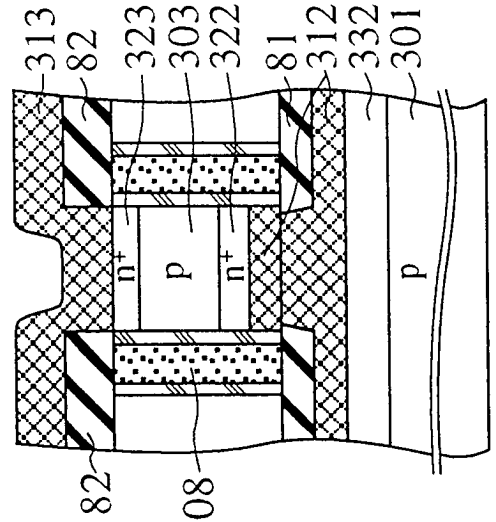


FIG. 48F

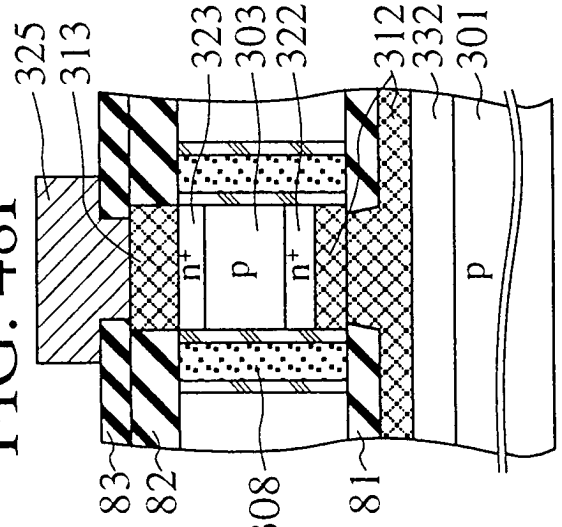


FIG. 49A

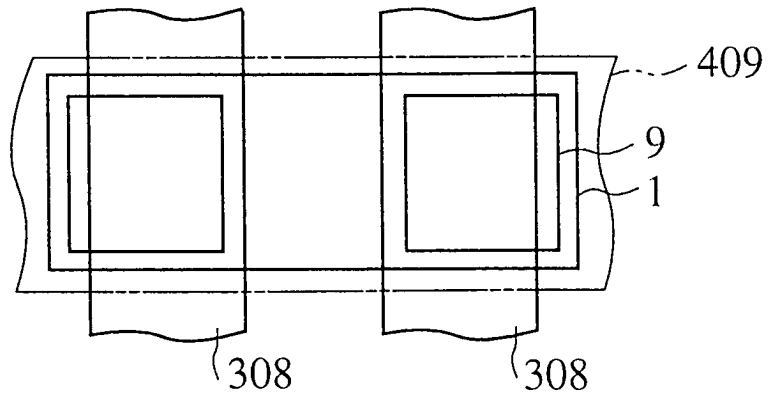


FIG. 49B

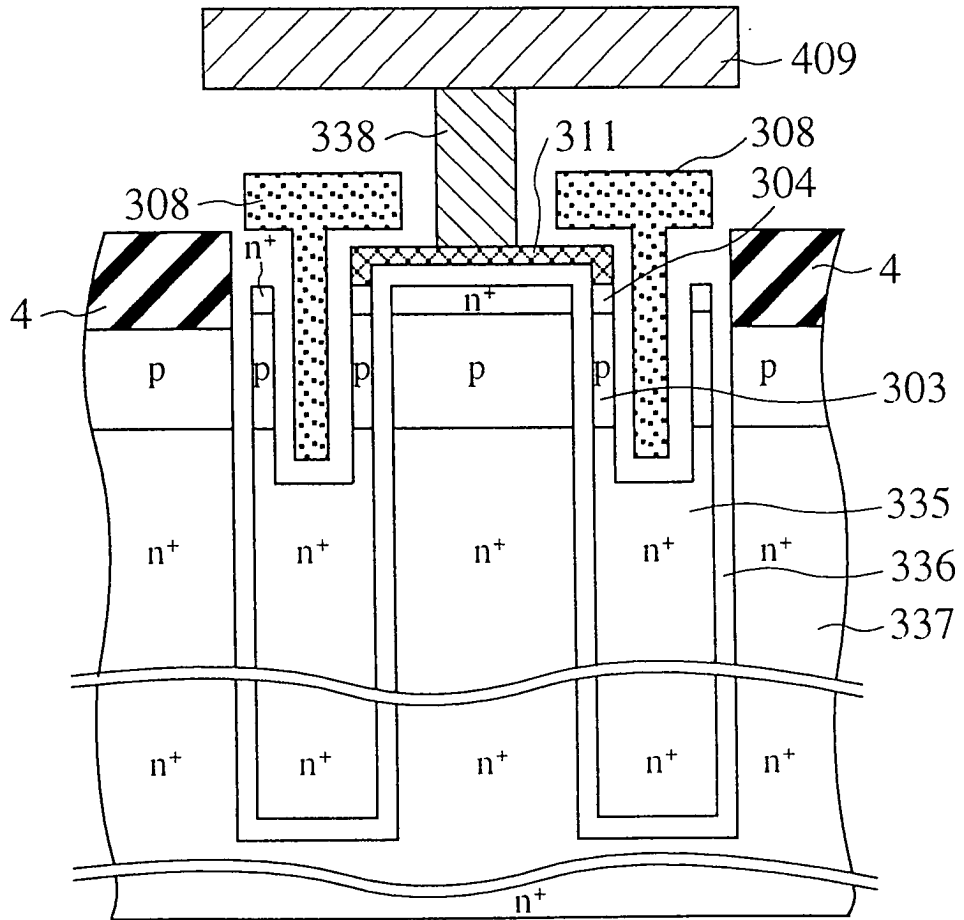


FIG. 50A

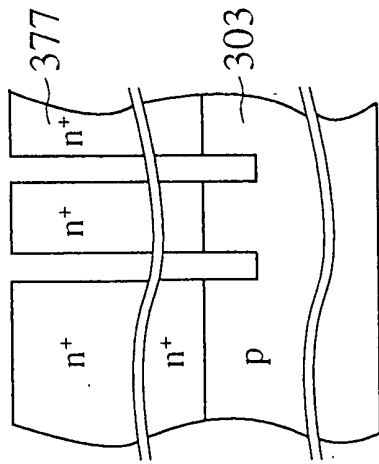


FIG. 50B

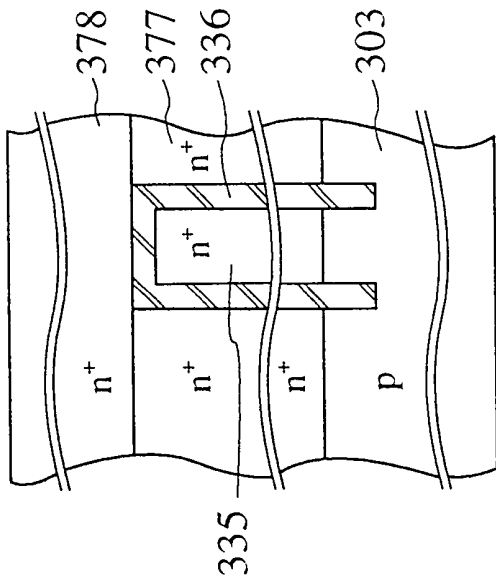


FIG. 50C

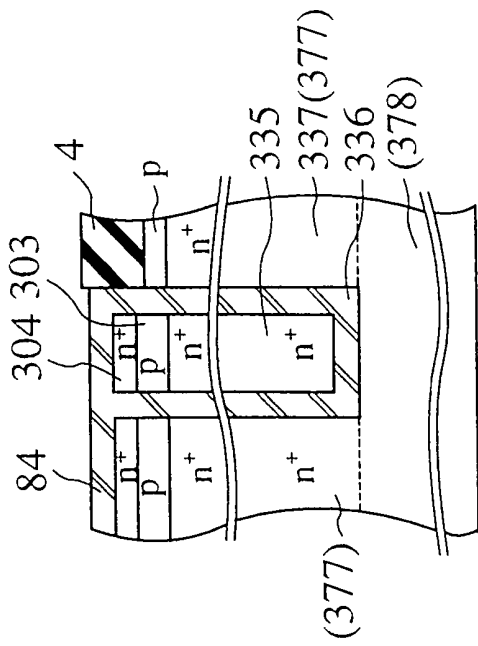


FIG. 50D

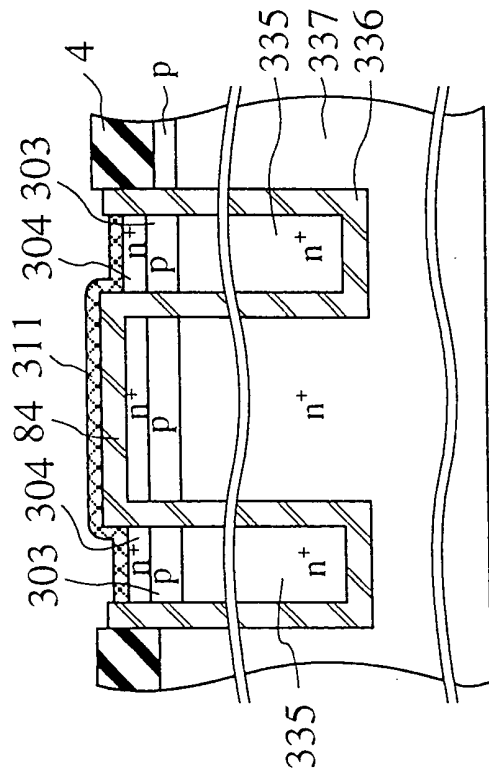


FIG. 50E

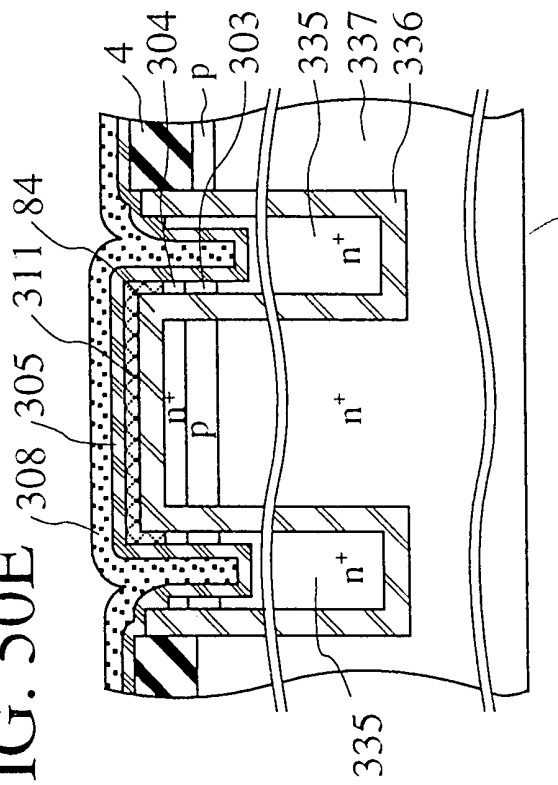


FIG. 51A

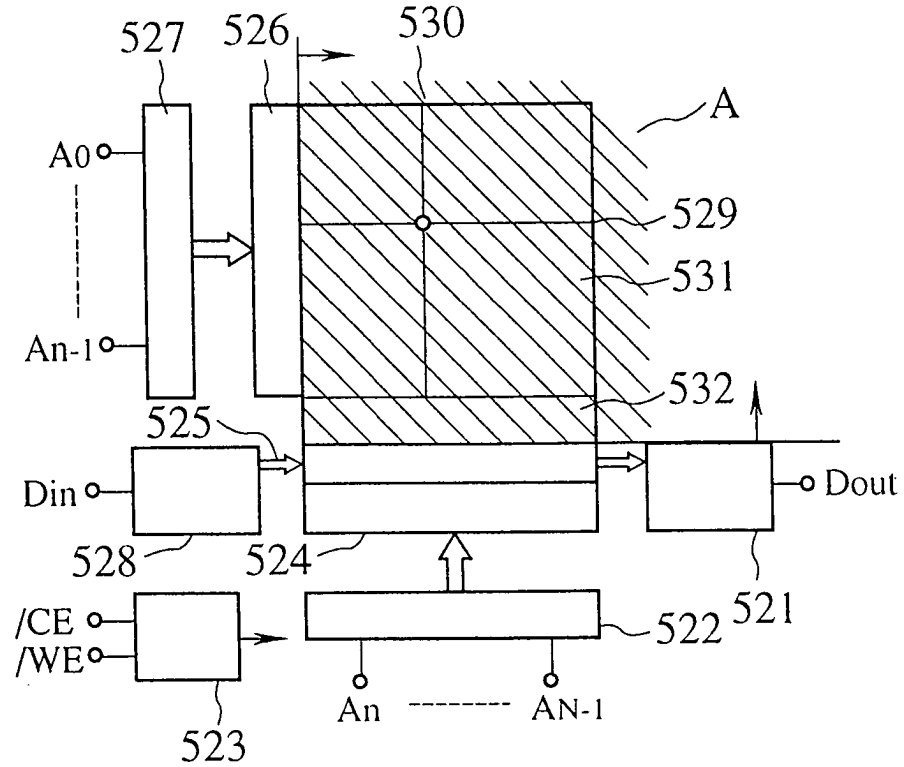


FIG. 51B

