



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월07일
(11) 등록번호 10-0756901
(24) 등록일자 2007년09월03일

(51) Int. Cl.

G02F 1/136(2006.01)

(21) 출원번호 10-2000-0030947

(22) 출원일자 2000년06월07일

심사청구일자 2005년05월13일

(65) 공개번호 10-2001-0007251

공개일자 2001년01월26일

(30) 우선권주장

11-167872 1999년06월15일 일본(JP)

11-266956 1999년09월21일 일본(JP)

(56) 선행기술조사문헌

KR100188110 B1

(73) 특허권자

가부시키키가이샤 아드반스트 디스플레이

일본국 쿠마모토켄 코우시시 미요시 997

(72) 발명자

코오타카사토시

일본국구마모토켄기쿠치군니시고오시마찌미요시997
반지가부시키키가이샤아드반스트디스플레이나이

하시구치타카후미

일본국구마모토켄기쿠치군니시고오시마찌미요시997
반지가부시키키가이샤아드반스트디스플레이나이

엔도유키오

일본국구마모토켄기쿠치군니시고오시마찌미요시997
반지가부시키키가이샤아드반스트디스플레이나이

(74) 대리인

권태복, 이화익

전체 청구항 수 : 총 2 항

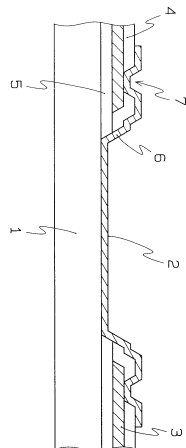
심사관 : 임동재

(54) 액정표시장치

(57) 요약

본 발명의 액정표시장치는, 어레이 기관으로서의 제1절연기관과, 제1절연기관 상에 전기적으로 서로 접속된 화소 전극들을 갖되, 어레이형으로 형성된 표시 화소들과, 제2절연기관 상에 공통전극들이 형성된 대향기관과, 서로 접합되는 제1절연기관과 제2절연기관 사이에 삽입된 액정층과, 도전성 재료를 통해 제2절연기관의 공통전극들에 공통 전위를 공급하는 트랜스퍼전극을 구비하되, 이 트랜스퍼전극은 제1절연기관의 최후의 도전막 형성 공정에 의해서 형성된 도전성 박막을 패터닝하여 형성되고, 제2도전성 금속막은, 제1절연기관의 그 제2도전막 형성 공정에서 형성되고, 공통전극 전위에 접속되고, 트랜스퍼전극의 주변부 위에 콘택홀 또는 직접 콘택을 통해 서로 접속되고, 트랜스퍼전극의 개구 중앙부의 일부에서 제1절연기관 위에 직접 형성되어 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1절연성기관 위에 화소전극을 갖는 표시화소가 어레이형으로 성형된 어레이기관과, 제2절연성기관 위에 공통전극이 성형된 대향기관과의 사이에 액정층이 끼워지지되고, 상기 제1절연성기관과 상기 제2절연성기관이 접합되며, 상기 제1절연성기관의 최후의 도전막 형성공정으로 형성된 도전성 박막을 패터닝하여 상기 제2절연성기관 상의 공통전극에 도전성 재료를 통하여 전위를 공급하는 트랜스퍼전극을 형성한 액정표시장치에 있어서,

상기 제1절연성기관의 2번째의 도전막 형성공정으로 형성되어 공통전극 전위에 접속된 제2층금속막과 상기 도전성 박막이, 상기 트랜스퍼전극의 주변부에서 콘택홀 또는 직접 콘택에 의하여 접속되며, 상기 트랜스퍼전극의 중앙부의 일부에서 상기 도전성 박막을 상기 제1절연성기관 위에 직접 성형하고,

상기 제2층금속막은, 상기 트랜스퍼전극의 주변부에 상기 제2금속막의 형성공정 후에 형성되는 제2층절연막과, 상기 제1절연성기관의 최초 도전막 형성공정에서 형성된 제1층금속막의 형성공정 후에 형성되는 제1층절연막의 층사이에 피막되어 있는 것을 특징으로 하는 액정표시장치.

청구항 2

어레이기관의 제1절연성기관과 대향기관의 제2절연성기관과의 사이에 액정표시장치가 끼워지지되고,

상기 제1절연성기관 위에 형성된 제1층금속막인 게이트전극패턴과, 상기 게이트전극을 피복한 제1층절연막과, 상기 제1층절연막 위에 형성된 반도체패턴과, 상기 반도체막패턴 위에 설치된 n형 반도체패턴 및 상기 n형 반도체패턴 위에 각각 설치된 제2층금속막인 소스/드레인 전극패턴으로 이루어진 박막트랜지스터를 구비하고,

상기 소스/드레인 전극패턴 위에 성형된 제2층절연막과, 상기 제2층절연막 위에 설치된 화소전극패턴을 구비하며,

상기 화소전극패턴은 상기 제2층절연막 성형 후 홀형성 공정에 의해, 상기 소스/드레인 전극패턴과 접속되고,

상기 화소전극패턴에 의해 성형되어 제2절연막 위에 공통전극에 도전성 재료를 통하여 전위를 공급하는 트랜스퍼전극을 구비하는 액정표시장치에 있어서,

상기 게이트전극과 상기 소스/드레인 전극패턴과 상기 화소전극패턴이 상기 트랜스퍼전극의 주변부에서 콘택홀 또는 직접 콘택에 의해 접속되고, 상기 트랜스퍼전극의 중앙부의 일부에서 상기 화소전극패턴을 상기 제1절연성기관 위에 직접 형성하며, 상기 소스/드레인 전극패턴은 상기 트랜스퍼전극의 주변부에서, 상기 제1절연막과 상기 제2층절연막의 층사이에 피복되어 있는 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은, 한 쌍의 절연기관들 사이에 액정층을 삽입하도록 한 쌍의 절연기관이 접합된 액정표시장치에 관한 것으로서, 특히 대향전극의 내부 접속전극의 형상에 관한 것이다.
- <11> 어레이 기관을 제조하는 공정에서 최후의 도전막을 형성하는 공정에 의해 형성된 도전성 박막을 패터닝하여서, 트랜스퍼전극이 형성된 어레이 기관을 사용한 액정표시장치에 있어서, 대향기관의 공통전극에 공통 전위를 공급하는 트랜스퍼전극은, 트랜스퍼전극 중앙부의 적층 막 두께가 주변부와 거의 같은 두께로 된 구조를 갖는다.
- <12> 종래의 트랜스퍼전극의 구조는, 도 4에 나타난 것과 같이, 절연기관(1)상의 트랜스퍼전극(2)으로부터 도전성 재료(9)를 통해 대향기관(10)의 공통전극(도전성 박막(11))에 공급되고, 공통전극 전위가 절연기관(1) 위에 도전막을 형성하는 두번째의 공정에서 형성된 도전성 금속막(3)을 통해 트랜스퍼전극(2)에 공급되는 경우, 트랜스퍼전극(2) 주변부의 콘택홀(7)을 경유하여 절연기관(1)의 도전막을 형성하는 최후의 공정에서 형성된 도전성 박막(6)에 전기적으로 접속되는 도전성 금속막(3)은, 도 4에 나타난 것과 같이, 트랜스퍼전극 개구의 실질상으로 중앙부까지 도달하기 위한 상태로 도전성 박막(6)의 바로 밑에 배치된다. 따라서, 절연기관(1) 위에 도전막을 형성하는 최초의 공정에서 형성된 도전성 금속막을 형성하는 공정 후에 형성되는 절연막(5) 뿐만 아니라, 도전성 금속막(3)을 형성하는 공정후에 형성되는 절연막(4)은, 각각 트랜스퍼전극의 도전성 박막(6)의 바로 밑에 형성되어서, 트랜스퍼전극 중앙부의 적층 막 두께가 주변부와 같은 막 두께로 되어 있다.
- <13> 상술한 종래 장치는, 절연기관(1) 위에 도전막을 형성하는 두번째의 공정에서 도전성 금속막(3)을 통해 트랜스퍼전극에 공통전극 전위가 공급되는 경우를 예로 들었다. 그 밖의 도전성 금속막을 통해 트랜스퍼전극에 전위가 공급되는 경우에도, 트랜스퍼전극의 개구부의 실질상으로 중앙부까지 도달하도록 도전성 금속막 및 절연막이 형성되므로, 트랜스퍼전극 중앙부의 적층 막 두께가 주변부와 같은 막 두께로 되어 있다.

발명이 이루고자 하는 기술적 과제

- <14> 그러나, 트랜스퍼전극 중앙부의 적층 막 두께가 주변부와 같은 막 두께가 되는 상술한 구조에서, 대향기관과 접합할 때 트랜스퍼전극에 도포된 도전성 재료의 압축변형이 불충분한 경우에는, 트랜스퍼전극 근방의 셀 갭(cell gap)이 더 두껍게 된다. 이에 따라서, 국소적으로 패널 투과율의 변화가 생기고, 이것은 휘도를 불균일하게 하여 수율을 저하시키고, 기관 이면으로부터 도전성 재료의 압축중에 변형을 확인하기 위한 시도가 있는 경우, 금속막의 갭 부분이 작고 절연막이 삽입되기 때문에, 적당한 확인을 하기가 어렵다.
- <15> 본 발명은 상기 문제점을 해결하기 위해 창출된 것으로, 트랜스퍼전극 근방의 셀 갭을 균일화함에 의해 패널 투과율의 국소적인 변화를 방지하여, 휘도의 균일성을 향상함과 동시에, 수율을 향상시키는데 그 목적이 있다. 더우기, 금속막들 사이의 갭 부분을 더 크게 형성하여, 그 갭 부분에는 절연막을 삽입하지 않고서, 어레이 기관 이면으로부터의 도전성 재료의 압축중의 변형을 쉽게 확인 가능하다.

발명의 구성 및 작용

- <16> 본 발명의 일 발명내용에 따른 액정표시장치는, 제1절연성기관 위에 화소전극을 갖는 표시화소가 어레이형으로 형성된 어레이기관과, 제2절연성기관 위에 공통전극이 형성된 대향기관과의 사이에 액정층이 끼워지지되고, 상기 제1절연성기관과 상기 제2절연성기관이 접합되며, 상기 제1절연성기관의 최후의 도전막 형성공정으로 형성된 도전성 박막을 패터닝하여 상기 제2절연성기관 상의 공통전극에 도전성 재료를 통하여 전위를 공급하는 트랜스퍼전극을 형성한 액정표시장치에 있어서,

상기 제1절연성기관의 2번목의 도전막 형성공정으로 형성되어 공통전극전위에 접속된 제2층금속막과 상기 도전성 박막이, 상기 트랜스퍼전극의 주변부에서 콘택홀 또는 직접 콘택에 의하여 접속되며, 상기 트랜스퍼전극의 중앙부의 일부에서 상기 도전성 박막을 상기 제1절연성기관 위에 직접 성형하고,

상기 제2층금속막은, 상기 트랜스퍼전극의 주변부에 상기 제2금속막 형성공정 후에 형성되는 제2층절연막과, 상기 제1절연성기관의 최초 도전막 형성공정에서 형성된 제1층금속막의 형성공정 후에 형성되는 제1층절연막의 층

사이에 피막되어 있는 것이 바람직하다.

<17> 삭제

<18> 삭제

<19> 삭제

<20> 삭제

<21> 삭제

<22> 삭제

<23> 삭제

<24> 삭제

<25> 본 발명의 다른 발명내용에 따른 액정표시장치는, 어레이기판의 제1절연성기관과 대향기판의 제2절연성기관과의 사이에 액정표시장치가 끼워지지되고,

상기 제1절연성기관 위에 형성된 제1층금속막인 게이트전극패턴과, 상기 게이트전극을 피복한 제1층절연막과, 상기 제1층절연막 위에 형성된 반도체패턴과, 상기 반도체패턴 위에 설치된 n형 반도체패턴 및 상기 n형 반도체패턴 위에 각각 설치된 제2층금속막인 소스/드레인 전극패턴으로 이루어진 박막트랜지스터를 구비하고,

상기 소스/드레인 전극패턴 위에 성형된 제2층절연막과, 상기 제2층절연막 위에 설치된 화소전극패턴을 구비하며,

상기 화소전극패턴은 상기 제2층절연막 성형 후 홀형성 공정에 의해, 상기 소스/드레인 전극패턴과 접속되고,

상기 화소전극패턴에 의해 성형되어 제2절연막 위에 공통전극에 도전성 재료를 통하여 전위를 공급하는 트랜스퍼전극을 구비하는 액정표시장치에 있어서,

상기 게이트전극과 상기 소스/드레인 전극패턴과 상기 화소전극패턴이 상기 트랜스퍼전극의 주변부에서 콘택홀 또는 직접 콘택에 의해 접속되고, 상기 트랜스퍼전극의 중앙부의 일부에서 상기 화소전극패턴을 상기 제1절연성기관 위에 직접 형성하며, 상기 소스/드레인 전극패턴은 상기 트랜스퍼전극의 주변부에서, 상기 제1절연막과 상기 제2층절연막의 층사이에 피복되어 있는 것이다.

<26> 삭제

<27> 삭제

<28> 삭제

- <29> 삭제
- <30> 삭제
- <31> 삭제
- <32> 삭제
- <33> 삭제
- <34> 삭제
- <35> 삭제
- <36> 삭제
- <37> 삭제
- <38> 삭제
- <39> 삭제
- <40> 삭제
- <41> 삭제
- <42> 삭제
- <43> 삭제
- <44> 삭제
- <45> 삭제
- <46> 삭제

- <47> 삭제
- <48> 삭제
- <49> 삭제
- <50> 삭제
- <51> 삭제
- <52> 삭제
- <53> 삭제
- <54> 삭제
- <55> 삭제
- <56> 삭제
- <57> 삭제
- <58> 삭제
- <59> 삭제
- <60> 삭제
- <61> 삭제
- <62> 삭제
- <63> 삭제
- <64> 삭제

- <65> 삭제
- <66> 삭제
- <67> 삭제
- <68> 삭제
- <69> 이하, 첨부도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- <70> (실시예1)
- <71> 본 발명의 실시예1을 도 1을 참조하여 설명한다. 도 1은 본 발명의 실시예1에서 트랜스퍼전극의 단면도를 나타낸 것으로, 이하 그 구성을 작용과 함께 설명한다. 여기서 어레이 기판 상의 트랜스퍼전극으로부터 도전성 재료를 통해 대향기관측의 공통전극(도전성 박막)에 전위가 접속되는 구조에 관해서는 도 4에 도시된 것과 동일하기 때문에 이에 대한 설명은 생략되어 있다. 도 1은 한 쌍의 절연 기판 사이에 삽입된 액정층과 서로 접합되는 한 쌍의 절연기관에 의해 구성된 액정 표시장치의 어레이 기판측의 트랜스퍼전극의 단면 형상을 나타내는 것으로서, 참조번호 1은 절연기관(어레이기관), 2는 트랜스퍼전극, 3은 절연기관(1)의 제2도전막 형성공정에서 형성된 기관면으로부터 제2층금속막, 4는 제2층으로서 제2층금속막(3) 후에 형성된 제2층절연막, 5는 절연기관(1)의 제1도전막 형성공정에서 형성된 제1층으로 금속막 후에 형성된 제1층절연막, 6은 절연기관(1)의 최후의 도전막 형성공정으로 형성되고, 트랜스퍼전극(2)이 되는 투명한 도전성 박막, 7은 콘택홀을 나타낸다.
- <72> 대향기관 위의 공통전극에 전위를 공급하는 경우, 트랜스퍼전극(2)의 중앙부에 도전성 재료를 도포하여, 대향기관의 전극부에 접속시킨다. 도 1은 절연기관(1) 상의 공통 전위를 절연기관(1)의 제2도전막 형성공정으로 형성된 제2층금속막(3)을 통해 트랜스퍼전극부에 공급하는 경우를 나타내고 있다. 금속막(3)은 트랜스퍼전극(2)의 주변 근방에 있는 콘택홀(7)을 통해 도전성 박막(6)에 공통 전위를 공급하여, 도전성 박막(6)은 트랜스퍼전극(2)의 중앙부의 적어도 일부를 절연기관(1) 위에 직접 형성하는 구성으로 되어 있다. 이 명세서에서, 일부는 트랜스퍼전극(2)의 개구부의 약 10%~90%의 범위를 나타낸다.
- <73> 더우기, 도 1에 나타난 것과 같이, 제2층금속막(3)을 제1층절연막(4) 및 제2층절연막(5) 사이에 삽입되도록 설치한다. 이러한 구성으로, 금속막(3)을 제1,2층절연막(4,5)의 단부로부터 외부로 노출되도록 형성하는 경우에 생기는 문제점을 회피할 수 있다. 즉, 제1,2층절연막(4, 5)의 홀형성 공정시에 제2층금속막(3)의 단부 밑으로 제1층절연막(5)이, 트랜스퍼전극(2)의 중앙부로부터 외측으로 향하여 홈 형상으로 에칭되어, 도전성 박막(6)의 커버리지(coverage)가 악화한다고 하는 문제점을 해결 가능하다.
- <74> 상술한 구성으로, 트랜스퍼전극(2)의 중앙부를 주변부와 비교하여 얇게 하여, 도전성 재료의 압축 변형이 불충분한 경우라도, 트랜스퍼전극 부근의 셀 갭이 더 두껍게 되지 않아서, 트랜스퍼전극(2) 부근의 셀 갭을 균일화하는 것이 가능해진다. 이에 따라서, 패널 투과율에 있어서 국소적인 변화를 방지하여, 휘도의 균일성을 향상함과 동시에 수율을 향상시킬 수 있다. 또한, 금속막의 갭 부분을 비교적 넓게 만들고, 이 갭 부분에 절연막을 삽입하지 않기 때문에, 도전성 재료의 압축 변형을 어레이 기판 이면으로부터 용이하게 확인할 수 있다.
- <75> (실시예2)
- <76> 본 발명의 실시예2를 도 2를 참조하여 설명한다. 도 2는 본 발명의 실시예2에서 트랜스퍼전극의 단면도를 나타낸 것으로, 이하 그 구성을 작용과 함께 설명한다. 여기서, 어레이 기판상의 트랜스퍼전극으로부터 도전성 재료를 통해 대향기관측 상의 공통전극(도전성 박막)에 접속되는 구조에 대해서는 도 4와 동일하기 때문에, 그에 대한 설명은 생략한다. 도 2는 한 쌍의 절연기관 사이에 삽입된 액정층과 서로 접합된 한 쌍의 절연기관으로 구성된 액정표시장치의 어레이 기판측의 트랜스퍼전극의 단면 형상을 나타내는 것으로, 참조번호 1은 절연기관(어레이 기판), 2는 트랜스퍼전극, 4는 절연기관(1)의 제2도전막 형성공정에서 형성된 제2층금속막 후에 형성되는 제2층절연막, 5는 절연기관(1)의 제1도전막 형성공정에서 형성되는 제1층금속막 후에 형성되는 제1층절연막, 6은 절연기관(1)의 최후의 도전막 형성공정에서 형성된 도전성 박막, 7은 콘택홀, 8은 절연기관(1)의 최초의 도전막

형성공정에서 형성된 제1층금속막을 나타낸다.

- <77> 대향기관의 공통전극에 전위를 공급하는 경우, 트랜스퍼전극(2)의 중앙부에 도전성 재료를 도포하고, 이것을 대향기관상의 전극부에 접속시킨다. 도 2는 절연기관(1)상의 공통전위를 트랜스퍼전극부까지 절연기관(1)의 제1도전막 형성공정에서 형성된 제1층금속막(8)을 통해 공급하는 경우를 나타내고 있다. 이 금속막(8)은 트랜스퍼전극(2)의 근방에 있는 콘택홀(7)을 통해 도전성 박막(6)에 공통전위를 공급하고, 이 도전성 박막(6)은 트랜스퍼전극(2)의 중앙부에 적어도 일부를 절연기관(1) 위에 직접 형성하는 구성으로 되어 있다. 또한 도 2에서는, 금속막(8)이 제1,2층절연막(4, 5)의 밑에 형성되는 구조를 예로 들었고, 금속막(8)의 밑에 에칭의 대상이 되는 절연막이 없기 때문에 도전성 박막(6)의 커버리지의 문제는 없어서, 금속막(8)이 제1,2층절연막(4, 5)과 같은 위치에서 제거할 수도 있다. 더우기, 금속막(8)이 제1,2층절연막(4, 5)으로부터 중앙부로 향하여 노출하는 형상의 경우는, 도 2에 도시된 것처럼 개개의 콘택홀을 갖는 구조는 형성할 필요가 없고, 트랜스퍼전극(2)의 개구부의 중앙부에서 제1,2층절연막(4, 5)을 제거하면서 금속막(8)의 노출 부분상의 제1,2층절연막(4, 5)를 제거함으로써 금속막(8)이 도전성 박막(6)에 직접 콘택되어, 공통전위의 공급이 가능해진다.
- <78> 상술한 구성으로, 트랜스퍼전극(2)의 중앙부를 주변부와 비교하여 얇게 하는 것이 가능하므로, 도전성 재료의 압축 변형이 불충분한 경우라도, 트랜스퍼전극 부근의 셀 갭이 두껍게 되지 않아서, 트랜스퍼전극(2) 부근의 셀 갭을 균일화하는 것이 가능해진다. 이에 따라, 패널 투과율에 있어서 국소적인 변화를 방지하여, 휘도의 균일성을 향상함과 동시에 수율도 향상시킬 수 있다. 또한, 금속막의 갭 부분을 비교적 크게 형성하고, 이 갭 부분에 절연막을 삽입하지 않기 때문에, 도전성 재료의 압축 변형을 어레이 기관 이면으로부터 쉽게 확인할 수 있다.
- <79> (실시예3)
- <80> 본 발명의 실시예3을 도 3을 참조하여 설명한다. 도 3은 본 발명의 실시예2에서 트랜스퍼전극의 단면도를 나타낸 것으로, 이하 그 구성을 작용과 함께 설명한다. 여기서, 어레이 기관상의 트랜스퍼전극으로부터 도전성 재료를 통해 대향기관측 위에 공통전극(도전성 박막)에 접속되는 구조는 도 4에 도시된 것과 동일하기 때문에 생략되어 있다. 도 3은 한 쌍의 절연기관 사이에 삽입된 액정층과 서로 접합되는 한 쌍의 절연기관에 의해 구성된 액정표시장치의 어레이 기관측의 트랜스퍼전극의 단면 형상을 나타낸 것으로, 참조번호 1은 절연기관(어레이기관), 2는 트랜스퍼전극, 3은 절연기관(1)의 제2도전막 형성공정에서 형성된 제2층금속막, 4는 절연기관(1)의 제2도전막 형성공정에서 형성된 금속막(3) 후에 형성되는 제2층절연막, 5는 절연기관(1)의 제1도전막 형성공정에서 형성된 제1층금속막(8) 후에 형성되는 제1층절연막, 6은 절연기관(1)의 최후의 도전막 형성공정에서 형성된 도전성 박막, 7은 콘택홀, 8은 절연기관(1)의 제1도전막 형성공정에서 형성된 제1층금속막을 나타낸다.
- <81> 대향기관 위의 공통전극에 전위를 공급하는 경우, 트랜스퍼전극(2)의 중앙부에 도전성 재료를 도포하고, 이것을 대향기관 상의 전극부에 접속시킨다. 도 3은 절연기관(1)상의 공통전위를 절연기관(1)의 제1도전막 형성공정에서 형성된 제1층으로서의 금속막(8) 및 절연기관(1)의 제2도전막 형성 공정에서 형성된 제2층으로서의 금속막(3)을 통해 트랜스퍼전극부에 공급하는 경우를 나타낸다. 제1금속막(3) 및 제2금속막(8)은 트랜스퍼전극(2) 부근에 있는 콘택홀(7)을 통해 도전성 박막(6)에 공통전위를 공급하여, 이 도전성 박막(6)은 트랜스퍼전극(2) 중앙부의 적어도 일부가 절연기관(1) 위에 직접 형성되게 한다. 또한, 도 3에서는, 제1층금속막(8)이 제1,2층절연막(4, 5)의 밑에 형성되어 있는 구조로 나타내었지만, 금속막(8)은 상기 실시예2와 같이 트랜스퍼전극 중앙측 위에 제1,2층절연막(4, 5)과 같은 위치에서 제거되어도 된다. 더우기, 제1,2층절연막(4, 5)으로부터 중앙부를 향하여 노출하는 형상을 갖는 금속막(8)의 경우는, 도 3에 도시된 것과 같이, 제1층금속막(8) 상에 독립적인 콘택홀들을 갖는 구조를 형성할 필요가 없고, 트랜스퍼전극(2)의 중앙부에 있는 제1,2층절연막(4, 5)을 제거하면서 금속막(8)의 노출된 부분 위의 제1,2층절연막(4, 5)을 제거함으로써 금속막(8)이 도전성 박막(6)에 직접 콘택하여, 공통전위의 공급이 가능해진다.
- <82> 상술한 구성은, 트랜스퍼전극(2)의 중앙부를 주변부와 비교하여 얇게 하여, 도전성 재료의 압축 변형이 불충분한 경우라도, 트랜스퍼전극 부근의 셀 갭이 두껍게 되는 경우는 없고, 트랜스퍼전극(2) 부근의 셀 갭을 균일화하는 것이 가능해지게 되어 있다. 따라서, 패널 투과율에서의 국소적인 변화를 방지하여, 휘도의 균일성을 향상함과 동시에 수율을 향상시킬 수도 있다. 또한, 금속막의 갭 부분을 비교적 크게 형성하고, 이 갭 부분에 절연막을 삽입하지 않기 때문에, 도전성 재료의 압축 변형을 어레이 기관 이면으로부터 용이하게 확인할 수 있다.
- <83> (실시예4)
- <84> 본 발명의 실시예4를 도 1 내지 도 3을 참조하여 설명한다. 본 실시예는, 상기 실시예1 내지 실시예3에서 트랜스퍼전극부의 적층막 구성에 대해서 상세히 설명한 것으로, 이 트랜스퍼전극 중앙부의 구조는 도 1 내지 도 3에

도시된 구조와 마찬가지로 때문에 설명을 생략한다. 도 1 내지 도 3에서의 적층막 제조 공정의 개략을 이하에 설명한다. 절연기판(1)(어레이 기판) 위에 Al(알루미늄) 또는 Cr(크롬)과 같은 저저항 금속을 스퍼터링 등에 의해 막으로 형성하고, 이것을 통상의 포토리소그래피 인쇄법 등에 의해 형성한 레지스트를 사용하여 패터닝하고, 게이트전극을 형성하는 제1층금속막(8)을 형성한다. 다음에, 플라스마 CVD 법 등에 의해 실리콘 질화막 등으로 이루어지는 제1층절연막(5), 반도체층을 구성하는 i 형 비결정질 실리콘막, 불순물이 주입된 n 형 비결정질 실리콘막을 연속적으로 형성한다. 그리고나서, 포토리소그래피 인쇄법 등에 의해 상기 i 형 및 n 형 비결정질 실리콘을 패터닝한다. 그 후 Al이나 Cr 등을 스퍼터링 등에 의해 저저항 금속을 형성하고, 이를 통상의 포토리소그래피법 등에 의해 형성한 레지스트를 사용하여 패터닝하여, 소스/드레인 전극이 되는 제2층금속막(3)을 형성한다. 다음에, 실리콘 질화막 등으로 이루어지는 제2층절연막(4)을 플라스마 CVD법 등에 의해 퇴적시키고, 드라이 에칭법 등에 의해 상술한 제1층절연막(5) 및 제2층절연막(4)에 콘택홀(7)을 형성한다. 이와 동시에, 트랜스퍼전극(2)이 형성된 절연기판(1)의 중앙부의 영역을 노출시킨다. 다음에, ITO(Indium Tin Oxide) 등으로 이루어지는 도전성 박막(6)을 스퍼터링 등에 의해 형성하고, 이것을 포토리소그래피법 등에 의해 형성한 레지스트를 사용하여 패터닝하여 화소전극들 및 트랜스퍼전극들을 형성한다. 대향기판의 공통전극에 전위를 공급하는 경우, 트랜스퍼전극(2)의 중앙부에 도전성 재료를 도포하고, 이것을 대향기판상의 공통전극부에 접속시킨다.

- <85> 도 1에 도시된 것과 같이, 절연기판(1) 상의 공통전위를 제2층금속막(3)으로 이루어지는 소스/드레인 전극패턴을 통하여 트랜스퍼전극부에 공급하는 경우, 도면에 나타난 것과 같이, 트랜스퍼전극 주변부의 콘택홀(7)에 의해 소스/드레인 전극(제2층금속막(3))과 트랜스퍼전극(2)(도전성 박막(6))을 접속시킨다.
- <86> 도 2에 도시된 것과 같이, 절연기판(1)상의 공통전위를 제1층금속막(8)으로 이루어지는 게이트전극패턴을 통해 트랜스퍼전극부에 공급하는 경우, 도면에 나타난 것과 같이, 트랜스퍼전극 주변부의 콘택홀(7)에 의해 게이트전극(제1층금속막(8))과 트랜스퍼전극(도전성 박막(6))을 접속시킨다.
- <87> 도 3에 도시된 것과 같이, 절연기판(1)상의 공통전위를 소스/드레인 전극패턴 및 게이트전극패턴을 통해 트랜스퍼전극부에 공급하는 경우, 도면에 나타난 것과 같이, 트랜스퍼전극 주변부의 콘택홀(7)에 의해 소스/드레인 전극패턴 및 게이트전극패턴과 트랜스퍼전극(도전성 박막(6))을 접속시킨다.
- <88> 상술한 구성은, 트랜스퍼전극(2)의 중앙부를 주변부와 비교하여 얇게 하여, 도전성 재료의 압축 변형이 불충분한 경우에도, 트랜스퍼전극 부근의 셀 갭을 두껍게 하지 않고, 트랜스퍼전극(2) 부근의 셀 갭을 균일화하는 것이 가능해지는 구성으로 되어 있다. 따라서, 패널 투과율에 있어서 국소적인 변화를 방지하여, 휘도의 균일성을 향상함과 동시에 수율을 향상시킬 수도 있다. 더욱이, 금속막의 갭 부분을 비교적 넓게 형성하여, 절연막을 그 갭 부분에 삽입하지 않기 때문에, 도전성 재료의 압축 변형을 어레이 기판 이면으로부터 용이하게 확인할 수 있다.
- <89> 이상, 본 발명을 실시예1 내지 실시예 4를 참조하여 설명하였지만, 본 발명은 상기 실시예 1 내지 실시예 4에 한정되는 것이 아님은 물론 본 발명의 범주내에서 다양한 변경을 할 수도 있다.
- <90> 예를 들면, 실시예1 내지 실시예4에 의한 어레이 기판상에 형성된 금속막 및 절연막의 층 구성에 한정되지 않고, 트랜스퍼전극을 형성하는 도전성 재료(9)와 접속되는 도전성 박막(6)을 어레이기판(1) 위에 직접 형성하는 본 발명의 특징을, 다른 막 형성 공정을 갖는 또 다른 기판 구성에 적용할 수도 있다.

발명의 효과

- <91> 본 발명의 액정표시장치는, 트랜스퍼전극의 중앙부의 적어도 일부를 직접 어레이 기판측의 절연기판상에 형성하도록 하였기 때문에, 트랜스퍼전극의 중앙부를 주변부와 비교할 때 좁게 할 수 있어, 도전성 재료의 압축 변형이 불충분한 경우라도, 트랜스퍼전극 부근의 셀 갭이 두껍게 되지 않아서, 트랜스퍼전극 부근의 셀 갭을 균일화하는 것이 가능해진다. 따라서, 패널 투과율에 있어서의 국소적인 변화를 방지하여, 휘도의 균일성을 향상함과 동시에 수율을 향상시킬 수도 있다. 또한, 금속막의 갭 부분을 비교적 넓게 형성하여, 절연막을 이 갭 부분에 삽입하였기 때문에, 도전성 재료의 압축 변형을 어레이 기판 이면으로부터 용이하게 확인할 수 있다.

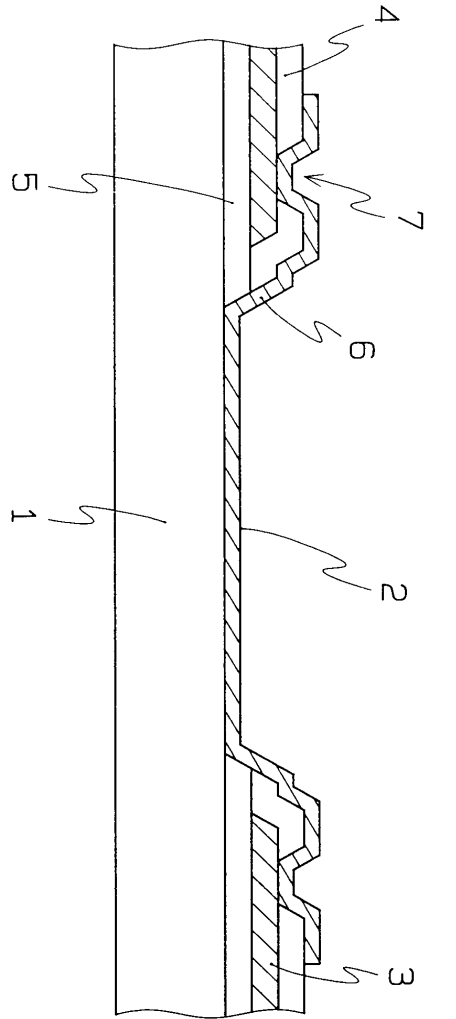
도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예1의 트랜스퍼전극의 단면도,
- <2> 도 2는 본 발명의 실시예2의 트랜스퍼전극의 단면도,
- <3> 도 3은 본 발명의 실시예3의 트랜스퍼전극의 단면도,

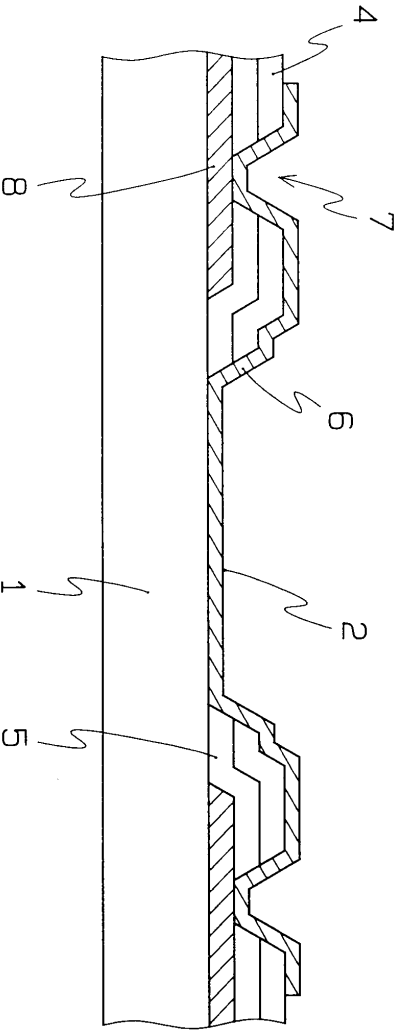
- <4> 도 4는 종래의 트랜스퍼전극의 단면도이다.
- <5> *도면의 주요 부분에 대한 부호의 설명*
- <6> 1 : 절연기판 2 : 트랜스퍼전극
- <7> 3, 8 : 제1,2층금속막 4, 5 : 제1,2층절연막
- <8> 6, 11 : 도전성 박막 7 : 콘택홀
- <9> 9 : 도전성 재료 10 : 대향기판

도면

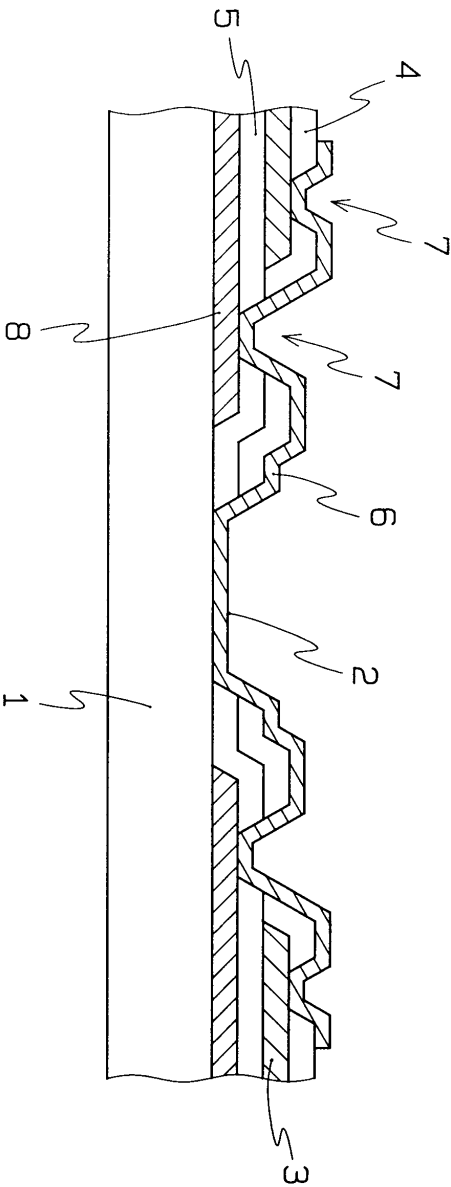
도면1



도면2



도면3



도면4

