

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 7 月 6 日 (06.07.2023)



(10) 国际公布号
WO 2023/123762 A1

(51) 国际专利分类号:
H01L 21/321 (2006.01) **H01L 21/8234** (2006.01)
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2022/088464

(22) 国际申请日: 2022 年 4 月 22 日 (22.04.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111625986.8 2021 年 12 月 28 日 (28.12.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 李宗翰 (**LEE, Tzung-Han**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME

(54) 发明名称: 一种半导体结构及其形成方法

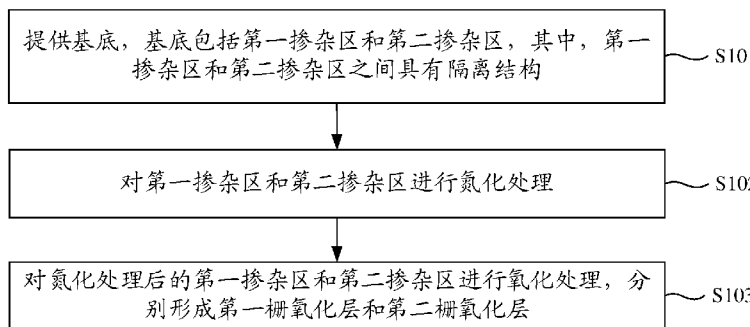


图 1a

- S101 Provide a substrate, wherein the substrate comprises a first doping region and a second doping region, and an isolation structure is provided between the first doping region and the second doping region
- S102 Perform nitridation treatment on the first doping region and the second doping region
- S103 Perform oxidation treatment on the first doping region and the second doping region, which have been subjected to nitridation treatment, so as to respectively form a first gate oxide layer and a second gate oxide layer

(57) **Abstract:** Provided in the embodiments of the present disclosure are a semiconductor structure and a method for forming same. The method comprises: providing a substrate, wherein the substrate comprises a first doping region and a second doping region, and an isolation structure is provided between the first doping region and the second doping region; performing nitridation treatment on the first doping region and the second doping region; and performing oxidation treatment on the first doping region and the second doping region, which have been subjected to nitridation treatment, so as to respectively form a first gate oxide layer and a second gate oxide layer.

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本公开实施例提供一种半导体结构及其形成方法。其中, 所述方法包括: 提供基底, 所述基底包括第一掺杂区和第二掺杂区, 其中, 所述第一掺杂区和所述第二掺杂区之间具有隔离结构; 对所述第一掺杂区和所述第二掺杂区进行氮化处理; 对氮化处理后的所述第一掺杂区和所述第二掺杂区进行氧化处理, 分别形成第一栅氧化层和第二栅氧化层。

一种半导体结构及其形成方法

相关申请的交叉引用

本公开基于申请号为 202111625986.8、申请日为 2021 年 12 月 28 日、申请名称为“一种半导体结构及其形成方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此以全文引入的方式引入本公开。

技术领域

本公开涉及但不限于一种半导体结构及其形成方法。

背景技术

相关技术中，在相同的栅氧工艺条件下，不同的掺杂区上形成的栅氧化层的厚度往往存在一些差异，栅氧化层的厚度差异会影响半导体器件的电学参数和/或电学性能。

发明内容

有鉴于此，本公开实施例提供一种半导体结构及其形成方法。

第一方面，本公开实施例提供一种半导体结构的形成方法，包括：提供基底，所述基底包括第一掺杂区和第二掺杂区，其中，所述第一掺杂区和所述第二掺杂区之间具有隔离结构；对所述第一掺杂区和所述第二掺杂区进行氮化处理；对氮化处理后的所述第一掺杂区和所述第二掺杂区进行氧化处理，分别形成第一栅氧化层和第二栅氧化层。

在一些实施例中，所述提供基底，包括：提供衬底；在所述衬底上形成隔离结构；对形成隔离结构的所述衬底进行掺杂，在所述隔离结构的两侧分别形成所述第一掺杂区和所述第二掺杂区。

20 在一些实施例中，所述第一掺杂区对应的所述衬底为第一衬底，所述第二掺杂区对应的所述衬底为第二衬底和形成于所述第二衬底上的锗硅衬底。

如此，在第二掺杂区的第二衬底上形成锗硅衬底，可以提高在第二掺杂区上形成的器件的速度并降低器件的功函数，从而改变阈值电压。

25 在一些实施例中，在所述第二衬底上形成锗硅衬底的步骤，包括：在所述第一衬底和所述第二衬底上形成图案化的第一掩膜层，所述图案化的第一掩膜层暴露出所述第二衬底的表面；通过外延生长或沉积在所述第二衬底的表面形成锗硅衬底；去除所述第一衬底上的所述锗硅衬底和所述图案化的第一掩膜层。

如此，氮化处理过程中在锗硅衬底掺杂的氮离子可以阻止形成锗氧键（Ge-O），从

而减小第一栅氧化层与第二栅氧化层的厚度差异，减小对半导体器件的电学参数例如阈值电压和电容的影响。

5 在一些实施例中，所述对形成隔离结构的所述衬底进行掺杂，在所述隔离结构的两侧形成第一掺杂区和第二掺杂区，包括：在形成隔离结构的所述第一衬底和所述锗硅衬底上形成图案化的第二掩膜层，所述图案化的第二掩膜层暴露出所述第一衬底的表面；以所述图案化的第二掩膜层为掩膜，对所述第一衬底进行第一离子注入，形成所述第一掺杂区；去除所述图案化的第二掩膜层；在形成所述隔离结构和所述第一掺杂区的所述
10 第一衬底和所述锗硅衬底上形成图案化的第三掩膜层，所述图案化的第三掩膜层暴露出形成所述锗硅衬底的表面；以所述图案化的第三掩膜层为掩膜，对所述锗硅衬底和与所述锗硅衬底下表面接触的所述第二衬底进行第二离子注入，形成所述第二掺杂区；去除所述图案化的第三掩膜层。

在一些实施例中，所述第一掺杂区包括 N 型掺杂的第一衬底，所述第二掺杂区包括 P 型掺杂的第二衬底和 P 型掺杂的锗硅衬底。

15 在一些实施例中，所述对所述第一掺杂区和所述第二掺杂区进行氮化处理，包括：采用等离子体对所述第一掺杂区和所述第二掺杂区进行氮化处理。

如此，可以高效地实现超低能量的掺杂，更有助于降低第二掺杂区的氧化速率，同时可以减小界面缺陷这一问题的产生。

在一些实施例中，所述氮化处理的反应气体包括氮气，辅助气体包括氦气，所述氮气和所述氦气的流量之比为 1:5 至 1:2。

20 如此，可以使第二掺杂区和第一掺杂区有足够体积浓度的氮离子，减小第二栅氧化层的生长速度，同时减小氮离子体积浓度过大对后续形成的器件的电学性能造成不良影响。

在一些实施例中，所述氮化处理的反应温度为 90℃ 至 100℃，反应时间为 90s 至 110s。

在一些实施例中，所述氧化处理为臭氧氧化。

25 如此，可以更好地控制氧化速率，有利于得到一致的栅氧厚度，为器件性能调整提供了较好的先决条件。

在一些实施例中，所述臭氧氧化采用湿法氧化工艺，所述湿法氧化工艺的氧化剂为臭氧。

在一些实施例中，所述湿法氧化工艺的臭氧流量为 8 至 12L/min。

30 在一些实施例中，所述湿法氧化工艺的温度为 20 至 30℃。

在一些实施例中，所述第一栅氧化层厚度为 10.5 至 11Å，所述第二栅氧化层的厚度大于所述第一栅氧化层的厚度，且厚度差小于 1.5Å。

第二方面，本公开实施例提供一种半导体结构，采用如上述的方法形成。

本公开实施例中，通过对第一掺杂区和第二掺杂区进行氮化处理；对氮化处理后的第一掺杂区和第二掺杂区进行氧化处理，分别形成第一栅氧化层和第二栅氧化层。这样，一方面，氮化处理形成的氮离子会降低第二掺杂区的氧化速率，从而抑制形成第二栅氧化层，如此可以减小第一栅氧化层与第二栅氧化层的厚度差异，减小对半导体器件的电学参数例如阈值电压和电容的影响，并为调整半导体器件提供了良好的基础；另一方面，该方法的工艺流程简单可控。

10 附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1a 为本公开实施例提供的一种半导体结构的形成方法的流程示意图；

15 图 1b 为本公开实施例提供的半导体结构形成过程的结构示意图；

图 2a 为本公开实施例提供的基底形成方法的流程示意图；

图 2b 至图 2j 为本公开实施例提供的半导体结构形成过程的结构示意图；

图 3a 为本公开实施例提供的一种半导体结构的形成方法的流程示意图；

图 3b 至图 3e 为本公开实施例提供的半导体结构形成过程的结构示意图。

20 具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

25 在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终
30 相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

本公开实施例提供一种半导体结构的形成方法，如图 1a 所示，包括步骤 S101 至步骤 S103：

步骤 S101，提供基底，基底包括第一掺杂区和第二掺杂区，其中，第一掺杂区和第二掺杂区之间具有隔离结构。

参见图 1b，基底 100 包括第一掺杂区 101 和第二掺杂区 102，第一掺杂区 101 和第二掺杂区 102 之间具有隔离结构 104。

在一些实施例中，通过在衬底上形成隔离结构，并对已形成隔离结构的衬底进行掺杂，在隔离结构的两侧分别形成第一掺杂区和第二掺杂区，以形成基底，可以包括步骤 S201 至步骤 S210，如图 2a 所示，下面结合图 2b 至图 2h 来说明基底的形成步骤。

步骤 S201，提供衬底 103，如图 2b 所示；在衬底 103 内形成隔离结构 104，隔离结构 104 将衬底 103 分成间隔设置的第一衬底 105 和第二衬底 106，即第一衬底 105 和第二衬底 106 之间具有隔离结构 104，如图 2c 所示。在一些实施例中，衬底可以是硅衬底、绝缘体上硅衬底等等；衬底也可以包括其他半导体元素或包括半导体化合物，例如：

碳化硅（SiC）、砷化镓（GaAs）、磷化镓（GaP）、磷化铟（InP）、砷化铟（InAs）或铟

化铟 (InSb), 或包括其他半导体合金, 例如: 磷化砷镓 (GaAsP)、砷化铟铝 (AlInAs)、砷化镓铝 (AlGaAs)、砷化铟镓 (GaInAs)、磷化铟镓 (GaInP)、和/或磷砷化铟镓 (GaInAsP) 或其组合。

隔离结构可以包括浅槽隔离结构 (Shallow Trench Isolation, STI) 或局部氧化 (Local Oxidation of Silicon, LOCOS) 隔离, 在此不作限定。隔离结构的材料可以包括硅氧化物中的一种或者多种, 例如氧化硅或氮氧化硅。隔离结构可以通过化学气相沉积 (Chemical Vapor Deposition, CVD)、物理气相沉积 (Physical Vapor Deposition, PVD) 或者原子层沉积 (Atomic Layer Deposition, ALD) 工艺等形成。

步骤 S202, 在第一衬底和第二衬底上形成图案化的第一掩膜层, 图案化的第一掩膜层暴露出第二衬底的表面。

参见图 2d, 在第一衬底 105 和第二衬底 106 上形成图案化的第一掩膜层 107, 其中, 图案化的第一掩膜层 107 暴露出第二衬底 106。

在一些实施例中, 图案化的第一掩膜层 107 的材料可以包括氧化硅、氮化硅、碳化硅或氮氧化硅等硅氧化物或氮氧化物或碳化物, 同时, 可以通过化学气相沉积、物理气相沉积、原子层沉积等工艺中的任意一种沉积形成图案化的第一掩膜层 107, 并可以通过光刻、干法或湿法刻蚀形成图案化的第一掩膜层 107。

步骤 S203, 通过外延生长或沉积在第二衬底的表面形成锗硅衬底。

继续参见图 2d, 通过外延生长或沉积在第二衬底 106 的表面形成锗硅衬底 108, 在实施时, 图案化的第一掩膜层 107 上也可能会形成锗硅衬底 108, 沉积工艺可以为化学气相沉积; 在第二衬底 106 上形成锗硅衬底 108, 能有效提高空穴的迁移率, 进而提高器件的开启速度。

步骤 S204, 去除图案化的第一掩膜层上的锗硅衬底。

参见图 2e, 去除第一衬底 105 上的锗硅衬底 108 和图案化的第一掩膜层 107, 以暴露出第一衬底 105 的表面。在一些实施例中, 可以通过干法刻蚀或者湿法刻蚀等工艺去除, 干法刻蚀采用的气体可以为三氟甲烷 (CHF_3)、四氟化碳 (CF_4)、二氟甲烷 (CH_2F_2)、氢溴酸 (HBr)、氯气 (Cl_2) 或六氟化硫 (SF_6) 中的一种或它们的组合; 湿法刻蚀可以以热磷酸或氢氟酸作为刻蚀溶液。

步骤 S205, 在形成隔离结构的第一衬底和锗硅衬底上形成图案化的第二掩膜层, 图案化的第二掩膜层暴露出第一衬底的表面。

参见图 2f, 在形成隔离结构 104 的第一衬底 105 和锗硅衬底 108 上形成图案化的第

二掩膜层 109, 图案化的第二掩膜层 109 暴露出第一衬底 105 的表面。在一些实施例中, 第二掩膜层的材料可以包括氮化硅、碳化硅或氮氧化硅, 同时, 可以通过化学气相沉积、物理气相沉积、原子层沉积等工艺中的任意一种沉积形成第二掩膜层, 并可以通过光刻、干法或湿法刻蚀形成图案化的第二掩膜层 109。

- 5 步骤 S206, 以图案化的第二掩膜层为掩膜, 对第一衬底进行第一离子注入, 形成第一掺杂区。

同时参见图 2f 和图 2g, 以图案化的第二掩膜层 109 为掩膜, 对第一衬底 105 进行第一离子注入, 形成第一掺杂区 101, 其中, 箭头 A 表示对第一衬底 105 进行第一离子注入。在一些实施例中, 第一掺杂区 101 可以为 N 型掺杂的第一衬底, 对应注入的第一
10 离子可以是磷、砷、锑等 VA 族的离子。在一些实施例中, 离子注入还可以通过热扩散和等离子体掺杂等工艺实现; 离子注入后, 还可以包括高温退火过程, 用于修复离子注入导致的晶格损伤。

步骤 S207, 去除图案化的第二掩膜层。

继续参见图 2g, 去除图案化的第二掩膜层 109, 暴露出锗硅衬底 108 的表面。在一
15 些实施例中, 可以通过干法或者湿法刻蚀工艺等去除图案化的第二掩膜层 109, 采用的刻蚀溶液或气体可参考前述图案化的第一掩膜层 105, 此处不再赘述。

步骤 S208, 在形成隔离结构和第一掺杂区的第一衬底和锗硅衬底上形成图案化的第三掩膜层, 第三掩膜层暴露出形成锗硅衬底的表面。

继续参见图 2g, 在形成隔离结构 104 和第一掺杂区 101 的第一衬底 105 和锗硅衬底
20 108 上形成图案化的第三掩膜层 110, 图案化的第三掩膜层 110 暴露出形成锗硅衬底 108 的表面。在一些实施例中, 第三掩膜层的材料可以包括氧化硅、氮化硅、碳化硅或氮氧化硅等硅氧化物或氮氧化物或碳化物, 同时, 可以通过化学气相沉积、物理气相沉积、原子层沉积等工艺中的任意一种沉积形成第三掩膜层, 并可以通过光刻、干法或湿法刻蚀形成图案化的第三掩膜层 110。

- 25 步骤 S209, 以图案化的第三掩膜层为掩膜, 对锗硅衬底和与锗硅衬底下表面接触的衬底进行第二离子注入, 形成第二掺杂区。

同时参见图 2g 和图 2h, 箭头 B 表示对第二衬底 106 和锗硅衬底 108 进行第二离子注入。以图案化的第三掩膜层 110 为掩膜, 对锗硅衬底 108 和与锗硅衬底 108 下表面接触的第二衬底 106 进行第二离子注入, 形成第二掺杂区 102。也就是说, 第一掺杂区对
30 应的衬底为第一衬底, 第二掺杂区的对应衬底为第二衬底和形成于第二衬底上的锗硅衬

底。

在一些实施例中，第二掺杂区可以为 P 型掺杂的第二衬底和 P 型掺杂的锗硅衬底，对应注入的第二离子可以是硼、铟等 IIIA 族的离子；在一些实施例中，第二离子的注入工艺可以参考第一离子注入工艺，在此不再赘述，本公开实施例中不同的掺杂区可以采用相同或不同的离子注入工艺，例如基底中包括两个不同的掺杂区时，第一掺杂区可以采用热扩散工艺，第二掺杂区可以采用离子注入工艺，在此不作限定。

步骤 S210，去除图案化的第三掩膜层。

参见图 2h，去除图案化的第三掩膜层 110。在一些实施例中，可以通过干法或者湿法刻蚀技术等去除图案化的第三掩膜层 110，采用的刻蚀溶液或气体可参考前述图案化的第一掩膜层，此处不再赘述。

在一些实施例中，还可以在 P 型掺杂的基底，即形成 P 阱中进行 N 型离子注入，形成第一掺杂区 101，以形成 PN 结；同时也可以 N 型掺杂的基底，即形成的 N 阱中进行 P 型离子注入，形成第二掺杂区 102，以形成 PN 结。

步骤 S102，对第一掺杂区和第二掺杂区进行氮化处理。

参见图 2i，箭头 C 表示对第一掺杂区 101 和第二掺杂区 102 进行氮化处理，使氮离子进入第一掺杂区 101 和第二掺杂区 102，以形成氮化处理后的第一掺杂区 101a 和氮化处理后的第二掺杂区 102a。

本公开实施例中可以采用等离子体氮化工艺、快速热氮化或垂直炉管氮化对第一掺杂区 101 和第二掺杂区 102 进行氮化处理。

在一些实施例中，可以采用去耦等离子体氮化工艺对第一掺杂区和第二掺杂区进行氮化处理，氮化处理的反应气体包括氮气，辅助气体包括氨气；氮气和氨气的流量之比为 1:5 至 1:2，其中，氮气的流量可以为 300 至 500 标准毫升/分钟 (sccm)，氨气的流量可以为 100 至 300sccm；在氮化处理的过程中确保氮气的浓度大于 5×10^{15} /立方厘米 (cm^3)，压强为 5 毫托至 50 毫托。等离子体设备的功率可以为 300 瓦 (W) 至 1500W。如此，可以高效地实现超低能量的掺杂，更有助于降低第二掺杂区的氧化速率，同时可以减小界面缺陷这一问题的产生。

在一些实施例中，氮化处理的反应气体包括氮气，辅助气体包括氨气，氮气和氨气的流量之比为 1:5 至 1:2，如此，可以使第二掺杂区和第一掺杂区有足够体积浓度的氮离子，减小第二栅氧化层的生长速度，同时减小氮离子体积浓度过大对后续形成的器件的电学性能造成不良影响。

在一些实施例中，氮化处理的反应温度为 90 摄氏度（℃）至 100℃，反应时间为 90 秒（s）至 110s。

作为反应气体的氮气的气体流量要适中。如果氮气的气体流量过少，进入第二掺杂区的氮离子体积浓度过低，从而对形成第二栅氧化层的抑制作用不够明显，进而难以减小第二栅氧化层的生长速度；如果氮气的气体流量过多，进入第二掺杂区表面的氮离子体积浓度过高，容易对后续形成的器件的电学性能造成不良影响。因此，本实施例中，氮气的气体流量可以为 30 毫升每分钟（ml/min）至 150ml/min。

如此，可以使第二掺杂区和第一掺杂区有足够体积浓度的氮离子，减小第二栅氧化层的生长速度，同时减小氮离子体积浓度过大对后续形成的器件的电学性能造成的不良影响。如此一来，通过氮化处理，使氮离子进入到第一掺杂区和第二掺杂区，氮离子对形成第二栅氧化层具有抑制作用，降低第二栅氧化层的生长速率，从而使第一栅氧化层和第二栅氧化层的厚度差异减小。

在一些实施例中，氮化处理结束后还可以包括高温退火过程，用于稳定氮掺杂并修复氮化处理导致的介质中的等离子体损伤。

本公开实施例中，对第一掺杂区和第二掺杂区进行氮化处理；对氮化处理后的第一掺杂区和第二掺杂区进行氧化处理，分别形成第一栅氧化层和第二栅氧化层。如此，氮化处理过程中在锗硅衬底掺杂的氮离子可以阻止形成 Ge-O 键，从而减小第一栅氧化层与第二栅氧化层的厚度差异，减小对半导体器件的电学参数例如阈值电压和电容的影响。

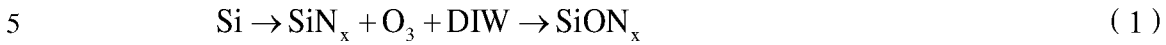
步骤 S103，对氮化处理后的第一掺杂区和第二掺杂区进行氧化处理，分别形成第一栅氧化层和第二栅氧化层。

参见图 2j，对氮化处理后的第一掺杂区 101a 和第二掺杂区 102a 进行氧化处理，形成第一栅氧化层 111 和第二栅氧化层 112。

本公开实施例中，第一栅氧化层和第二栅氧化层可以为氧化硅。氧化处理可以是臭氧氧化处理、热氧化处理、原位水汽生成（In-Situ Steam Generation, ISSG）氧化处理、湿法氧化处理和高压氧化处理等合适的氧化工艺，本公开实施例对此并不限定。

在一些实施例中，可以通过臭氧氧化处理对氮化处理后的第一掺杂区和第二掺杂区进行氧化处理，分别形成第一栅氧化层和第二栅氧化层。如此，可以更好地控制氧化速率，有利于得到一致的栅氧厚度，为器件性能调整提供了较好的先决条件。在一些实施例中，臭氧氧化可以采用湿法氧化工艺，湿法氧化工艺的氧化剂为臭氧；臭氧流量为 8 至 12L/min；湿法氧化工艺的温度为 20 至 30℃。

以第一掺杂区对应的第一衬底为硅衬底、第二掺杂区对应的衬底为硅衬底和形成于硅衬底上的锗硅衬底为例，对第一掺杂区进行氮化处理和利用臭氧作为湿法氧化工艺的氧化剂来形成第一栅氧化层时发生式（1）的反应，对第二掺杂区进行氮化处理和利用臭氧作为湿法氧化工艺的氧化剂来形成第二栅氧化层时发生式（2）的反应。



公式（1）中包括两个箭头，第一个箭头表示对硅衬底进行氮化处理的过程，会生成 SiN_x ；第二个箭头表示对生成 SiN_x 的硅衬底进行臭氧氧化处理，在臭氧氧化处理过程中会加入适量去离子水（Deionized Water, DIW）， SiN_x 和臭氧以及 DIW 会反应生成 SiON_x 。公式（2）中也包括两个箭头，第一个箭头表示对第二掺杂区中的锗硅衬底进行氮化处理的过程，会生成 SiGeN_x ；第二个箭头表示对生成 SiGeN_x 的锗硅衬底进行臭氧氧化处理，同样会加入适量去离子水。臭氧氧化处理过程中，N 离子会抑制 Ge-O 键的形成， SiGeN_x 会和臭氧以及 DIW 反应生成 SiON_x ，从而降低生成第二栅氧化层的速率。也就是说，在对第一掺杂区和第二掺杂区进行氮化处理和利用臭氧作为湿法氧化工艺的氧化剂来形成栅氧化层时，在第一掺杂区和第二掺杂区上形成的栅氧化层相同，例如可以都为 SiON_x ，从而减小第一栅氧化层与第二栅氧化层的厚度差异，提高第一掺杂区和第二掺杂区的栅氧厚度的一致性。此外，通过将臭氧通入去离子水中能够使臭氧浓度达到饱和状态，从而确保浓度的稳定性，有利于进一步提高所形成的栅氧化层厚度的均匀性。

20 在一些实施例中，第一栅氧化层厚度为 10.5 至 11 埃（Å），第二栅氧化层的厚度大于第一栅氧化层的厚度，且厚度差小于 1.5Å。参见图 2j，也就是说 d_1 为 10.5 至 11Å， d_2 与 d_1 的差小于 1.5Å。

25 在一些实施例中，也可以通过 ISSG 工艺对氮化处理后的第一掺杂区和第二掺杂区进行氧化处理，分别形成第一栅氧化层和第二栅氧化层。如此，可以形成具有良好的覆盖能力、均匀性好、致密性好的优点的第一栅氧化层和第二栅氧化层，有助于提高器件的性能并改善器件失配的问题。在一写实施例中，ISSG 工艺的反应气体可以为氧气和氢气，反应温度可以为 850℃ 至 950℃，对氮化处理后的第一掺杂区和第二掺杂区进行 ISSG 处理 15s 至 20s，以形成第一栅氧化层和第二栅氧化层。

在一些实施例中，ISSG 工艺中的反应气体还包括 N_2O 与 H_2 的混合气体或者 N_2O 、

O₂与H₂的混合气体的其中之一。

在一些实施例中，步骤S103之后还可以包括步骤S104至步骤S106，参见图3a，下面结合图3b至3e对步骤S104至步骤S106进行解释。其中：

步骤S104，在第一栅氧化层和第二栅氧化层上分别形成第一栅极结构和第二栅极结构。

参见图3b，在第一栅氧化层111和第二栅氧化层112上分别形成第一栅极结构113和第二栅极结构114。

在一些实施例中，第一栅极结构包括第一栅氧化层、第一高k介质层、第一功函数层、第一覆盖层和多晶硅层；第二栅极结构包括第二栅氧化层、第二高k介质层、第二功函数层、第二覆盖层和多晶硅层。对应地，形成第一栅极和第二栅极结构的步骤可以包括以下步骤：

步骤S1041，在第一栅氧化层上依次沉积形成第一高k介质层、第一功函数层和第一覆盖层，以形成第一叠层结构。

参见图3c，在第一栅氧化层111上依次沉积形成第一高k介质层115、第一功函数层116和第一覆盖层117，以形成第一叠层结构118。

在本公开实施例中，第一高k介质层可以通过CVD、PVD或者ALD工艺等形成。第一高k介质层可以包括氧化硅钪(HfSiO)层、氮氧化硅钪(HfSiON)层、氧化钽钪(HfTaO)层、氧化钛钪(HfTiO)层、氧化锆钪(HfZrO)层、氧化锆(ZrO₂)层或氧化铝(Al₂O₃)层中的至少一层。第一功函数层可以包括三氧化二镧(La₂O₃)层，可以用于调节阈值电压。第一覆盖层可以是氮化钛(TiN)层、氮化钽(TaN)层等金属层，可以改善多晶硅耗尽。

步骤S1042，在第二栅氧化层上依次沉积形成第二高k介质层、第二功函数层、第二覆盖层，以形成第二叠层结构。

继续参见图3c，在第二栅氧化层112上依次沉积形成第二高k介质层119、第二功函数层120、第二覆盖层121，以形成第二叠层结构122。

在实施时，第二高k介质层可以与第一高k介质层相同，也可以不同。第二功函数层可以包括三氧化二铝(Al₂O₃)层，可以用于调节阈值电压。第二覆盖层可以与第一覆盖层相同，也可以不同。

步骤S1043，在第一叠层结构和第二叠层结构上形成多晶硅层，形成第一栅极结构和第二栅极结构。

参见图 3d, 在第一叠层结构 118 和第二叠层结构 122 上形成多晶硅层 123, 形成第一栅极结构 113 和第二栅极结构 114。

步骤 S105, 在氮化处理后的第一掺杂区和第二掺杂区分别形成 P 型扩展区和 N 型扩展区。

5 参见图 3e, 在氮化处理后的第一掺杂区 101a 和第二掺杂 102a 区分别形成 P 型扩展区 124 和 N 型扩展区 125。

这里, N 型扩展区包括晕环离子注入和轻掺杂漏 (Lightly Doped Drain, LDD), P 型扩展区也包括晕环离子注入和 LDD, 区别在于两者掺杂的离子不同。在实施时, 晕环离子注入时, 离子注入方向可以与第一掺杂区和第二掺杂区不垂直, 存在一定的角度, 10 形成一个类似口袋的掺杂区。如此, 可以降低源和漏极的耗尽区的横向扩展, 防止源漏穿通现象, 扩展区在源漏与沟道之间形成杂质浓度梯度, 减小漏极附近的峰值电场, 改善热载流子效应。

步骤 S106, 在第一栅极结构和第二栅极结构的两侧分别形成侧墙结构。

继续参见图 3e, 在第一栅极结构 113 和第二栅极结构 114 的两侧分别形成侧墙结构 15 126。侧墙结构 126 所采用的材料可以是氮化物, 例如氮化硅或者氮氧化硅等。

本公开实施例提供一种半导体结构, 该半导体结构采用上述实施例中的方法形成。

本公开所提供的方法或半导体结构实施例中所揭露的特征, 在不冲突的情况下可以任意组合, 得到新的方法实施例或半导体结构实施例。

以上半导体结构实施例的描述, 与上述方法实施例的描述是类似的, 具有同方法实 20 施例相似的有益效果。对于本公开半导体实施例中未披露的技术细节, 请参照本公开方法实施例的描述而理解。

以上所述, 仅为本公开的示例性的实施例而已, 并非用于限定本公开的保护范围, 凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等, 均应包含在本公开的保护范围之内。因此, 本公开实施例的保护范围应以权利要求的保护范围为准。

25 工业实用性

本公开实施例中, 半导体结构的形成方法包括: 提供基底, 所述基底包括第一掺杂区和第二掺杂区, 其中, 所述第一掺杂区和所述第二掺杂区之间具有隔离结构; 对所述第一掺杂区和所述第二掺杂区进行氮化处理; 对氮化处理后的所述第一掺杂区和所述第二掺杂区进行氧化处理, 分别形成第一栅氧化层和第二栅氧化层。这样, 通过对第一掺 30 杂区和第二掺杂区进行氮化处理; 对氮化处理后的第一掺杂区和第二掺杂区进行氧化处

理，分别形成第一栅氧化层和第二栅氧化层。这样，一方面，氮化处理形成的氮离子会降低第二掺杂区的氧化速率，从而抑制形成第二栅氧化层，如此可以减小第一栅氧化层与第二栅氧化层的厚度差异，减小对半导体器件的电学参数例如阈值电压和电容的影响，并为调整半导体器件提供了良好的基础；另一方面，该方法的工艺流程简单可控。

权利要求书

1、一种半导体结构形成方法，包括：

提供基底，所述基底包括第一掺杂区和第二掺杂区，其中，所述第一掺杂区和所述第二掺杂区之间具有隔离结构；

5 对所述第一掺杂区和所述第二掺杂区进行氮化处理；

对氮化处理后的所述第一掺杂区和所述第二掺杂区进行氧化处理，分别形成第一栅氧化层和第二栅氧化层。

2、根据权利要求 1 所述的方法，其中，所述提供基底，包括：

提供衬底；

10 在所述衬底上形成隔离结构；

对形成隔离结构的所述衬底进行掺杂，在所述隔离结构的两侧分别形成所述第一掺杂区和所述第二掺杂区。

3、根据权利要求 2 所述的方法，其中，所述第一掺杂区对应的所述衬底为第一衬底，所述第二掺杂区对应的所述衬底为第二衬底和形成于所述第二衬底上的锗硅衬底。

15 4、根据权利要求 3 所述的方法，其中，在所述第二衬底上形成锗硅衬底的步骤，包括：

在所述第一衬底和所述第二衬底上形成图案化的第一掩膜层，所述图案化的第一掩膜层暴露出所述第二衬底的表面；

通过外延生长或沉积在所述第二衬底的表面形成锗硅衬底；

20 去除所述第一衬底上的所述锗硅衬底和所述图案化的第一掩膜层。

5、根据权利要求 4 所述的方法，其中，所述对形成隔离结构的所述衬底进行掺杂，在所述隔离结构的两侧形成第一掺杂区和第二掺杂区，包括：

在形成隔离结构的所述第一衬底和所述锗硅衬底上形成图案化的第二掩膜层，所述图案化的第二掩膜层暴露出所述第一衬底的表面；

25 以所述图案化的第二掩膜层为掩膜，对所述第一衬底进行第一离子注入，形成所述第一掺杂区；

去除所述图案化的第二掩膜层；

在形成所述隔离结构和所述第一掺杂区的所述第一衬底和所述锗硅衬底上形成图

案化的第三掩膜层，所述图案化的第三掩膜层暴露出形成所述锗硅衬底的表面；

以所述图案化的第三掩膜层为掩膜，对所述锗硅衬底和与所述锗硅衬底下表面接触的所述第二衬底进行第二离子注入，形成所述第二掺杂区；

去除所述图案化的第三掩膜层。

- 5 6、根据权利要求 5 所述的方法，其中，所述第一掺杂区包括 N 型掺杂的第一衬底，所述第二掺杂区包括 P 型掺杂的第二衬底和 P 型掺杂的锗硅衬底。

7、根据权利要求 1 至 6 任一项所述的方法，其中，所述对所述第一掺杂区和所述第二掺杂区进行氮化处理，包括：

采用等离子体对所述第一掺杂区和所述第二掺杂区进行氮化处理。

- 10 8、根据权利要求 7 所述的方法，其中，所述氮化处理的反应气体包括氮气，辅助气体包括氮气，所述氮气和所述氮气的流量之比为 1:5 至 1:2。

9、根据权利要求 8 所述的方法，其中，所述氮化处理的反应温度为 90℃ 至 100℃，反应时间为 90s 至 110s。

10、根据权利要求 1 至 6 任一项所述的方法，其中，所述氧化处理为臭氧氧化。

- 15 11、根据权利要求 10 所述的方法，其中，所述臭氧氧化采用湿法氧化工艺，所述湿法氧化工艺的氧化剂为臭氧。

12、根据权利要求 11 所述的方法，其中，所述湿法氧化工艺的臭氧流量为 8 至 12L/min。

13、根据权利要求 11 所述的方法，其中，所述湿法氧化工艺的温度为 20 至 30℃。

- 20 14、根据权利要求 1 至 6 任一项所述的方法，其中，所述第一栅氧化层厚度为 10.5 至 11Å，所述第二栅氧化层的厚度大于所述第一栅氧化层的厚度，且厚度差小于 1.5Å。

15、一种半导体结构，采用如权利要求 1 至 14 任一项所述的方法形成。

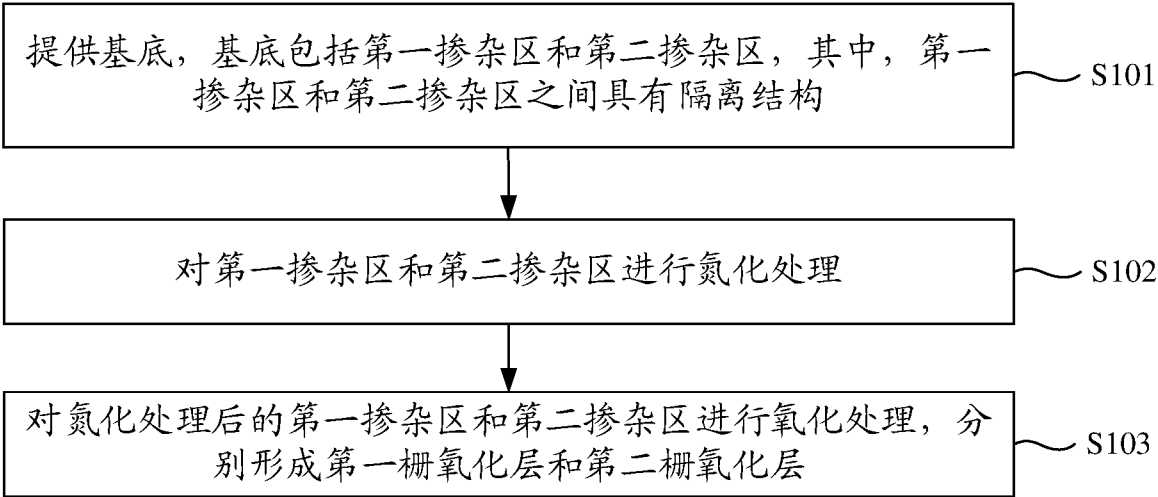


图 1a

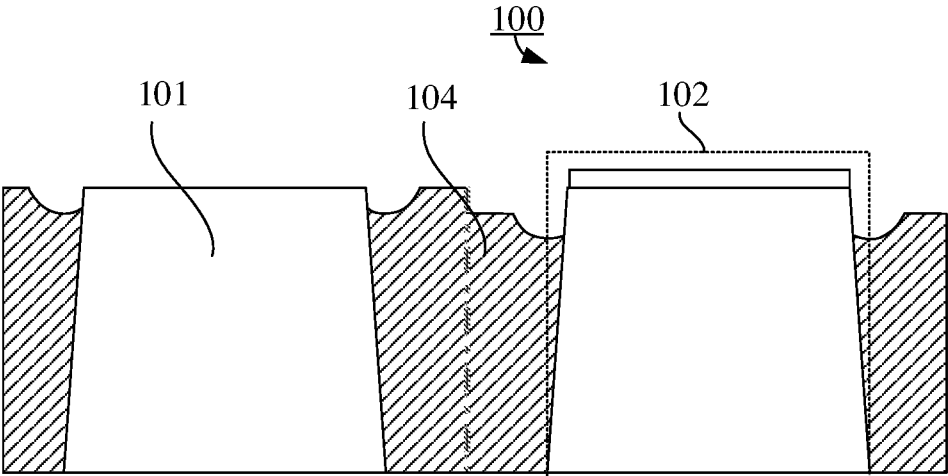


图 1b

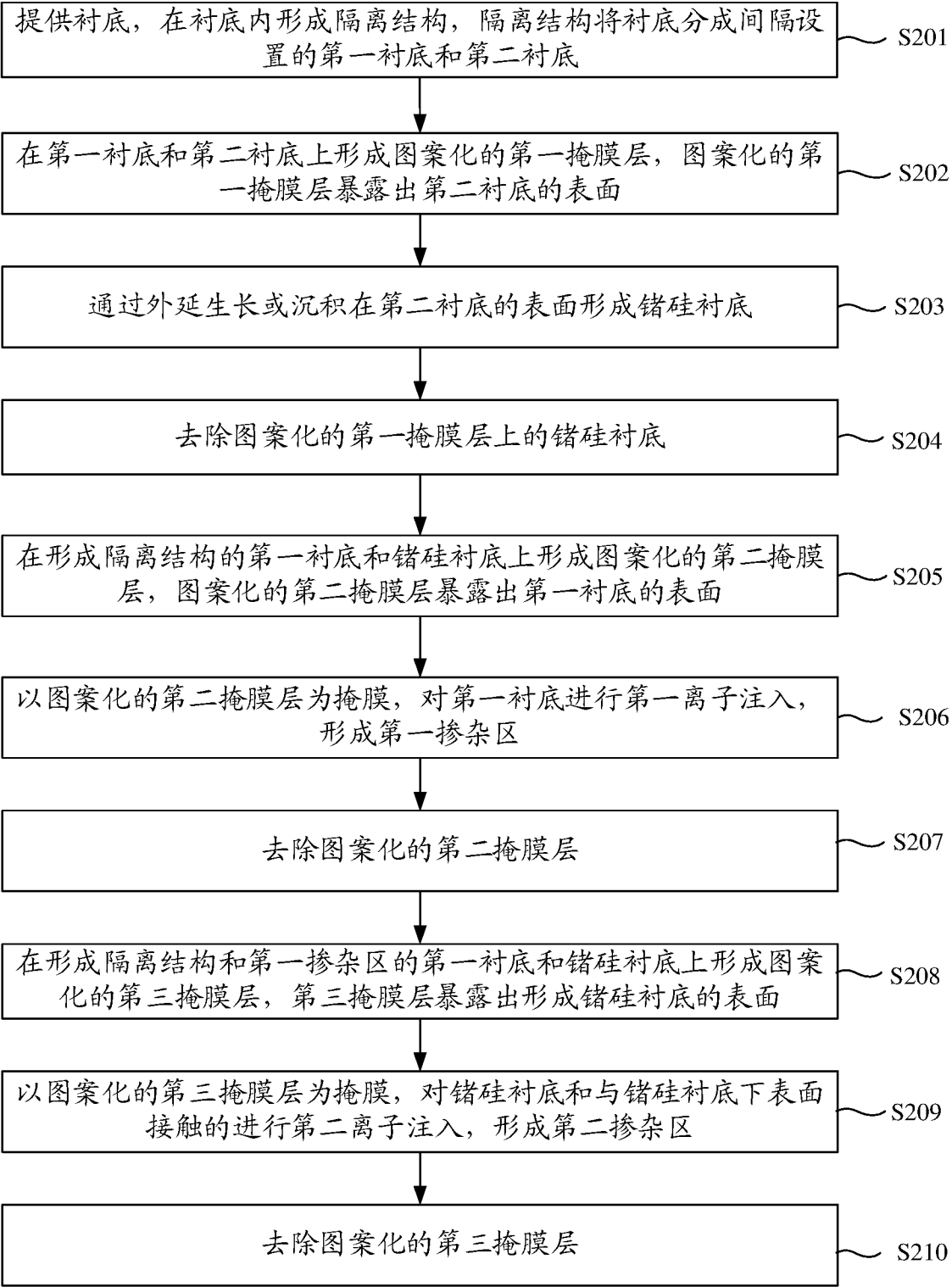


图 2a



图 2b

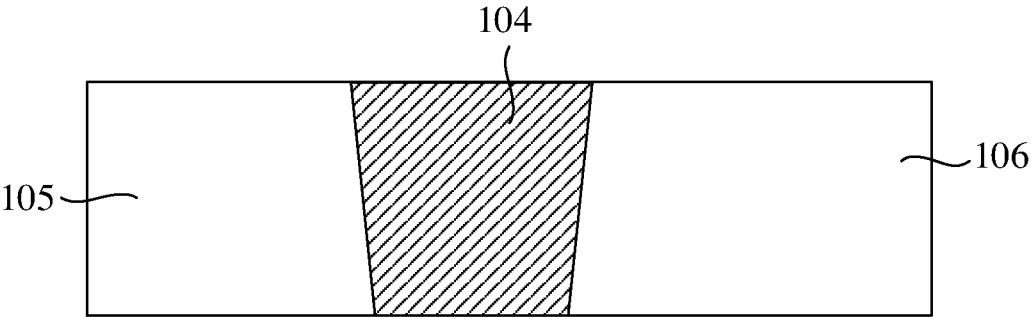


图 2c

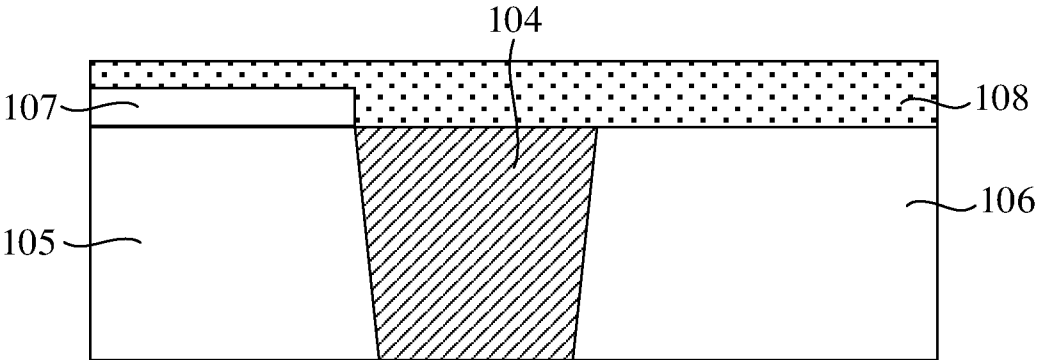


图 2d

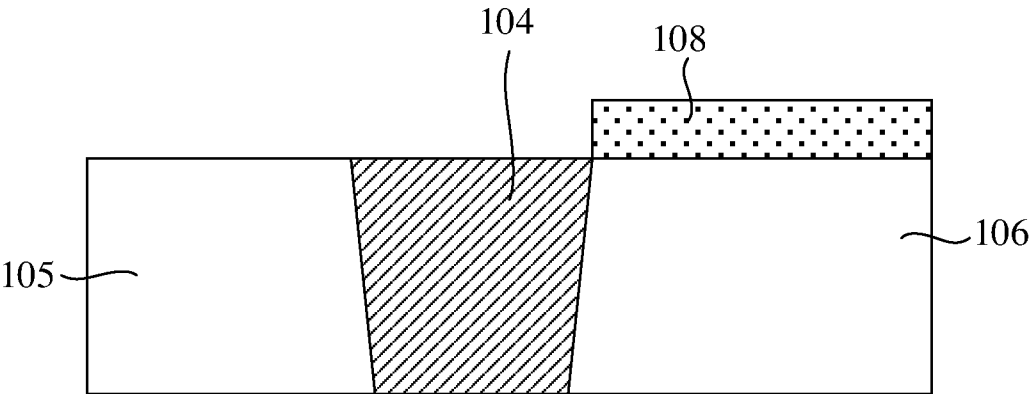


图 2e

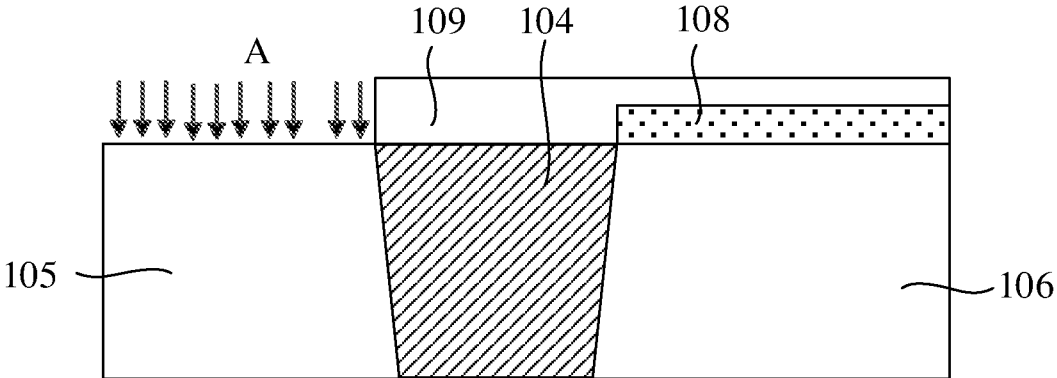


图 2f

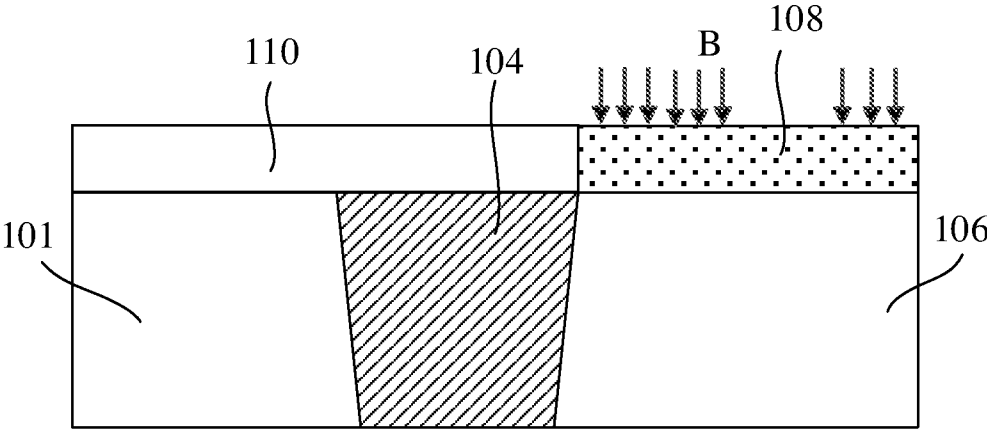


图 2g

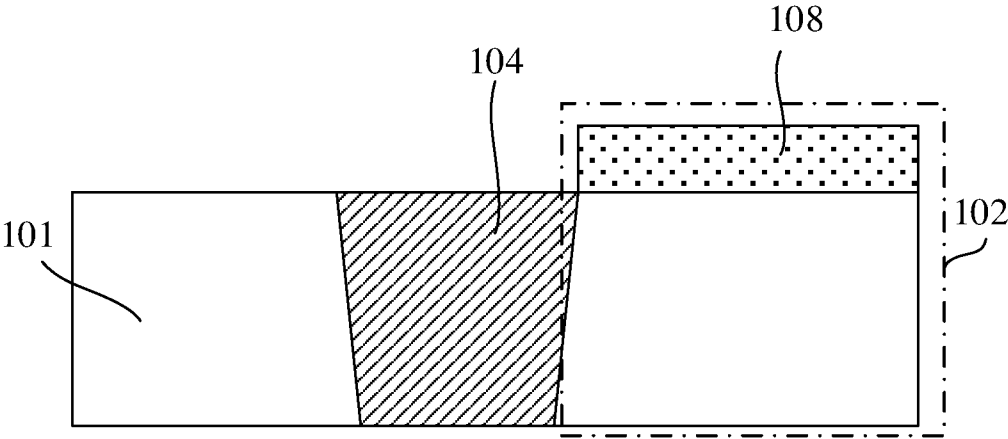


图 2h

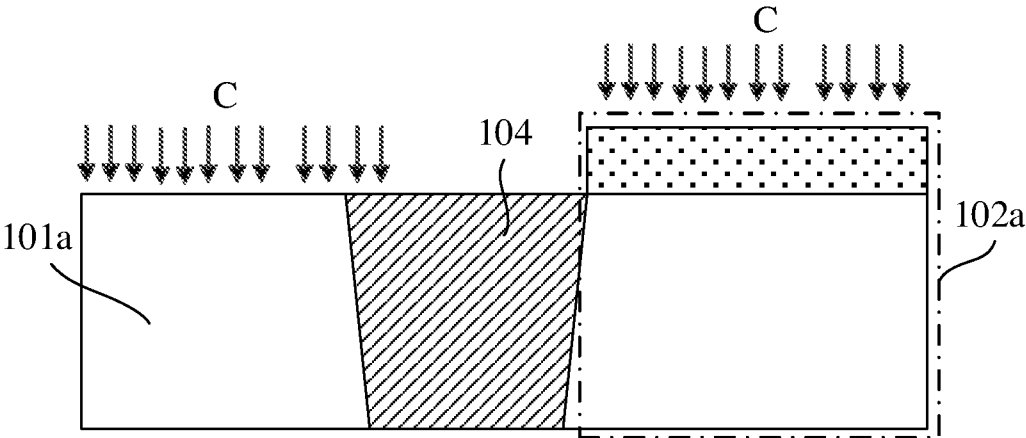


图 2i

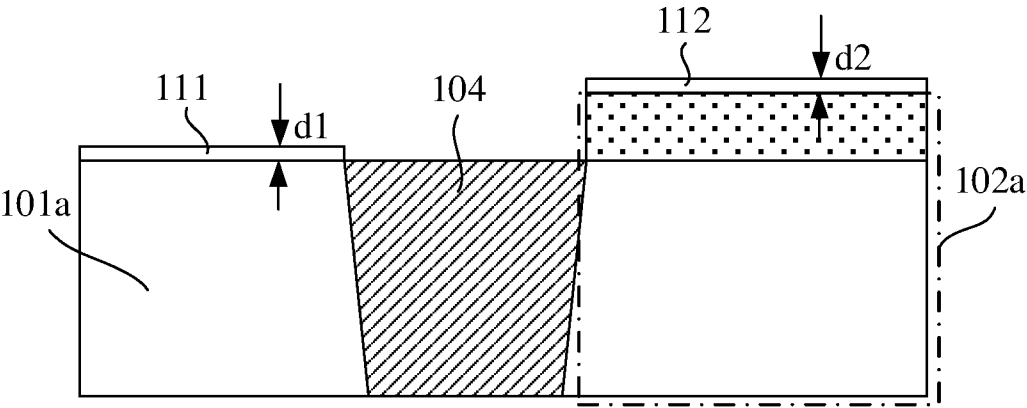


图 2j

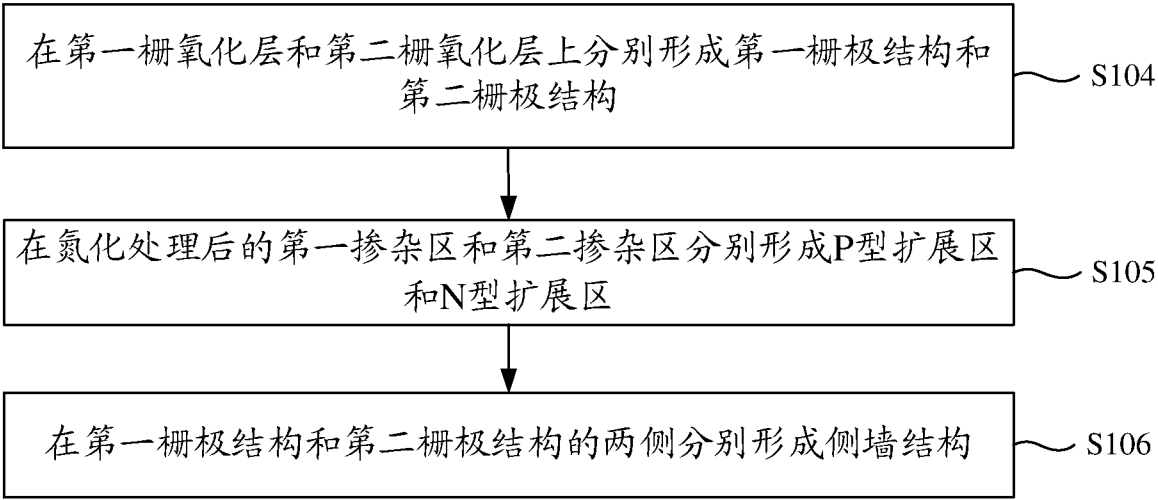


图 3a

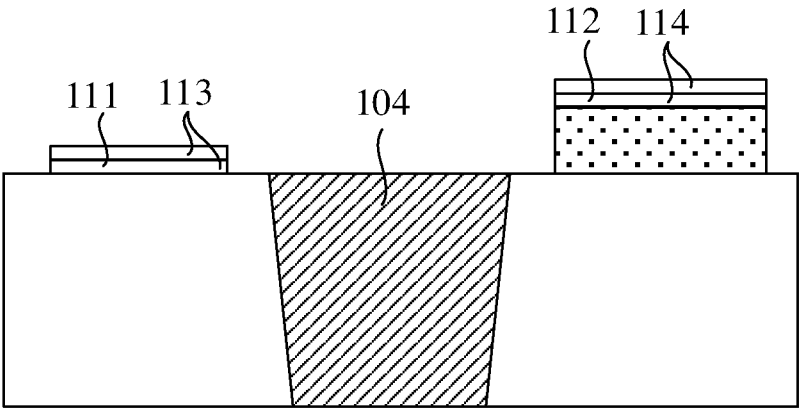


图 3b

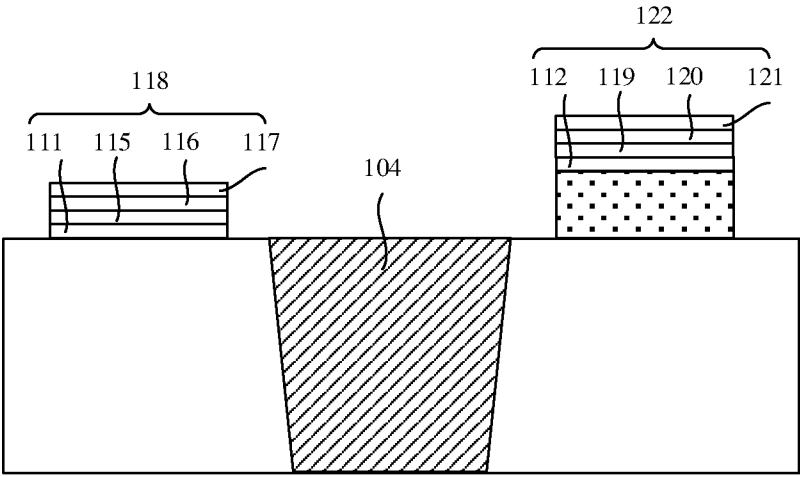


图 3c

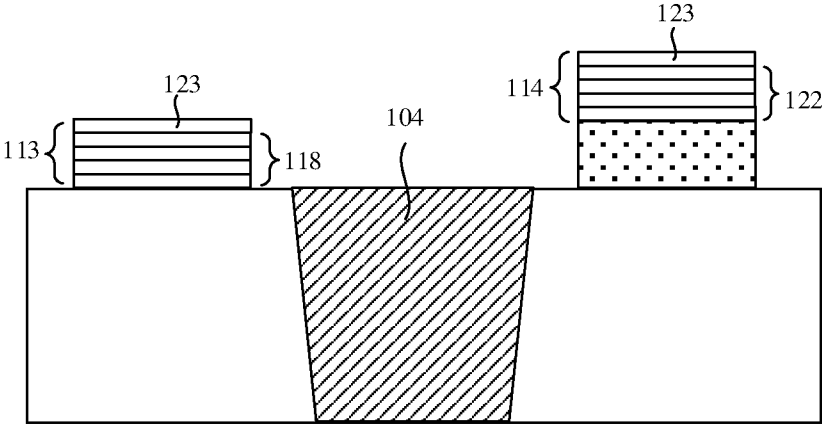


图 3d

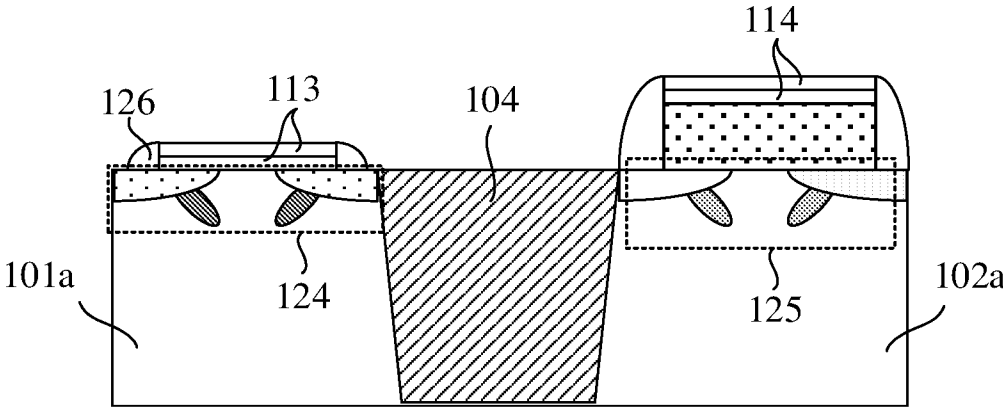


图 3e

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/088464

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/321(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; ENTXT; ENTXTC; DWPI; WPABS; CNKI; IEEE: 隔离结构, 掺杂, 氮化, 氧化, 厚度, 差异, 均匀, STI, doping, nitride, oxidate, thickness, difference, even

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102163619 A (SAMSUNG ELECTRONICS CO., LTD.) 24 August 2011 (2011-08-24) description, paragraphs [0043]-[0146], and figures 5-19	1-15
Y	CN 1797769 A (HYNIX SEMICONDUCTOR INC.) 05 July 2006 (2006-07-05) description, page 4, line 15 to page 10, line 10, and figures 2-4	1-15
A	US 2018047745 A1 (SEIKO EPSON CORP.) 15 February 2018 (2018-02-15) entire document	1-15
A	CN 1398005 A (PANASONIC CORP.) 19 February 2003 (2003-02-19) entire document	1-15
A	CN 102054678 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 11 May 2011 (2011-05-11) entire document	1-15
A	CN 103903986 A (SHANGHAI HUALI MICROELECTRONICS CORPORATION) 02 July 2014 (2014-07-02) entire document	1-15
A	CN 102479712 A (CSMC TECHNOLOGIES FAB1 CO., LTD. et al.) 30 May 2012 (2012-05-30) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 July 2022

Date of mailing of the international search report

05 August 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/088464

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101393861 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 25 March 2009 (2009-03-25) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/088464

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102163619	A	24 August 2011	US	2011207273	A1	25 August 2011
				TW	201135915	A	16 October 2011
				KR	20110095456	A	25 August 2011
				JP	2011171706	A	01 September 2011
				CN	102163619	B	10 June 2015
				US	8361852	B2	29 January 2013
CN	1797769	A	05 July 2006	US	2006138550	A1	29 June 2006
				KR	20060075968	A	04 July 2006
				DE	102005024798	A1	13 July 2006
				US	2010013022	A1	21 January 2010
				JP	2006190942	A	20 July 2006
				TW	200623209	A	01 July 2006
				KR	611784	B1	10 August 2006
				TW	I304999	B	01 January 2009
				US	7563726	B2	21 July 2009
				JP	4545046	B2	15 September 2010
				CN	1797769	B	29 September 2010
				DE	102005024798	B4	10 November 2011
US	2018047745	A1	15 February 2018	JP	2018026455	A	15 February 2018
				US	10157932	B2	18 December 2018
				JP	2021061450	A	15 April 2021
				JP	6880595	B2	02 June 2021
CN	1398005	A	19 February 2003	US	2003015763	A1	23 January 2003
				JP	2010212716	A	24 September 2010
				TW	I292593	B	11 January 2008
				US	2007063273	A1	22 March 2007
				US	2004232516	A1	25 November 2004
				JP	2003133550	A	09 May 2003
				US	6773999	B2	10 August 2004
				JP	2006066923	A	09 March 2006
				CN	1280920	C	18 October 2006
				JP	5174083	B2	03 April 2013
				US	7164178	B2	16 January 2007
CN	102054678	A	11 May 2011	None			
CN	103903986	A	02 July 2014	None			
CN	102479712	A	30 May 2012	WO	2012071986	A1	07 June 2012
CN	101393861	A	25 March 2009	None			

国际检索报告

国际申请号

PCT/CN2022/088464

A. 主题的分类 H01L 21/321(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																										
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT;ENTXT;ENTXTC;DWPI;WPABS;CNKI;IEEE:隔离结构, 掺杂, 氮化, 氧化, 厚度, 差异, 均匀, STI, doping, nitride, oxidate, thickness, difference, even																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 102163619 A (三星电子株式会社) 2011年8月24日 (2011 - 08 - 24) 说明书[0043]-[0146]段, 图5-19</td> <td>1-15</td> </tr> <tr> <td>Y</td> <td>CN 1797769 A (海力士半导体有限公司) 2006年7月5日 (2006 - 07 - 05) 说明书第4页第15行至第10页第10行, 图2-4</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2018047745 A1 (SEIKO EPSON CORP.) 2018年2月15日 (2018 - 02 - 15) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 1398005 A (松下电器产业株式会社) 2003年2月19日 (2003 - 02 - 19) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 102054678 A (中芯国际集成电路制造上海有限公司) 2011年5月11日 (2011 - 05 - 11) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 103903986 A (上海华力微电子有限公司) 2014年7月2日 (2014 - 07 - 02) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 102479712 A (无锡华润上华半导体有限公司 等) 2012年5月30日 (2012 - 05 - 30) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 102163619 A (三星电子株式会社) 2011年8月24日 (2011 - 08 - 24) 说明书[0043]-[0146]段, 图5-19	1-15	Y	CN 1797769 A (海力士半导体有限公司) 2006年7月5日 (2006 - 07 - 05) 说明书第4页第15行至第10页第10行, 图2-4	1-15	A	US 2018047745 A1 (SEIKO EPSON CORP.) 2018年2月15日 (2018 - 02 - 15) 全文	1-15	A	CN 1398005 A (松下电器产业株式会社) 2003年2月19日 (2003 - 02 - 19) 全文	1-15	A	CN 102054678 A (中芯国际集成电路制造上海有限公司) 2011年5月11日 (2011 - 05 - 11) 全文	1-15	A	CN 103903986 A (上海华力微电子有限公司) 2014年7月2日 (2014 - 07 - 02) 全文	1-15	A	CN 102479712 A (无锡华润上华半导体有限公司 等) 2012年5月30日 (2012 - 05 - 30) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
Y	CN 102163619 A (三星电子株式会社) 2011年8月24日 (2011 - 08 - 24) 说明书[0043]-[0146]段, 图5-19	1-15																								
Y	CN 1797769 A (海力士半导体有限公司) 2006年7月5日 (2006 - 07 - 05) 说明书第4页第15行至第10页第10行, 图2-4	1-15																								
A	US 2018047745 A1 (SEIKO EPSON CORP.) 2018年2月15日 (2018 - 02 - 15) 全文	1-15																								
A	CN 1398005 A (松下电器产业株式会社) 2003年2月19日 (2003 - 02 - 19) 全文	1-15																								
A	CN 102054678 A (中芯国际集成电路制造上海有限公司) 2011年5月11日 (2011 - 05 - 11) 全文	1-15																								
A	CN 103903986 A (上海华力微电子有限公司) 2014年7月2日 (2014 - 07 - 02) 全文	1-15																								
A	CN 102479712 A (无锡华润上华半导体有限公司 等) 2012年5月30日 (2012 - 05 - 30) 全文	1-15																								
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																									
国际检索实际完成的日期 2022年7月19日		国际检索报告邮寄日期 2022年8月5日																								
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 刘乐 电话号码 86-010-62411579																								

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 101393861 A（中芯国际集成电路制造上海有限公司）2009年3月25日（2009 - 03 - 25） 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/088464

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102163619	A	2011年8月24日	US	2011207273	A1	2011年8月25日
				TW	201135915	A	2011年10月16日
				KR	20110095456	A	2011年8月25日
				JP	2011171706	A	2011年9月1日
				CN	102163619	B	2015年6月10日
				US	8361852	B2	2013年1月29日
CN	1797769	A	2006年7月5日	US	2006138550	A1	2006年6月29日
				KR	20060075968	A	2006年7月4日
				DE	102005024798	A1	2006年7月13日
				US	2010013022	A1	2010年1月21日
				JP	2006190942	A	2006年7月20日
				TW	200623209	A	2006年7月1日
				KR	611784	B1	2006年8月10日
				TW	1304999	B	2009年1月1日
				US	7563726	B2	2009年7月21日
				JP	4545046	B2	2010年9月15日
				CN	1797769	B	2010年9月29日
				DE	102005024798	B4	2011年11月10日
US	2018047745	A1	2018年2月15日	JP	2018026455	A	2018年2月15日
				US	10157932	B2	2018年12月18日
				JP	2021061450	A	2021年4月15日
				JP	6880595	B2	2021年6月2日
CN	1398005	A	2003年2月19日	US	2003015763	A1	2003年1月23日
				JP	2010212716	A	2010年9月24日
				TW	1292593	B	2008年1月11日
				US	2007063273	A1	2007年3月22日
				US	2004232516	A1	2004年11月25日
				JP	2003133550	A	2003年5月9日
				US	6773999	B2	2004年8月10日
				JP	2006066923	A	2006年3月9日
				CN	1280920	C	2006年10月18日
				JP	5174083	B2	2013年4月3日
				US	7164178	B2	2007年1月16日
CN	102054678	A	2011年5月11日	无			
CN	103903986	A	2014年7月2日	无			
CN	102479712	A	2012年5月30日	WO	2012071986	A1	2012年6月7日
CN	101393861	A	2009年3月25日	无			