



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월16일
 (11) 등록번호 10-1255585
 (24) 등록일자 2013년04월04일

(51) 국제특허분류(Int. Cl.)
H03K 3/356 (2006.01) *H03K 19/00* (2006.01)
 (21) 출원번호 10-2011-7012355
 (22) 출원일자(국제) 2009년10월29일
 심사청구일자 2011년05월30일
 (85) 번역문제출일자 2011년05월30일
 (65) 공개번호 10-2011-0089328
 (43) 공개일자 2011년08월05일
 (86) 국제출원번호 PCT/US2009/062489
 (87) 국제공개번호 WO 2010/059359
 국제공개일자 2010년05월27일
 (30) 우선권주장
 12/261,428 2008년10월30일 미국(US)
 (56) 선행기술조사문헌
 KR1020060040384 A
 전체 청구항 수 : 총 26 항

(73) 특허권자
켈컴 인코퍼레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
 (72) 발명자
다따, 아니메취
 미국 92121 캘리포니아 샌디에고 모어하우스 드라이브 5775
세인트-로렌트, 마틴
 미국 92121 캘리포니아 샌디에고 모어하우스 드라이브 5775
 (뒷면에 계속)
 (74) 대리인
특허법인 남앤드남

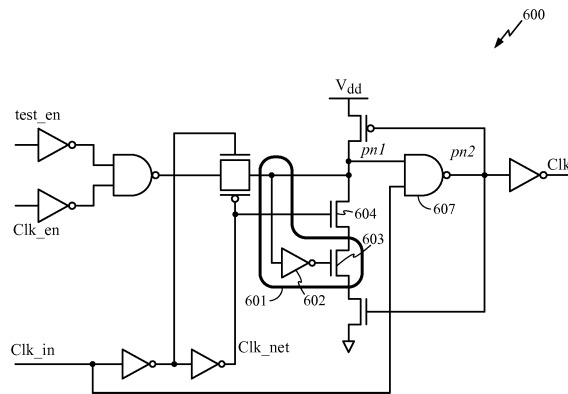
심사관 : 김남인

(54) 발명의 명칭 개선된 클럭 게이팅 셀들을 이용한 시스템들 및 방법들

(57) 요약

인에이블 로직 및 출력 로직 회로와 통신하는 래치를 포함하고, 상기 래치는 클럭 게이팅 셀이 인에이블될 때 풀-업 회로 및/또는 풀-다운 회로에 의해 출력 로직 회로 입력 노드의 조기 충전 또는 방전을 방지하는 출력 로직 회로 및 회로 소자의 입력 노드에서 풀-업 회로 및/또는 풀-다운 회로를 포함하는, 클럭 게이팅 셀.

대표도 - 도6



(72) 발명자

버마, 바룬

미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775

파텔, 프라야그, 비.

미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775

특허청구의 범위

청구항 1

클럭 게이팅 셀로서,

인에이블(enable) 로직 및 출력 로직 회로(circuit)에 연결되는 래치를 포함하고, 상기 래치는:

시스템 전력 및 접지 중 하나 이상에 연결되는 상기 출력 로직 회로의 입력 노드에서의 제1 회로; 및

클럭 에지 중에 상기 제1 회로에 의한 상기 출력 로직 회로 입력 노드의 조기(premature) 전압 변화를 방지하는 보호 회로(safeguarding circuitry)를 포함하는,

클럭 게이팅 셀.

청구항 2

제 1 항에 있어서, 상기 제1 회로는:

풀-다운(pull-down) 회로; 및

풀-업(pull-up) 회로

로 구성되는 목록으로부터 선택된 항목을 포함하는,

클럭 게이팅 셀.

청구항 3

제 1 항에 있어서, 상기 조기 전압 변화는:

충전; 및

방전

으로 구성되는 목록으로부터 선택된 항목을 포함하는,

클럭 게이팅 셀.

청구항 4

제 1 항에 있어서, 상기 보호 회로는:

클럭 에지 중에 턴오프되는 상기 제1 회로와 상기 출력 로직 회로 입력 노드 사이의 인버터를 포함하는,

클럭 게이팅 셀.

청구항 5

제 1 항에 있어서,

상기 제1 회로는 상기 출력 로직 회로의 입력 노드를 포함하는 피드백 루프 내에 있는,

클럭 게이팅 셀.

청구항 6

제 5 항에 있어서,

상기 피드백 루프는, 상기 제1 회로 내의 디바이스들의 상태들을 제어하는 노드 및 상기 출력 로직 회로의 상기 입력 노드의 상태들을 유지하는(preserve) 교차-연결된 인버터 구조를 포함하는,

클럭 게이팅 셀.

청구항 7

제 1 항에 있어서,

상기 제1 회로 내의 트랜지스터의 제어 단말로 클럭 입력 신호를 전달하는(propagate) 하나 이상의 인버터들에 의해 후속되는 클럭 입력을 더 포함하고, 상기 트랜지스터의 상기 제어 단말에서의 전압은 상기 클럭 입력 신호가 $V_{dd}/2$ 의 레벨에 도달하기 전에 상기 트랜지스터를 턴온시키는 로직 값으로 변화하고, V_{dd} 는 상기 클럭 게이팅 셀에 대한 시스템 전압인,

클럭 게이팅 셀.

청구항 8

제 1 항에 있어서, 상기 래치는:

능동(active) 로우 래치; 및

능동 하이 래치

로 구성되는 목록으로부터 선택된 항목을 포함하는,

클럭 게이팅 셀.

청구항 9

제 1 항에 있어서, 상기 출력 로직 회로는:

AND 게이트; 및

OR 게이트

로 구성되는 목록으로부터 선택된 항목을 포함하는,

클럭 게이팅 셀.

청구항 10

제 9 항에 있어서,

상기 AND 게이트는 NAND 게이트를 포함하고, 상기 NAND 게이트의 출력은 인버터로 피딩(feed)되는,

클럭 게이팅 셀.

청구항 11

제 9 항에 있어서,

상기 OR 게이트는 NOR 게이트를 포함하고, 상기 NOR 게이트의 출력은 인버터로 피딩되는,

클럭 게이팅 셀.

청구항 12

클럭 게이팅 셀을 동작시키기 위한 방법으로서,

상기 클럭 게이팅 셀은 인에이블 제어 로직 입력, 클럭 입력, 출력 로직 게이트, 상기 출력 로직 게이트의 입력 노드에 있고 시스템 전력 및 접지 중 하나 이상에 연결되는 제1 회로, 및 상기 제1 회로에 연결되는 보호 회로를 포함하고, 상기 방법은:

상기 인에이블 제어 로직 입력을 사용하여 상기 클럭 게이팅 셀을 인에이블시키는 단계;

상기 클럭 입력에서 에지와 함께 클럭 입력 신호를 인가하는 단계; 및

상기 제1 회로가 상기 클럭 입력 신호의 상기 에지 중에 상기 출력 로직 게이트의 상기 입력 노드의 전압 레벨을 조기에 변화시키는 것을 방지하기 위해 상기 보호 회로를 사용하는 단계

를 포함하는,

클럭 게이팅 셀을 동작시키기 위한 방법.

청구항 13

제 12 항에 있어서,

상기 보호 회로는 상기 제1 회로가 상기 출력 로직 게이트의 상기 입력 노드를 조기에 충전하는 것을 방지하는, 클럭 게이팅 셀을 동작시키기 위한 방법.

청구항 14

제 12 항에 있어서,

상기 보호 회로는 상기 제1 회로가 상기 출력 로직 게이트의 상기 입력 노드를 조기에 방전하는 것을 방지하는, 클럭 게이팅 셀을 동작시키기 위한 방법.

청구항 15

제 12 항에 있어서,

상기 클럭 게이팅 셀로부터 하나 이상의 계산 회로(computational circuit)들로 상기 클럭 입력 신호를 전달하는 단계를 더 포함하는,

클럭 게이팅 셀을 동작시키기 위한 방법.

청구항 16

제 12 항에 있어서,

상기 클럭 입력 신호를 인가하는 단계는:

상기 클럭 입력에서 교차하는(alternating) 상승 및 하강 에지들을 포함하는 신호를 인가하는 단계를 포함하는,

클럭 게이팅 셀을 동작시키기 위한 방법.

청구항 17

클럭 게이팅 셀로서,

인에이블 로직에 연결되는 래치;

상기 래치 및 출력 로직 회로의 제1 입력 노드에 연결되는 클럭 입력 - 상기 출력 로직 회로는 상기 래치 내의 제1 회로에 연결되는 제2 입력 노드를 포함하며, 상기 제1 회로는 시스템 전력 및 접지 중 하나 이상에 연결됨 -; 및

상기 제2 입력 노드에 연결되며, 상기 제1 회로가 클럭 신호의 에지 중에 상기 제2 입력 노드의 전압 레벨을 조기에 변화시키는 것을 방지하는 보호 회로 - 상기 클럭 신호는 상기 클럭 입력에서 수신됨 -

를 포함하는,

클럭 게이팅 셀.

청구항 18

제 17 항에 있어서,

상기 보호 회로는 상기 제1 회로가 상기 제2 입력 노드를 조기에 충전시키는 것을 방지하는,

클럭 게이팅 셀.

청구항 19

제 17 항에 있어서,

상기 보호 회로는 상기 제1 회로가 상기 제2 입력 노드를 조기에 방전시키는 것을 방지하는,
클럭 게이팅 셀.

청구항 20

제 17 항에 있어서,

상기 보호 회로는:

인버터를 포함하고, 상기 인버터는 상기 인버터의 입력이 상기 제2 입력 노드에 있도록 그리고 상기 인버터의 출력이 상기 제1 회로 내의 트랜지스터의 제어 단말에 있도록 배열되는(arranged),

클럭 게이팅 셀.

청구항 21

제 17 항에 있어서,

상기 출력 로직 회로의 출력은 풀-다운 회로 또는 풀-업 회로를 포함하는 피드백 루프 내에 있는,

클럭 게이팅 셀.

청구항 22

제 17 항에 있어서,

상기 제2 입력 노드는 인버터를 피딩하고, 상기 인버터의 출력은 상기 제1 회로 내의 하나 이상의 트랜지스터들을 제어하고, 상기 인버터 및 상기 제1 회로는 상기 클럭 신호의 상기 에지 중에 상기 제2 입력 노드의 상태를 유지하는 교차-연결된 인버터 구조를 형성하는,

클럭 게이팅 셀.

청구항 23

제 17 항에 있어서,

상기 인에이블 로직이 상기 클럭 게이팅 셀을 인에이블시킬 때 상기 출력 로직 회로는 인버팅된 클럭 신호를 전달하는,

클럭 게이팅 셀.

청구항 24

제 17 항에 있어서,

상기 출력 로직 회로는 NAND 게이트를 포함하고, 상기 클럭 게이팅 셀은 상기 NAND 게이트에 후속하는 인버터를 더 포함하는,

클럭 게이팅 셀.

청구항 25

제 17 항에 있어서,

상기 출력 로직 회로는 NOR 게이트를 포함하고, 상기 클럭 게이팅 셀은 상기 NOR 게이트에 후속하는 인버터를 더 포함하는,

클럭 게이팅 셀.

청구항 26

제 17 항에 있어서,

상기 제1 회로는:

접지 및 시스템 전력에 연결되는 일련의 트랜지스터들을 포함하고, 상기 제2입력 노드는 상기 일련의 트랜지스터들 내부에 배열되는,

클럭 게이팅 셀.

명세서

기술분야

[0001] 본 명세서는 일반적으로 클럭 게이팅 셀들에 관한 것이고, 보다 구체적으로는 느린-상승 클럭 에지 또는 느린-하강 클럭 에지를 조절하기 위해 개선된 성능을 갖는 클럭 게이팅 셀들에 관한 것이다.

배경기술

[0002] 도 1은 종래의 클럭 게이팅 셀(CGC; 100)의 도시이다. CGC들은 회로 내의 계산을 멈춤으로써 동적 전력을 감소시키도록 사용되지 않는 회로들로 클럭 신호를 전달하는 것을 멈추기 위해 많은 애플리케이션들에서 사용된다. 예를 들어, MP3 기능 및 전화 기능을 포함하는 휴대 디바이스에서, 사용자가 MP3 파일만 재생하고 전화를 사용하지 않을 때, 하나 이상의 CGC들은 클럭이 전화 기능이 유희상태일 때 사용되지 않는 프로세서의 부분들로(다른 칩들로뿐만 아니라) 전달되는 것을 방지하기 위해 사용될 수 있다. 배터리 수명이 연장되도록, 클럭을 수신하지 않는 부분들은 전력을 훨씬 덜 사용한다. 게다가, 게이팅되지 않은(un-gated) 클럭 신호 자체는 높은 활성요소(activity factor)를 갖고, 이를 동적 전력 사용의 주요 소스로 한다.

[0003] CGC(100)는 클럭 입력 및 인에이블 입력들을 갖는다. 글로벌 클럭 소스는 클럭 입력이며, 이는 *Clk_in*으로 명명된다. CGC(100)와 같은 CGC는 임의의 개수의 인에이블 입력들을 포함할 수 있고, 이것의 예들은 클럭 인에이블(*Clk_in*), 회로의 스캔 테스트 중에 클럭을 활성화하는 스캔 인에이블(*test_en*)을 포함할 수 있다. 도 1은 능동 로우 래치(101), 2-입력 AND 게이트(102), 및 인에이블 로직(103)을 포함하는 전형적인 CGC 표준 셀 회로의 일반적인 블럭도를 도시한다. CGC(100)의 출력은 *Clk*이고, 이는 게이팅된 클럭 펄스이다.

[0004] 보다 낮은 전압들에서, *Clk_in*의 에지 비율은 상당히 떨어지게 될 수 있고 결국 CGC(100) 내의 기능적 실패를 초래한다. 도 2는 CGC(100)의 설계에 따라 구성된 CGC(150)의 보다 상세한 관점에서의 도시이고, 도 3은 몇몇 동작들 중에 CGC(150)의 키 노드들의 타이밍 도를 도시한다. 도 2는 능동 로우 래치(101)를 도시하고, 능동 로우 래치(101)는 다른 것들 중에, 인버터 체인(즉, 인버터들(107 및 108)) 및 풀-다운(pull-down) 스택(즉, NMOS 트랜지스터들(104 및 106))을 포함한다. 능동 로우 래치(101)가 인에이블 되었을 때(*test_en* 또는 *Clk_in* 신호 중 하나로부터) 초기에 *pn1* 노드는 래치(101)의 트랜스퍼런트(transparent) 위상 중에 로직 1로 설정된다. 이러한 조건 하에서, CGC(150)는 입력(*Clk_in*)신호를 출력(*Clk*)으로 보낸다. 초기에 *Clk_in*은 로직 0에 있고, 그러므로 *pn2* 노드는 로직 1에 있다. 느린 상승 입력 *Clk_in* 신호에 대하여, 초기에 버퍼링된 *Clk_net* 노드에서의 전압은 빨리 상승할 수 있어(심지어 *Clk_in*이 $V_{dd}/2$ 로의 중간 지점으로 상승하기도 전에; V_{dd} 는 시스템 전력), 이에 의해 *pn1* 노드의 풀-다운 NFET(104; 도 2)을 턴온한다. 이는 바람직하지 않다. 이는 입력(*Clk_in*) 신호가 출력으로 전달되고 피드백 풀-다운 NFET(105)을 차단하기까지, *pn1* 노드에 대한 방전 경로를 제공하고 레이스 조건을 만든다. 도 3에 도시된 것처럼, *pn1* 노드 전압은 로직 1로 재저장되기 전에 잠깐 강하할 수 있다. *pn1* 노드에서의 전압의 강하는 칩의 저 전압 동작에서의 기능적 실패들을 초래할 수 있다.

[0005] CGC들은 능동 로우 래치들을 사용하는 것으로 제한되지는 않는다. 예를 들어, 도 4는 출력에서 OR 게이트 및 능동 하이 래치를 사용하는 종래의 CGC(400)의 도시이다. CGC(400)는 필수적으로, CGC(100)가 듀얼(dua1)이다. 잠재적 기능 실패들은 *pn1* 노드의 초기 충전이 발생할 때 도 4의 CGC(200)에 기초한 능동 하이-래치 내의 느린 *Clk_in* 전이들 중에 발생할 수 있다(도 1의 CGC(100)의 초기 방전 문제와는 반대로).

[0006] 상기 제시된 기능적 실패에 대해 대비하기 위해 종래 기술의 해결책들은 낮은 전압 동작들 또는 느린 다수의 제조된 부분들 사이에서 우수한 에지 비율을 유지하기 위해 클럭 트리의 파다-설계를 포함한다. 그러나, 클럭 트리의 파다-설계는 보다 많은 동적 전력 소비 비용 및 짧은 배터리 수명에 이르게 된다. 또 다른 해결책은 입력 클럭 신호를 출력 노드로 빨리 전달하기 위해 CGC의 출력 로직을 확대하는 것이다. 범용 클럭 게이팅을 위해 산업에서 이러한 접근 방법을 통상적으로 따랐으나, 출력 로직을 위하여 필요한 영역을 증가시키는 비용에 이르게 되었고, 증가된 영역에 따른 보다 많은 동적 동적 전력을 소비하게 된다. 게다가, 이러한 출력 로직의 확대

는 또한 인에이블 로직의 설정 시간을 증가시키고, 이는 임의의 고성능 시스템(예를 들어, 프로세서들 및 DSP 코어들)에 대한 전형적인 중요한 제약이다.

발명의 내용

- [0007] 본 발명의 다양한 실시예들이 출력 로직 게이트의 입력 노드(예, 도 1 및 도 2의 *pnl*)가 조기에 방전하는 것을 방지하는 종래의 CGC 구조에 보호 회로를 추가한다. 일 예시적인 실시예에서, 추가적인 트랜지스터는 출력 로직 게이트의 입력 노드와 접지 사이에 위치된다. 인에이블 회로와 통신하는 인버터는 추가적인 트랜지스터의 게이트에 위치된다. CGC가 인에이블되고 상승 클럭 에지를 수신할 때, 출력 로직 게이트의 입력 노드는 방전되지 않는다. 이러한 배열은 CGC의 동작 모드에서의 실패를 방지할 수 있다.
- [0008] 또 다른 예에서, NAND 게이트의 출력을 포함하지 않지만, NAND 게이트의 입력 노드로부터 얻어진 인버팅된 신호를 포함하도록, 종래의 CGC 구조의 피드백 루프는 수정된다. 추가적인 트랜지스터도 또한 피드백 루프에 추가된다. 새로운 피드백 배열은 NAND 게이트의 입력 노드가 느린 상승 에지 중에 방전하는 것을 방지한다. 또 다른 예들에서, 실시예들은 입력 노드(예, 도 4의 *pnl*)의 조기 충전을 방지하기 위해 능동 하이 래치들에도 기초한 CGC들에 보호 회로를 추가한다.
- [0009] 다양한 실시예들은, 심지어 낮은 전압 동작들에서, 기능적 실패의 여지를 감소시키거나 제거한다. 몇몇 실시예들은 또한 내부 노드들 내의 많은 양의 노이즈를 억제하고, 이는 그밖에 다른 이웃한 회로들 내의 실패들을 유도할 수 있다. 몇몇 실시예들의 다른 장점들은 개선된 타이밍뿐만 아니라 상당한 전력 절약을 포함한다. 결과적으로, 몇몇 실시예들은 높은 글로벌 주파수에서 동작할 수 있고/있거나 소정의 CGC가 보다 많은 부하를 구동할 수 있게 한다.
- [0010] 앞서 서술한 것은 후술할 발명의 상세한 설명을 보다 쉽게 이해할 수 있도록 본 발명이 갖는 특징들과 기술적인 장점들을 다소 폭넓게 요약한 것이다. 본 발명의 청구범위의 대상을 형성하는 추가적인 특징들과 장점들이 아래에서 상술될 것이다. 개시된 개념과 특정한 실시예들은 본 발명과 동일한 목적들을 수행하기 위한 다른 구조들을 설계하거나 수정하기 위한 기반으로 용이하게 활용될 수 있음이 당업자들에게 인식될 수 있다. 또한, 당업자들은 이러한 균등한 구조들은 첨부된 청구항들에서 설명할 바와 같은 본 발명의 사상과 범위로부터 벗어나지 않는다고 깨달을 것이다. 본 발명의 특징이라고 여겨지는 신규한 특징들은, 그 조직과 작동방법 및 추가적인 목적들과 장점들에 관하여, 첨부한 도면들과 관련하여 고려될 때 다음의 설명으로부터 쉽게 이해될 수 있을 것이다. 그러나, 각 도면들은 예시 및 설명을 위해서만 제공되는 것이고, 본 발명의 제한들의 정의로서 의도되는 것이 아님이 명백히 이해되어야 한다.

도면의 간단한 설명

- [0011] 본 개시내용의 보다 완전한 이해를 위해, 이제 함께 첨부한 도면들과 결합하여 제공되는 이하의 설명들에 대해 참조가 이루어진다.
 - 도 1은 종래의 클럭 게이팅 셀의 도시이다.
 - 도 2는 도 1의 CGC의 보다 상세한 관점에서의 도시이다.
 - 도 3은 동작의 특정한 모드 중에 도 1의 CGC의 키 노드들의 시뮬레이팅된 타이밍 도를 도시한다.
 - 도 4는 출력에서 OR 게이트 및 능동 하이 래치를 사용하는 종래의 CGC의 도시이다.
 - 도 5는 유리하게 사용될 수 있는 본 발명의 실시예에서 예시적인 무선 통신 시스템을 도시하는 블럭도이다.
 - 도 6은 본 발명의 일 실시예에 따라 적용된, 예시적인 CGC의 도시이다.
 - 도 7은 도 6의 CGC에 대한 시뮬레이팅된 타이밍 도이고, 이는 키 노드들의 전압들을 도시한다.
 - 도 8은 본 발명의 일 실시예에 따라 적용된, 예시적인 CGC의 도시이다.
 - 도 9는 몇몇 동작들 중에 도 1의 CGC의 키 노드들의 시뮬레이팅된 타이밍 도를 도시한다.
 - 도 10은 본 발명의 일 실시예에 따라 적용된, 예시적인 CGC의 도시이다.
 - 도 11은 본 발명의 일 실시예에 따라 적용된, 예시적인 CGC의 도시이다.
 - 도 12는 본 발명의 일 실시예에 따라 적용된, 예시적인 프로세스의 도시이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 도 5는 유리하게 사용될 수 있는 본 발명의 실시예에서 예시적인 무선 통신 시스템을 도시한다. 설명의 목적들을 위하여, 도 5는 3개의 원격 유닛들(520, 530, 및 540) 및 두 개의 기지국들(550, 560)을 도시한다. 종래의 무선 통신 시스템들은 보다 많은 원격 유닛들 및 기지국들을 포함할 수 있는 것으로 인식될 것이다. 원격 유닛들(520, 530, 및 540)은 임의의 다양한 클럭 게이팅 셀들을 포함할 수 있다. 원격 유닛들(520, 530, 및 540)은 임의의 다양한 다른 컴포넌트들(ADC(Analog to Digital Converter)들, DAC(Digital to Analog Converter)들, 프로세서들, 델타 시그마 데이터 변환기들 등)을 또한 포함할 수 있다. 본 발명의 실시예들이 다양한 컴포넌트들(특히 프로세서들, DAC들, ADC들 등과 같은 동기화된 회로들에서)에서 사용되는 것을 알 수 있다. 도 5는 기지국들(550, 560)로부터 원격 유닛들(520, 530, 및 540)로의 순방향 링크 신호들(580) 및 원격 유닛들(520, 530, 및 540)로부터 기지국들(550, 560)로의 역방향 링크 신호들(590)을 도시한다.
- [0013] 일반적으로, 원격 유닛들은 셀룰러 폰들, 휴대용 PCS(personal communication systems) 유닛들, PDA들과 같은 휴대용 데이터 유닛들, 및/또는 미터 판독 장비와 같은 고정 위치 데이터 유닛들 등을 포함할 수 있다. 도 5에서, 원격 유닛(520)은 이동 전화기로 도시되었고, 원격 유닛(530)은 휴대용 컴퓨터로 도시되었고, 원격 유닛(540)은 무선 로컬 루프 시스템 내의 고정 위치 원격 유닛으로 도시되었다. 기지국들(550, 560)은, 예를 들어, 셀룰러 전화기 기지국들, 무선 네트워크 액세스 포인트들(예, IEEE 802.11 지원 액세스 포인트들) 등을 포함하는 임의의 다양한 무선 기지국들일 수 있다. 비록 도 5가 본 발명의 교시들에 따라 원격 유닛들을 도시하고 있지만, 본 발명은 이러한 예시적인 도시된 유닛들에 제한되지 않는다.
- [0014] 도 6은 본 발명의 일 실시예에 따라 적용된, 예시적인 CGC(600)의 도시이다. CGC(600)는 CGC(100)의 구조와 유사한 구조를 갖지만, CGC(600)는 *pn1* 노드가 느린 상승 클럭 에지 중에 방전하는 것을 방지하는 회로(601)를 추가한다. 부가적 회로(601)는 *pn1* 노드의 풀-다운 스택 내에서 NFET(603)을 구동하는 최소화된 크기의 인버터(602)를 포함한다. 이러한 예시적인 실시예에서, "최소화된 크기"는 약 120 nm의 폭을 갖는 인버터를 지칭한다; 그러나 소정의 애플리케이션은 임의의 적절한 크기의 인버터를 사용할 수 있기 때문에, 실시예들의 범위는 이렇게 제한되지 않는다.
- [0015] 도 7은 CGC(600; 도 6의)에 대한 시뮬레이션된 타이밍 도이고, 이는 키 노드들의 전압들을 도시한다. 래치가 트랜스퍼런트 위상 중에 *pn1* 노드는 초기에 로직 1로 설정된다. 이러한 조건 하에서, CGC(600)는 입력 *Clk_in* 신호를 출력 *Clk*로 보낸다. 또한, 초기 *Clk_in* 신호는 로직 0에 있고, 그러므로 *pn2* 노드는 로직 1에 있다.
- [0016] 심지어, 느린 상승 입력 *Clk_in* 신호에 대하여, *Clk_in*이 $V_{dd}/2$ 로의 중간 지점으로 상승하기 전에, 내부적으로 버퍼링된 *Clk_net* 노드는 빨리 높게 올라가고, *pn1* 노드의 풀-다운 NFET(604)을 턴온한다. *pn1* 노드가 로직 1에 있을 때, 인버터(602) 및 피드백 NFET(603)은 *pn1* 노드의 방전을 멈춘다. 다시 말해, CGC(600)가 인에이블 되었을 때, 회로(601)는 노드(*pn1*)가 방전되는 것을 방지한다. 그러므로, *pn1* 노드는 조기 전압 강하를 나타내지 않는다.
- [0017] 도 6의 실시예의 하나의 장점은 출력 로직 게이트(607)의 얼마간의 축소를 허용하는 것이고, 이는 *Clk_in*의 용량성 부하(capacitive loading)를 감소시켜, 전체로서의 CGC(600)의 동적 스위칭 전력을 감소시킨다. 일 추정에 의해, 출력 로직 게이트(607)는 40퍼센트까지 축소될 수 있다. 그러므로, 제안된 설계는 또한 부가적(최소화된) 인버터(602) 연결 때문인 *pn1* 노드의 증가된 용량성 부하를 보상한다. CGC(600)의 설계는 저 전압 동작에 대한 기능적 신뢰도에 대한 걱정을 감소시켜, 저 전압 동작을 가능하게 한다. 저 전압 동작을 가능하게 함으로써, 소정의 칩의 배터리 수명 및 전력 소모는 효과적으로 강화될 수 있다. 게다가, 동일한 전압에 대해, 다양한 실시예들은 큰 팬-아웃(fan-out) 부하의 사용을 허용하여, 큰 시스템에서 전체 CGC들의 수를 감소시키고, 상당한 영역(area) 및 전력 낭비를 절감한다.
- [0018] 도 8은 본 발명의 일 실시예들에 따라 적용된, 예시적인 CGC(800)의 도시이다. CGC(800)는 부가적 PMOS 트랜지스터(802) 및 인버터(801)를 포함한다. CGC(800)의 구조는 또한 피드백 루프를 갖고, 피드백 루프는 다른 것들 중에서, 인버터(801, 이 경우 노드(*pn2*))로부터의 출력 및 부가적 PMOS 트랜지스터(802)를 포함한다. 래치의 능동 위상 중에, *Clk_in*은 로직 0에 있고, *pn1* 노드는 트랜스미션 게이트(804)를 통해 "en"로직에 의해 구동된다. *Clk_in*이 로직 1에 있을 때, 트랜스미션 게이트(804)는 오프되고, *pn1* 노드는 풀-업 회로(디바이스들(802 및 805)을 포함하는) 또는 풀-다운 회로(디바이스들(806 및 807)을 포함하는) 중 하나에 의해 구동된다. CGC(800)에서, 피드백 디바이스들(802 및 807)은 NAND(803)의 출력이 아니라 인버터 출력에 의해 각각

구동된다.

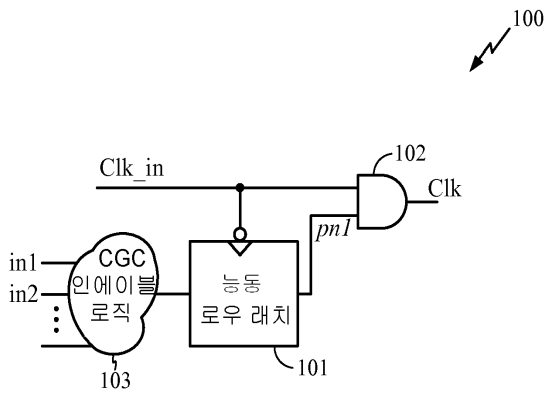
- [0019] CGC(800)의 구성에서, *Clk_in*이 로직 0으로부터 로직 1로 전이할 때, 노드(*pn2*)는 노드 *pn1*의 상태가 유지되는 동안에는 자신의 상태를 바꾸지 않는다. 명확하게, 인버터(801) 및 디바이스들(802 및 805 내지 807)에 의해 형성된 인버터는 교차-연결된 인버터 회로처럼 동작하고, 하나의 인버터는 입력으로서의 노드(*pn1*) 및 출력으로서의 노드(*pn2*)를 포함하고, 나머지 인버터는 입력으로서의 노드(*pn2*) 및 출력으로서의 노드(*pn1*)를 포함한다. 래치의 상태 유지 위상에서(*Clk_in*이 로직 1에 있을 때), 교차-연결된 인버터들은 *Clk_in* 전이 중에 노드(*pn1*)의 조기 충전 또는 방전을 방지하는 노드들(*pn1* 및 *pn2*)의 상태들을 유지하기 위해 동작한다. 능동 위상에서(*Clk_in*이 로직 0에 있을 때) 피드백 루프는 턴오프되어 데이터가 래치를 통해 전달되도록 하고, *pn1* 및 *pn2*의 상태들은 유지되지 않는다. CGC(600; 도 6의)와 유사하게, CGC(800)는 축소된 출력 로직 게이트(803)의 사용을 허용한다.
- [0020] 도 6 및 도 8의 실시예들은 또한 하강 클럭 에지가 CGC를 통해 통과할 때 일어날 수 있는 또 다른 실패 모드를 방지할 수 있다. 도 9는 종래의 CGC들(도 1 및 도 2에서 도시된 것과 같이)에서 발생할 수 있는 실패 모드를 보여주는 시뮬레이션된 타이밍 도이다. 도 9는 *Clk_in*이 느린 전이 비율로 하강했을 때, *Clk_net*이 짧은 시간 후에 *Clk*를 따르고, 노드(*pn2*)가 천천히 로직 0으로부터 로직 1로 변화하는 것을 도시한다. 전이 중에, 풀-다운 스택 내의 트랜지스터들(104 및 106; 도 2) 모두가 턴온되었을 때 타이밍 윈도우(timing window)가 있어, 노드(*pn1*)를 방전시킨다. CGC(600; 도 6의)는 부가적 트랜지스터(603)를 이용하여 방전 경로를 차단하는 것에 의해 노드(*pn1*)의 방전을 방지하고, 이것은 동작 중에 오프 상태로 남아있다. CGC(800; 도 8의)는 풀-다운 디바이스(807)를 오프 상태로 구동하는 인버터(801)를 이용하여 방전 경로를 차단하는 것에 의해 유사한 방식으로 노드(*pn1*)를 방전하는 것을 방지한다.
- [0021] 상기 제시된 도 6 및 도 8의 실시예들은 능동 로우 래치들에 기초한 CGC들의 사용을 위한 해결책들을 포함한다. 실시예들의 범위는 또한 능동 하이 래치들에 기초한 CGC들의 사용을 위한 해결책들을 포함하고, 이는 전형적으로 능동 로우 래치들에 기초한 CGC들의 듀얼들로 설명된다. 도 10은 본 발명의 일 실시예에 따라 적용된 예시적인 CGC(1000)의 도시이다. 시스템(1000)은 도 6의 실시예와 동등한 능동 하이 래치에 기초한다. 일반적으로, CGC(1000)는 트랜지스터들(1003 및 1005)이 조기에 노드(*pn1*)를 충전하는 것을 방지한다. 하강 클럭 에지 중에, 노드들(*pn1* 및 *pn2*) 모두는 로직 0에서 시작한다. 노드(*pn2*)가 로직 0에 있을 때, 트랜지스터(1003)는 온(ON) 상태가 된다. *Clk_in*이 하강하기 시작할 때, 트랜지스터(1005)로의 입력에서 조기에 버퍼링된 신호는 노드(*pn1* 또는 *pn2*) 중 하나 보다 훨씬 빨리 로직 0이 되어, 노드들(*pn1* 및 *pn2*)이 변화하기 전에 트랜지스터(1005)를 턴온한다.
- [0022] 보호 회로(1001)는 인버터(1002) 및 트랜지스터(1004)를 포함한다. 노드(*pn1*)가 로직 0에 남아있는 동안에는, 인버터(1002)의 출력은 로직 1에 있고, 이는 트랜지스터(1004)를 턴오프 한다. 트랜지스터(1004)는 트랜지스터들(1003 및 1005)과 직렬이기 때문에, 노드(*pn1*)는 느린 하강 클럭 에지 중에 Vdd로 조기에 충전되지 않는다.
- [0023] CGC(1000)와 같은 능동 하이 래치에 기초한 CGC에 대하여, 이것의 인에이블 로직은 또한 전형적으로 능동 로우 래치에 기초한 CGC의 것의 듀얼임에 주목해야 한다. 예를 들어, 도 10 및 도 11에서 도시된 실시예들에서 사용될 수 있는 인에이블 로직의 일 형태는 NOR 게이트를 포함한다.
- [0024] 도 11은 본 발명의 일 실시예에 따라 적용된 예시적인 CGC(1100)의 도시이다. 시스템(1100)은 도 8의 실시예와 동등한 능동 하이 래치에 기초한 것이다. 시스템(1100)은 *Clk_in*이 1에서 0으로 하강할 때 노드들(*pn1* 및 *pn2*)의 상태들을 유지하기 위해 교차-연결된 인버터 구조를 사용한다. *Clk_in*이 로직 1로부터 로직 0으로 전이할 때, 노드(*pn1*)의 상태가 유지되는 동안에는 노드(*pn2*)는 자신의 상태를 변화시키지 않는다. 명확하게, 인버터(1101) 및 디바이스들(1102 및 1105 내지 1107)에 의해 형성된 인버터는 교차-연결된 인버터 회로처럼 동작한다. 래치의 상태 유지 위상(*Clk_in*이 로직 0에 있을 때), 교차 연결된 인버터들은 노드들(*pn1* 및 *pn2*)의 상태들을 유지하기 위해 동작한다. CGC(1100)에서, 노드(*pn1*)의 상태는 *Clk_in* 전이 중에 조기 충전 또는 방전을 방지하는 것에 의해 유지된다. 능동 위상(*Clk_in*이 로직 1에 있을 때) 피드백 루프는 턴오프 되는데 이는 데이터를 래치를 통해 전달하기 위해 디바이스들(1102 및 1106)이 턴오프 되기 때문이다.
- [0025] 본 발명의 다양한 실시예들은 종래 기술을 넘은 장점들을 제공한다. 예를 들어, 도 1 및 도 2의 종래 시스템와 대비하여 상당한 전력 절감들이 도 6, 8, 10 및 11의 시스템들을 사용하여 달성될 수 있다. 몇몇 실시예들에서, 제안된 부가적 회로는 *Clk* 경로의 용량성 부하를 감소시키기 위해 출력 로직 내에서 달성될 수 있는 축소의 범위를 증가시킬 수 있다. 게다가, 입력 회로 상의 감소된 용량성 부하는 또한 인에이블 로직의 설정 시간을 개선할 수 있다. 설정 시간들이 감소될 때, 높은 주파수 클럭들이 시스템 내의 사용을 위하여 선

택될 수 있기 때문에 엔지니어의 선택들이 증가한다.

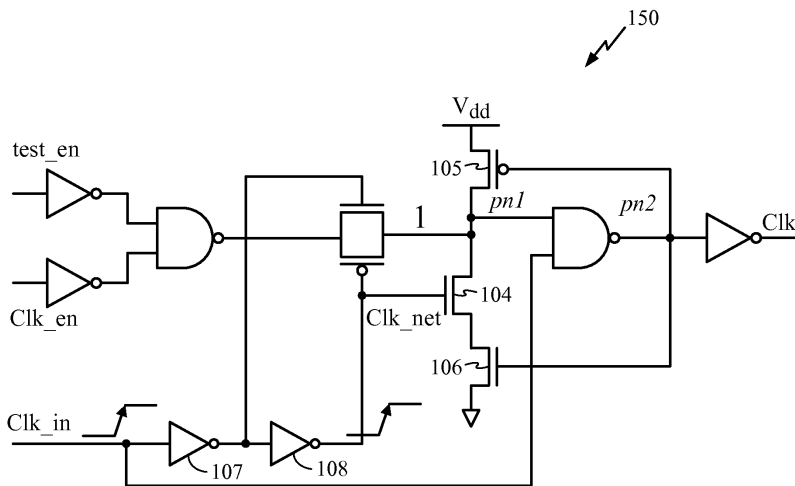
- [0026] 본 발명의 몇몇 실시예들은 개선된 CGC들의 사용을 위한 방법들을 포함한다. 일 예에서, 이러한 방법은 CGC(600; 도 6의) 또는 CGC(800; 도 8의)와 같은 하나 이상의 CGC들을 포함하는 칩에 의해 수행될 수 있다. 도 12는 본 발명의 일 실시예에 따라 적용된 예시적인 프로세스(1200)의 도시이다.
- [0027] 블럭(1201)에서, 클럭 게이팅 셀은 인에이블 로직을 어써팅(asserting)하는 것에 의해 인에이블 된다. 많은 실시예들에서, 클럭 인에이블 및 테스트 인에이블과 같은 두 개 이상의 인에이블 입력들이 있다. 그러나, 실시예들의 범위는 인에이블 입력들의 개수에 제한되지 않는다.
- [0028] 블럭(1202)에서, 에지와 함께 클럭 신호는 클럭 입력에서 인가된다. 에지는 하강 에지 또는 상승 에지일 수 있고, 클럭 신호는 보통 상승 및 하강 에지들의 교차 패턴을 포함할 것이다. CGC가 인에이블되었기 때문에, 입력 클럭 신호는 CGC를 통하여 전달되어야하고 다른 회로 내부로 전달되어야 한다.
- [0029] 블럭(1203)에서, 보호 회로는 클럭 에지 중에 출력 로직 회로의 입력 노드의 조기 방전 또는 충전을 방지한다. 예를 들어, 도 6 및 도 8의 CGC들 모두는 풀-다운 트랜지스터들이 출력 NAND 게이트의 하나의 입력 노드인 노드(*pn1*)를 조기에 방전시키는 것을 방지한다. 게다가, 도 10 및 도 11의 CGC들은 풀-업 트랜지스터들이 조기에 노드(*pn1*)를 충전시키는 것을 방지한다.
- [0030] 프로세스(1200)가 일련의 분리된 단계들로 도시되지만, 실시예들의 범위는 그렇게 제한되지 않는다. 다양한 실시예들은 하나 이상의 블럭들을 추가, 생략, 수정, 또는 재배열할 수 있다. 예를 들어, 몇몇 실시예들은 각 클럭 사이클을 이용하여, 또는 심지어 클럭의 각 에지를 이용하여 블럭들(1202 및 1203)을 반복할 수 있다. 게다가, 몇몇 실시예들은 다양한 계산 회로들로 클럭 신호를 전달하는 것을 포함하여, 이러한 계산 회로들이 동작 모드에 있도록 한다.
- [0031] 비록 특정 회로가 설명되었지만, 모든 개시된 회로가 발명을 실행하기 위해 요구되지 않는다는 것은 당업자에 의해 인식될 것이다. 게다가, 특정한 공지의 회로들은 발명에 초점을 맞추는 것을 유지하기 위해, 설명되지 않았다. 유사하게, 비록 명세서가 특정 위치들 내의 로직 "0" 및 로직 "1"을 지칭하더라도, 당업자는 본 발명의 동작에 영향을 미치지 않으면서, 적절히 조정된 회로의 나머지 부분을 이용하여 로직 값들이 스위칭될 수 있음을 인식한다.
- [0032] 본 발명과 본 발명의 장점들이 상세히 설명되었지만, 본 명세서에서 다양한 변화들, 교체들, 및 대체들은 첨부된 청구항들에서 정의한 본 발명의 기술로부터 벗어나지 않고 이루어질 수 있음이 이해되어야 한다. 게다가, 본 출원의 범위는 명세서에서 설명된 물질, 수단들, 방법들 및 단계들의 구성, 처리, 장치, 제조의 특정한 실시예들에만 제한하고자 한 것이 아니다. 당업자가 본 발명의 개시내용, 처리들, 장치들, 제조, 물질의 구성들, 수단들, 방법들, 또는 단계들로부터 쉽게 이해하게 됨에 따라, 본 명세서에서 상술한 대응되는 구성들과 동일한 결과를 실질적으로 달성하거나 또는 실질적으로 동일한 기능을 수행하는 기존의 것 또는 추후 개발될 것이 본 발명에 따라 이용될 수 있다. 따라서, 첨부된 청구항들은 예를 들어, 처리들, 장치들, 제조, 물질의 구성들, 수단들, 방법들, 또는 단계들을 자신의 범위 내에 포함하고자 의도된다.

도면

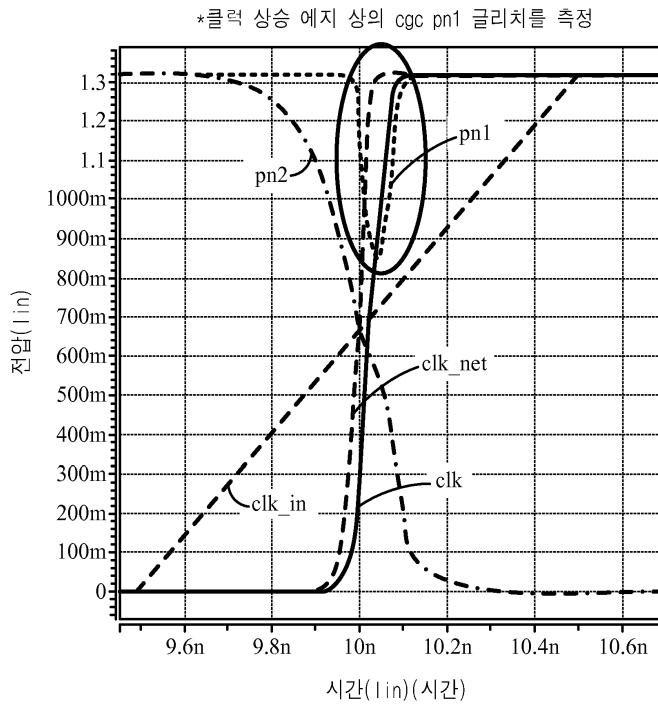
도면1



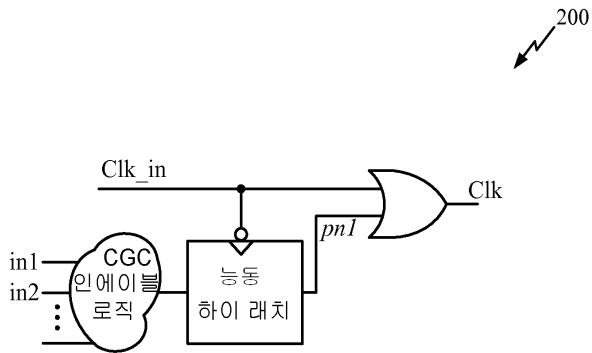
도면2



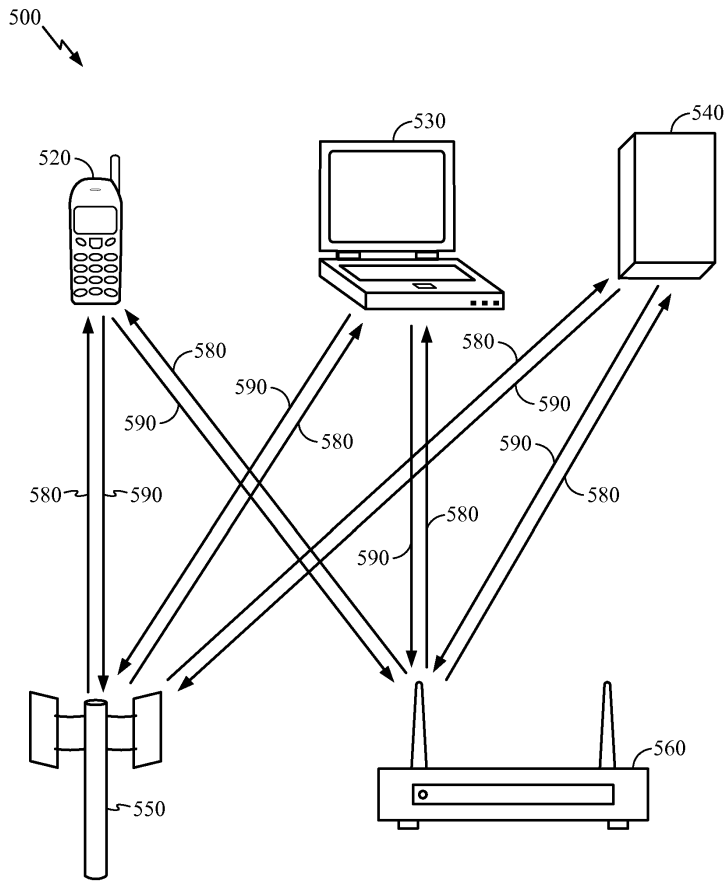
도면3



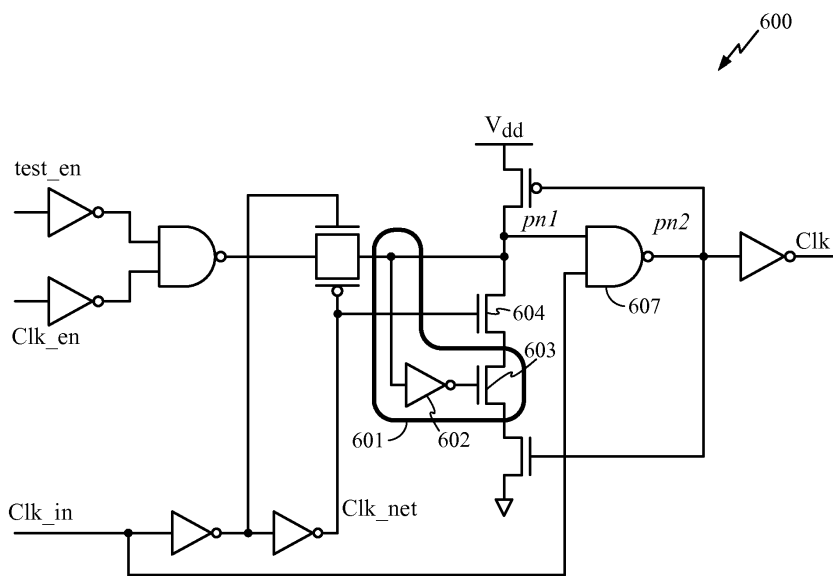
도면4



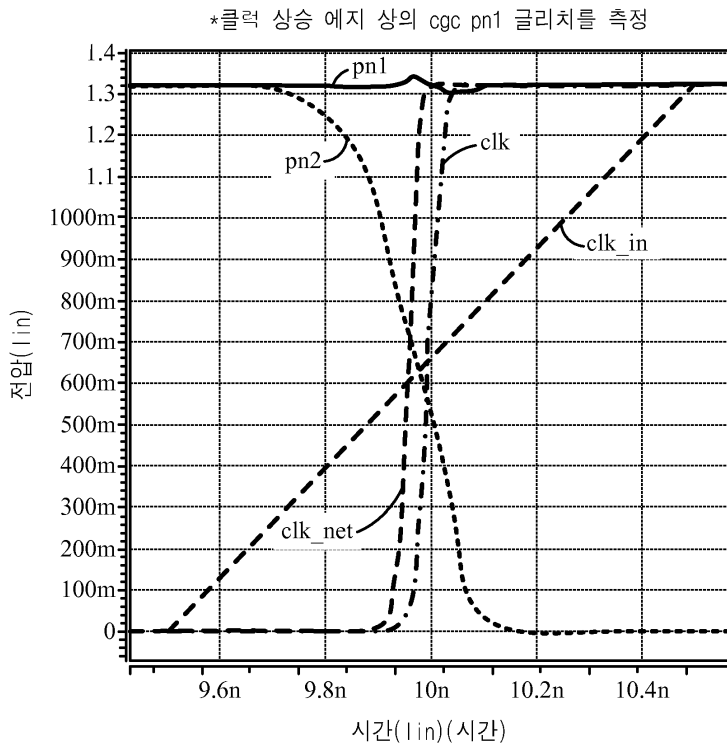
도면5



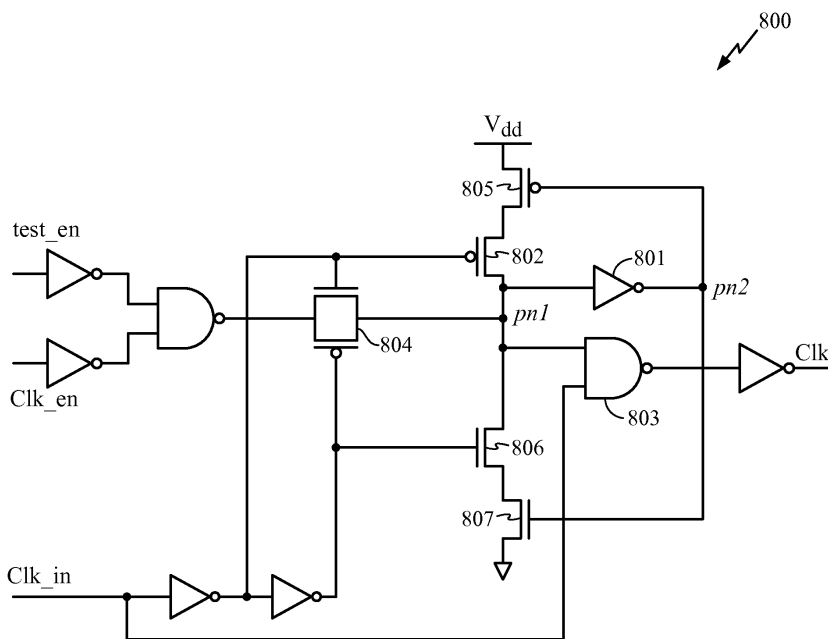
도면6



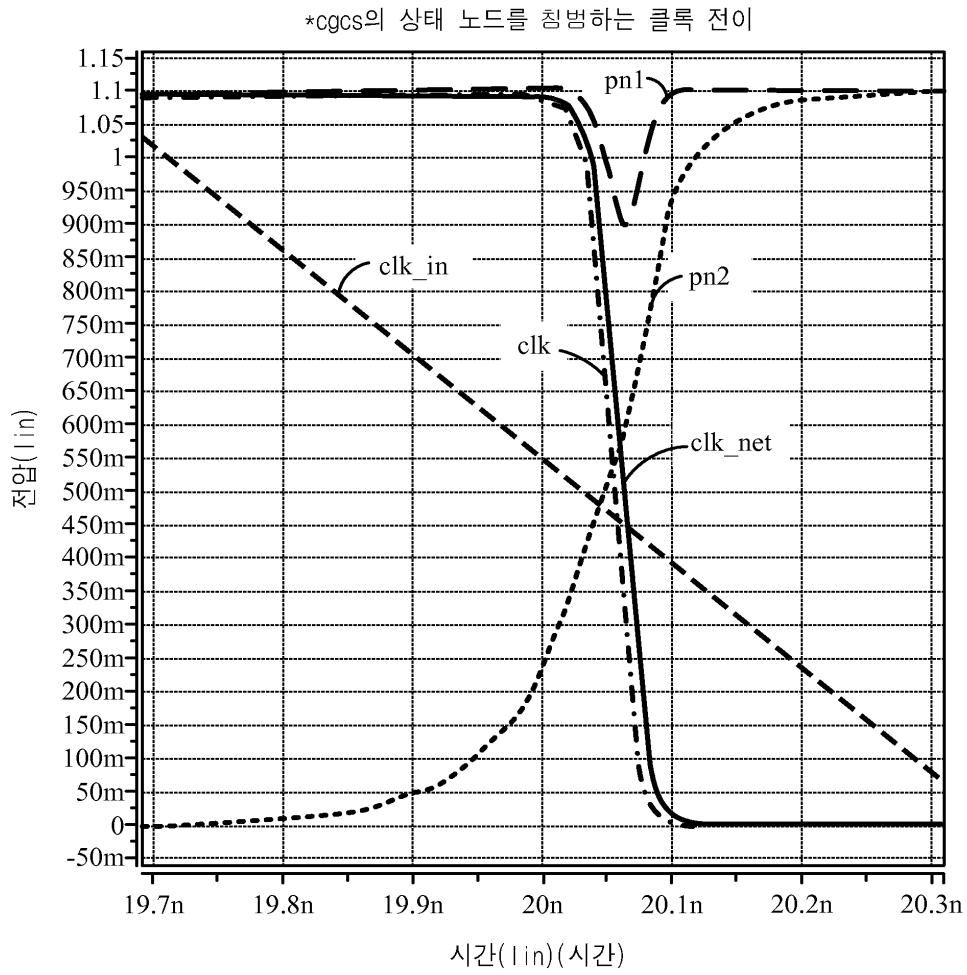
도면7



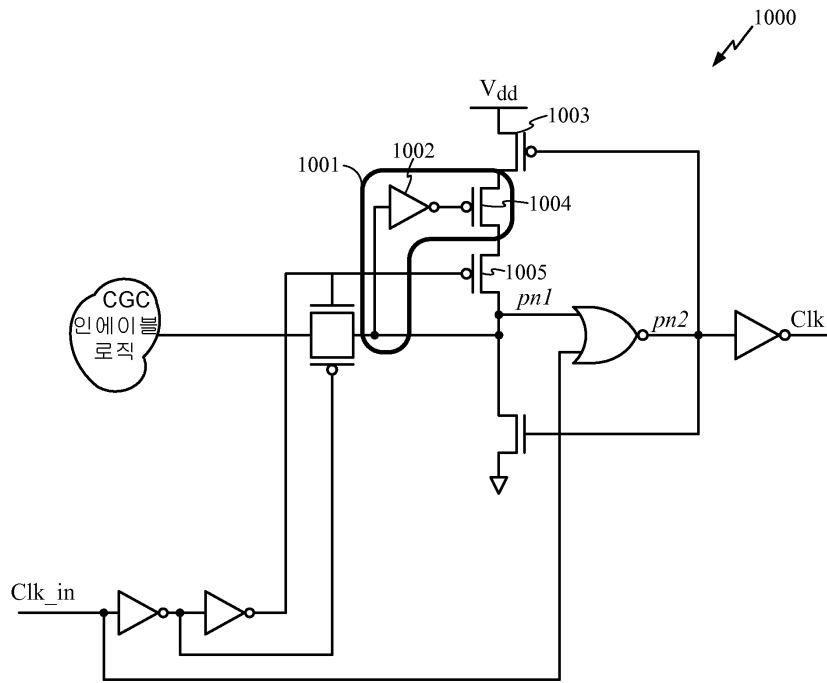
도면8



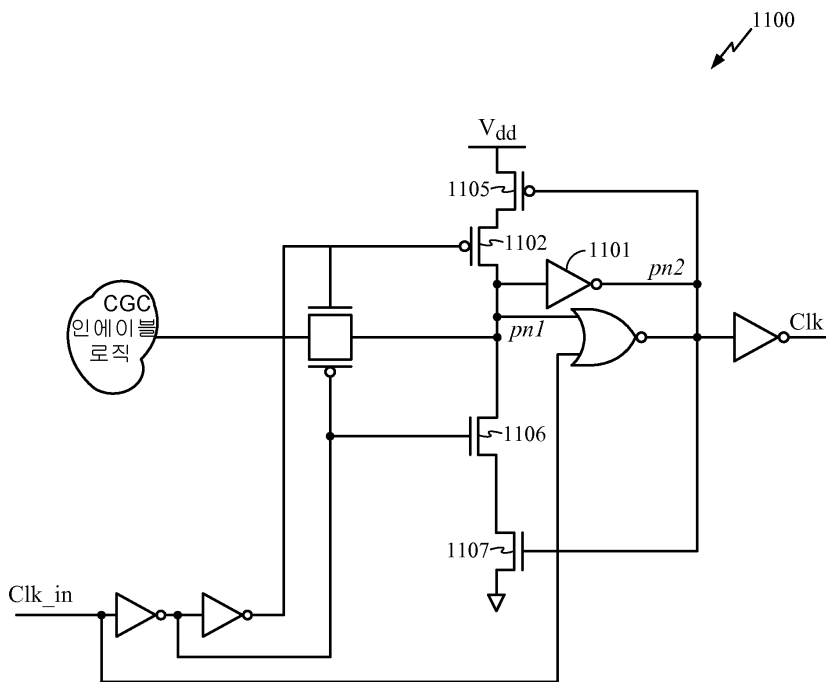
도면9



도면10



도면11



도면12

1200

