

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-54005

(P2006-54005A)

(43) 公開日 平成18年2月23日(2006.2.23)

(51) Int. Cl.		F I		テーマコード (参考)
G 1 1 C 29/00 (2006.01)		G 1 1 C	29/00 6 7 5 Z	2 G 1 3 2
G 0 6 F 13/38 (2006.01)		G 0 6 F	13/38 3 1 0 F	5 B 0 7 7
G 1 1 C 7/00 (2006.01)		G 1 1 C	7/00 3 1 8 A	5 L 1 0 6
G 0 1 R 31/28 (2006.01)		G 0 1 R	31/28 B	
		G 0 1 R	31/28 V	
審査請求 未請求 請求項の数 3 O L (全 5 頁)				

(21) 出願番号 特願2004-235460 (P2004-235460)
 (22) 出願日 平成16年8月12日 (2004.8.12)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込 1 丁目 3 番 6 号
 (72) 発明者 宮崎 慎也
 東京都大田区中馬込 1 丁目 3 番 6 号
 株式会社リコー内
 F ターム (参考) 2G132 AA08 AG01 AG08 AK07 AK29
 AL00
 5B077 DD02 MM01
 5L106 AA11 DD03 DD11 EE02

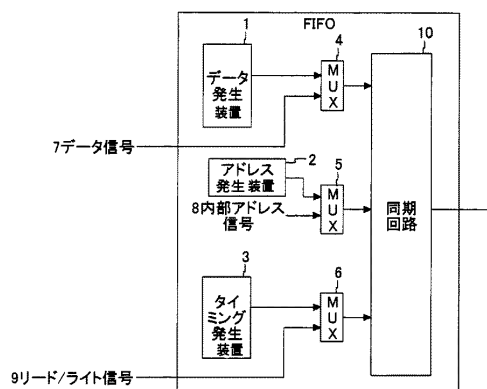
(54) 【発明の名称】 テスト回路内蔵 F I F O モジュール

(57) 【要約】

【課題】 論理合成時の負担と制約の軽減を図ることができるテスト回路内蔵 F I F O モジュールを提供する。

【解決手段】 F I F O へのテスト用のアドレスを発生させるアドレス発生手段 2 と、F I F O へ書き込むデータを発生するデータ発生手段 1 と、発生するアドレスとデータを書き込むタイミングを作るタイミング発生手段 3 と、実動作時の F I F O アクセス信号を切り替える切り替え手段 4 ~ 6 とを備え、データを更新しながら各 F I F O にリード/ライトして自動的に F I F O をテストしていくテスト回路内蔵 F I F O モジュール。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

F I F O へのテスト用のアドレスを発生させるアドレス発生手段と、F I F O へ書き込むデータを発生するデータ発生手段と、発生するアドレスとデータを書き込むタイミングを作るタイミング発生手段と、実動作時の F I F O アクセス信号を切り替える切り替え手段とを備え、データを更新しながら各 F I F O にリード/ライトして自動的に F I F O をテストしていくことを特徴とするテスト回路内蔵 F I F O モジュール。

【請求項 2】

請求項 1 記載のテスト回路内蔵 F I F O モジュールにおいて、リードされるデータとライトされたデータを比較するデータ比較手段を備えたことを特徴とするテスト回路内蔵 F I F O モジュール。 10

【請求項 3】

請求項 1 記載のテスト回路内蔵 F I F O モジュールにおいて、ライトするデータ値を格納するデータ値格納手段を備え、任意にライトするデータ値を設定可能としたことを特徴とするテスト回路内蔵 F I F O モジュール。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、テスト回路内蔵 F I F O モジュールに関する。

【背景技術】

20

【0002】

従来の F I F O のテスト方式としては、集積回路の外部から直接任意の F I F O にアクセスし F I F O の各ビットを順番に“H”にしたり“L”にして、書き込みを行った結果と読み出した結果を比較して異常を検査する方式を採っている。

関連する技術として特許文献 1 がある。この技術では、集積回路内のレジスタに集積回路の外部より直接データを入力することができ、レジスタのテストを容易かつ高速に行うことができる。

【特許文献 1】特開平 0 2 - 0 3 1 2 3 9 号公報

【発明の開示】**【発明が解決しようとする課題】**

30

【0003】

こうしたテスト回路は必要なのだが、正規のデータパス上に余計な回路が接続されるために 1 サイクルに処理できるスピードの低下、論理合成時の制約など不具合が生じる。

また、同様なテスト方式として、F I F O の直前直後にテスト回路を挿入する方式もあるが、近年の半導体の微細化により配線遅延が重要になってきているため、フリップフロップで同期をとった信号を直接 F I F O に挿入するようにするなどの対策をとり、論理合成時の負担を軽減させる方式が主流となっている今、F I F O の直前直後にテスト回路を挿入すると論理合成時に負担がかかってしまう。また、A C 特性を強く意識する必要も出てくる。

本発明は、論理合成時の負担と制約の軽減を図ることができるテスト回路内蔵 F I F O モジュールを提供することを目的とする。 40

【課題を解決するための手段】**【0004】**

上記目的を達成するために、請求項 1 記載の発明は、F I F O へのテスト用のアドレスを発生させるアドレス発生手段と、F I F O へ書き込むデータを発生するデータ発生手段と、発生するアドレスとデータを書き込むタイミングを作るタイミング発生手段と、実動作時の F I F O アクセス信号を切り替える切り替え手段とを備え、データを更新しながら各 F I F O にリード/ライトして自動的に F I F O をテストしていくテスト回路内蔵 F I F O モジュールを最も主要な特徴とする。

請求項 2 記載の発明は、請求項 1 記載のテスト回路内蔵 F I F O モジュールにおいて、 50

リードされるデータとライトされたデータを比較するデータ比較手段を備えたテスト回路内蔵FIFOモジュールを主要な特徴とする。

請求項3記載の発明は、請求項1記載のテスト回路内蔵FIFOモジュールにおいて、ライトするデータ値を格納するデータ値格納手段を備え、任意にライトするデータ値を設定可能としたテスト回路内蔵FIFOモジュールを主要な特徴とする。

【発明の効果】

【0005】

本発明のテスト回路内蔵FIFOモジュールによれば、FIFOへのテスト用のアドレスを発生させるアドレス発生手段と、FIFOへ書き込むデータを発生するデータ発生手段と、発生するアドレスとデータを書き込むタイミングを作るタイミング発生手段と、実動作時のFIFOアクセス信号を切り替える切り替え手段とを備え、データを更新しながら各FIFOにリード/ライトして自動的にFIFOをテストしていくようになっているので、論理合成時の負担と制約の軽減を図ることができる。

【発明を実施するための最良の形態】

【0006】

以下、図面を参照して、本発明の実施形態を詳細に説明する。

図1は本発明の第1の実施形態に係るテスト回路内蔵FIFOモジュールのブロック構成図である。

データ発生装置1は、FIFOに書き込むためのデータを発生させる。アドレス発生装置2は、FIFOのどの番地に書き込むかを定めるためのアドレスを発生させる。タイミング発生装置3は、FIFOにデータを書き込んだり読み出したりするためのタイミングを発生させる。

第1の切り替え回路(MUX)4は、実動作時のデータ信号7と、データ発生装置1から出力されるデータを切り替える。第2の切り替え回路(MUX)5は、実動作時の内部アドレス信号8と、アドレス発生装置2から出力されるアドレスを切り替える。第3切り替え回路(MUX)6は、実動作時のリード/ライト信号9と、タイミング発生装置3から出力されるリード/ライト信号を切り替える。符号10は同期回路である。

説明を簡単にするために、一例としてデータ幅を8ビットとする。たとえば同一アドレスの8ビットの幅をもつデータに対して01hを書き込むとする。データ発生装置1からデータ01hが出力される。出力されたデータ01hは第1の切り替え回路4で選択され、第1の切り替え回路4より出力される。出力されたデータ01hは同期回路10により同期される。

データ01hを書き込むべくタイミングを合わせてアドレス発生装置2よりアドレスが出力される。出力されたアドレスは第2の切り替え回路5により選択され、第2の切り替え回路5より出力される。出力されたアドレスは同期回路10により同期される。

アドレスと同じようにタイミング発生装置3よりリード/ライト信号9が出力される。出力されたリード/ライト信号9は第3の切り替え回路6により選択され、第3の切り替え回路6より出力される。出力されたリード/ライト信号9は同期回路10により同期される。それぞれのデータ信号、アドレス信号、タイミング信号によりFIFOにデータ01hが書き込まれる。

【0007】

次にその書き込んだデータ01hをFIFOより読み出す。リードするアドレス、この場合は先ほどライトしたデータと同じアドレスをアドレス発生装置2より発生し、出力されたアドレスは第2の切り替え回路5により選択され、第2の切り替え回路5より出力される。出力されたアドレスは同期回路10により同期される。

アドレスと同じようにタイミング発生装置3よりリード/ライト信号9が出力される。出力されたリード/ライト信号9は第3の切り替え回路6により選択され、第3の切り替え回路6より出力される。出力されたリード/ライト信号9は同期回路10により同期される。

この一連の作業により、データが書き込まれ読み出される。さらに同一アドレスに02

10

20

30

40

50

hを書き込む、次にその書き込んだデータ02hをFIFOより読み出す。

このように01h、02h、04h、08h...とデータビット一つ一つに“H”を立て、次のタイミングで立てた“H”を読み出す。または、同一アドレスのデータすべてに00hを書き込み、次のタイミングでそのデータを読み出し、さらに次のタイミングでffhを書き込み、その書き込んだデータffhを読み出す。このようにFIFOに書き込んだデータをFIFOより読み出すことによりFIFOのテストを行う。

【0008】

図2は本発明の第2の実施形態に係るテスト回路内蔵FIFOモジュールのブロック構成図である。データ比較装置11は、FIFOからリードされるデータとデータ発生装置1からライト命令によりFIFOにライトしたデータを比較する。またFIFOより読み出されたデータとFIFOに書き込まれるデータを比較する。 10

データ発生装置1からライトしたはずのデータとFIFOに書き込まれたであろうそれぞれのデータを比較して、一致しているか、一致していないかを判断し、判断した結果を出力することにより、FIFOのテストを行う。この場合、実際に何が書き込まれていて何が読み出されているかという情報は集積回路内部でクロースされているため、必要以上の情報が集積回路外部にでてくることなくFIFOのテストができる。

【0009】

図3は本発明の第3の実施形態に係るテスト回路内蔵FIFOモジュールのブロック構成図である。データレジスタ12は、任意にデータを定めることができる。たとえば、00h、ffhを書き込むテストのように、データレジスタ12へ00hを書き込む。 20

これにより00hのみを書き込み、読み出すテストを行い、その動作だけのテストパターンを作る。また、ffhの場合はデータレジスタ12にffhを書き込む。これによりffhのみを書き込み、読み出すテストを行い、その動作だけの任意のデータを読み書きするテストパターンを作る。

本実施形態では、自動的にデータ、リード/ライトタイミングを発生させFIFOのテストを行うので、FIFOの外部から信号を入れなくても自動的にFIFOに必要な情報を書き込むことができる。また、その情報を読み出すことにより集積回路内のFIFOを容易にテストすることが可能である。また、FIFOの特性が変わらないため、記載された特性のスピードと同じになり、入出力の特性もそのまま論理合成が実施できる。

FIFOから読み出されたデータが実際に書き込まれたデータか否かを見分けるには集積回路から出力し、集積回路外部、または端子に出力したものを比較しなくてはならない。実際は発生回路自体がデータを自動的に発生させているため、どのデータをどのアドレスに書き込んでいるかがわかっている。 30

そこで、FIFO内部であらかじめ書き込まれたデータと、読み出されるデータを比較することにより、データがあっているかどうかの比較データのみをモニタするだけでテストが可能になる。

また、FIFOに書き込むデータを任意に設定することにより、テストパターン1本の長さをコントロールすることができる。また、テストパターンを用途別、たとえばすべて“H”を書き込んだテストパターンを作る、などパターン作成に自由度が増す。

【図面の簡単な説明】

40

【0010】

【図1】本発明の第1の実施形態に係るテスト回路内蔵FIFOモジュールのブロック構成図。

【図2】本発明の第2の実施形態に係るテスト回路内蔵FIFOモジュールのブロック構成図。

【図3】本発明の第3の実施形態に係るテスト回路内蔵FIFOモジュールのブロック構成図。

【符号の説明】

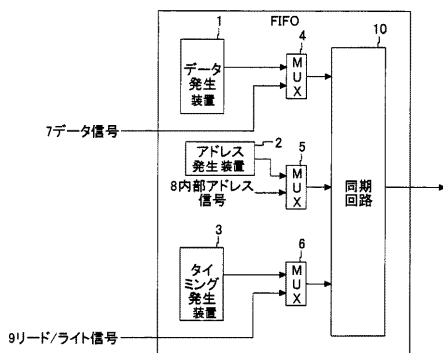
【0011】

1 データ発生装置（データ発生手段）

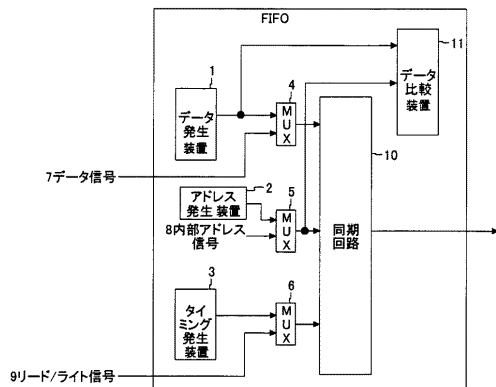
50

- 2 アドレス発生装置（アドレス発生手段）
- 3 タイミング発生装置（タイミング発生手段）
- 4 第1の切り替え回路（切り替え手段）
- 5 第2の切り替え回路（切り替え手段）
- 6 第3の切り替え回路（切り替え手段）

【図1】



【図2】



【図3】

