

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014年2月6日 (06.02.2014)



(10) 国际公布号
WO 2014/019397 A1

- (51) 国际专利分类号:
H04B 1/04 (2006.01)
- (21) 国际申请号: PCT/CN2013/076135
- (22) 国际申请日: 2013年5月23日 (23.05.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210265353.5 2012年7月30日 (30.07.2012) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO.,LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 童文 (TONG, Wen); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。王光健 (WANG, Guangjian); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。黄煌 (HUANG, Huang); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong

518129 (CN)。严茜 (YAN, Xi); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。刘坤鹏 (LIU, Kunpeng); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

- (74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区丹棱街16号海兴大厦C座1108, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: TRANSMITTING CIRCUIT, TRANSCEIVER, COMMUNICATION SYSTEM AND METHOD FOR TRANSMITTING DATA

(54) 发明名称: 发射电路、收发机、通信系统和发射数据的方法

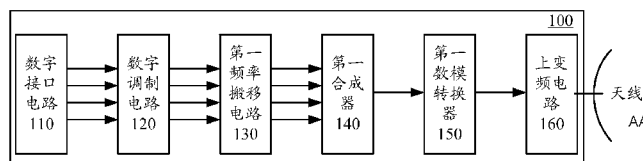


图 1 / Fig.1

- 110 Digital interface circuit
- 120 Digital modulation circuit
- 130 First frequency translation circuit
- 140 First synthesizer
- 150 First digital-to-analogue converter
- 160 Up-conversion circuit
- AA Antenna

(57) Abstract: Provided are a transmitting circuit, a transceiver, a communication system and a method for transmitting data. The transmitting circuit includes: a digital interface circuit for acquiring data to be transmitted over a predetermined bandwidth and decomposing the data into N paralleled sub-digital signal streams; a digital modulation circuit for receiving the N sub-digital signal streams and modulating the N sub-digital signal streams to obtain N modulated signals; a frequency translation circuit for receiving the N modulated signals and performing frequency translation on the N modulated signals; a synthesizer for merging M modulated signals in the N modulated signals which have been subjected to frequency translation into a bandwidth signal; a digital-to-analogue converter for receiving the bandwidth signal and performing digital-to-analogue conversion on the bandwidth signal to obtain an analogue signal; and an up-conversion circuit for receiving the analogue signal and converting the analogue signal to a radio frequency signal, so that the radio frequency signal is sent over an antenna. The present invention can reduce the complexity of processing signals by a transmitting circuit, thereby improving system performance.

(57) 摘要:

[见续页]



WO 2014/019397 A1



RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

本发明提供了一种发射电路、收发机、通信系统和发射数据的方法。发射电路包括：数字接口电路，在预定带宽上获得待发送的数据，并且将数据分解为并行的 N 路子数字信号流；数字调制电路，接收 N 路子数字信号流，并且对 N 路子数字信号流进行调制，以获得 N 路调制信号；频率搬移电路，接收 N 路调制信号，并且对 N 路调制信号进行频率搬移；合成器，将经过频率搬移后的 N 路调制信号中的 M 路调制信号合并成带宽信号；数模转换器，接收带宽信号，并且对带宽信号进行数模转化获得模拟信号；上变频电路，接收模拟信号，并且将模拟信号转换为射频信号，以便在天线上发送射频信号。本发明能够降低发射电路处理信号的复杂度，从而提高了系统性能。

发射电路、收发机、通信系统和发射数据的方法

本申请要求于 2012 年 7 月 30 日提交中国专利局、申请号为 201210265353.5、发明名称为“发射电路、收发机、通信系统和发射数据的方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及通信领域，尤其是涉及一种发射电路、收发机、通信系统和发射数据的方法。

10

背景技术

无线通信系统对带宽的要求越来越大。E-Band 微波技术因其具有 10GHz (71-76GHz 和 81-86GHz) 的带宽且处于大气衰落低谷，得到了中长距离高速无线点对点系统的青睐。随着技术和芯片处理能力的提升，高性能的信号处理技术、高频谱效率的调制和编码技术等成为现实，这都要求系统有高效率的模数转换器件 (ADC) 和数模转换器件 (DAC)。

15

通常可以采用时域交错采样的方法或者频域多通道采样的方法解决高带宽和高速度带来的 ADC/DAC 瓶颈。然而，这两种方法需要对 ADC/DAC 的输出信号进行复杂的后处理，从而降低了系统性能。

20

另外，DAC 的速度和精度往往要高于 ADC，因此，在通信系统中通常呈现 DAC/ADC 能力不对称的情况。例如，带宽为 5GHz 的 E-band 对 ADC 和 DAC 的最低需求高达 10Gsps，而 DAC 的处理速度比 ADC 更容易达到如此高的要求。

25 发明内容

本发明的实施例提供了一种发射电路、收发机、通信系统和发射数据的方法，能够降低收发机处理的复杂度，从而提高系统性能。

一方面，提供了一种发射电路，包括：数字接口电路，用于在预定带宽上获得待发送的第一数据，并且将第一数据分解为并行的 N 路第一子数字信号流，上述 N 路第一子数字信号流中的每个第一子数字信号流占用的带宽小

30

于该预定带宽， N 为正整数；数字调制电路，用于接收上述 N 路第一子数字信号流，并且对上述 N 路第一子数字信号流进行调制，以获得 N 路第一调制信号；第一频率搬移电路，用于接收上述 N 路第一调制信号，并且对上述 N 路第一调制信号进行频率搬移，其中经过频率搬移后的上述 N 路第一调制信号中的相邻第一调制信号之间没有频带间隔；第一合成器，用于将经过频率搬移后的上述 N 路第一调制信号中的 M 路第一调制信号合并成第一带宽信号， M 为正整数；第一数模转换器，用于接收第一带宽信号，并且对第一带宽信号进行数模转化获得第一模拟信号；上变频电路，用于接收第一模拟信号，并且将第一模拟信号转换为射频信号，以便在天线上发送该射频信号。

5 另一方面，提供了一种收发机，包括：接收电路和上述发射电路，其中该接收机电路，包括：下变频电路，用于将在接收天线上接收的射频信号转换为模拟信号；中频功率分配器，用于将该模拟信号分解为 Q 个并行的子模拟信号流；第二频率搬移电路，用于将上述 Q 个并行的子模拟信号流进行频率搬移； Q 个模数转换器，用于对上述 Q 个并行的子模拟信号流分别进行模数转换获得 Q 个并行的数字信号流；数字解调电路，对上述 Q 个并行数字信号流进行解调处理，获得 Q 个并行的解调信号；数字接口电路，将上述 Q 个并行的解调信号合成第二数据。

15 另一方面，提供了一种通信系统，该通信系统包括发射机和接收机，其中该发射机包括上述发射电路；该接收机包括：下变频电路，用于将在接收天线上接收的该射频信号转换为模拟信号；中频功率分配器，用于将该模拟信号分解为 N 个并行的子模拟信号流；第二频率搬移电路，用于将上述 N 个并行的子模拟信号流进行频率搬移； N 个模数转换器，用于对上述 N 个并行的子模拟信号流分别进行模数转换获得 N 个并行的数字信号流；数字解调电路，对上述 N 个并行数字信号流进行解调处理，获得 N 个并行的解调信号；数字接口电路，将上述 N 个并行的解调信号合成第一数据。

20 另一方面，提供了一种发射数据的方法，包括：在预定带宽上获得待发送的第一数据，并且将第一数据分解为并行的 N 路第一子数字信号流，上述 N 路第一子数字信号流中的每个第一子数字信号流占用的带宽小于该预定带宽， N 为正整数；对上述 N 路第一子数字信号流进行调制，以获得 N 路第一调制信号；对上述 N 路第一调制信号进行频率搬移，其中经过频率搬移后的上述 N 路第一调制信号中的相邻第一调制信号之间没有频带间隔；将经

过频率搬移后的上述 N 路第一调制信号中的 M 路第一调制信号合并成第一带宽信号，M 为正整数；对第一带宽信号进行数模转化获得第一模拟信号；将第一模拟信号转换为射频信号，以便在天线上发送该射频信号。

另一方面，提供了一种传输数据的方法，包括：接收数据的方法和上述发射数据的方法，其中该接收数据的方法，包括：将在接收天线上接收的射频信号转换为模拟信号；将该模拟信号分解为 Q 个并行的子模拟信号流；将上述 Q 个并行的子模拟信号流进行频率搬移；对上述 Q 个并行的子模拟信号流分别进行模数转换获得 Q 个并行的数字信号流；对上述 Q 个并行数字信号流进行解调处理，获得 Q 个并行的解调信号；将上述 Q 个并行的解调信号合成第二数据。

另一方面，提供了一种通信方法，包括：接收数据的方法和上述该的发射数据的方法；其中该接收数据的方法，包括：将在接收天线上接收的该射频信号转换为模拟信号；将该模拟信号分解为 N 个并行的子模拟信号流；将上述 N 个并行的子模拟信号流进行频率搬移；对上述 N 个并行的子模拟信号流分别进行模数转换获得 N 个并行的数字信号流；对上述 N 个并行数字信号流进行解调处理，获得 N 个并行的解调信号；将上述 N 个并行的解调信号合成第一数据。

本技术方案的发射电路可以将数据分解为并行的多路子数字信号流，分别对多路子数字信号流进行调制和频率搬移，然后合并成大带宽信号，再使用一个数模转换器将该大带宽信号转换成模拟信号，最后经过上变频转换成射频信号。由于本发明的实施例可以将大带宽划分成多个子带，并且能够在发送端和接收端独立对多路子数字信号流进行处理，因而在数模转换后无需对模拟信号进行复杂的后处理，能够降低处理的复杂度，从而提高了系统性能。

25

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对本发明实施例中所需要使用的附图作简单地介绍，显而易见地，下面所描述的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

30

图 1 是根据本发明的第一实施例的一种发射电路的示意性电路框图。

图 2 是根据本发明的第二实施例的一种发射电路的示意性电路框图。

图 3 是根据本发明的第三实施例的一种发射电路的示意性电路框图。

图 4 是根据本发明的第四实施例的一种发射电路的示意性电路框图。

图 5 是根据本发明的第五实施例的一种收发机的示意性电路框图。

5 图 6 是根据本发明的第六实施例的一种通信系统的示意性电路框图。

图 7A 和图 7B 分别是根据本发明的第七实施例的一种发射电路和接收电路的电路图。

图 8A 和图 8B 分别是根据本发明的第八实施例的一种发射电路和接收电路的电路图。

10 图 9A 和图 9B 分别是根据本发明的第九实施例的一种发射电路和接收电路的电路图。

图 10 是根据本发明的第十实施例的一种收发机的电路图。

图 11 是根据本发明的第十一实施例的一种收发机的电路图。

图 12 是根据本发明的实施例的合成器的电路框图。

15 图 13 是根据本发明的第十二实施例的一种发射数据的方法的示意性流程图。

图 14 是根据本发明的第十三实施例的一种传输数据的方法的示意性流程图。

图 15 是根据本发明的第十四实施例的一种通信方法的示意性流程图。

20

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创
25 造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

应理解，本发明的技术方案可以应用于各种通信系统，例如：GSM (Global System of Mobile communication, 全球移动通讯)系统、CDMA(Code Division Multiple Access, 码分多址)系统、WCDMA(, Wideband Code Division Multiple Access, 宽带码分多址)系统、GPRS (General Packet Radio Service, 通用分组无线业务)、LTE (Long Term Evolution, 长期演进)系统、LTE-A (Advanced long term evolution, 先进的长期演进)系统、UMTS (Universal

Mobile Telecommunication System, 通用移动通信系统) 等。

本发明实施例可以用于不同的制式的无线网络。无线接入网络在不同的系统中可包括不同的网元。例如, LTE 和 LTE-A 中无线接入网络的网元包括 eNB (eNodeB, 演进型基站), WCDMA 中无线接入网络的网元包括 RNC
5 (Radio Network Controller, 无线网络控制器) 和 NodeB, 类似地, WiMax (Worldwide Interoperability for Microwave Access, 全球微波互联接入) 等其它无线网络也可以使用与本发明实施例类似的方案, 只是基站系统中的相关模块可能有所不同, 本发明实施例并无限定。

本发明的实施例提供了一种高速毫米波 (特别是 E-Band) 系统的实施
10 方案, 可以应用于微波通信的回程 (back haul) 技术中, 根据本发明的实施例并不限于此, 也可用于其它微波或无线通信系统, 例如, 无线点对点系统等等。

采用时域交错采样的方法或者频域多通道采样的方法解决高带宽和高
速度带来的 ADC/DAC 瓶颈时, 除了需要对 ADC/DAC 的输出信号进行复杂的
15 的后处理之外, 还容易造成传输的信号失真, 使得系统性能难以保证。这两种方法对 DAC/ADC 的同步有很高的要求, 导致对多个 DAC/ADC 的联合控制难度增大。

图 1 是根据本发明的第一实施例的一种发射电路 100 的示意性电路框
图。数字接口电路 110、数字调制电路 120、第一频率搬移电路 130、第一合
20 成器 140、第一数模转换器 150 和上变频电路 160。

数字接口电路 110 在预定带宽上获得待发送的第一数据, 并且将第一数
据分解为并行的 N 路第一子数字信号流, 上述 N 路第一子数字信号流中的
每个第一子数字信号流占用的带宽小于该预定带宽, N 为正整数。数字调制
电路 120 接收上述 N 路第一子数字信号流, 并且对上述 N 路第一子数字信
25 号流进行调制, 以获得 N 路第一调制信号。第一频率搬移电路 130 接收上述
N 路第一调制信号, 并且对上述 N 路第一调制信号进行频率搬移, 其中经过
频率搬移后的上述 N 路第一调制信号中的相邻第一调制信号之间没有频带
间隔。第一合成器 140, 用于将经过频率搬移后的上述 N 路第一调制信号中
的 M 路第一调制信号合并成第一带宽信号, M 为正整数。第一数模转换器
30 150, 用于接收第一带宽信号, 并且对第一带宽信号进行数模转化获得第一
模拟信号。上变频电路 160 接收第一模拟信号, 并且将第一模拟信号转换为

射频信号，以便在天线上发送该射频信号。

根据本发明的实施例可以将预定的带宽拆分成 N 个子带，并且对各个子带独立处理，即独立发送和接收。换句话说，可以在发射电路的发射通道中对 N 路子数字信号流进行独立处理，将频带连续的 N 路子数字信号流中的至少一部分子数字信号流合成一个数据流，并且通过一个 DAC 进行数模变

5 换，转换得到的模拟信号通过模拟电路处理后由发送天线发送出去。

具体来说，在发送端，数字接口单元将单个数据流或多个数据流分解成多路并行的数据流（即多个子数字信号流），例如，可以将用户的一路 4 比特的数据分解成 4 路 1 比特的子数字信号流，或者将用户的两路 2 比特的数

10 据分解成 4 路 1 比特的子数字信号流。然后，数字调制器对 N 路子数字信号流进行数字调制，得到具有相同的频点的 N 路第一调制信号，例如，数字调制电路可以分别使用 N 个 FPGA 对 N 个子数字信号流进行调制。第一频率搬移电路可以分别使用 N 个频率对 N 路第一调制信号进行频率搬移，得到 N 路频率连续的、没有频带间隔的调制信号，例如，第一频率搬移电路可以分

15 别使用 N 个混频器以及对应的 N 个本地振荡器对 N 路第一调制信号进行频率搬移。第一合成器将 N 路调制信号中的至少一部分调制信号合成大带宽信号。一个高速 DAC 对该大带宽信号进行模拟转换，并且经过上变频电路发送出去。由于在发送端对每个子带进行了独立的处理，使得在接收端可以通过带通滤波器将每个子带拆分出来，并且通过低速 ADC 采样得到子数字信

20 号流，最后独立地对每个子带的子数字信号进行数字解调。

应理解，每个第一子数字信号流占用的带宽可以相等也可以不相等，并且 M 可以小于 N ，也可以等于 N 。例如，当 M 小于 N 时，部分子数字信号流被合成为大带宽信号；当 M 等于 N 时，所有的子数字信号流被合成为大带宽信号。

25 根据本发明的实施例的发射电路可以将数据分解为并行的多路子数字信号流，分别对多路子数字信号流进行调制和频率搬移，然后合并成大带宽信号，再使用一个数模转换器将该大带宽信号转换成模拟信号，最后经过上变频转换成射频信号。由于本发明的实施例可以将大带宽划分成多个子带，并且能够在发送端和接收端独立对多路子数字信号流进行处理，因而在数模

30 转换后无需对模拟信号进行复杂的后处理，能够降低收发机信号处理的复杂度，从而提高了系统性能。

由于经过频率搬移后多路调制信号之间没有频带间隔，因此，提高了频谱的利用率。

另外，由于在发射端多个子通道仅使用一个高速 DAC 和一套模拟中频电路，因此，并且节省了发射电路的器件和成本。

5 根据本发明的实施例，第一合成器 480 可以包括加法器，该加法器用于将经过频率搬移的上述 N 个第一调制信号相加，以合并成第一宽带信号。

根据本发明的实施例，N 可以至少为 4，根据本发明的实施例并不限于此，N 也可以小于 4。另外，第一数据可以为至少一个二进制数字信号流。

10 图 2 是根据本发明的第二实施例的一种发射电路 200 的示意性电路框图。图 2 的实施例的发射电路可以采用两个以上的合成器和数模转换器。

图 2 的发射电路包括：数字接口电路 210、数字调制电路 220、第一频率搬移电路 230、第一合成器 240、第一数模转换器 250 和上变频电路 260，其与图 1 的数字接口电路 110、数字调制电路 120、第一频率搬移电路 130、第一合成器 140、第一数模转换器 150 和上变频电路 160 类似，在此不再赘述。

图 2 的发射电路 200 还包括：第二合成器 270 和第二数模转换器 280。

20 第二合成器 270 将经过频率搬移后的上述 N 路第一调制信号中的 L 路第一调制信号合并成第二带宽信号，其中该 L 路第一调制信号与该 M 路第一调制信号不同，即 L 路第一调制信号为 N 路第一调制信号中除 M 路第一调制信息之外的信号，L 为正整数。第二数模转换器 280 接收第二带宽信号，并且对第二带宽信号进行数模转化获得第二模拟信号，其中上变频电路 260 用于接收第一模拟信号和第二模拟信号，并且将第一模拟信号和第二模拟信号合并成该射频信号。

25 例如，第一频率搬移电路可以分别使用 N 个具有相同间隔的频率对 N 路第一调制信号进行频率搬移，以便经过频率搬移后的 N 路第一调制信号的带宽连续，即 N 路第一调制信号的带宽相邻接。第一频率搬移电路还可以分别使用 L 个具有相同间隔的频率对 L 路第一调制信号进行频率搬移，而分别使用 M 个具有相同间隔的频率对 M 路第一调制信号进行频率搬移，在这种情况下，第一模拟信号和第二模拟信号可能存在带宽重叠或频率间隔。

30 可选地，作为另一实施例，上变频电路 160 还在将第一模拟信号和第二模拟信号合并成该射频信号之前，分别对第一模拟信号和第二模拟信号进行

频率搬移。

例如，在第一模拟信号和第二模拟信号存在带宽重叠或者存在频带间隔的情况下，可以进一步对第一模拟信号和第二模拟信号进行频率搬移，以便经过频率搬移后的第一模拟信号和第二模拟信号的带宽连续且没有频率间

5 隔或重叠。

图 3 是根据本发明的第三实施例的一种发射电路 300 的示意性电路框图。图 3 的实施例的发射电路包括对应于多个天线（例如，第一天线和第二天线）中的每个天线的发射电路，从而能够支持多天线系统。第一天线对应的发射电路与第二天线对应的发射电路中的各个单元的功能相同。

10 对应于第一天线，图 3 的发射电路 300 包括：数字接口电路 310、数字调制电路 320、第一频率搬移电路 330、第一合成器 340、第一数模转换器 350 和第一上变频电路 360，其与图 1 的数字接口电路 110、数字调制电路 120、第一频率搬移电路 130、第一合成器 140、第一数模转换器 150 和上变频电路 160 类似，在此不再赘述。

15 根据本发明的实施例，对应于第二天线，数字接口电路 310 还在该预定带宽上获得待发送的第二数据，并且将第二数据分解为并行的 N 路第二子数字信号流，其中上述 N 路第二子数字信号流中的每个第二子数字信号流占用的带宽小于该预定带宽，作为一种实施例可以使得 $M = N$ ；数字调制电路 320 还接收上述 N 路第二子数字信号流，并且对上述 N 路第二子数字信号流进

20 行调制，以获得 N 路第二调制信号。

对应于第二天线，图 3 的发射电路 300 还包括：第二频率搬移电路 370 第二合成器 380 第二数模转换器 390 和第二上变频电路 395。

第二频率搬移电路 370 接收上述 N 路第二调制信号，并且对上述 N 路第二调制信号进行频率搬移，其中经过频率搬移后的上述 N 路第二调制信号

25 中的相邻第二调制信号之间没有频带间隔。第二合成器 380 将经过频率搬移后的上述 N 路第二调制信号合并成第二带宽信号。第二数模转换器 390 接收第二带宽信号，并且对第二带宽信号进行数模转化获得第二模拟信号。第一上变频电路 360 接收第一模拟信号，并且将第一模拟信号转换为第一射频信号，以便在第一天线上发送第一射频信号。第二上变频电路 395 接收第二模

30 拟信号，并且将第二模拟信号转换为第二射频信号，以便在第二天线上发送第二射频信号。

根据本发明的实施例，数字调制电路 320 包括 N 个调制器，上述 N 个调制器分别对上述 N 个第一子数字信号流进行调制，并且上述 N 个调制器分别对上述 N 个第二子数字信号流进行调制。

例如，上述调制器可以由 FPGA 来实现，对应于第一天线的第一子数字信号流和对应于第二天线的第二子数字信号流使用相同的 FPGA 进行数字调制。换句话说，从相同的 FPGA 输出的第一调制信号和第二调制信号可以输出到使用相同的频率进行频率搬移的混频器。因为每个频域子通道的独立性，使得高复杂度的数字处理器件和 FPGA 可以分布于多个不同的 DSP/FPGA 片/板中，从而使得实现更加容易和灵活。

在 $M=N$ 的情况下，对应于第一天线的第一数据或对应于第二天线的第二数据对应的子数字信号流被合成一个大带宽信号，并且使用一个 DAC 进行数模转换，即在发射端，每个天线对应的所有子通道仅使用一个高速 DAC 和一套模拟中频电路，因此，并且节省了发射电路的器件和成本。

图 4 是根据本发明的第四实施例的一种发射电路 400 的示意性电路框图。图 4 的实施例的发射电路包括对应于多极化（例如，H 极和 V 极化）的发射电路，从而能够支持多极化天线系统。

图 4 的发射电路 400 包括：数字接口电路 410、数字调制电路 420、第一频率搬移电路 430、第一合成器 440、第一数模转换器 450 和第一上变频电路 460，其与图 1 的数字接口电路 110、数字调制电路 120、第一频率搬移电路 130、第一合成器 140、第一数模转换器 150 和上变频电路 160 类似，在此不再赘述。

发射电路 400 的发射天线为双极化天线，数字调制电路 420 在 H 极化上对上述 N 路第一子数字信号流进行调制，并且优选 $M=N$ 。

数字接口电路 410 还在该预定带宽上获得待发送的第二数据，并且将第二数据分解为并行的 K 路第二子数字信号流，上述 K 路第二子数字信号流中的每个第二子数字信号流占用的带宽小于该预定带宽，K 为正整数。

数字调制电路 420 还接收上述 K 路第二子数字信号流，并且在 V 极化上对上述 K 路第二子数字信号流进行调制，以获得 K 路第二调制信号。

发射电路 300 还包括：第二数字调制电路 425、第二频率搬移电路 470、第二合成器 480、第二数模转换器 490、第二数模转换器 490、第二上变频电路 495 和耦合器 465。

第二数字调制电路 425 接收上述 K 路第二子数字信号流，并且在 V 极化上对上述 K 路第二子数字信号流进行调制，以获得 K 路第二调制信号；第二频率搬移电路 470 接收上述 K 路第二调制信号，并且对上述 K 路第二调制信号进行频率搬移，其中经过频率搬移后的该 K 路第二调制信号中的相邻第二调制信号之间没有频带间隔；第二合成器将经过频率搬移后的上述 K 路第二调制信号合并成第二带宽信号；第二数模转换器 490 接收第二带宽信号，并且对第二带宽信号进行数模转化获得第二模拟信号；其中第一上变频电路 460，接收第一模拟信号，并且将第一模拟信号转换为第一射频信号。第二上变频电路 495，接收第二模拟信号，并且将第二模拟信号转换为第二射频信号。耦合器 465 将第一射频信号和第二射频信号进行耦合，以便在该双极化天线上发送第一射频信号和第二射频信号。

根据本发明的实施例，数字调制电路 420 包括 $N+K$ 个调制器，其中上述 N 个该调制器分别对上述 N 个第一子数字信号流进行调制，该 K 个调制器分别对该 K 个第二子数字信号流进行调制，其中 N 可以等于 K。

图 5 是根据本发明的第五实施例的一种收发机 500 的示意性电路框图。收发机 500 包括：接收电路和发射电路。图 5 的发射电路可以包括：数字接口电路 510、数字调制电路 520、第一频率搬移电路 530、第一合成器 540、第一数模转换器 550 和上变频电路 560，其与图 1 的数字接口电路 110、数字调制电路 120、第一频率搬移电路 130、第一合成器 140、第一数模转换器 150 和上变频电路 160 类似，在此不再赘述。

上述接收机电路可以包括：下变频电路 595、中频功率分配器 590、第二频率搬移电路 580 和 N 个模数转换器 570。

下变频电路 595 将在接收天线上接收的射频信号转换为模拟信号。中频功率分配器 590 将该模拟信号分解为 N 个并行的子模拟信号流。第二频率搬移电路 580 将上述 N 个并行的子模拟信号流进行频率搬移。N 个模数转换器 570 对上述 N 个并行的子模拟信号流分别进行模数转换获得 N 个并行的数字信号流。数字解调电路 525 对上述 N 个并行数字信号流进行解调处理，获得 N 个并行的解调信号。数字接口电路 510 将上述 N 个并行的解调信号合成第二数据。

根据本发明的实施例可以将数据分解为并行的多路子数字信号流，分别对多路子数字信号流进行调制和频率搬移，然后合并成大带宽信号，再使用

一个数模转换器将该大带宽信号转换成模拟信号，最后经过上变频转换成射频信号。由于本发明的实施例可以将大带宽划分成多个子带，并且在发送端和接收端独立对多路子数字信号流进行处理，因而在数模转换后无需对模拟信号进行复杂的后处理，能够降低收发机信号处理的复杂度，从而提高了系统性能。

5 根据本发明的实施例，可以在接收端通过频域子通道采样的方式，降低了对 ADC 的要求，并且在发射端，通过数字域的子通道划分，使得接收端可以对每个独立的频域子通道进行处理。一方面，每个频域子通道可以独立传输数据，从而提高了系统的灵活性。另一方面，因为每个频域子通道的独立性，使得高复杂度的数字处理器件和 FPGA 可以分布于多个不同的 DSP/FPGA 片/板中，同时只使用一个高速 DAC 和一套模拟发射中频电路，节省了相关的器件和成本。

图 6 是根据本发明的第六实施例的一种通信系统 600 的示意性电路框图。通信系统 600 包括发射机和接收机。

15 图 6 的发射机包括图 1、图 2、图 3 或图 4 的发射电路。该发射电路包括：数字接口电路 610、数字调制电路 620、第一频率搬移电路 630、第一合成器 540、第一数模转换器 650 和上变频电路 660，其与图 1 的数字接口电路 110、数字调制电路 120、第一频率搬移电路 130、第一合成器 140、第一数模转换器 150 和上变频电路 160 类似，在此不再赘述。

20 该接收机包括：下变频电路 665、中频功率分配器 655、第二频率搬移电路 645、Q 个模数转换器 635、数字解调电路 625 和数字接口电路 615。

下变频电路 665 将在接收天线上接收的该射频信号转换为模拟信号。中频功率分配器 655 将该模拟信号分解为 Q 个并行的子模拟信号流。第二频率搬移电路 645 将所述 Q 个并行的子模拟信号流进行频率搬移。Q 个模数转换器 25 器 635 对上述 Q 个并行的子模拟信号流分别进行模数转换获得 Q 个并行的数字信号流。数字解调电路 625 对上述 Q 个并行数字信号流进行解调处理，获得 Q 个并行的解调信号。数字接口电路 615 将上述 Q 个并行的解调信号合成第一数据，其中在应用中，Q 可以等于 N。

30 根据本发明的实施例可以将数据分解为并行的多路子数字信号流，分别对多路子数字信号流进行调制和频率搬移，然后合并成大带宽信号，再使用一个数模转换器将该大带宽信号转换成模拟信号，最后经过上变频转换成射

频信号。由于本发明的实施例可以将大带宽划分成多个子带，并且在发送端和接收端独立对多路子数字信号流进行处理，因而在数模转换后无需对模拟信号进行复杂的后处理，能够降低收发机信号处理的复杂度，从而提高了系统性能。

5 根据本发明的实施例，可以在接收端通过频域子通道采样的方式，降低了对 ADC 的要求，并且在发射端，通过数字域的子通道划分，使得接收端可以对每个独立的频域子通道进行处理。一方面，每个频域子通道可以独立传输数据，从而提高了系统的灵活性。另一方面，因为每个频域子通道的独立性，使得高复杂度的数字处理器件和 FPGA 可以分布于多个不同的
10 DSP/FPGA 片/板中，同时只使用一个高速 DAC 和一套模拟发射中频电路，节省了相关的器件和成本。

下面结合具体例子，更加详细地描述本发明的实施例。图 10 是根据本发明的第十实施例的一种收发机的电路图。图 12 是根据本发明的实施例的合成器的电路框图。图 10 的收发机是图 5 的收发机的例子。

15 参见图 10，收发机的发射电路包括一个 DAC，而收发机的接收电路包括 N 个 ADC，即 ADC 的数目为 DAC 的数目的 N 倍。收发机可分为三部分：数字调制解调部分、模拟中频部分和模拟射频部分，这里模拟中频部分和模拟射频部分，下面详细描述收发机的工作原理。

参见图 10，在发射端，数字接口电路 1001 在预定带宽（例如 5GHz）
20 上获得数据并且将该数据分解为并行的 N 路子数字信号流，每个子数字信号流占用的带宽小于该预定带宽。例如，如果将总带宽为 5GHz 的数据分解为 4 路数字信号流（即 4 个子通道），则每路子数字信号流的带宽为 1.25GHz。举例来说，一个 4 比特的数据可以被分成 4 个 1 比特，或者两个 2bit 的数据可以被分成 4 个 1 比特，分别在 4 个子通道中传输。

25 由 N 个（例如，4 个）现场可编程门阵列（FPGA）1002~1005 组成的数字调制电路接收上述 N 路子数字信号流，并且对上述 N 路子数字信号流进行调制，以获得 N 路调制信号，其中 N 个 FPGA 1002~1005 与 N 路子数字信号流一一对应。根据本发明的实施例也可以采用专用集成电路（Application Specific Integrated Circuit, ASIC）等实现数字调制电路。

30 数据调制电路的工作原理如下：N 个子数字信号流分别由 N 个 FPGA 1002~1005 独自进行处理。每个 FPGA 的功能相同，各个子通道的 FPGA 处

理主要（采用单载波或多载波调制方式）完成对数字信号的调制。其中，对子数字信号流的调制包括并不限于信道编码、符号映射调制、OFDM 调制、脉冲成形、采样率转换、预加重、预均衡、峰均比抑制等。每个 FPGA 可以包括：编码模块，用于对输入子数字信号流进行编码，例如，低密度奇偶校验（Low-density Parity-check, LDPC）编码；星座点映射模块，用于将输入

5 的子数字信号流映射到对应的星座点，例如，64 相正交振幅调制（Quadrature Amplitude Modulation, QAM）；快速傅立叶反变换（Inverse Fast Fourier Transform, IFFT）模块，用于对输入的子数字信号流进行傅里叶反变换，以将频域信号转换成时域信号；加窗模块，用于对输入的时域信号同时或者单

10 独加时域窗和频域窗；成帧模块，用于在信号中插入前导序列等，以完成组帧功能；采样率变换模块，用于将采样率转变到 DAC 的采样率。通过 FPGA 数字调制后，每个 FPGA 输出的调制信号的中心频点在 1.2GHz，有用信号占用的带宽为 0.5750GHz-1.8250GHz。

由 N 个混频器 1006~1009 以及 N 个本地振荡器 $f_1 \sim f_N$ 组成的频率搬移电路接收上述 N 路调制信号，并且对上述 N 路调制信号进行混频和频率搬移。

15 例如，假设 $N = 4$ ，如果每个 FPGA 输出的调制信号的中心频点在 1.2GHz，并且本地振荡器的频率选择 $f_1 = 0\text{GHz}$ ， $f_2 = 1.25\text{GHz}$ ， $f_3 = 2.5\text{GHz}$ ， $f_4 = 3.75\text{GHz}$ ，则经过频率搬移后，混频器 1006~1009 输出的调制信号的中心频点分别变为 1.2GHz、1.45GHz、3.6GHz 和 4.95GHz，总共占用的频带为

20 0.5750GHz-5.5750GHz，并且相邻调制信号之间没有频带间隔。

合成器 1010 将经过频率搬移后的上述 N 路调制信号合并成大带宽信号。参见图 12，合成器 1010 可以包括加法器 1210 和 SINC 函数 1220。合成器 1010 将数据流 1 至数据流 N（经过频率搬移后的 N 路调制信号）相加。例如，假设 $N = 4$ ，选择 $f_1 = 0\text{GHz}$ ， $f_2 = 1.25\text{GHz}$ ， $f_3 = 2.5\text{GHz}$ ， $f_4 = 3.75\text{GHz}$ ，将 4

25 个子带的拼接成 5GHz 的大带宽信号，也就是 0.5750GHz-5.5750GHz。SINC 函数 1220 用于对合成的大带宽信号进行补偿，并将补偿后的信号输出到 DAC 1011。

DAC 1011 从合成器 1010 接收大带宽信号，并且对该大带宽信号进行数模转化获得模拟信号，并且将输出的模拟信号输出到上变频电路。

30 上变频电路接收 DAC 1011 输出的模拟信号，并且将该模拟信号转换为射频信号，以便在天线上发送该射频信号，上变频电路可以包括模拟中频部

分的上变频和模拟射频部分的上变频。具体而言，在模拟中频部分中，DAC 1011 输出的模拟信号经过混频器 1012 和本地振荡器 f_{IF} 进行模拟中频调制（即第一次上变频），然后经过带通滤波器（Band Pass Filter, BPF）1013 进行滤波，再经过放大器 1014 进行放大，最后将放大后的模拟信号输出到模拟射频部分。在模拟射频部分中，从模拟中频部分输出的模拟信号经过混频器 1015 和本地振荡器 f_{RF} 进行上变频（第二次上变频），经过放大器 1016 进行放大，然后经过 BPF 1017 进行滤波，再经过放大器 1018 进行放大后，最后经过双工器 1019 送入到天线 1020 进行发射。

在接收端，天线 1020 接收来自对端收发机发射的射频信号，该射频信号经过双工器 1019 进入收发机的接收电路，然后经过 BPF 1049 进行滤波，再经过放大器 1048 进行射频放大，最后经过混频器 1047 和本地振荡器 f_{RF} 进行下变频，得到模拟中频信号。

模拟中频信号经过中频功率分配器 1046，得到分别在 N 个子信道中传输的 N 个相同频点的并行子模拟信号流。每个子模拟信号流经过各自的放大器 1042~1045 进行放大，然后经过 BPF 1038~1041 进行滤波，再经过混频器 1034~1037 和本地振荡器 $f_1' \sim f_N'$ 进行频率搬移（中频下变频），将其搬移到期望的频率上，最后经过 BPF 1030~1033 进行滤波。经过各个中频处理后的各个子模拟信号的频点相同，也就是与发送端 FPGA 输出信号的频点相同。

经过中频处理后的多个并行子数据流经过各自的 ADC 进行采样得到各个子通道的子数字信号流（即离散采样信号），并输出到由 N 个 FPGA 组成的数字解调电路进行解调处理。

数字解调电路的工作原理如下：各个子通道的子数字信号流经过各自的 FPGA 处理，得到各个子数字信号流对应的发送比特判决信号。各个子通道的 FPGA 处理主要完成对数字信号的解调，包括单载波或多载波调制方式。其中，对数字信号的解调包括并不局限于信道估计、编码解调、采样率转换、同步、均衡等。每个 FPGA 可以包括：采样率变换模块，用于将 ADC 采样率变换到符号率的采样率；自动增益控制模块，用于通过对输入的信号功率进行估计，并调整模拟器件的增益；帧同步模块，用于完成帧同步功能；频偏估计与补偿模块，用于对载波频偏和采样频率频偏进行估计和补偿；FFT 模块，用于将时域信号转换成频域信号；信道估计模块，用于完成信道估计，从而对信号实现相干检测；残余频偏估计与补偿模块，用于对残留的载波频

偏和采样频率频偏进行估计和补偿；相噪消除模块，用于对射频器件引入的相位噪声进行消除；解码模块，用于完成数据的解码。

经过 FPGA 处理的多个子通道的发送比特判决信号经过数字接口电路 1001，合成得到一个高速的接收判决信号。

5 根据本发明的实施例，可以在接收端通过频域子通道采样的方式，降低了对 ADC 的要求，并且在发射端，通过数字域的子通道划分，使得接收端可以对每个独立的频域子通道进行处理。一方面，每个频域子通道可以独立传输数据，从而提高了系统的灵活性。另一方面，因为每个频域子通道的独立性，使得高复杂度的数字处理器件和 FPGA 可以分布于多个不同的
10 DSP/FPGA 片/板中，同时只使用一个高速 DAC 和一套模拟发射中频电路，节省了相关的器件和成本。

图 11 是根据本发明的第十一实施例的一种收发机的电路图。图 11 的收发机中的发射电路是图 2 的实施例的例子。

与图 10 的实施例不同的是，图 11 收发机的发射电路可以包括 M 个
15 DAC，而接收电路的 ADC 的数目为 $N * M$ ，即 ADC 的数目为 DAC 的数目的 N 倍。

参见图 11，在发射端，数字接口电路 1101 在预定带宽（例如，5GHz）上获得数据并且将该数据分解为并行的 $M * N$ 路子数字信号流，每个子数字信号流占用的带宽小于该预定带宽。例如，如果将总带宽为 5GHz 的数据分
20 解为 $2 * N$ 路子数字信号流（即 $2 * N$ 个子通道），则每路子数字信号流的带宽为 $5 / (2 * N)$ GHz。

由 $2 * N$ 个 FPGA 1102~1105 组成的数字调制电路接收 $2 * N$ 路子数字信号流，并且对上述 $2 * N$ 路子数字信号流进行调制，以获得 $2 * N$ 路调制信号，其中 $2 * N$ 个 FPGA 1102~1105 与 $2 * N$ 路子数字信号流一一对应。每个 FPGA
25 输出的调制信号的中心频点在 1.2GHz（假设 $N = 2$ ），有用信号占用的带宽为 0.5750GHz-1.8250GHz。

由 N 个混频器 1106~1107 以及频率为 $f_1 \sim f_N$ 的 N 个本地振荡器 $f_1 \sim f_N$ 组成的频率搬移电路接收 N 个 FPGA 1102~1103 输出的 N 路调制信号，并且对上述 N 路调制信号进行混频和频率搬移。由另外 N 个混频器 1108~1109 以及
30 频率为 $f_1 \sim f_N$ 的 N 个本地振荡器组成的频率搬移电路接收 N 个 FPGA 1104~1105 输出的 N 路调制信号，并且对上述 N 路调制信号进行混频和频率

搬移。例如，假设 $N=2$ ，如果每个 FPGA 输出的调制信号的中心频点在 1.2GHz，并且本地振荡器的频率选择 $f_1=0\text{GHz}$ ， $f_2=1.25\text{GHz}$ ，则经过频率搬移后，混频器 1106~1109 输出的调制信号的中心频点分别变为 1.2GHz、2.45GHz、1.2GHz 和 2.45GHz。

5 合成器 1110 将经过 N 个混频器 1006~1007 进行频率搬移后的 N 路调制信号合并成大带宽信号。合成器 1111 将经过 N 个混频器 1008~1009 进行频率搬移后的 N 路调制信号合并成大带宽信号。例如，假设 $N=2$ ，选择 $f_1=0\text{GHz}$ ， $f_2=1.25\text{GHz}$ ，合成器 1110 和合成器 1111 各自将 2 个子带拼接成 2.5GHz 的大带宽信号，也就是 0.5750GHz-3.0750GHz，并且相邻调制信号之间没有频带间隔。

DAC 1111 和 DAC 1112 分别从合成器 1110 和合成器 1111 接收两个大带宽信号，对这两个大带宽信号进行数模转化获得模拟信号，并且将输出的模拟信号输出到上变频电路。

上变频电路接收 DAC 1111 和 DAC 1112 输出的模拟信号，并且将模拟信号转换为射频信号，以便在天线上发送该射频信号。具体而言，在模拟中频部分中，DAC 1111 和 DAC 1112 输出的模拟信号分别经过 BPF 1113 和 BPF 1114 进行滤波，经过混频器 1115 和本地振荡器 g_1 以及混频器 1116 和本地振荡器 g_m 进行中频上变频和频率搬移，然后经过 BPF 1117 和 BPF 1118 进行滤波，再经过放大器 1119 和放大器 1120 进行放大，最后利用中频功率合成器 1116 将放大器 1119 和放大器 1120 输出的和放大的两个模拟信号进行合成处理后输出到模拟射频部分，其中 g_1 和 g_m 之间的差为 2.5GHz，以便中频功率合成器 1116 将两个模拟信号的拼接成 5GHz 的大带宽信号，即 0.5750GHz-5.5750GHz。图 11 的模拟射频部分包括混频器 1121、本地振荡器 f_c 、放大器 1122、BPF 1123 和放大器 1124，与图 10 的模拟射频部分的各个单元类似，在此不再赘述。最后，模拟射频部分的输出经过双工器 1125 送入到天线 1126 进行发射。

图 11 的收发机中的接收电路的放大器 1127、混频器 1128 和本地振荡器 f_c 、中频功率分配器 1129、放大器 1130~1133、BPF 1134~1137、BPF 1142~1145、ADC 1146~1149 和 FPGA 1150~1153 的功能与图 10 的接收电路的各个单元类似，在此不再赘述。图 11 的接收电路与图 10 的接收电路不同的是，混频器 1138~1139 和频率为 f_1+g_1 的本地振荡器对 BPF 1134~1135 的输出进行频率搬

移，而混频器 1140~1141 和频率为 f_m+g_m 的本地振荡器对 BPF 1136~1137 的输出进行频率搬移。

图 7A 和图 7B 分别是根据本发明的第七实施例的一种发射电路和接收电路的电路图。图 7A 和图 7B 的发射电路和接收电路是图 4 的实施例的例子。

图 7A 的实施例的发射电路在 H 极化和 V 极化分别对大带宽信号进行调制得到 H 极化信号和 V 极化信号，然后通过双极化天线分别将 H 和 V 极化信号发送出去，图 7B 的接收电路从双极化天线接收并解调出 H 极化信号和 V 极化信号。

发射电路的天线 720 和接收电路的天线 770 为双极化天线，数字调制电路分别在 H 极化和 V 极化上对 N 路子数字信号流进行调制。图 7A 的实施例包括两个 DAC 711 和 DAC 731，分别对应于 H 极化和 V 极化。

参见图 7A，在发射端，对应于 H 极化，数字接口电路 701 分别在预定带宽（例如，5GHz）上获得数据并且将该数据分解为并行的 N 路子数字信号流。同样，对应于 DAC 731，数字接口电路 701 可以得到 N 路子数字信号流。

与 H 极化对应的发射电路包括：N 个 FPGA 702~705、N 个混频器 706~709 和频率为 $f_1\sim f_N$ 的本地振荡器、合成器 710、DAC 711、BPF 713、放大器 714、混频器 715 和频率为 f_{RF} 的本地振荡器、放大器 716、BPF 717 以及放大器 718，这些单元的功能与图 10 的发射电路对应单元类似，在此不再赘述。与 V 极化对应的发射电路包括：N 个 FPGA 722~725、N 个混频器 726~729 和频率为 $f_1\sim f_N$ 的本地振荡器、合成器 730、DAC 731、BPF 733、放大器 734、混频器 735 和频率为 f_{RF} 的本地振荡器、放大器 736、BPF 737 以及放大器 738，同样，这些单元与图 10 的发射电路的对应单元类似，在此不再赘述。与图 10 的发射电路不同的是，放大器 718 和放大器 738 分别将 H 极化信号和 V 极化信号发送给耦合器（OMT）719，耦合器 719 将 H 极化信号和 V 极化信号转换为双极化信号输出给双极化 720 天线。

参见图 7B，在接收端，耦合器 769 将从双极化天线 770 接收到的双极化信号转换成 H 极化信号和 V 极化信号。

与 H 极化对应的接收电路包括：BPF 768、放大器 767、混频器 766 和本地振荡器 f_{RF} 、中频功率分配器 765、放大器 761~764、BPF 757~760、混

频器 753~756 和频率为 $f_1' \sim f_N'$ 的本地振荡器 BPF 749~752、ADC 745~748 和 FPGA 741~744，这些单元与图 10 的接收电路的各个单元类似，在此不再赘述。与 V 极化对应的接收电路包括：BPF 798、放大器 797、混频器 796 和本地振荡器 f_{RF} 、中频功率分配器 785、放大器 791~794、BPF 787~790、混频器 783~786 和频率为 $f_1' \sim f_N'$ 的本地振荡器、BPF 779~782、ADC 775~778 和 FPGA 771~774，这些单元与图 10 的接收电路的各个单元类似，在此不再赘述。与图 10 的接收电路不同的是，耦合器 769 接收双极化天线 770 接收的双极化信号，将双极化信号转换成 H 极化信号和 V 极化信号，并且分别输出给放大器 768 和放大器 798。

10 图 8A 和图 8B 分别是根据本发明的第八实施例的一种发射电路和接收电路的电路图。图 8A 和图 8B 的发射电路和接收电路是图 3 的实施例的例子。

图 8A 实施例的发射电路对应于多个天线 1~天线 M，图 8B 的接收电路对应于多个天线 1~天线 N。

15 在发射端，对应于每根天线，分别对大带宽信号进行调制，然后通过每根天线发送出去。在接收端，对应于每根天线，对多路信号进行相应的接收和解调。

参见图 8A，在发射端，对应于每根天线，数字接口电路 701 分别在预定带宽（例如，5GHz）上获得数据并且将该数据分解为并行的 N 路子数字信号流。

20 对应于天线 1，发射电路包括：N 个 FPGA 802~805、N 个混频器 806~809 和频率为 $f_1 \sim f_N$ 的本地振荡器、合成器 810、DAC 811、混频器 812 和频率为 f_{IF} 的本地振荡器、BPF 813、放大器 814、混频器 815 和频率为 f_{RF} 的本地振荡器、放大器 816、BPF 817 以及放大器 818，这些单元的功能与图 10 的发射电路对应单元类似，在此不再赘述。对应于天线 M，发射电路包括：N 个 FPGA 802~805、N 个混频器 826~829 和频率为 $f_1 \sim f_N$ 的本地振荡器、合成器 830、DAC 831、混频器 832 和频率为 f_{IF} 的本地振荡器、BPF 833、放大器 834、混频器 835 和频率为 f_{RF} 的本地振荡器、放大器 836、BPF 837 以及放大器 838，这些单元的功能与图 10 的发射电路对应单元类似，在此不再赘述。与图 10 的发射电路不同的是，放大器 818 和放大器 838 分别输出射频信号给天线 1 和天线 M。

由上可见, 对应于天线 1 的发射电路的子数字信号流与对应于天线 M 的发射电路的子数字信号流采用相同的 FPGA 进行数字调制。例如, FPGA 802 输出的两路调制信号分别输出到混频器 806 和混频器 826, 混频器 FPGA 803 输出的两路调制信号分别输出到混频器 807 和混频器 827, 等等。

5 参见图 8B, 在接收端, 对应于天线 1 的接收电路包括: BPF 868、放大器 867、混频器 866 和本地振荡器 f_{RF} 、中频功率分配器 865、放大器 861~764、BPF 857~760、混频器 853~856 和频率为 $f_1' \sim f_N'$ 的本地振荡器 BPF 849~752、ADC 845~848 和 FPGA 841~844, 这些单元与图 10 的接收电路的各个单元类似, 在此不再赘述。对应于天线 N 的接收电路包括: BPF 898、放大器 897、
10 混频器 896 和本地振荡器 f_{RF} 、中频功率分配器 895、放大器 891~894、BPF 897~890、混频器 883~886 和频率为 $f_1' \sim f_N'$ 的本地振荡器 BPF 879~882、ADC 875~878 和 FPGA 841~844, 这些单元与图 10 的接收电路的各个单元类似, 在此不再赘述。与图 10 的接收电路不同的是, 放大器 868 和放大器 898 分别从天线 1 和天线 N 接收射频信号。

15 由上可见, 对应于天线 1 的接收电路的子数字信号流与对应于天线 N 的接收电路的子数字信号流采用相同的 FPGA 进行数字解调。例如, ADC 845 和 ADC875 均输出数字信号给 FPGA 841 进行数字解调, ADC 846 和 ADC 876 均输出数字信号给 FPGA 842 进行数字解调, 等等。

图 9A 和图 9B 分别是根据本发明的第九实施例的一种发射电路和接收
20 电路的电路图。图 9A 的发射电路和接收电路是图 3 和图 4 结合的例子。

图 9A 的实施例包括分别对应于多根双极化天线 1~双极化天线 M 的发射电路, 图 9B 的实施例包括分别对应于多根双极化天线 1~双极化天线 N 的接收电路, 并且每根双极化天线对应的发射电路在 H 极化和 V 极化分别对
25 大带宽信号进行调制得到 H 极化信号和 V 极化信号, 然后通过双极化天线分别将 H 和 V 极化信号发送出去, 每根双极化天线对应的接收电路从双极化天线接收并解调出 H 极化信号和 V 极化信号。

在发射端, 双极化天线 1 对应的发射电路包括: 与 H 极化对应的发射电路和与 V 极化对应的发射电路。与 H 极化对应的发射电路包括: N 个 FPGA 902~905、N 个混频器 906~909 和频率为 $f_1 \sim f_N$ 的本地振荡器、合成器 910、
30 DAC 911、混频器 912 和本地振荡器 f_{IF} 、BPF 913、放大器 914、混频器 915 和频率为 f_{RF} 的本地振荡器、放大器 916、BPF 917 和放大器 918, 放大器 918

5 连接到耦合器 919, 耦合器 919 连接到天线 920, 这些单元的功能与图 7A 的发射电路对应单元类似, 在此不再赘述。与 V 极化对应的发射电路包括: N 个 FPGA 902'~905'、N 个混频器 926~929 和频率为 $f_1 \sim f_N$ 的本地振荡器、合成器 930、DAC 931、混频器 932 和本地振荡器 f_{IF} 、BPF 933、放大器 934、混频器 935 和频率为 f_{RF} 的本地振荡器、放大器 936、BPF 937 和放大器 938, 放大器 938 连接到耦合器 919, 耦合器 919 连接到天线 920, 这些单元与图 7B 的发射电路的对应单元类似, 在此不再赘述。

10 在发射端, 双极化天线 M 对应的发射电路包括: 与 H 极化对应的发射电路和与 V 极化对应的发射电路。与 H 极化对应的发射电路包括: N 个 FPGA 902~905、N 个混频器 906'~909'和频率为 $f_1 \sim f_N$ 的本地振荡器、合成器 910'、DAC 911'、混频器 912'和本地振荡器 f_{IF} 、BPF 913'、放大器 914'、混频器 915'和频率为 f_{RF} 的本地振荡器、放大器 916'、BPF 917'以及放大器 918', 放大器 918'连接到耦合器 919', 耦合器 919'连接到天线 920', 这些单元的功能与图 7A 的发射电路对应单元类似, 在此不再赘述。与 V 极化对应的发射电路包括: N 个 FPGA 902'~905'、N 个混频器 926'~929'和频率为 $f_1 \sim f_N$ 的本地振荡器、合成器 930、DAC 931、混频器 932'和本地振荡器 f_{IF} 、BPF 933'、放大器 934'、混频器 935'和频率为 f_{RF} 的本地振荡器、放大器 936'、BPF 937'以及放大器 938', 放大器 938'连接到耦合器 919', 耦合器 919'连接到天线 920', 这些单元与图 7B 的发射电路的对应单元类似, 在此不再赘述。

20 在接收端, 双极化天线 1 对应的接收电路包括: 与 H 极化对应的接收电路和与 V 极化对应的接收电路。与 H 极化对应的接收电路包括: BPF 968、放大器 967、混频器 966 和本地振荡器 f_{RF} 、中频功率分配器 965、放大器 961~964、BPF 957~960、混频器 953~956 和频率为 $f_1' \sim f_N'$ 的本地振荡器 BPF 949~952、ADC 945~948 和 FPGA 941~944, 这些单元与图 7A 的接收电路的各个单元类似, 在此不再赘述。与 V 极化对应的接收电路包括: BPF 998、放大器 997、混频器 996 和本地振荡器 f_{RF} 、中频功率分配器 995、放大器 991~994、BPF 987~990、混频器 983~986 和频率为 $f_1' \sim f_N'$ 的本地振荡器、BPF 979~982、ADC 975~978 和 FPGA 941'~944', 这些单元与图 7B 的接收电路的各个单元类似, 在此不再赘述。

30 在接收端, 双极化天线 N 对应的接收电路包括: 与 H 极化对应的接收电路和与 V 极化对应的接收电路。与 H 极化对应的接收电路包括: BPF 968'、

放大器 967'、混频器 966'和本地振荡器 f_{RF} 、中频功率分配器 965'、放大器 961~964'、BPF 957'~960'、混频器 953'~956'和频率为 f_1' ~ f_N' 的本地振荡器 BPF 949'~952'、ADC 945'~948'和 FPGA 941'~944'，这些单元与图 7B 的接收电路的各个单元类似，在此不再赘述。与 V 极化对应的接收电路包括：

- 5 BPF 998'、放大器 997'、混频器 996'和本地振荡器 f_{RF} 、中频功率分配器 995'、放大器 991'~994'、BPF 987'~990'、混频器 983'~986'和频率为 f_1' ~ f_N' 的本地振荡器、BPF 979'~982'、ADC 975'~978'和 FPGA 941~944，这些单元与图 7B 的接收电路的各个单元类似，在此不再赘述。

上面描述了根据本发明实施例的发射电路、收发机和通信系统，下面分别结合图 13 至图 15 描述根据本发明实施例的发射数据的方法和传输数据的方法。

图 13 是根据本发明的第十二实施例的一种发射数据的方法的示意性流程图。该发射数据的方法包括如下内容。

- 1310，在预定带宽上获得待发送的第一数据，并且将第一数据分解为并行的 N 路第一子数字信号流，上述 N 路第一子数字信号流中的每个第一子数字信号流占用的带宽小于该预定带宽，N 为正整数。

1320，对上述 N 路第一子数字信号流进行调制，以获得 N 路第一调制信号。

- 1330，对上述 N 路第一调制信号进行频率搬移，其中经过频率搬移后的上述 N 路第一调制信号中的相邻第一调制信号之间没有频带间隔。

1340，将经过频率搬移后的上述 N 路第一调制信号中的 M 路第一调制信号合并成第一带宽信号，M 为正整数。

1350，对第一带宽信号进行数模转化获得第一模拟信号。

1360，将第一模拟信号转换为射频信号，以便在天线上发送该射频信号。

- 25 根据本发明的实施例可以将数据分解为并行的多路子数字信号流，分别对多路子数字信号流进行调制和频率搬移，然后合并成大带宽信号，再使用一个数模转换器将该大带宽信号转换成模拟信号，最后经过上变频转换成射频信号。由于本发明的实施例可以将大带宽划分成多个子带，并且在发送端和接收端独立对多路子数字信号流进行处理，因而在数模转换后无需对模拟信号进行复杂的后处理，能够降低收发机信号处理的复杂度，从而提高了系统性能。

可选地，作为另一实施例，图 13 的方法还包括：将经过频率搬移后的上述 N 路第一调制信号中的 L 路第一调制信号合并成第二带宽信号，其中该 L 路第一调制信号与该 M 路第一调制信号不同；对第二带宽信号进行数模转化获得第二模拟信号，其中在 1360 中，可以将第一模拟信号和第二模拟信号合并成该射频信号。

可选地，作为另一实施例，图 13 的方法还包括：在将第一模拟信号和第二模拟信号合并成该射频信号之前，分别对第一模拟信号和第二模拟信号进行频率搬移。

可选地，作为另一实施例，图 13 的方法还包括：在该预定带宽上获得待发送的第二数据，并且将第二数据分解为并行的 N 路第二子数字信号流，其中上述 N 路第二子数字信号流中的每个第二子数字信号流占用的带宽小于该预定带宽，其中 $M = N$ ；对上述 N 路第二子数字信号流进行调制，以获得 N 路第二调制信号，对上述 N 路第二调制信号进行频率搬移，其中经过频率搬移后的上述 N 路第二调制信号中的相邻第二调制信号之间没有频带间隔；将经过频率搬移后的上述 N 路第二调制信号合并成第二带宽信号；对第二带宽信号进行数模转化获得第二模拟信号；其中在 1360 中，将第一模拟信号转换为第一射频信号，以便在第一天线上发送第一射频信号，并且将第二模拟信号转换为第二射频信号，以便在第二天线上发送第二射频信号。

在 1320 中，可以采用 N 个调制器分别对上述 N 个第一子数字信号流进行调制，并且采用上述 N 个调制器分别对上述 N 个第二子数字信号流进行调制。

根据本发明的实施例，该天线为双极化天线，在 1320 中，可以在 H 极化上对上述 N 路第一子数字信号流进行调制，其中 $M = N$ ，其中图 13 的方法还包括：在该预定带宽上获得待发送的第二数据，并且将第二数据分解为并行的 K 路第二子数字信号流，该 K 路第二子数字信号流中的每个第二子数字信号流占用的带宽小于该预定带宽，其中 K 为正整数；在 V 极化上对该 K 路第二子数字信号流进行调制，以获得 K 路第二调制信号；对该 K 路第二调制信号进行频率搬移，其中经过频率搬移后的该 K 路第二调制信号中的相邻第二调制信号之间没有频带间隔；将经过频率搬移后的该 K 路第二调制信号合并成第二带宽信号；对第二带宽信号进行数模转化获得第二模拟信号；其中在 1360 中，可以将第一模拟信号转换为第一射频信号，接收第二

模拟信号，并且将第二模拟信号转换为第二射频信号，并且将第一射频信号和第二射频信号进行耦合，以便在该双极化天线上发送第一射频信号和第二射频信号。

5 在 1320 中，可以采用 N 个调制器分别对上述 N 个第一子数字信号流进行调制，并且采用 K 个调制器分别对该 K 个第二子数字信号流进行调制。

在 1340 中，可以采用加法器将经过频率搬移的上述 N 个第一调制信号相加，以合并成第一宽带信号。

根据本发明的实施例，N 至少为 4，第一数据为至少一个二进制数字信号流。

10 图 14 是根据本发明的第十三实施例的一种传输数据的方法的示意性流程图。

图 14 的传输数据的方法包括接收数据的方法和图 13 该的发射数据的方法，其中接收数据的方法包括如下内容。

1410，将在接收天线上接收的射频信号转换为模拟信号。

15 1420，将该模拟信号分解为 Q 个并行的子模拟信号流。

1430，将上述 Q 个并行的子模拟信号流进行频率搬移。

1440，对上述 Q 个并行的子模拟信号流分别进行模数转换获得 Q 个并行的数字信号流。

20 1450，对上述 Q 个并行数字信号流进行解调处理，获得 Q 个并行的解调信号。

1460，将上述 Q 个并行的解调信号合成第二数据，其中在应用中 Q 可以等于 N。

25 根据本发明的实施例可以将数据分解为并行的多路子数字信号流，分别对多路子数字信号流进行调制和频率搬移，然后合并成大带宽信号，再使用一个数模转换器将该大带宽信号转换成模拟信号，最后经过上变频转换成射频信号。由于本发明的实施例可以将大带宽划分成多个子带，并且在发送端和接收端独立对多路子数字信号流进行处理，因而在数模转换后无需对模拟信号进行复杂的后处理，能够降低收发机信号处理的复杂度，从而提高了系统性能。

30 图 15 是根据本发明的第十四实施例的一种通信方法的示意性流程图。

图 15 的通信方法包括接收数据的方法和如图 13 该的发射数据的方法，

其中上述接收数据的方法包括如下内容。

1510, 将在接收天线上接收的该射频信号转换为模拟信号。

1520, 将该模拟信号分解为 N 个并行的子模拟信号流。

1530, 将上述 N 个并行的子模拟信号流进行频率搬移。

5 1540, 对上述 N 个并行的子模拟信号流分别进行模数转换获得 N 个并行的数字信号流。

1550, 对上述 N 个并行数字信号流进行解调处理, 获得 N 个并行的解调信号。

1560, 将上述 N 个并行的解调信号合成第一数据。

10 根据本发明的实施例可以将数据分解为并行的多路子数字信号流, 分别对多路子数字信号流进行调制和频率搬移, 然后合并成大带宽信号, 再使用一个数模转换器将该大带宽信号转换成模拟信号, 最后经过上变频转换成射频信号。由于本发明的实施例可以将大带宽划分成多个子带, 并且在发送端和接收端独立对多路子数字信号流进行处理, 因而在数模转换后无需对模拟
15 信号进行复杂的后处理, 能够降低收发机信号处理的复杂度, 从而提高了系统性能。

与现有的通过频域方法或时域方法来提高 DAC/ADC 处理速度的技术方案相比, 本发明的实施例在对信号处理时复杂度小, 信号不容易失真, 不存在对多个 DAC/ADC 的联合控制。与现有降低信号带宽的技术方案相比, 本
20 发明降低了 DAC 数目, 以及对发送端的模拟中射频处理器件需求。与现有的频域多通道技术相比, 不需要在每个通道之间保留保护带。另一方面, 可以对频带自由的划分, 不受限制、系统各扩展性强。另外, 本发明的实施例提供了完整的一一对应的发送和接收方案, 并且支持具备多极化和/或多天线的系统。

25 本领域普通技术人员可以意识到, 结合本文中所公开的实施例描述的各示例的单元及算法步骤, 能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行, 取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能, 但是这种实现不应认为超出本发明的范围。

30 所属领域的技术人员可以清楚地了解到, 为描述的方便和简洁, 上述描述的系统、装置和单元的具体工作过程, 可以参考前述方法实施例中的对应

过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统、装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本发明各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。

所述功能如果以软件功能单元的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读取存储介质中。基于这样的理解，本发明的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备）执行本发明各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U盘、移动硬盘、只读存储器（ROM, Read-Only Memory）、随机存取存储器（RAM, Random Access Memory）、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以权利要求的保护范围为准。

权利要求

1、一种发射电路，其特征在于，包括；

数字接口电路，用于在预定带宽上获得待发送的第一数据，并且将所述
5 第一数据分解为并行的 N 路第一子数字信号流，所述 N 路第一子数字信号
流中的每个第一子数字信号流占用的带宽小于所述预定带宽，N 为大于 1 的
正整数；

数字调制电路，用于接收所述 N 路第一子数字信号流，并且对所述 N
路第一子数字信号流进行调制，以获得 N 路第一调制信号；

10 第一频率搬移电路，用于接收所述 N 路第一调制信号，并且对所述 N
路第一调制信号进行频率搬移使得经过频率搬移后的所述 N 路第一调制信
号中的相邻第一调制信号之间没有频带间隔；

第一合成器，用于将经过频率搬移后的所述 N 路第一调制信号中的 M
路第一调制信号合并成第一带宽信号，所述 M 为小于或等于 N 的正整数；

15 第一数模转换器，用于接收所述第一带宽信号，并且对所述第一带宽信
号进行数模转化获得第一模拟信号；

第一上变频电路，用于接收所述第一模拟信号，并且将所述第一模拟信
号转换为射频信号，以便在天线上发送所述射频信号。

2、根据权利要求 1 所述的发射电路，其特征在于，还包括：

20 第二合成器，用于将经过频率搬移后的所述 N 路第一调制信号中的 L
路第一调制信号合并成第二带宽信号，其中所述 L 路第一调制信号与所述 M
路第一调制信号不同，所述 L 为正整数，L 与 M 之和小于或等于 N；

第二数模转换器，用于接收所述第二带宽信号，并且对所述第二带宽信
号进行数模转化获得第二模拟信号，

25 其中所述上变频电路用于接收所述第一模拟信号和所述第二模拟信号，
并且将所述第一模拟信号和所述第二模拟信号合并成所述射频信号。

3、根据权利要求 2 所述的发射电路，其特征在于，所述上变频电路还
用于在将所述第一模拟信号和所述第二模拟信号合并成所述射频信号之前，
分别对所述第一模拟信号和所述第二模拟信号进行频率搬移。

4、根据权利要求 1 所述的发射电路，其特征在于，

30 所述数字接口电路还用于在所述预定带宽上获得待发送的第二数据，并
且将所述第二数据分解为并行的 N 路第二子数字信号流，其中所述 N 路第

二子数字信号流中的每个第二子数字信号流占用的带宽小于所述预定带宽；

数字调制电路还用于接收所述 N 路第二子数字信号流，并且对所述 N 路第二子数字信号流进行调制，以获得 N 路第二调制信号，

其中所述发射电路还包括：

- 5 第二频率搬移电路，用于接收所述 N 路第二调制信号，并且对所述 N 路第二调制信号进行频率搬移，其中经过频率搬移后的所述 N 路第二调制信号中的相邻第二调制信号之间没有频带间隔；

第二合成器，将经过频率搬移后的所述 N 路第二调制信号中的 P 路信号合并成第二带宽信号，所述 P 为小于或等于 N 的正整数；

- 10 第二数模转换器，用于接收所述第二带宽信号，并且对所述第二带宽信号进行数模转化获得第二模拟信号；

其中所述第一上变频电路具体用于接收所述第一模拟信号，并且将所述第一模拟信号转换为第一射频信号，以便在第一天线上发送第一射频信号；

- 15 所述发射电路还包括第二上变频电路，所述第二上变频电路具体用于接收所述第二模拟信号，并且将所述第二模拟信号转换为第二射频信号，以便在第二天线上发送第二射频信号。

- 5、根据权利要求 4 的发射电路，其特征在于，所述数字调制电路包括 N 个调制器，所述 N 个调制器分别对所述 N 个第一子数字信号流进行调制，
20 并且所述 N 个调制器还用于分别对所述 N 个第二子数字信号流进行调制。

6、根据权利要求 1 的发射电路，其特征在于，所述天线为双极化天线，所述双极化天线包括 H 极化与 V 极化天线；

- 所述数字接口电路还用于在所述预定带宽上获得待发送的第二数据，并且将所述第二数据分解为并行的 K 路第二子数字信号流，所述 K 路第二子
25 数字信号流中的每个第二子数字信号流占用的带宽小于所述预定带宽，K 为正整数；

其中所述发射电路还包括：

- 第二数字调制电路，用于接收所述 K 路第二子数字信号流，并且在 V 极化上对所述 K 路第二子数字信号流进行调制，以获得 K 路第二调制信号，
30 为大于 1 的正整数；

第二频率搬移电路，用于接收所述 K 路第二调制信号，并且对所述 K

路第二调制信号进行频率搬移,其中经过频率搬移后的所述 K 路第二调制信号中的相邻第二调制信号之间没有频带间隔;

第二合成器,将经过频率搬移后的所述 K 路第二调制信号中的至少两路信号合并成第二带宽信号;

5 第二数模转换器,用于接收所述第二带宽信号,并且对所述第二带宽信号进行数模转化获得第二模拟信号;

其中所述发射电路还包括:

第二上变频电路,用于接收所述第二模拟信号,并且将所述第二模拟信号转换为第二射频信号;

10 耦合器,用于将所述第一射频信号和所述第二射频信号进行耦合,以便在所述双极化天线上分别发送所述第一射频信号和所述第二射频信号,其中在 H 极化上发送所述第一射频信号,V 极化上发送所述第二射频信号。

7、根据权利要求 6 的发射电路,其特征在于,所述数字调制电路,

15 所述数字调制电路包括 N 加 K 个调制器,其中 N 个所述调制器分别对所述 N 个第一子数字信号流进行调制,所述 K 个调制器分别对所述 K 个第二子数字信号流进行调制。

8、根据权利要求 1 至 7 所述的发射电路,其特征在于,所述第一合成器包括加法器,所述加法器用于将经过频率搬移的所述 N 个第一调制信号相加,以合并成第一宽带信号。

20 9、根据权利要求 1 至 8 中的任一项所述的发射电路,其特征在于, N 至少为 4,所述第一数据为至少一个二进制数字信号流。

10、一种收发机,其特征在于,包括:接收电路和如权利要求 1 至 9 所述的发射电路,

25 其中所述接收机电路,包括:下变频电路,用于将在接收天线上接收的射频信号转换为模拟信号;

中频功率分配器,用于将所述模拟信号分解为 Q 个并行的子模拟信号流;

第二频率搬移电路,用于将所述 Q 个并行的子模拟信号流进行频率搬移;

30 N 个模数转换器,用于对所述 Q 个并行的子模拟信号流分别进行模数转换获得 N 个并行的数字信号流;

数字解调电路, 对所述 Q 个并行数字信号流进行解调处理, 获得 Q 个并行的解调信号;

数字接口电路, 将所述 Q 个并行的解调信号合成第二数据。

5 11、一种通信系统, 其特征在于, 所述通信系统包括发射机和接收机, 所述发射机包括如权利要求 1 至 9 所述的发射电路;

所述接收机, 包括: 下变频电路, 用于将在接收天线上接收的所述射频信号转换为模拟信号;

中频功率分配器, 用于将所述模拟信号分解为 N 个并行的子模拟信号流;

10 第二频率搬移电路, 用于将所述 N 个并行的子模拟信号流进行频率搬移;

N 个模数转换器, 用于对所述 N 个并行的子模拟信号流分别进行模数转换获得 N 个并行的数字信号流;

15 数字解调电路, 对所述 N 个并行数字信号流进行解调处理, 获得 N 个并行的解调信号;

数字接口电路, 将所述 N 个并行的解调信号合成所述第一数据。

12、一种发射数据的方法, 其特征在于, 包括:

20 在预定带宽上获得待发送的第一数据, 并且将所述第一数据分解为并行的 N 路第一子数字信号流, 所述 N 路第一子数字信号流中的每个第一子数字信号流占用的带宽小于所述预定带宽, N 为大于 1 的正整数;

对所述 N 路第一子数字信号流进行调制, 以获得 N 路第一调制信号;

对所述 N 路第一调制信号进行频率搬移, 使得经过频率搬移后的所述 N 路第一调制信号中的相邻第一调制信号之间没有频带间隔;

25 将经过频率搬移后的所述 N 路第一调制信号中的 M 路第一调制信号合并成第一带宽信号, M 为小于或等于 N 的正整数;

对所述第一带宽信号进行数模转化获得第一模拟信号;

将所述第一模拟信号转换为射频信号, 以便在天线上发送所述射频信号。

13、根据权利要求 12 所述的方法, 其特征在于, 还包括:

30 将经过频率搬移后的所述 N 路第一调制信号中的 L 路第一调制信号合并成第二带宽信号, 其中所述 L 路第一调制信号与所述 M 路第一调制信号

不同，所述 L 为正整数，L 与 M 之和小于或等于 N；

对所述第二带宽信号进行数模转化获得第二模拟信号，

所述方法还包括：

将所述第一模拟信号和所述第二模拟信号合并成所述射频信号。

5 14、根据权利要求 13 所述的方法，其特征在于，还包括：

在将所述第一模拟信号和所述第二模拟信号合并成所述射频信号之前，分别对所述第一模拟信号和所述第二模拟信号进行频率搬移。

15、根据权利要求 11 所述的方法，其特征在于，还包括：

10 在所述预定带宽上获得待发送的第二数据，并且将所述第二数据分解为并行的 N 路第二子数字信号流，其中所述 N 路第二子数字信号流中的每个第二子数字信号流占用的带宽小于所述预定带宽；

对所述 N 路第二子数字信号流进行调制，以获得 N 路第二调制信号，

对所述 N 路第二调制信号进行频率搬移，使得经过频率搬移后的所述 N 路第二调制信号中的相邻第二调制信号之间没有频带间隔；

15 将经过频率搬移后的所述 N 路第二调制信号中的 P 路信号合并成第二带宽信号，所述 P 为小于或等于 N 的正整数；

对所述第二带宽信号进行数模转化获得第二模拟信号；

所述方法还包括：

20 将所述第二模拟信号转换为第二射频信号，以便在第二天线上发送第二射频信号。

16、根据权利要求 15 的方法，其特征在于，所述对所述 N 路第一子数字信号流进行调制，包括：

采用 N 个调制器分别对所述 N 个第一子数字信号流进行调制，

其中所述对所述 N 路第二子数字信号流进行调制，包括：

25 采用所述 N 个调制器分别对所述 N 个第二子数字信号流进行调制。

17、根据权利要求 12 的方法，其特征在于，所述天线为双极化天线，所述双极化天线包括 H 极化与 V 极化天线，所述对所述 N 路第一子数字信号流进行调制，该方法还包括：

30 在所述预定带宽上获得待发送的第二数据，并且将所述第二数据分解为并行的 K 路第二子数字信号流，所述 K 路第二子数字信号流中的每个第二子数字信号流占用的带宽小于所述预定带宽，其中 K 为大于 1 的正整数；

在 V 极化上对所述 K 路第二子数字信号流进行调制, 以获得 K 路第二调制信号;

对所述 K 路第二调制信号进行频率搬移, 其中经过频率搬移后的所述 K 路第二调制信号中的相邻第二调制信号之间没有频带间隔;

5 将经过频率搬移后的所述 K 路第二调制信号中的至少两路信号合并成第二带宽信号;

对所述第二带宽信号进行数模转化获得第二模拟信号;

则所述方法还包括:

10 接收所述第二模拟信号, 并且将所述第二模拟信号转换为第二射频信号;

将所述第一射频信号和所述第二射频信号进行耦合, 以便在所述双极化天线上分别发送所述第一射频信号和所述第二射频信号, 其中在 H 极化上发送所述第一射频信号, V 极化上发送所述第二射频信号。

18、根据权利要求 17 的方法, 其特征在于,

15 所述对所述 N 路第一子数字信号流进行调制, 包括:

采用 N 个调制器分别对所述 N 个第一子数字信号流进行调制,

其中所述对所述 K 路第二子数字信号流进行调制, 包括:

采用 K 个调制器分别对所述 K 个第二子数字信号流进行调制。

19、根据权利要求 12 至 18 所述的方法, 其特征在于, 所述将经过频率搬移后的所述 N 路第一调制信号中的 M 路第一调制信号合并成第一带宽信号, 包括:

采用加法器将经过频率搬移的所述 N 个第一调制信号相加, 以合并成第一宽带信号。

20 20、根据权利要求 12 至 19 中的任一项所述的方法, 其特征在于, N 至少为 4, 所述第一数据为至少一个二进制数字信号流。

21、一种传输数据的方法, 其特征在于, 包括: 接收数据的方法和如权利要求 12 至 20 所述的发射数据的方法,

其中所述接收数据的方法, 包括:

将在接收天线上接收的射频信号转换为模拟信号;

30 将所述模拟信号分解为 Q 个并行的子模拟信号流;

将所述 Q 个并行的子模拟信号流进行频率搬移;

对所述 Q 个并行的子模拟信号流分别进行模数转换获得 Q 个并行的数字信号流;

对所述 Q 个并行数字信号流进行解调处理, 获得 Q 个并行的解调信号;
将所述 Q 个并行的解调信号合成第二数据。

5 22、一种通信方法, 其特征在于, 包括: 接收数据的方法和如权利要求 12 至 20 所述的发射数据的方法;

其中所述接收数据的方法, 包括:

将在接收天线上接收的所述射频信号转换为模拟信号;

将所述模拟信号分解为 N 个并行的子模拟信号流;

10 将所述 N 个并行的子模拟信号流进行频率搬移;

对所述 N 个并行的子模拟信号流分别进行模数转换获得 N 个并行的数字信号流;

对所述 N 个并行数字信号流进行解调处理, 获得 N 个并行的解调信号;
将所述 N 个并行的解调信号合成所述第一数据。

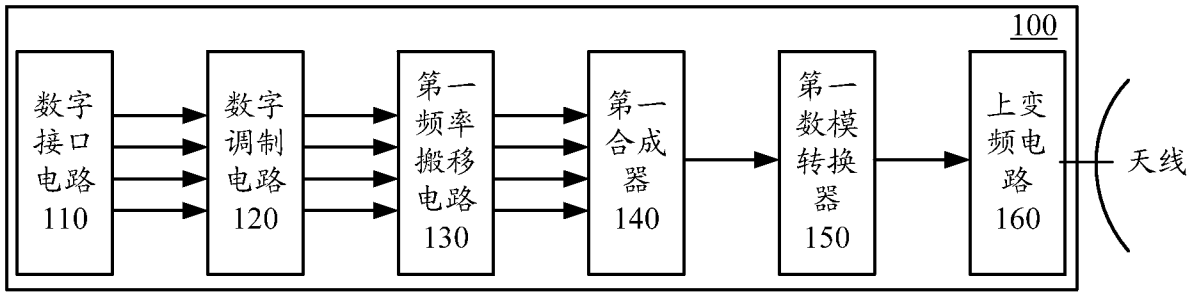


图 1

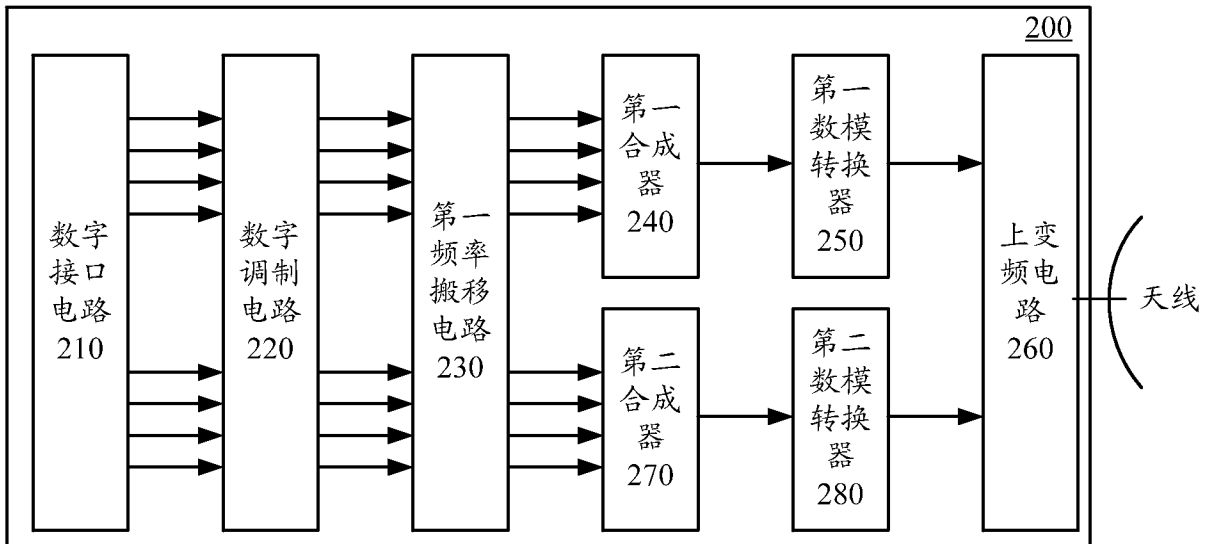


图 2

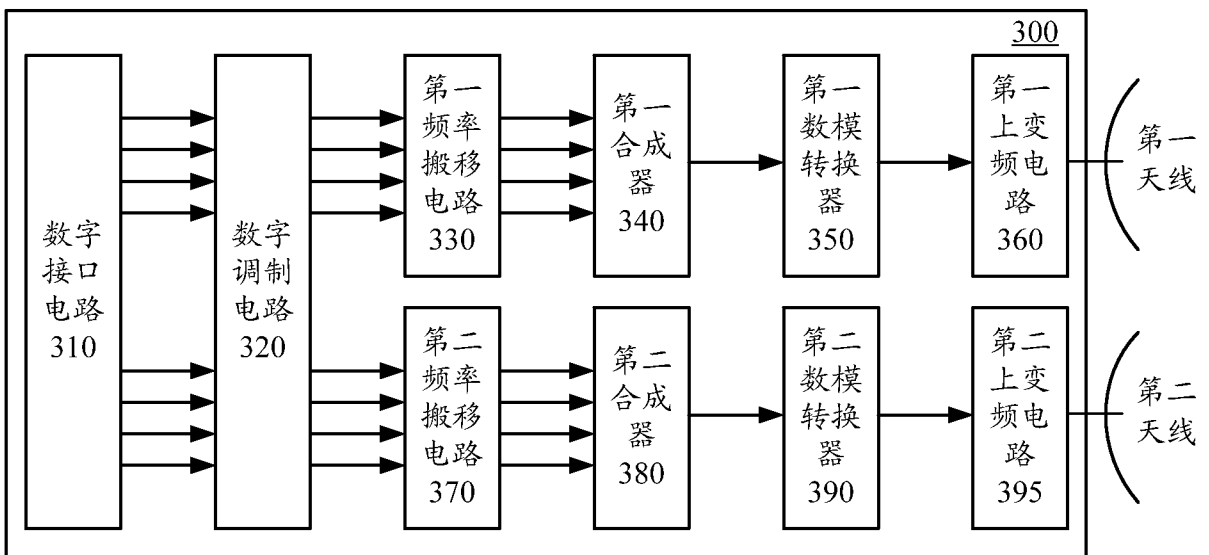


图 3

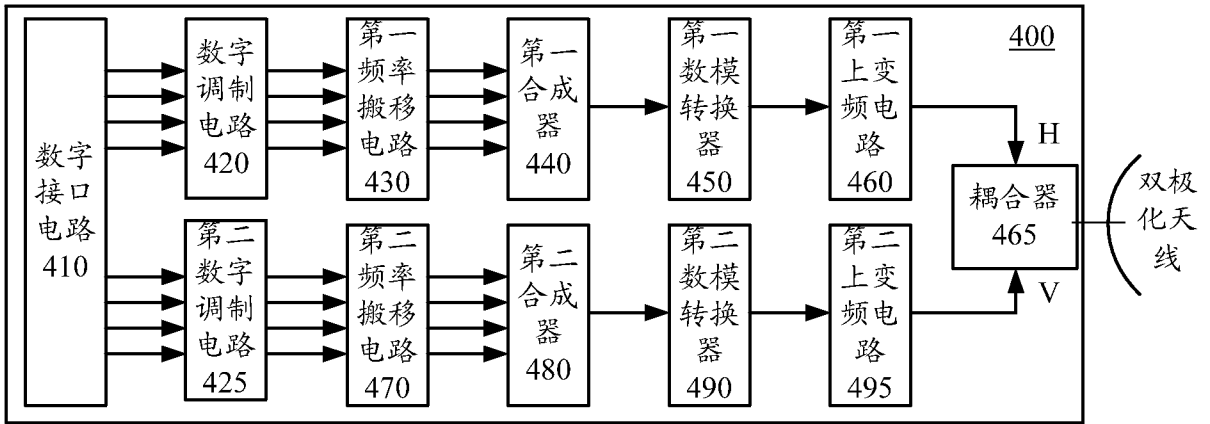


图 4

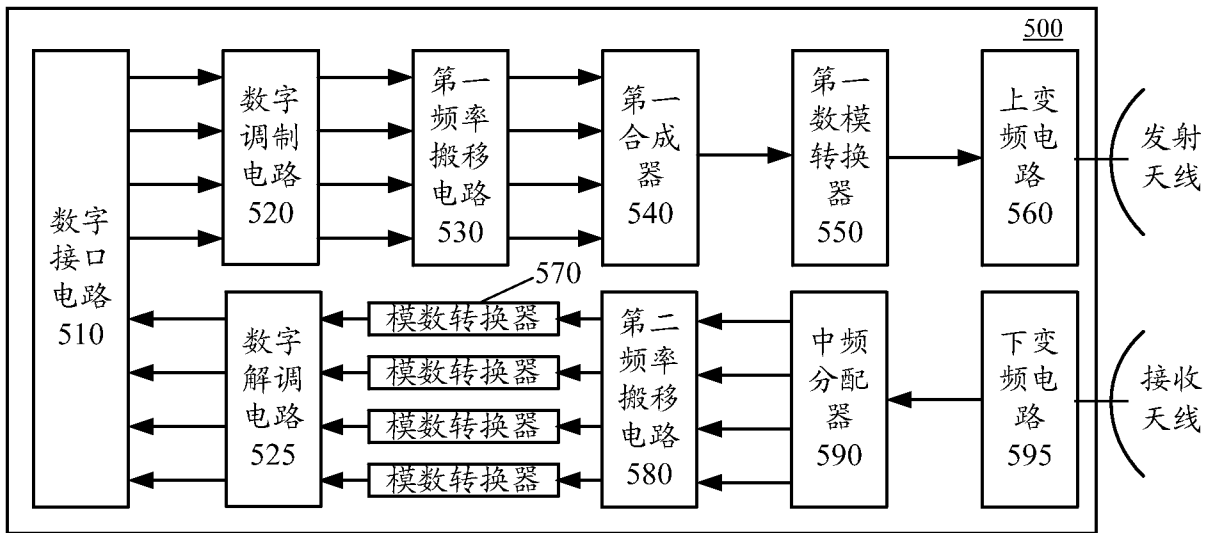


图 5

600

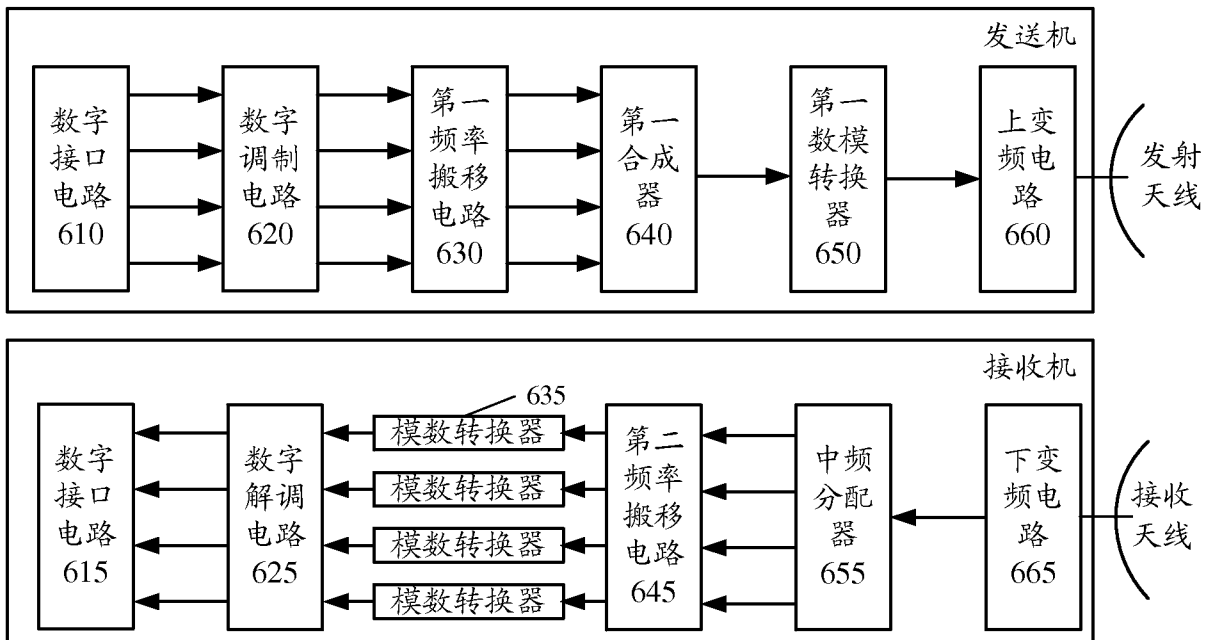


图 6

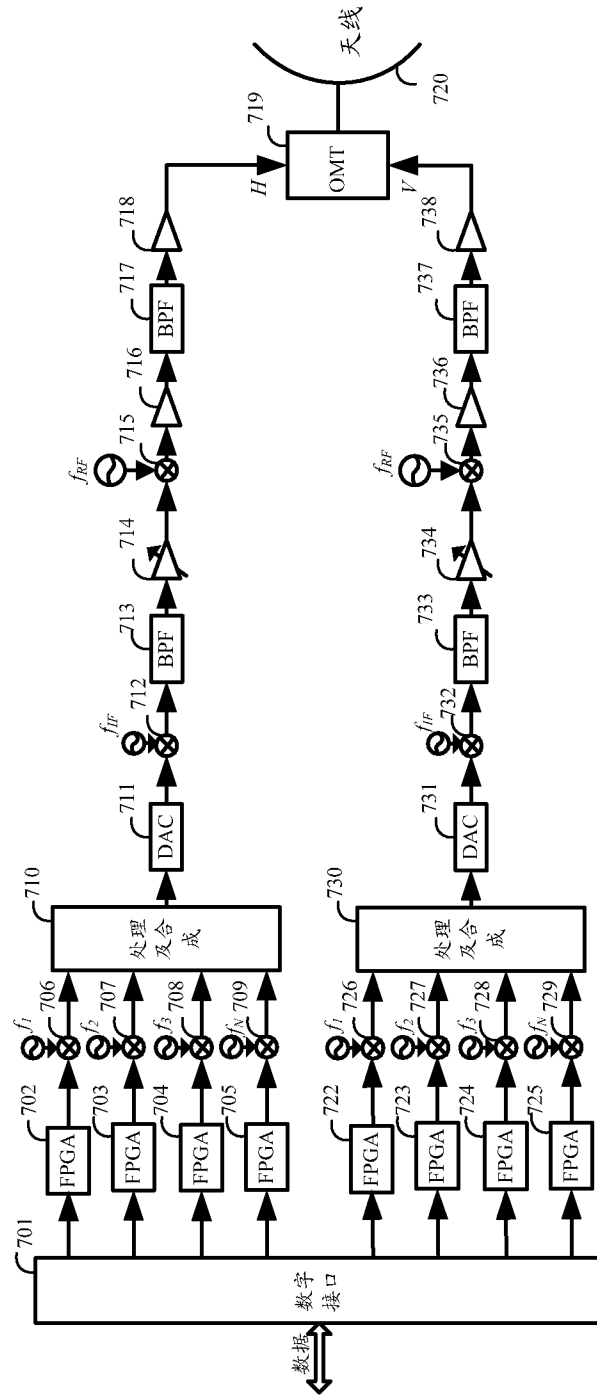


图 7A

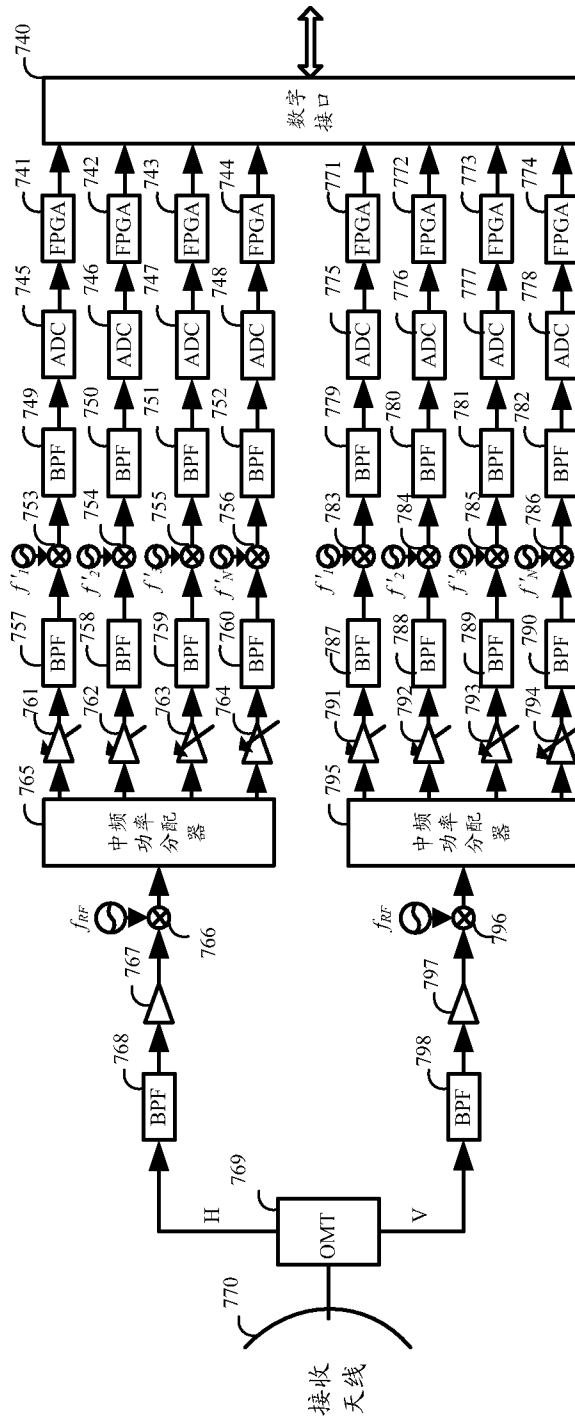


图 7B

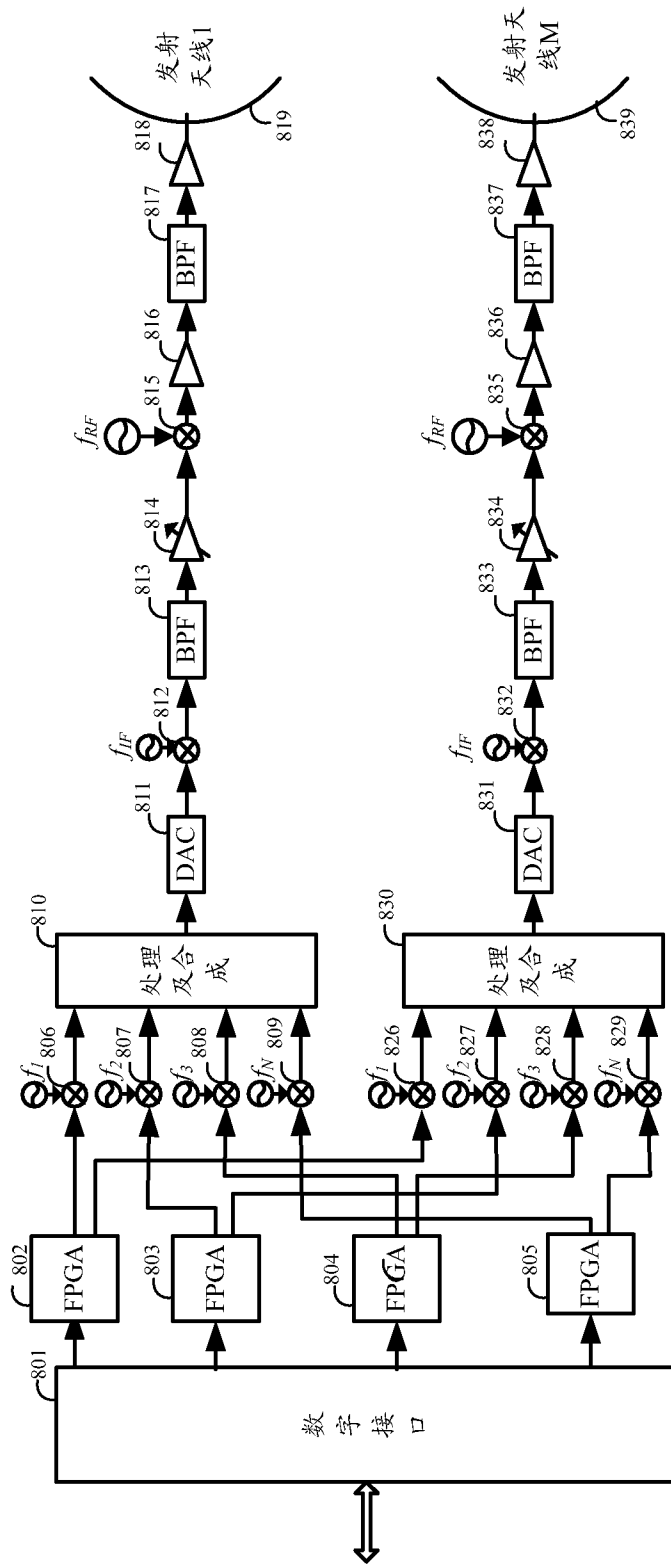


图 8A

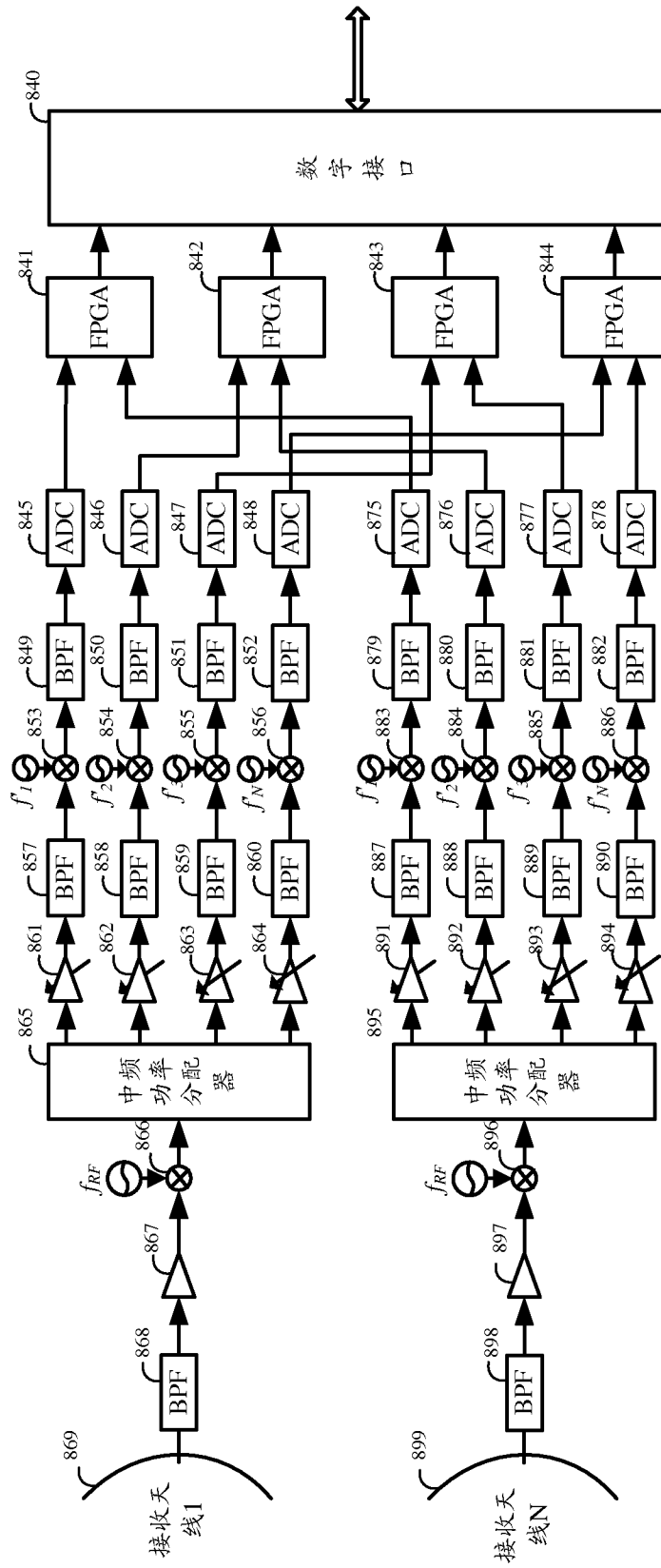


图 8B

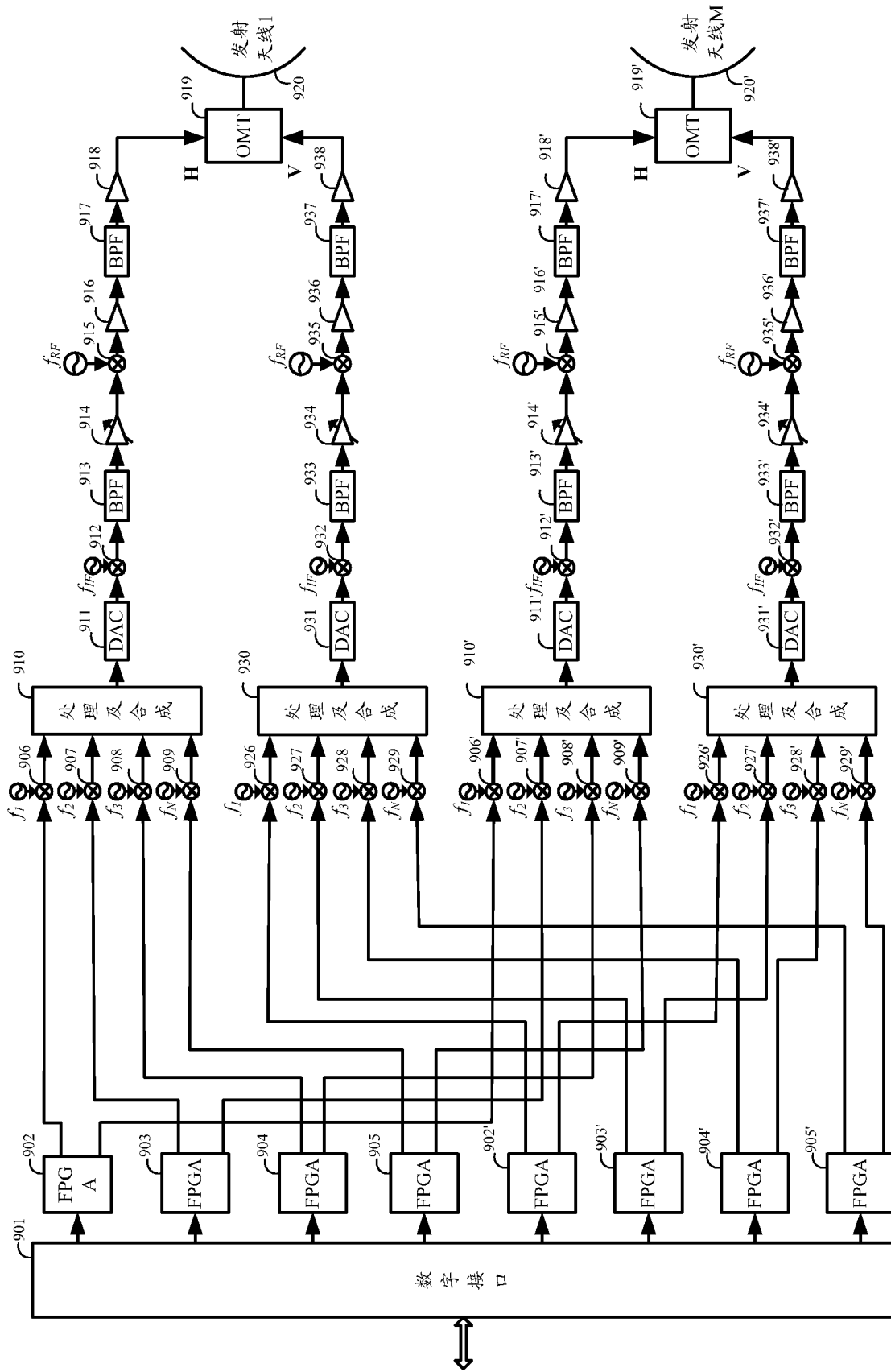


图 9A

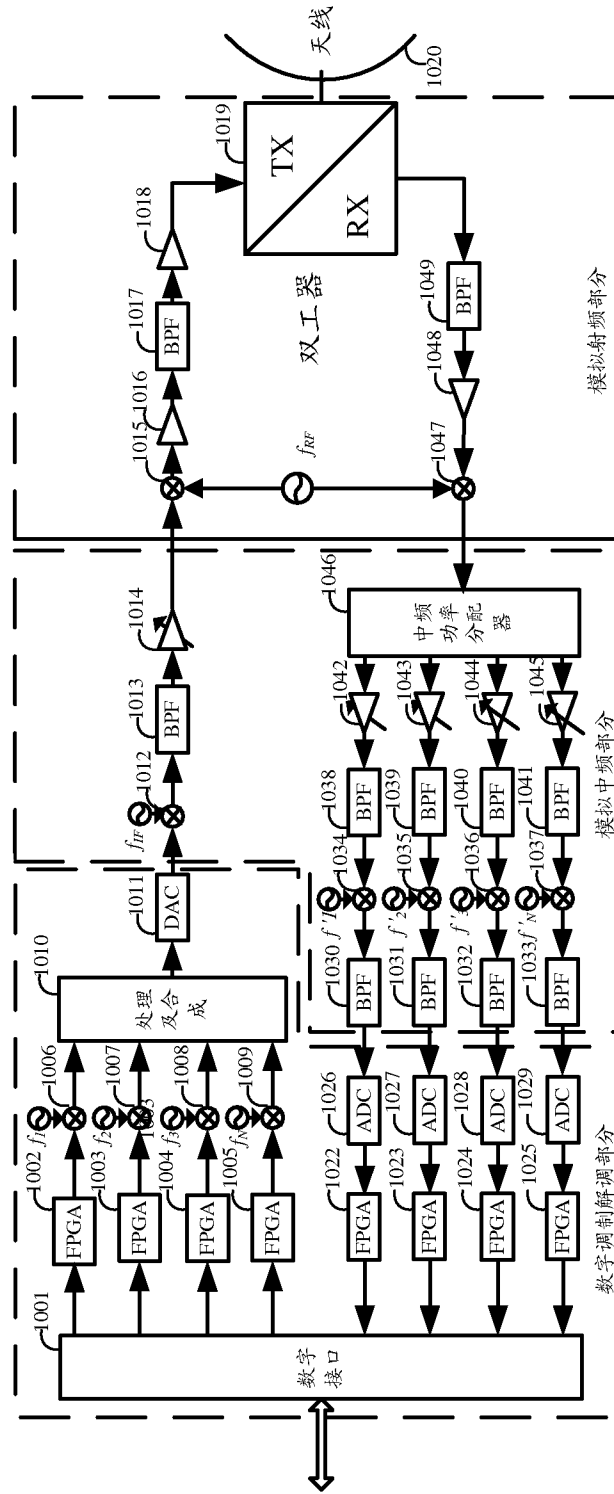


图10

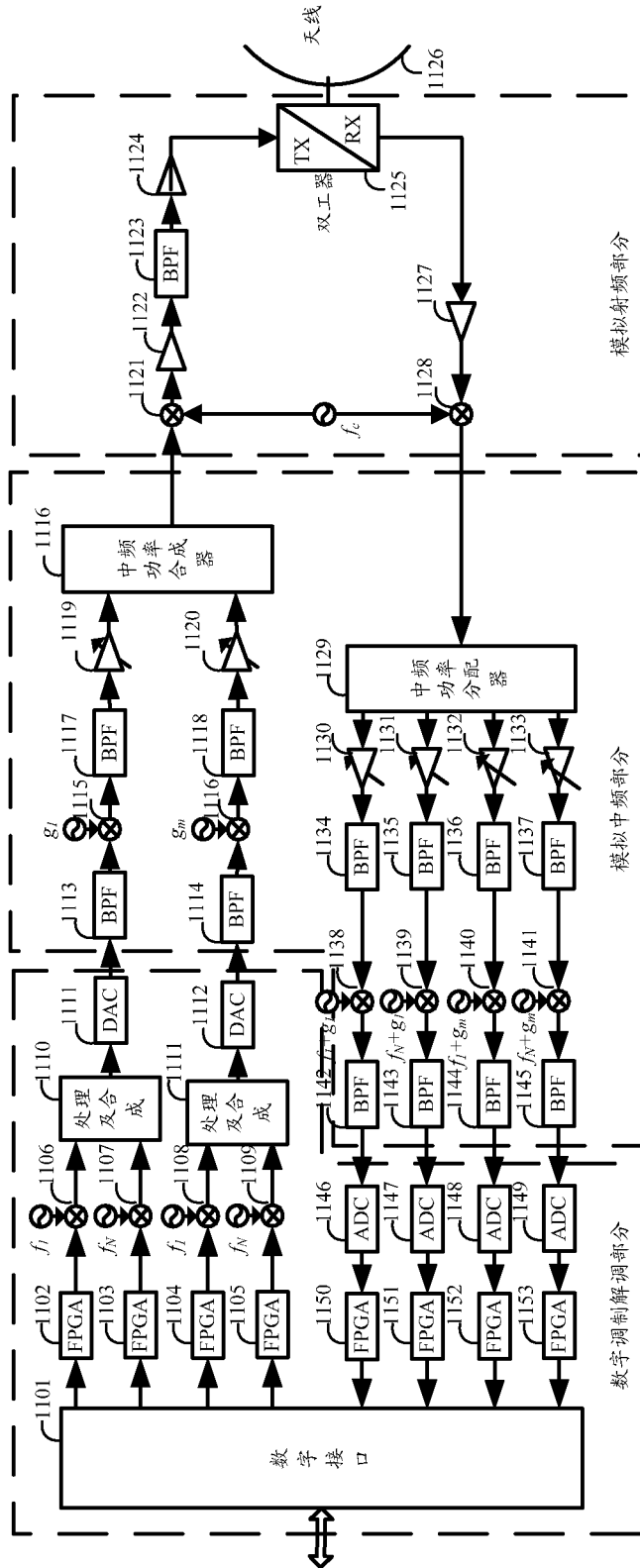


图 11

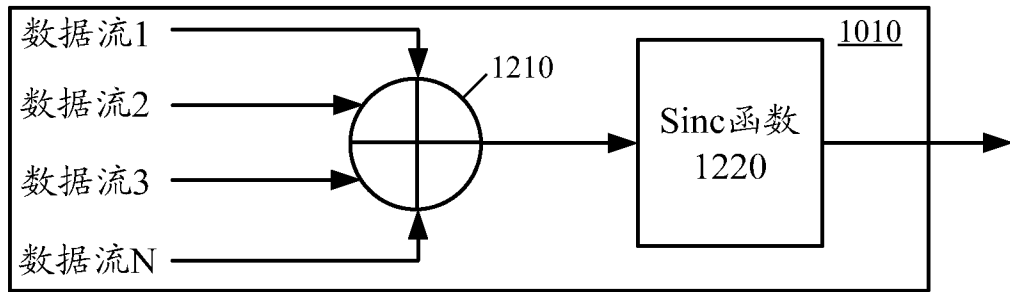


图 12

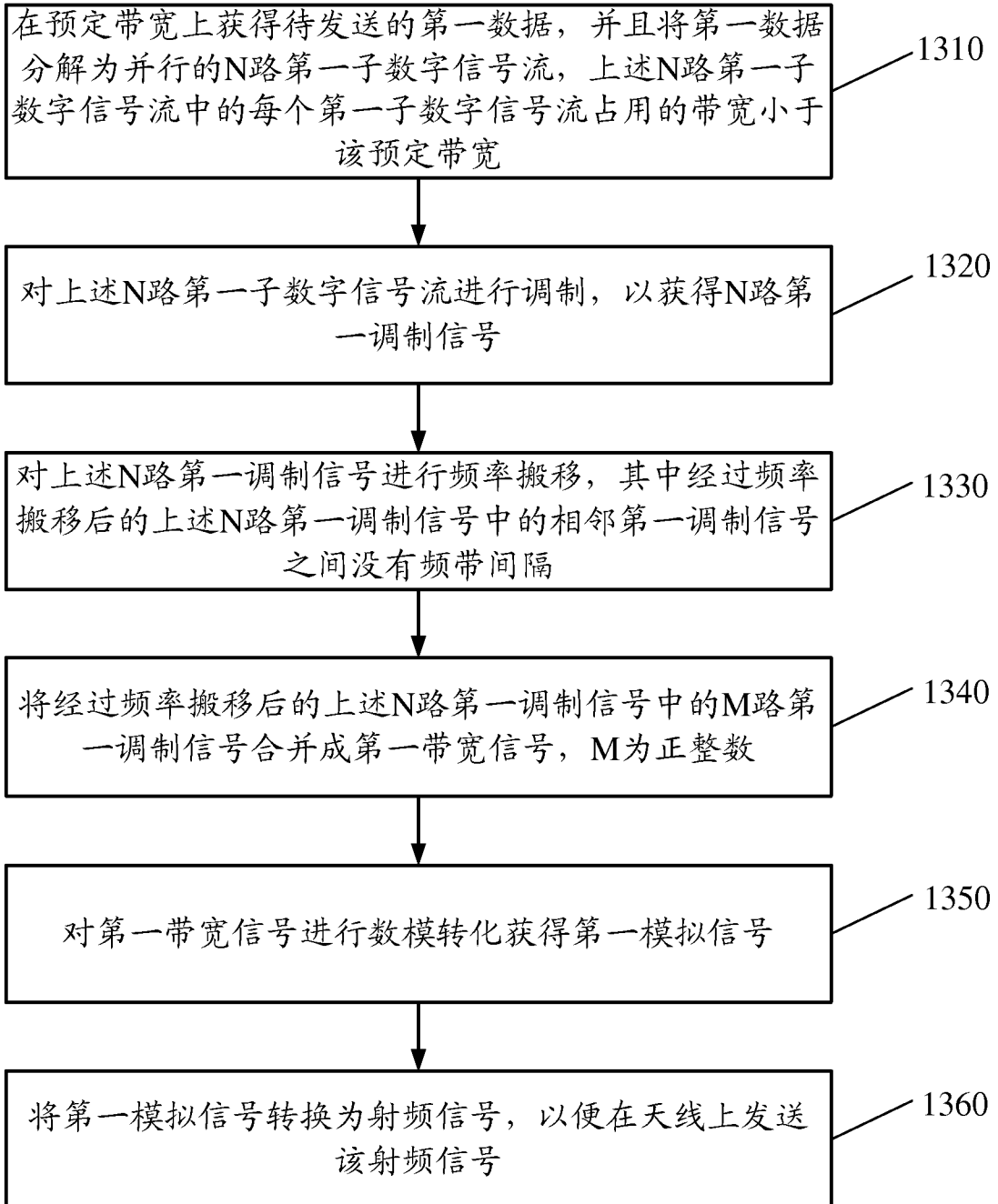


图 13

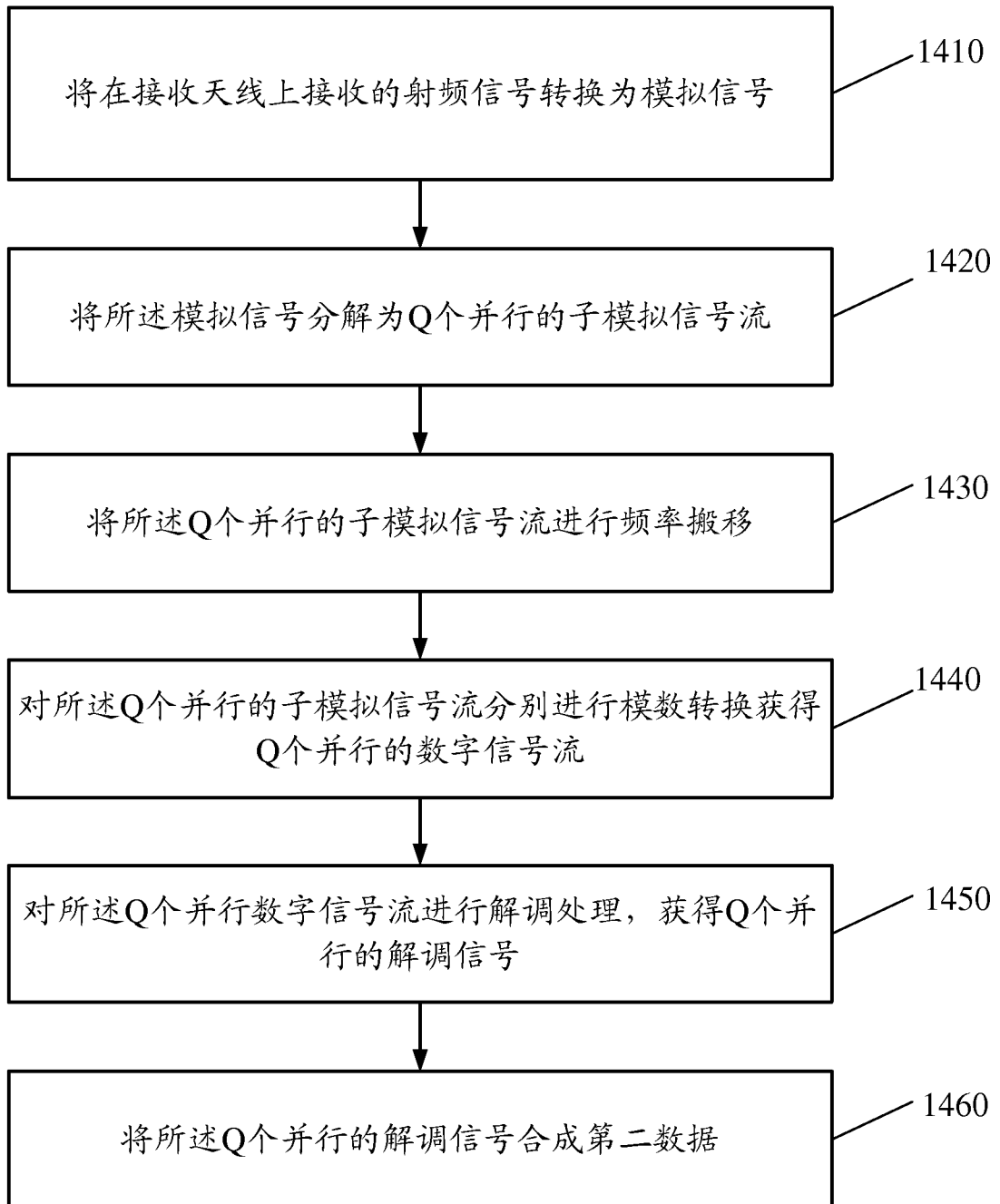


图14

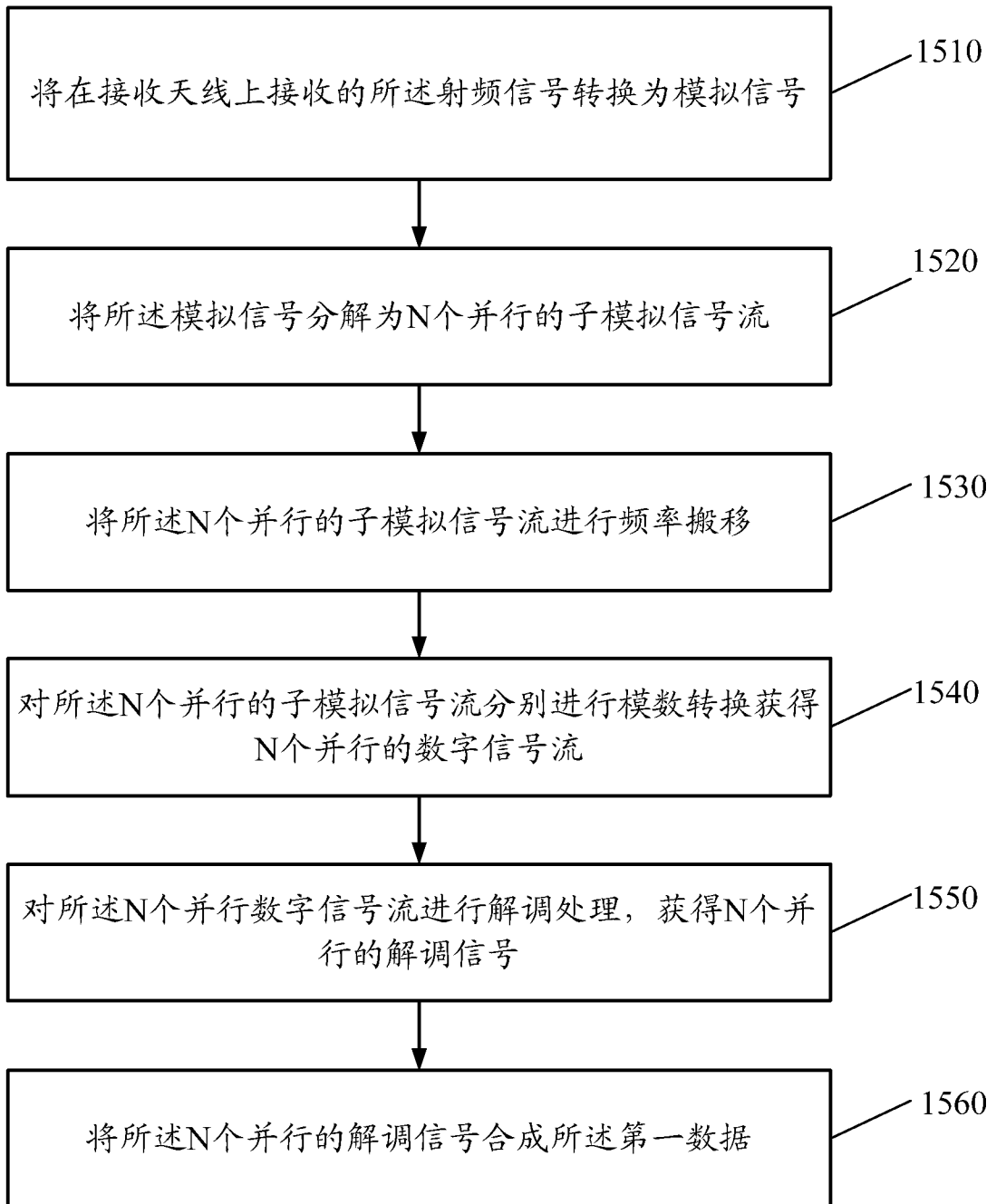


图15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/076135

A. CLASSIFICATION OF SUBJECT MATTER

H04B 1/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04B; H04L; H04W; H04Q; H04M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: frequency spectrum, transmit, circuit, parallel, decompose, modulate, frequency, move, remove, shift, combine, compose, bandwidth

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102130697 A (HUAWEI TECHNOLOGIES CO., LTD.), 20 July 2011 (20.07.2011), description, paragraphs 68-72, claim 9, and figure 8	1-22
Y	CN 101924729 A (HUAWEI TECHNOLOGIES CO., LTD.), 22 December 2010 (22.12.2010), description, paragraphs 66-71, and figure 5	1-22
A	CN 102098255 A (HUAWEI TECHNOLOGIES CO., LTD.), 15 June 2011 (15.06.2011), the whole document	1-22
A	EP 2019486 A1 (FUJITSU LTD.), 28 January 2009 (28.01.2009), the whole document	1-22

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search
07 August 2013 (07.08.2013)

Date of mailing of the international search report
29 August 2013 (29.08.2013)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
LEI, Yongjun
Telephone No.: (86-10) **62413442**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/076135

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102130697 A	20.07.2011	WO 2011088792 A1	28.07.2011
		US 2012281550 A1	08.11.2012
		EP 2528293 A1	28.11.2012
CN 101924729 A	22.12.2010	WO 2010145511 A1	23.12.2010
		US 2012087439 A1	12.04.2012
		EP 2445154 A1	25.04.2012
CN 102098255 A	15.06.2011	WO 2011072592 A1	23.06.2011
EP 2019486 A1	28.01.2009	None	

A. 主题的分类		
H04B 1/04 (2006.01) i		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H04B; H04L; H04W; H04Q; H04M		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI, WPI, EPODOC: 发射, 电路, 并行, 分解, 调制, 频率, 频谱, 搬移, 合并, 合成, 带宽, transmit, circuit, parallel, decompose, modulate, frequency, move, remove, shift, combine, compose, bandwidth		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 102130697 A (华为技术有限公司) 20.7 月 2011 (20.07.2011) 说明书 第 68-72 段、权利要求 9、图 8	1-22
Y	CN 101924729 A (华为技术有限公司) 22.12 月 2010 (22.12.2010) 说明书 第 66-71 段、图 5	1-22
A	CN 102098255 A (华为技术有限公司) 15.6 月 2011 (15.06.2011) 全文	1-22
A	EP 2019486 A1 (FUJITSU LTD.) 28.1 月 2009 (28.01.2009) 全文	1-22
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
国际检索实际完成的日期 07.8 月 2013 (07.08.2013)		国际检索报告邮寄日期 29.8 月 2013 (29.08.2013)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		授权官员 雷永俊 电话号码: (86-10) 62413442

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/076135

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 102130697 A	20.07.2011	WO 2011088792 A1	28.07.2011
		US 2012281550 A1	08.11.2012
		EP 2528293 A1	28.11.2012
CN 101924729 A	22.12.2010	WO 2010145511 A1	23.12.2010
		US 2012087439 A1	12.04.2012
		EP 2445154 A1	25.04.2012
CN 102098255 A	15.06.2011	WO 2011072592 A1	23.06.2011
EP 2019486 A1	28.01.2009	无	