



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I570739 B

(45)公告日：中華民國 106 (2017) 年 02 月 11 日

(21)申請案號：102110367

(22)申請日：中華民國 102 (2013) 年 03 月 22 日

(51)Int. Cl. : G11C5/02 (2006.01)

G11C7/10 (2006.01)

G11C7/18 (2006.01)

(30)優先權：2012/03/27 美國

13/431,674

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：林芬 LIN, FENG (CN)

(74)代理人：陳長文

(56)參考文獻：

TW 200733127

US 6704818B1

US 7277382B1

US 7545164B2

US 7671630B2

US 2010/0177830A1

Jhih-Wei You, et al, 「Performance Characterization of TSV in 3D IC via Sensitivity Analysis」, Test Symposium (ATS), 2010 19th IEEE Asian, 1 Dec. 2010

審查人員：劉聖尉

申請專利範圍項數：18 項 圖式數：8 共 22 頁

(54)名稱

包括可縮放驅動器之裝置及方法

APPARATUSES INCLUDING SCALABLE DRIVERS AND METHODS

(57)摘要

本發明闡述包括對應於一單個導通體之複數個驅動器之裝置及方法。可選擇若干個驅動器以個別地或一起操作以驅動一信號穿過一單個導通體。本發明還闡述額外裝置及方法。

Apparatuses and methods are described that include a plurality of drivers corresponding to a single via. A number of drivers can be selected to operate individually or together to drive a signal through a single via. Additional apparatus and methods are described.

指定代表圖：

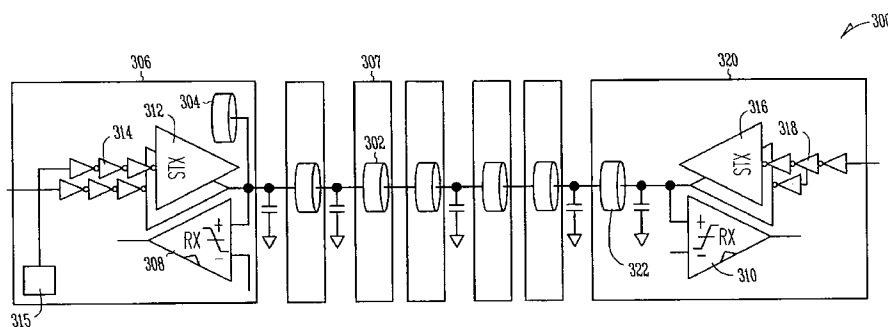


圖 3

符號簡單說明：

300 . . . 八晶粒堆

疊/晶粒堆疊

302 . . . 導通體

304 . . . 導通體

306 . . . 晶粒

307 . . . 晶粒

308 . . . 接收器

- 310 . . . 接收器
- 312 . . . 驅動器
- 314 . . . 預驅動器
- 315 . . . 選擇器
- 316 . . . 驅動器
- 318 . . . 預驅動器
- 320 . . . 晶粒
- 322 . . . 導通體

發明摘要

公告本

※ 申請案號：102110367

※ 申請日：102-03-22

※ IPC 分類：G11C 5/62 (2006.01),

G11C 7/10 (2006.01),

G11C 7/18 (2006.01)

【發明名稱】

包括可縮放驅動器之裝置及方法

APPARATUSES INCLUDING SCALABLE DRIVERS AND
METHODS

【中文】

本發明闡述包括對應於一單個導通體之複數個驅動器之裝置及方法。可選擇若干個驅動器以個別地或一起操作以驅動一信號穿過一單個導通體。本發明還闡述額外裝置及方法。

【英文】

Apparatuses and methods are described that include a plurality of drivers corresponding to a single via. A number of drivers can be selected to operate individually or together to drive a signal through a single via. Additional apparatus and methods are described.

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

300	八晶粒堆疊/晶粒堆疊
302	導通體
304	導通體
306	晶粒
307	晶粒
308	接收器
310	接收器
312	驅動器
314	預驅動器
315	選擇器
316	驅動器
318	預驅動器
320	晶粒
322	導通體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

包括可縮放驅動器之裝置及方法

APPARATUSES INCLUDING SCALABLE DRIVERS AND
METHODS

【先前技術】

在半導體器件中，行業中存在在一給定量之晶片區域中減小組件尺寸且裝配更多組件之持續壓力。隨著尺寸縮減，眾多技術障礙變得更顯著。

在諸多電子系統中(尤其在行動系統中)，可存在增加器件速度對減少電力消耗之競爭目標。期望在不犧牲速度之情形下提供減小之電力消耗。期望藉助高效製造程序改良電子系統以滿足此等及其他挑戰。

【圖式簡單說明】

圖1展示根據本發明之一實施例一半導體器件之一等角視圖。

圖2展示根據本發明之一實施例之自圖1沿線2-2之半導體器件之一剖面。

圖3展示根據本發明之一實施例之一半導體器件之一方塊圖。

圖4展示根據本發明一實施例之另一半導體器件之一方塊圖。

圖5展示根據本發明之一實施例之一實例驅動器之一示意圖。

圖6展示根據本發明之一實施例之另一實例驅動器之一示意圖。

圖7展示根據本發明之一實施例之驅動器之一示意圖。

圖8展示根據本發明之一實施例之包括一記憶體器件之資訊處置系統。

【實施方式】

在本發明之各項實施例之以下詳細說明中，參考隨附圖式，隨附圖式形成本發明之一部分且其中藉由圖解說明方式展示可實踐本發明之特定實施例。充分詳細地闡述此等實施例以使熟習此項技術者能夠實踐本發明。可利用其他實施例且可作出結構、邏輯及電改變。

積體電路(IC)可包括形成於一單個半導體晶粒上之諸多器件及電路構件。IC技術之當前趨勢朝向更快且更複雜之電路。然而，在製造更複雜IC時，各種速度相關之問題變得更明顯。當使用具有不同功能之IC以形成電子系統(舉例而言，包括處理器及記憶體IC之計算系統，其中藉由一全域互連網路電連接不同IC)時，上述情況尤其如此。當全域互連在電子系統中變得更長且更多時，阻容式(RC)延遲及電力消耗以及系統效能往往變成限制性因素。

此等問題之一所提出解決方案係三維(3-D)整合或封裝技術。3-D整合係指在一封裝內垂直堆疊包括IC之多個晶粒(例如，晶片)。在某種3-D整合技術中，使用形成垂直連接器或3-D導電結構之穿矽導通體(TSV)耦合(例如，電連接)多個晶粒。TSV延伸(至少部分)穿過晶粒中之一或多者之一厚度且可在堆疊晶粒時對準以在該堆疊中之IC之中提供電連通。此等TSV通常由一導電材料(諸如鋁或銅)形成。3-D整合通常導致經封裝IC之佔據面積之一減小以及電力消耗之一減小及效能之一增加。

在包括行動系統之諸多電子系統中，可存在增加器件速度及減少電力消耗之競爭目標。有時希望在不犧牲速度之情形下提供減小之電力消耗。在某些情形中，可使用高效製造程序來幫助達成此等目標。

參考圖1及圖2，現在將闡述一實例3-D IC器件。所圖解說明之3-D IC器件100包括彼此上下堆疊之四個晶粒110a-110d。雖然圖1中展

示一四晶粒組態，但其他組態可包括更少經堆疊晶粒，或更多經堆疊晶粒，舉例而言，諸如8個經堆疊晶粒。第一晶粒110a係最上面的晶粒，且第四晶粒110d係最下面的晶粒。第二晶粒110b及第三晶粒110c插在第一晶粒110a與第四晶粒110d之間。在其他實例中，一3-D IC器件可包括比圖1之器件更大數目或更小數目之晶粒。

第一至第四晶粒110a-110d中之一或多者可包括一IC陣列112、一收發器114、第一互連線116、第二互連線118及著陸墊130a-130d。晶粒110a-110c中之每一者亦可包括導通體120a-120c(圖2)。

在矽實例中，導通體可稱爲一TSV。雖然術語TSV係指由矽形成之晶粒，但受益於本發明之熟習此項技術者將認識到在製作晶粒時亦可使用其他半導體材料，且術語TSV應用於至少部分穿過不同材料之晶粒之其他垂直連接器或3-D導電結構。在一項實例中，如圖1所圖解說明，最下面的晶粒110d不包括一導通體。在一項實例中，最下面的晶粒可包括無導通體之一邏輯晶粒。在其他實例中，最下面的晶粒可包括一或多個導通體。

IC陣列112可包括一或多個積體電路，包括但不限於一或多個記憶體單元(舉例而言，揮發性及/或非揮發性記憶體單元)及一或多個處理器。在一項實例中，晶粒110a-110d中之一或多者包含一記憶體晶粒。記憶體晶粒之實例包括動態隨機存取記憶體(DRAM)晶粒、靜態隨機存取記憶體(SRAM)晶粒、快閃記憶體晶粒、電阻式隨機存取記憶體(RRAM)晶粒等。使用DRAM組態之3-D記憶體組態由於其相對高之存取及程式化速度而在複雜處理操作中係有利的。

在一項實例中，晶粒110a-110d之一或多者包括一邏輯晶粒。一邏輯晶粒之一項實例包括含有處理電路、定址電路或其他記憶體管理電路之一晶粒。在一項實例中，一邏輯晶粒不包括一記憶體陣列。一3-D IC器件100之一項實例包括若干個經堆疊記憶體晶粒及一單個邏

輯晶粒(其可與或可不與記憶體晶粒堆疊)。在一項實例中，邏輯晶粒位於晶粒堆疊之邊緣上，諸如以提供至邏輯晶粒之較容易存取。

第一互連線116提供晶粒110a-110d中之各別一者上之IC陣列112與收發器114之間的資料路徑。第二互連線118提供晶粒110a-110d中之各別一者之收發器114與著陸墊130a-130d之間的資料路徑。

導通體120a-120c提供彼此緊接堆疊之晶粒110a-110d之著陸墊130a-130d之間的通信路徑，藉此完成兩個晶粒上之IC陣列112之間的資料路徑之部分。在某些情形中，彼此上下堆疊之兩個或兩個以上晶粒110a-110d之導通體120a-120c串聯地對準，且可一起提供兩個或兩個以上晶粒之中的串列資料路徑。

圖3展示根據本發明之一實施例之一個八晶粒堆疊300之一方塊圖之一實例。雖然以方塊圖組態圖解說明八個晶粒，但其他組態可包括少於八個的晶粒或多於8個的晶粒。

圖解說明若干個導通體302。每一導通體302對應於一半導體晶粒堆疊(類似於圖1及圖2中所展示之晶粒110a-110d堆疊)中之一晶粒307。在一項實例中，將導通體302組態為類似於來自圖1及圖2之導通體120a-120c。導通體304包括在晶粒堆疊中之晶粒306中，且經圖解說明為與驅動器312、預驅動器314及一接收器308在相同晶粒306內。

圖3展示對應於晶粒306中之一單個導通體304之複數個驅動器312。可選擇驅動器312中之一或多者以個別地或一起(例如，平行地)操作以驅動一信號穿過導通體304、302至晶粒堆疊300中之一選定晶粒。一接收器308經展示且可操作以自晶粒堆疊300中之其他晶粒307接收一信號。在一項實例中，驅動器312及接收器308位於一收發器中，諸如來自圖1之收發器114。為了便於圖解說明，簡化圖3之方塊圖。每一晶粒307不僅可包括導通體302，且亦包括一收發器(諸如收發器114)中之驅動器及一接收器。

圖3之實例進一步展示包括一或多個預驅動器314之一實施例。可將一預驅動器耦合至驅動器312中之一或多者以在信號傳輸中改良速度及/或效能。在一項實例中，一或多個預驅動器314與一相關聯驅動器312交錯以減小一信號中之一變動率。在一項實例中，交錯每一驅動器(透過預驅動器)一啓用信號之時序，此舉繼而使得信號轉變在一最終輸出處更平滑。具有變動率控制之組態可減小輸出之過沖及/或下沖且改良發信號。

在一項實例中，複數個預驅動器314以一對一對應形式與對應複數個驅動器312相關聯。在另一實例中，一個預驅動器與複數個驅動器相關聯。舉例而言，圖3圖解說明一晶粒320中對應於一單個導通體322之第二複數個驅動器316。一單個預驅動器318與複數個驅動器316相關聯。類似於晶粒306，晶粒320亦展示為具有一接收器310。

具有對應於一單個導通體之複數個驅動器之組態提供在不同數目個晶粒堆疊中驅動信號之靈活性。舉例而言，為在一個八晶粒堆疊中驅動一信號，一驅動器可經組態以提供足夠功率以驅動該信號穿過至少七個晶粒以確保涵蓋最大可能距離。然而，若在一個四晶粒堆疊中使用相同驅動器組態，則浪費額外功率能力。因此，一較低功率組態可在一個四晶粒堆疊中提供電力節省。具有對應於一單個導通體之複數個驅動器之組態(諸如圖3及4)可經組態以在需要在大晶粒堆疊中驅動信號時使用多個驅動器，且經組態以在不需要額外功率驅動能力時在較小晶粒堆疊中使用較少驅動器。

舉例而言，圖4展示根據本發明之一實施例之一個四晶粒堆疊400之一方塊圖之一實例。圖解說明若干個導通體402。如在圖3中，每一導通體402對應於半導體晶粒堆疊中之一晶粒407。導通體404包括在晶粒堆疊400中之晶粒406中，且經圖解說明為與驅動器412、預驅動器414及一接收器408包括在相同晶粒406內。類似於圖3，在一項

實例中，包括複數個預驅動器414，其中一預驅動器414與複數個驅動器中之每一驅動器412相關聯。亦類似於圖3，一晶粒420中之第二複數個驅動器416對應於一單個導通體422。一單個預驅動器418與複數個驅動器416相關聯。類似於晶粒406，晶粒420亦展示為具有一接收器410。

在一項實例中，晶粒406與來自圖3之晶粒306實質上相同。可選擇所使用之驅動器412、312之數目以對應於一個八晶粒堆疊(如圖3中)或一個四晶粒堆疊(如圖4中)中或具有其他數目個晶粒之經堆疊晶粒組態中之功率需要。可製造一單晶粒組態，其中有可選數目的驅動器來滿足效能目標且同時減小功率需要以適應堆疊中之若干個晶粒。

返回至圖3，作為一實例，在一項實施例中，複數個驅動器中存在兩個驅動器312。在其他實例中，若干個驅動器中可包括三個或三個以上驅動器312。可包括其他數目之驅動器，此取決於在一經堆疊晶粒器件中針對晶粒數目所期望之靈活性程度。

在一項實例中，驅動器312在大小上實質相等。舉例而言，可使用一單個驅動器以在一個四晶粒堆疊中驅動一信號，且可將實質相等大小之一額外第二驅動器添加至第一驅動器以提供在一個八晶粒堆疊中驅動信號之能力。在另一實例中，驅動器在大小上實質不相等。舉例而言，可使用一單個驅動器以在一個兩晶粒堆疊中驅動一信號，且可添加較大大小之一額外第二驅動器以提供在一個八晶粒堆疊中驅動信號之能力。

在一項實例中，複數個驅動器可在晶粒堆疊內之一晶粒中。具有複數個驅動器之晶粒可係耦合至複數個記憶體晶粒之一邏輯晶粒。在其他實例中，晶粒堆疊中之每一晶粒包括複數個驅動器，如上文實施例中所闡述。在每一晶粒中包括複數個驅動器之一優點包括製造效率。一個實體晶粒組態可經製造，且稍後經電組態以使用複數個驅動

器中一或多個驅動器以高效地為一個3-D堆疊組態中之任何選定數量個晶粒提供功率。

圖3展示可用以選擇若干個驅動器312及/或預驅動器314之一選擇器315。在一項實例中，在製造之時致動選擇器315。在另一實例中，在開啓電源時例如使用來自一主機處理器(未展示)之指令致動選擇器315。圖4亦展示包括可用以選擇若干個驅動器412及/或預驅動器414之一選擇器415。在一項實例中，藉由預設選擇一單個驅動器(例如，該單個驅動器經組態為在操作時總是啓用)，且可選擇性地添加一(多個)額外驅動器以滿足一晶粒堆疊中較大數目個晶粒之需要。換言之，一額外驅動器經組態為視情況選擇。

圖5展示可用以形成複數個驅動器之一驅動器500之一項實例，如在諸如圖3或圖4中所展示之彼等之實例組態中。驅動器500包括一第一電壓供應節點502、一第二電壓(例如，接地)供應節點504及一輸入508。圖5之實例驅動器500包括以來自輸入508之一單個輸入信號操作之一P通道電晶體510及一N通道電晶體512。藉由一回饋電路516驅動一回饋電晶體514以控制輸出506處之電壓。

圖6展示可用以形成複數個驅動器之另一驅動器600之一實例，如在諸如圖3或圖4中所展示之彼等之實例組態中。驅動器600包括一第一電壓供應節點602、一第二電壓(例如，接地)供應節點604、一第一輸入608及一第二輸入610。圖6之實例驅動器600使用第一輸入608及第二輸入610以選擇一高或低信號來傳輸至一輸出606。藉由一回饋電路616驅動一回饋電晶體614以控制輸出606處之電壓。

圖7展示類似於來自圖6之驅動器600之複數個驅動器700之一項實例，驅動器700包括一第一驅動器702及一第二驅動器704。第一驅動器702包括一第一回饋電晶體706且第二驅動器704包括一第二回饋電晶體708。使用若干個輸入714以控制輸出712處之高或低位準。藉

由類似於來自圖3及圖4之選擇器315、415之一選擇器選擇輸入714以接通或關斷驅動器及/或預驅動器。藉由回饋電路710指定一擺動位準。

圖7之組態使用耦合至第一回饋電晶體706及第二回饋電晶體708兩者之一共用回饋電路710。具有一共用回饋電路710之組態可提供更大之功率效率及晶粒上之減小之電路佔用面積。

如本文所使用，術語「裝置」用來指代各種結構及組態，無限制地包括系統、器件、電路、晶片總成等。圖8中包括一裝置之一實施例(諸如一電腦)以展示一高階器件應用之一實施例。圖8係根據本發明之一實施例之併入有至少一個3-D IC器件804之一裝置800。圖8中所展示之裝置800僅係其中可使用本發明之一系統之一項實例。其他實例包括但不限於主機系統、平板電腦、個人資料助理(PDA)、蜂巢式電話、MP3播放器、飛行器、衛星、軍用車輛等。

在此實例中，裝置800包含一資料處理系統，該資料處理系統包含一系統匯流排802以耦合該系統之各種組件。系統匯流排802提供資訊處置系統800之各種組件之中的通信鏈路且可作為一單個匯流排、作為匯流排之一組合或以任何其他合適方式實施。

晶片總成804耦合至系統匯流排802。晶片總成804可包括任何電路或可相容操作之電路組合。在一項實施例中，晶片總成804包括可為任何類型之一處理器806。如本文所使用，「處理器」意指任何類型之計算電路，諸如(但不限於)一微處理器、一微控制器、一圖形處理器、一數位信號處理器(DSP)或任何其他類型之處理器或處理電路。多個處理器(諸如「多核心」)器件亦在本發明之實施例之範疇內。

在一項實施例中，晶片總成804中包括一記憶體器件807，諸如上文實施例中所闡述之一個3-D半導體器件。熟習此項技術者將認識到可在晶片總成804中使用各種各樣的記憶體器件組態。可接受之記

記憶體晶片類型包括但不限於動態隨機存取記憶體(DRAM)，諸如SDRAM、SLDRAM、RRAM及其他DRAM。記憶體晶片807亦可包括非揮發性記憶體，諸如NAND記憶體或NOR記憶體。

在一項實施例中，晶片總成804中包括除處理器晶片之外的額外邏輯晶片808。除一處理器之外的一邏輯晶片808之一實例包括一類比轉數位轉換器。在本發明之一項實施例中亦包含邏輯晶片808上之其他電路，諸如定製電路、一特殊應用積體電路(ASIC)等。

裝置800亦可包括一外部記憶體811，該外部記憶體繼而可包括適合於特定應用之一或多個記憶體元件，諸如一或多個硬碟機812及/或處置可抽換式媒體813(諸如軟碟片、光碟(CD)、數位視訊光碟(DVD)及諸如此類)之一個或多個磁碟機。裝置800中亦包括如上文實例中所闡述建構之一記憶體。

裝置800亦可包括一顯示器件809(諸如一監視器)、額外周邊組件810(諸如揚聲器等)及一鍵盤及/或控制器814(可包含一滑鼠或准許一系統使用者將資訊輸入裝置800中及自裝置800接收資訊之任何其他裝置)。

儘管闡述了本發明之若干個實施例，但上文列舉者並不意欲包羅無遺。雖然本文中已圖解說明及闡述了特定實施例，但熟習此項技術者將瞭解，經計算以達成相同目的之任何配置皆可替代為所顯示之特定實施例。此申請案意欲涵蓋本發明之任何變更或變化。應瞭解，上文之說明意欲說明性而非限制性。研究上文說明後，熟習此項技術者將旋即明瞭上文實施例之組合及其他實施例。

【符號說明】

2	線
100	三維積體電路器件
110A	晶粒

110B	晶粒
110C	晶粒
110D	晶粒
112	積體電路陣列
114	收發器
116	第一互連線
118	第二互聯線
120A	導通體
120B	導通體
120C	導通體
130A	著陸墊
130B	著陸墊
130C	著陸墊
130D	著陸墊
300	八晶粒堆疊/晶粒堆疊
302	導通體
304	導通體
306	晶粒
307	晶粒
308	接收器
310	接收器
312	驅動器
314	預驅動器
315	選擇器
316	驅動器
318	預驅動器

320	晶粒
322	導通體
400	四晶粒堆疊/晶粒堆疊
402	導通體
404	導通體
406	晶粒
407	晶粒
408	接收器
410	接收器
412	驅動器
414	預驅動器
415	選擇器
416	驅動器
418	預驅動器
420	晶粒
422	導通體
500	驅動器/實例驅動器
502	第一電壓供應節點
504	第二電壓(接地)供應節點
506	輸出
508	輸入
510	P通道電晶體
512	N通道電晶體
514	回饋電晶體
516	回饋電路
600	驅動器

602	第一電壓供應節點
604	第二電壓(接地)供應節點
606	輸出
608	第一輸入
610	第二輸入
614	回饋電晶體
616	回饋電路
700	驅動器
702	第一驅動器
704	第二驅動器
706	第一回饋電晶體
708	第二回饋電晶體
710	回饋電路/共用回饋電路
712	輸出
714	輸入
800	裝置/資訊處置裝置
802	系統匯流排
804	三維積體電路器件/晶片總成
806	處理器
807	記憶體晶片
808	邏輯晶片
809	顯示器件
810	周邊組件
811	外部記憶體
812	硬碟機
813	可抽換式媒體
814	鍵盤及/或控制器

申請專利範圍

1. 一種半導體晶粒，其包含：

複數個導通體，該複數個導通體位於該半導體晶粒中；及

複數個驅動器，該複數個驅動器對應於該複數個導通體中之一單個導通體，其中可選擇該複數個驅動器中之一或多者以個別地或一起操作以驅動一信號穿過該單個導通體，其中該複數個驅動器經組態以在需要在大晶粒堆疊中驅動信號時使用多個驅動器，且經組態以在較小晶粒堆疊中使用較少驅動器；

其中該複數個驅動器中之一個驅動器經組態為在操作時總是啟用，且該複數個驅動器中之一額外驅動器經組態為視情況選擇。

2. 如請求項1之半導體晶粒，其中該複數個驅動器係兩個驅動器。
3. 如請求項1之半導體晶粒，其中該複數個驅動器在大小上實質相等。
4. 如請求項1之半導體晶粒，其進一步包含該複數個驅動器之間的共用回饋電路。
5. 如請求項1之半導體晶粒，其進一步包含一預驅動器，該預驅動器耦合至該複數個驅動器中之至少一者。
6. 如請求項5之半導體晶粒，其中該預驅動器經交錯以提供變動率控制。
7. 如請求項1之半導體晶粒，其中各驅動器與一預驅動器相關聯。
8. 如請求項1之半導體晶粒，其中該半導體晶粒為一邏輯晶粒。
9. 一種半導體裝置，其包含：
一邏輯晶粒，該邏輯晶粒包含複數個導通體；
複數個驅動器，該複數個驅動器對應於該複數個導通體中之

一單個導通體介面，其中可選擇該複數個驅動器中之一或多者以個別地或一起操作以驅動一信號，其中該複數個驅動器經組態以在需要在大晶粒堆疊中驅動信號時使用多個驅動器，且經組態以在較小晶粒堆疊中使用較少驅動器；

其中該複數個驅動器中之一個驅動器經組態為在操作時總是啟用，且該複數個驅動器中之一額外驅動器經組態為視情況選擇；及

一或多個記憶體晶片，該邏輯晶粒中的該複數個驅動器驅動該一或多個記憶體晶片。

10. 如請求項9之裝置，其中該複數個驅動器在大小上實質不相等。
11. 如請求項10之裝置，其中該複數個驅動器之一者經組態以驅動一單個晶粒，且其中該複數個驅動器之一第二驅動器經組態以驅動多於一個的晶粒。
12. 如請求項11之裝置，其中該複數個驅動器之該第二驅動器經組態以驅動一八晶粒堆疊。
13. 一種操作一半導體晶粒之方法，該半導體晶粒包含對應於複數個導通體中之一單個導通體之複數個驅動器，該方法包含：

使用該複數個驅動器之一第一驅動器自該單個導通體驅動一信號，該複數個驅動器之該第一驅動器經組態為總是啟用，其中該複數個驅動器經組態以在需要在大晶粒堆疊中驅動信號時使用多個驅動器，且經組態以在較小晶粒堆疊中使用較少驅動器；

選擇性地啟用該複數個驅動器中之一或多個額外驅動器以與該第一驅動器一起操作以自該單個導通體驅動一信號。

14. 如請求項13之方法，其中選擇性地啟用一或多個額外驅動器包含：在一製造時間選擇性地啟用一或多個額外驅動器。

15. 如請求項13之方法，其中選擇性地啟用一或多個額外驅動器包含：在對該半導體晶粒供電時選擇性地啟用一或多個額外驅動器。
16. 如請求項13之方法，其中選擇性地啟用一或多個額外驅動器包含：回應自一主機處理器所接收的指令選擇性地啟用一或多個額外驅動器。
17. 如請求項13之方法，其中選擇性地啟用該複數個驅動器中之一或多個額外驅動器以與該第一驅動器一起操作包含：選擇性地啟用一第二驅動器，該第二驅動器與該第一驅動器之大小相同。
18. 如請求項13之方法，其中使用一第一驅動器自該單個導通體驅動一信號包含：驅動一適於一單個晶粒之信號，且其中選擇性地啟用一或多個額外驅動器包含：選擇性地啟用一第二驅動器以驅動多個晶粒。

圖式

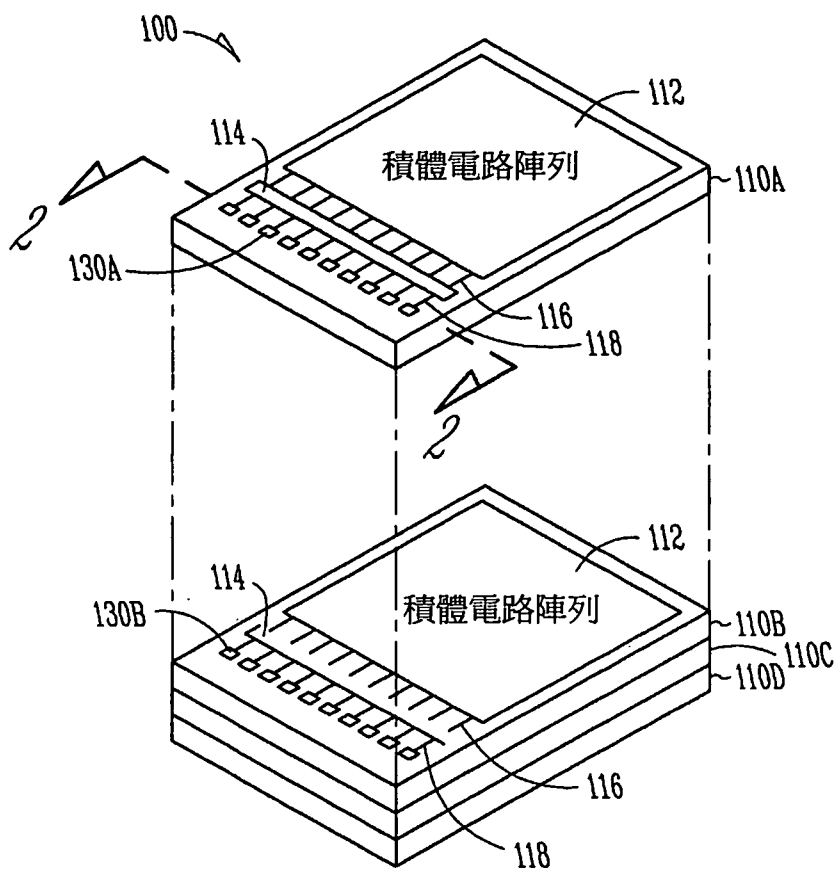


圖 1

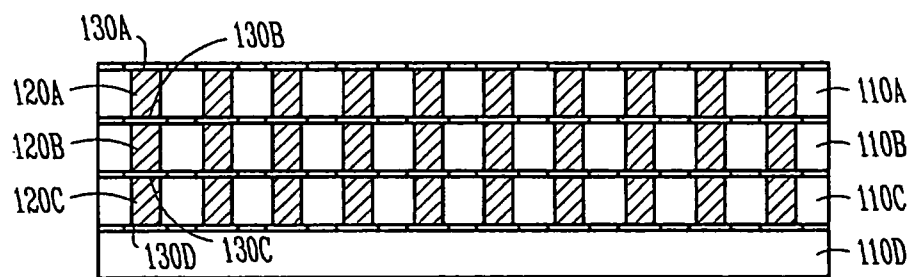
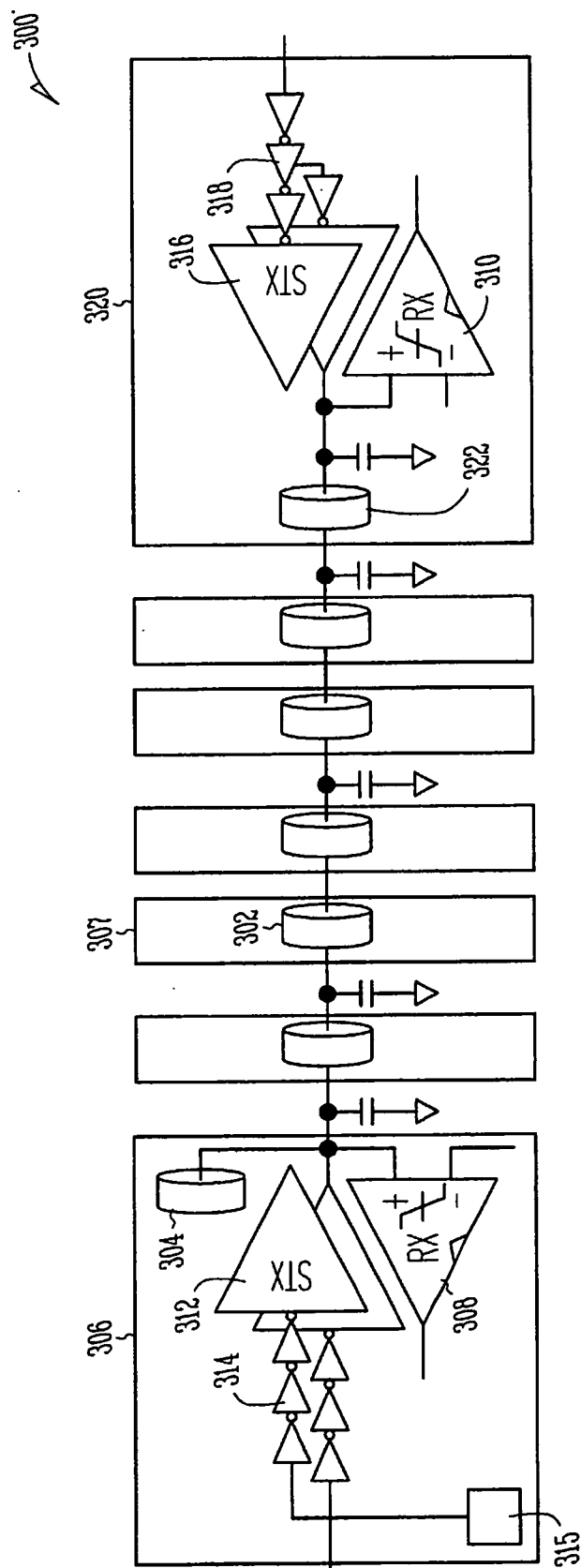


圖 2

3

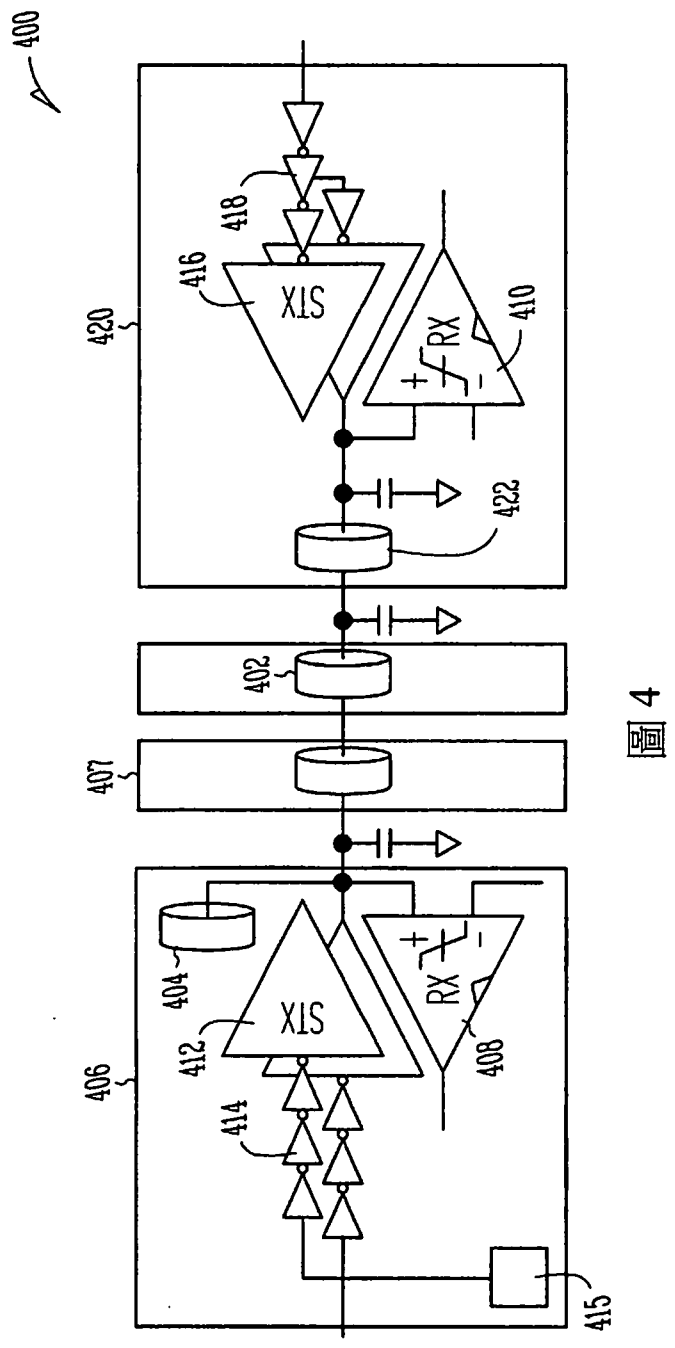



圖 4

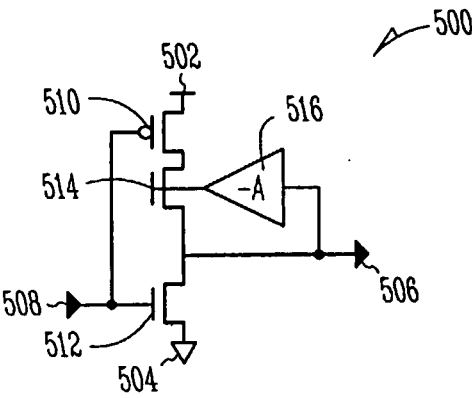


圖 5

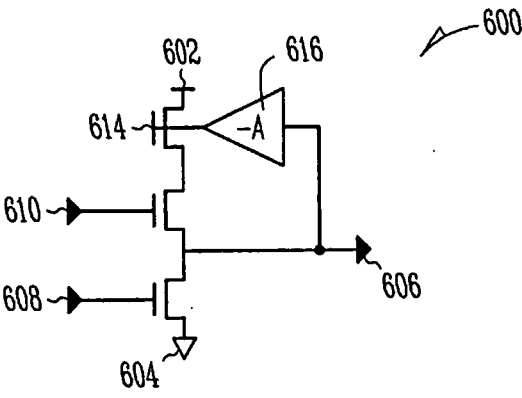


圖 6

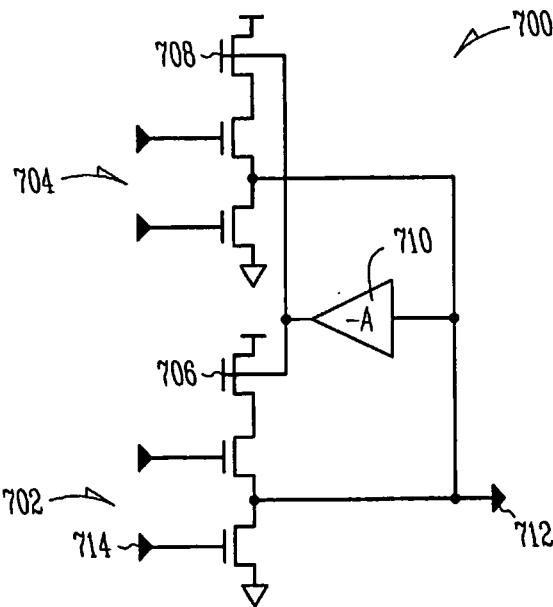


圖 7

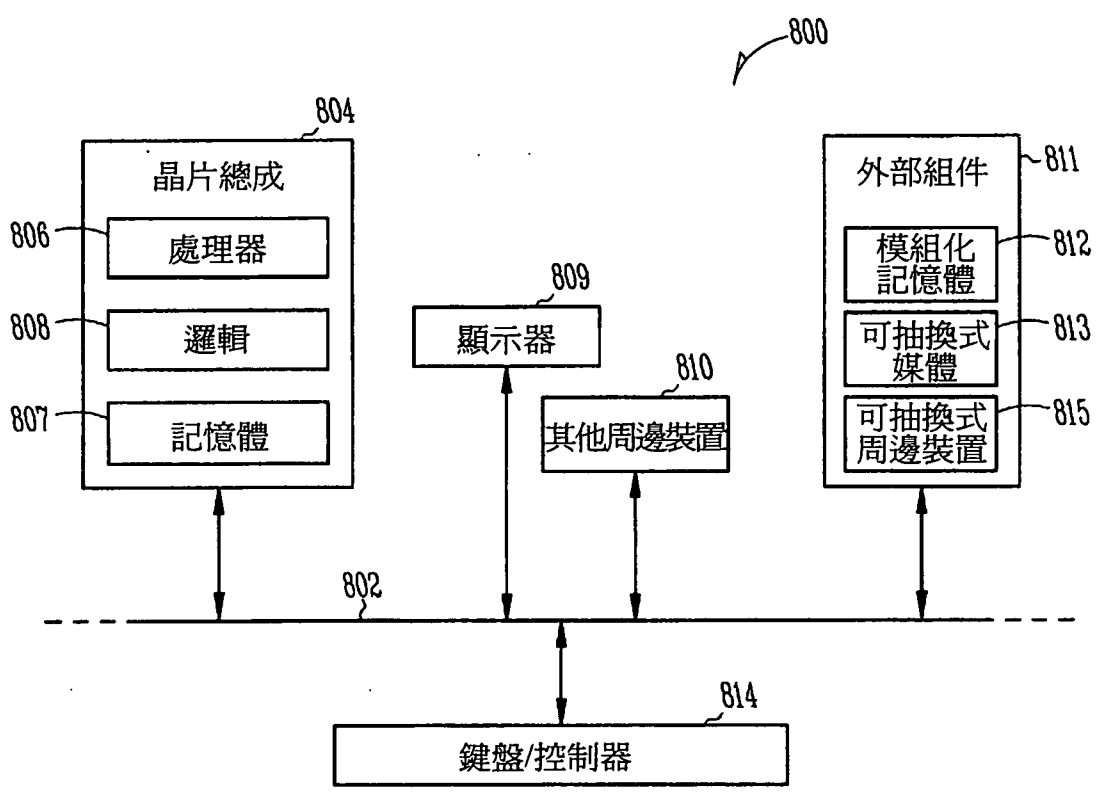


圖 8