



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월06일
(11) 등록번호 10-0906273
(24) 등록일자 2009년06월29일

(51) Int. Cl.

G06F 13/24 (2006.01)
(21) 출원번호 10-2003-7015578
(22) 출원일자 2002년05월24일
심사청구일자 2007년04월11일
(85) 번역문제출일자 2003년11월28일
(65) 공개번호 10-2004-0004668
(43) 공개일자 2004년01월13일
(86) 국제출원번호 PCT/JP2002/005086
(87) 국제공개번호 WO 2002/99662
국제공개일자 2002년12월12일
(30) 우선권주장

JP-P-2001-00162876 2001년05월30일 일본(JP)

(56) 선행기술조사문현

US5692199 A

전체 청구항 수 : 총 14 항

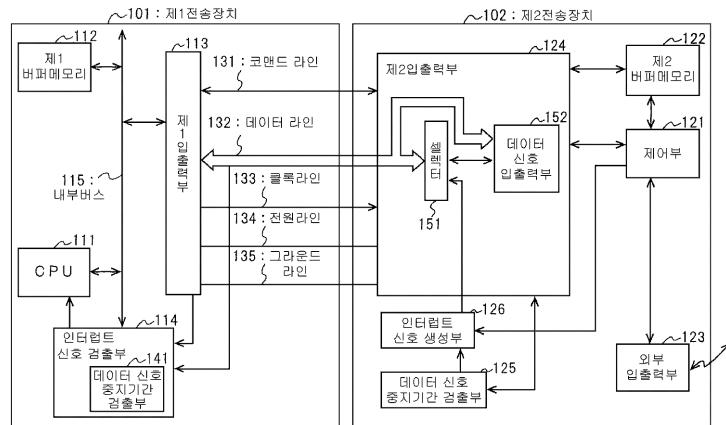
심사관 : 한선경

(54) 전송장치 및 전송방법

(57) 요 약

본 발명은 적은 입출력단자로(전용의 인터럽트 신호라인을 가지지 않고), 인터럽트 신호를 전송할 수 있는(높은 응답성을 가진) 소형이고 염가인 전송장치 및 전송방법을 제공한다. 본 발명의 제 1 전송장치는 인터럽트 신호에 따라 인터럽트 처리를 하는 중앙연산처리장치와, 제 2 전송장치와 제 1 전송장치와의 사이에서 데이터신호를 전송하고, 제 2 전송장치로부터 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인을 가진 입출력부와, 제 2 전송장치로부터 데이터라인을 통하여 전송된 신호중에서 인터럽트 신호를 검출하는 인터럽트 신호검출부를 가진다.

대 표 도



(72) 발명자
이와타가즈야
일본국오사카후가타노시기사이치4-59-11

가사하라데쓰시
일본국오사카후가타노시호시다4-10-13-403

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

인터럽트 신호에 따라 인터럽트 처리를 행하는 중앙연산처리장치와,

제 2 전송장치와 제 1 전송장치와의 사이에서 데이터신호를 전송하고, 상기 제 2 전송장치로부터 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인과, 적어도 제 1 전송장치로부터 상기 제 2 전송장치에 코マン드신호를 전송하는 코マン드라인을 가진 입출력부와,

상기 제 2 전송장치로부터 상기 데이터라인을 통하여 전송된 신호중에서 인터럽트 신호를 검출하는 인터럽트신호검출부를 가지며,

상기 데이터라인은 상기 코マン드신호에 따라 상기 제 2 전송장치와 제 1 전송장치와의 사이에서 데이터신호를 전송하고,

상기 인터럽트 신호검출부는 상기 데이터라인상을 상기 데이터신호가 전송되지 않은 데이터신호중지기간을 검출하는 데이터신호중지기간검출부를 가지며, 상기 데이터신호중지기간검출부가 검출한 상기 데이터신호중지기간에 전송된 신호를, 인터럽트 신호로서 검출하고,

상기 데이터신호중지기간검출부는 상기 코マン드신호에 따라 전송되는 데이터신호의 종단에서 다음의 데이터라인상에 데이터신호의 전송을 명령하는 상기 코マン드신호의 종단까지의 사이의 임의의 기간을 상기 데이터신호중지기간으로서 검출하는 것을 특징으로 하는 제 1 전송장치.

청구항 4

인터럽트 신호에 따라 인터럽트 처리를 행하는 중앙연산처리장치와,

제 2 전송장치와 제 1 전송장치와의 사이에서 데이터신호를 전송하고, 상기 제 2 전송장치로부터 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인을 가진 입출력부와,

상기 제 2 전송장치로부터 상기 데이터라인을 통하여 전송된 신호중에서 인터럽트 신호를 검출하는 인터럽트신호검출부를 가지며,

상기 인터럽트 신호검출부는 상기 데이터라인상을 상기 데이터신호가 전송되지 않은 데이터신호중지기간을 검출하는 데이터신호중지기간검출부를 가지며, 상기 데이터신호중지기간검출부가 검출한 상기 데이터신호중지기간에 전송된 신호를, 인터럽트 신호로서 검출하고,

상기 데이터신호중지기간검출부는 상기 데이터신호의 종단을 시작점으로 하는 제 1 기간 T_1 (T_1 은 임의의 기간)내의 임의의 기간을, 상기 데이터신호중지기간으로서 검출하는 것을 특징으로 하는 제 1 전송장치.

청구항 5

인터럽트 신호에 따라 인터럽트 처리를 행하는 중앙연산처리장치와,

제 2 전송장치와 제 1 전송장치와의 사이에서 데이터신호를 전송하고, 상기 제 2 전송장치로부터 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인을 가진 입출력부와,

상기 제 2 전송장치로부터 상기 데이터라인을 통하여 전송된 신호중에서 인터럽트 신호를 검출하는 인터럽트신호검출부와,

제 1 전송장치로부터 상기 제 2 전송장치에 전송하는 데이터신호를 생성하는 데이터신호생성부와,

상기 데이터신호가 일정이상의 정보량을 가지면, 상기 데이터신호를 분할하여 일정미만의 정보량을 가진 복수의 분할된 데이터신호를 생성하는 데이터신호분할부를 가지며,

상기 입출력부는 상기 데이터라인을 사용하여 제 1 전송장치로부터 상기 제 2 전송장치에 복수의 상기 분할된 데이터신호를 순차 전송하고, 또한 상기 분할된 데이터신호의 전송완료후에 그 다음의 상기 분할된 데이터신호의 전송개시전에 적어도 일정한 전송중지기간을 가지는 것을 특징으로 하는 제 1 전송장치.

청구항 6

제 1 전송모드와 제 2 전송모드를 포함하는 복수의 전송모드중에서 1개의 전송모드를 결정하고, 인터럽트 신호에 따라 인터럽트 처리를 하는 중앙연산처리장치와,

복수의 데이터라인을 가진 입출력부를 가지며,

상기 제 1 전송모드에 있어서는, 상기 입출력부는 모든 상기 데이터라인을 통하여 데이터신호를 전송하고, 상기 제 2 전송모드에 있어서는 상기 입출력부는 적어도 1개의 상기 데이터라인을 통하여 데이터신호를 전송하며 또한 적어도 1개의 다른 상기 데이터라인을 통하여 제 2 전송장치로부터 제 1 전송장치에 전송된 인터럽트 신호를 수신하는 것을 특징으로 하는 제 1 전송장치.

청구항 7

제 6 항에 있어서, 데이터신호중지기간검출부를 가지며 또한 상기 제 2 전송장치로부터 다른 상기 데이터라인을 통하여 전송된 신호중에서 인터럽트 신호를 검출하는 인터럽트 신호검출부를 더욱 가지며,

상기 데이터신호중지기간검출부는 제 1 전송장치로부터 상기 제 2 전송장치에 전송하는 코マン드신호에 따라 전송되는 데이터신호의 종단으로부터 다음의 데이터라인상에 데이터신호의 전송을 명령하는 상기 코マン드신호의 종단까지의 사이의 임의의 기간을, 데이터신호중지기간으로서 검출하고,

상기 제 1 전송모드에 있어서는, 상기 인터럽트 신호검출부는 상기 데이터신호중지기간에 다른 상기 데이터라인 상을 통하여 전송된 신호를 인터럽트 신호로서 검출하고,

상기 제 2 전송모드에 있어서는, 상기 인터럽트 신호검출부는 그 전송 시기에 관계없이, 다른 상기 데이터라인 상을 통하여 전송된 신호를 인터럽트 신호로서 검출하는 것을 특징으로 하는 제 1 전송장치.

청구항 8

삭제

청구항 9

제 1 전송장치와 제 2 전송장치의 사이에서 데이터신호를 전송하고, 제 2 전송장치로부터 상기 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인과, 적어도 상기 제 1 전송장치로부터 제 2 전송장치에 코マン드신호를 전송하는 코맨드라인을 가진 입출력부와,

상기 데이터라인상을 상기 데이터신호가 전송되지 않는 데이터신호중지기간을 검출하는 데이터신호중지기간검출부와,

상기 데이터신호중지기간에 인터럽트 신호를 상기 입출력부에 전송하는 인터럽트 신호생성부를 가지며,

상기 데이터라인은 상기 코マン드신호에 따라 상기 제 1 전송장치와 제 2 전송장치와의 사이에서 데이터신호를 전송하고,

상기 데이터신호중지기간검출부는 상기 코マン드신호에 따라 전송되는 데이터신호의 종단으로부터 다음 데이터라인상에 데이터신호의 전송을 명령하는 상기 코マン드신호의 종단까지의 사이의 임의의 기간을, 상기 데이터신호중지기간으로서 검출하는 것을 특징으로 하는 제 2 전송장치.

청구항 10

제 1 전송장치와 제 2 전송장치의 사이에서 데이터신호를 전송하고, 제 2 전송장치로부터 상기 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인을 가진 입출력부와,

상기 데이터라인상을 상기 데이터신호가 전송되지 않는 데이터신호중지기간을 검출하는 데이터신호중지기간검출부와,

상기 데이터신호중지기간에 인터럽트 신호를 상기 입출력부에 전송하는 인터럽트 신호생성부를 가지며,

상기 데이터신호중지기간검출부는 상기 데이터신호의 종단을 시작점으로 하는 제 1 기간 T_1 (T_1 은 임의의 기간)내의 임의의 기간을, 상기 데이터신호중지기간으로서 검출하는 것을 특징으로 하는 제 2 전송장치.

청구항 11

제 10 항에 있어서, 상기 입출력부는 상기 데이터신호의 전송후, 적어도 상기 데이터신호의 종단을 시작점으로 하는 제 2 기간 T_2 가 경과한 후에, 다음의 상기 데이터신호를 전송하고,

상기 제 2 기간 T_2 는 상기 제 1 기간 T_1 보다도 적어도 1클록의 시간만큼 긴 기간인 것을 특징으로 하는 제 2 전송장치.

청구항 12

제 10 항에 있어서, 상기 데이터신호중지기간검출부는 상기 데이터신호의 종단으로부터 제 3 기간 T_3 (T_3 은 1클록의 시간이상의 기간)을 경과한 시점을 시작점으로 하고, 상기 시작점에서 제 4 기간 T_4 (T_4 는 임의의 기간)를 경과한 시점을 종점으로 하는 기간을 상기 데이터신호중지기간으로서 검출하는 것을 특징으로 하는 제 2 전송장치.

청구항 13

제 1 전송장치와 제 2 전송장치의 사이에서 데이터신호를 전송하고, 제 2 전송장치로부터 상기 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인을 가진 입출력부와,

상기 데이터라인상을 상기 데이터신호가 전송되지 않는 데이터신호중지기간을 검출하는 데이터신호중지기간검출부와,

상기 데이터신호중지기간에 인터럽트 신호를 상기 입출력부에 전송하는 인터럽트 신호생성부와,

제 2 전송장치로부터 상기 제 1 전송장치에 전송하는 데이터신호를 생성하는 데이터신호생성부와,

상기 데이터신호가 일정이상의 정보량을 가지면, 상기 데이터신호를 분할하여 일정미만의 정보량을 가진 복수의 분할된 데이터신호를 생성하는 데이터신호분할부를 가지며,

상기 입출력부는 상기 데이터라인을 사용하여 제 2 전송장치로부터 상기 제 1 전송장치에 복수의 상기 분할된 데이터신호를 차례로 전송하고, 또한 상기 분할된 데이터신호의 전송완료후에 그 다음의 상기 분할된 데이터신호의 전송개시전에 적어도 일정한 전송중지기간을 가지는 것을 특징으로 하는 제 2 전송장치.

청구항 14

제 1 전송장치로부터 제 2 전송장치에 전송된 전송모드의 정보에 기초하여, 또는 상기 제 1 전송장치로부터 제 2 전송장치에 전송된 코맨드신호에 기초하여, 제 1 전송모드와 제 2 전송모드를 포함하는 복수의 전송모드중에서 1개의 전송모드를 결정하는 전송모드결정부와,

복수의 데이터라인을 가진 입출력부와,

인터럽트 신호를 생성하여 상기 입출력부에 전송하는 인터럽트 신호생성부를 가지며,

상기 제 1 전송모드에 있어서는 상기 입출력부는 모든 상기 데이터라인을 통해서 데이터신호를 전송하고, 상기 제 2 전송모드에 있어서는 상기 입출력부는 적어도 1개의 상기 데이터라인을 통해서 데이터신호를 전송하며 또한 적어도 1개의 다른 상기 데이터라인을 통하여 제 2 전송장치로부터 상기 제 1 전송장치에 상기 인터럽트 신호를 전송하는 것을 특징으로 하는 제 2 전송장치.

청구항 15

제 14 항에 있어서, 상기 제 1 전송장치로부터 제 2 전송장치에 전송하는 코맨드신호에 따라 전송되는 데이터신

호의 종단으로부터 다음 데이터라인상에 데이터신호의 전송을 명령하는 상기 코맨드신호의 종단까지의 사이의 임의의 기간을, 데이터 신호중지기간으로서 검출하는 데이터신호중지기간검출부를 더욱 가지며,

상기 제 1 전송모드에 있어서는, 상기 입출력부는 상기 데이터신호중지기간에만 다른 상기 데이터라인상을 통하여 상기 인터럽트 신호를 전송하고,

상기 제 2 전송모드에 있어서는, 상기 입출력부는 상기 데이터신호중지기간인지의 여부에 상관없이, 다른 상기 데이터라인상을 통하여 인터럽트 신호를 전송하는 것을 특징으로 하는 제 2 전송장치.

청구항 16

삭제

청구항 17

제 1 전송장치와 제 2 전송장치와의 사이의 전송방법으로서,

상기 제 1 전송장치 또는 상기 제 2 전송장치에 있어서, 전송하는 데이터신호를 생성하는 데이터신호생성스텝과,

상기 데이터신호생성 스텝에 있어서 생성한 상기 데이터신호가 일정이상의 정보량을 가지면, 상기 데이터신호를 분할하여 일정미만의 정보량을 가진 복수의 분할된 데이터신호를 생성하는 데이터신호분할 스텝과,

데이터라인을 사용하여 복수의 상기 분할된 데이터신호를 차례로 전송하고, 또한 상기 분할된 데이터신호의 전송완료후에 그 다음의 상기 분할된 데이터신호의 전송개시전에 적어도 일정한 전송중지기간을 형성하는 데이터신호전송 스텝과,

상기 데이터라인상을 데이터신호가 전송되지 않은 데이터신호중지기간을 상기 제 2 전송장치에 있어서 검출하는 데이터신호중지기간검출 스텝과,

상기 데이터신호중지기간에, 인터럽트 신호를 상기 제 2 전송장치로부터 상기 제 1 전송장치에 전송하는 인터럽트 신호전송 스텝과,

상기 제 1 전송장치에 있어서, 상기 인터럽트 신호에 따라서 인터럽트 처리를 실행하는 인터럽트 처리 스텝을 가진 것을 특징으로 하는 전송방법.

청구항 18

각각 복수의 데이터라인을 가진 제 1 전송장치와 제 2 전송장치와의 사이의 전송방법으로서,

제 1 전송모드와 제 2 전송모드를 포함하는 복수의 전송모드중에서 1개의 전송모드를 결정하는 전송모드결정 스텝과,

상기 제 1 전송모드에 있어서, 모든 상기 데이터라인을 통하여 데이터신호를 전송하는 데이터신호전송 스텝과,

상기 제 2 전송모드에 있어서, 적어도 1개의 상기 데이터라인을 통하여 데이터신호를 전송하고, 또한 적어도 1개의 다른 상기 데이터라인을 통하여 상기 제 2 전송장치로부터 상기 제 1 전송장치에 인터럽트 신호를 전송하는 인터럽트 신호전송 스텝과,

상기 제 1 전송장치에 있어서, 수신한 상기 인터럽트 신호에 따라 인터럽트 처리를 하는 인터럽트 처리 스텝을 가진 것을 특징으로 하는 전송방법.

명세서

기술 분야

<1>

본 발명은 전송장치 및 전송방법에 관한 것이다.

배경 기술

<2>

오늘날, 컴퓨터, 디지털영상신호처리장치, 디지털음성신호처리장치 등의 많은 종류의 디지털신호처리장치가 실

용화되어 있다. 더욱이, 이들을 사용하는 사용자가 각각의 디지털신호처리장치에 대하여 다양한 요구를 가지게 되었다.

- <3> 사용자의 다양화한 기호에 대응할 수 있는 디지털신호처리장치를 실현하는 방법의 하나로서, 디지털신호처리장치에 장착할 수 있는 여러가지 옵션장치를 구비하는 방법이 있다. 사용자는 여러가지 옵션장치중에서 선택한 옵션장치를 디지털신호처리장치에 장착함으로써, 사용자의 기호에 따른 기능을 가진 디지털신호처리장치를 실현할 수 있다.
- <4> 각종 옵션장치를 실현하는 데에 있어서, 디지털신호처리장치와 옵션장치의 사이의 신호전송의 표준화가 필요하다. 표준화된 신호전송 프로토콜은 각각의 옵션장치에서 필요한 여러가지 신호를 전송할 수 있는 프로토콜이어야 한다.
- <5> 대부분의 경우, 디지털신호처리장치와 옵션장치의 사이의 신호전송 프로토콜은 마스터/슬레이브방식이다. 마스터/슬레이브방식의 시스템에 있어서는, 일반적으로 디지털신호처리장치가 마스터이고, 옵션장치가 슬레이브이다. 마스터/슬레이브방식의 통신에 있어서는, 통상 마스터인 디지털신호처리장치가 어떠한 신호를 디지털신호처리장치로부터 옵션장치에 전송하고, 어떠한 신호를 옵션장치로부터 디지털신호처리장치에 전송할 것인지를 결정한다.
- <6> 도 9 및 도 10을 사용하여, 종래의 전송시스템을 설명한다.
- <7> 도 9는 종래의 전송시스템의 블록도이다. 도 9의 전송시스템은 제 1 전송장치(901)와 제 2 전송장치(902)를 가진다.
- <8> 제 1 전송장치(901)는 디지털신호처리장치이다. 제 2 전송장치(902)는 그 옵션장치이다. 도 9의 제 2 전송장치(902)는 IC 카드의 표준 프로토콜에 따른 옵션 카드이다. 제 2 전송장치(902)는 제 1 전송장치(901)에 설치된 IC 카드의 규격에 따르는 옵션 슬롯에 장착되는 것에 의해, 제 1 전송장치(901)와 통신을 한다.
- <9> 본 발명은 전송장치 및 전송방법에 관한 것이므로, 본 명세서에 있어서는, 전송기능을 가진 디지털신호처리장치 및 그 옵션장치를 전송장치라 한다.
- <10> 도 9의 제 1 전송장치(901)는 휴대정보단말이다.
- <11> 제 1 전송장치(901)는 CPU(911), 제 1 버퍼 메모리(912) 및 제 1 입출력부 (913)를 가진다. CPU(911), 제 1 버퍼 메모리(912) 및 제 1 입출력부(913)는 서로 내부 버스(914)로 연결되어 있어, 서로 신호를 전송할 수 있다.
- <12> 제 2 전송장치(902)는 제어부(921), 제 2 버퍼 메모리(922), 외부입출력부 (923), 제 2 입출력부(924)를 가진다. 제어부(921)는 제 2 버퍼 메모리(922), 외부입출력부(923) 및 제 2 입출력부(924)와 접속되어 있어, 서로 신호를 전송할 수 있다. 제 2 버퍼 메모리(922)는 제어부(921) 및 제 2 입출력부(924)와 접속되어 있어, 서로 신호를 전송할 수 있다.
- <13> 제 2 전송장치(902)의 외부입출력부(923)에는, 외부장치가 접속된다.
- <14> 제 1 입출력부(913)와 제 2 입출력부(924)는 IC 카드의 표준 프로토콜에 따라서 데이터신호 등을 서로 전송할 수 있다. 도 9의 신호전송에 있어서, 제 1 전송장치(901)가 마스터이고, 제 2 전송장치(902)가 슬레이브이다.
- <15> 제 1 전송장치(901)의 CPU(911)는 제 1 입출력부(913) 및 제 2 입출력부 (924)를 통하여, 제 2 전송장치(902)에 코マン드신호, 데이터신호를 보내고, 제 2 전송장치(902)로부터 리스폰스(response)신호, 데이터신호를 수신할 수 있다.
- <16> 상기의 전송시스템을 이용하여, 제 1 전송장치(901)는 제 2 전송장치(902)와 통신을 할 수 있을 뿐만 아니라, 외부입출력부(923)에 접속된 외부장치와도 통신을 할 수 있다. 제 1 전송장치(901)와 외부장치의 통신에 있어서는, 제 2 전송장치 (902)가 양자의 통신의 중개를 한다.
- <17> 제 1 입출력부(913)와 제 2 입출력부(924)는 1개의 코맨드 라인(931), 4개의 데이터라인(932), 1개의 클록라인 (933), 1개의 전원라인(934), 2개의 그라운드라인 (935)으로 이루어지는 9개의 선으로 서로 접속되어 있다(1개의 IC 카드의 표준수단에 따르고 있다).
- <18> 이하, IC 카드의 표준 프로토콜에 따른 신호전송방법을 설명한다.

- <19> 제 2 전송장치(902)는 제 1 전송장치(901)로부터 전원라인(934)을 통하여 전원이 공급된다.
- <20> 제 1 입출력부(913)와 제 2 입출력부(924)는 서로 싱크로너스(동기식) 데이터전송을 한다. 싱크로너스 데이터전송은 제 1 입출력부(913)로부터 제 2 입출력부(924)에 클록라인(933)을 통하여 클록신호를 전송하고, 이 클록신호에 동기하여 쌍방향으로 코マン드 라인(931) 또는 데이터라인(932)을 통하여 신호를 전송하는 방식이다.
- <21> 제 1 입출력부(913) 및 제 2 입출력부(924)는 각각, 코マン드 라인(931) 및 4개의 데이터라인(932)의 각각에 대하여, 클록신호에 동기하여 신호를 출력하기 위한 전체 2중 데이터 버퍼를 가진 출력부(입력모드에서는 출력임피던스가 하이 임피던스가 되는 스리 스테이트기능을 가진다)와, 클록신호에 동기하여 신호를 입력하기 위한 전체 2중 데이터 버퍼를 가진 입력부를 구비한다.
- <22> 송신용 전체 2중 데이터 버퍼는 현재 송신중인 데이터 신호를 저장하는 병렬 입력/직렬 출력형 시프트 레지스터와, 다음에 송신하는 데이터신호를 저장하는 병렬 입력/병렬 출력형 레지스터를 가진다. 병렬 입력/직렬 출력형 시프트 레지스터가 현재송신중인 데이터신호의 송신을 완료하면, 병렬 입력/병렬 출력형 레지스터에 저장되어 있는 데이터신호가 자동적으로 병렬 입력/직렬 출력형 시프트 레지스터에 로드된다. 병렬 입력/직렬 출력형 시프트 레지스터는 데이터신호의 송신을 계속한다.
- <23> 제 1 전송장치의 CPU(911){또는 제 2 전송장치의 제어부(921) 혹은 제 2 버퍼 메모리(922)}는 병렬 입력/병렬 출력형 레지스터에 저장되어 있는 데이터신호가 병렬 입력/직렬 출력형 시프트 레지스터에 로드되면, 병렬 입력/직렬 출력형 시프트 레지스터에 로드된 해당 데이터신호의 송신이 완료하기 전에, 다음 데이터신호를 병렬 입력/병렬 출력형 레지스터에 로드한다.
- <24> 마찬가지로 수신용 전체 2중 데이터 버퍼는 현재수신중인 데이터신호를 저장하는 직렬 입력/병렬 출력형 시프트 레지스터와, 이미 수신한 데이터신호를 저장하는 병렬 입력/병렬 출력형 레지스터를 가진다. 직렬 입력/병렬 출력형 시프트 레지스터가 현재수신중인 데이터신호의 수신을 완료하면, 직렬 입력/병렬 출력형 시프트 레지스터에 저장된 데이터신호가 자동적으로 병렬 입력/병렬 출력형 레지스터에 로드된다. 직렬 입력/병렬 출력형 시프트 레지스터는 데이터신호의 수신을 계속한다.
- <25> 제 1 전송장치의 CPU(911){또는 제 2 전송장치의 제어부(921) 혹은 제 2 버퍼 메모리(922)}는 직렬 입력/병렬 출력형 시프트 레지스터에 저장된 데이터신호가 병렬 입력/병렬 출력형 레지스터에 로드되면, 다시 직렬 입력/병렬 출력형 시프트 레지스터가 새로운 데이터신호의 수신을 완료하기 전에, 병렬 입력/병렬 출력형 레지스터에 로드된 데이터신호를 처리한다.
- <26> 이렇게 해서 데이터신호는 그 정보량에 관계없이, 중간에 끊기지 않고 연속하여 전송된다.
- <27> 제 1 전송장치(901)의 CPU(911)는 제 1 입출력부(913) 및 제 2 입출력부 (924)를 통하여 여러가지 코マン드신호 또는 데이터신호를 제 2 전송장치(902)에 전송할 수 있다. 제 2 전송장치(902)의 제어부(921)는 제 1 전송장치(901)로부터 전송되는 코マン드신호에 따라, 제 2 입출력부(924) 및 제 1입출력부(913)를 통하여 여러가지 리스폰스신호 또는 리스폰스신호 및 데이터신호를 제 1 전송장치(901)에 전송한다.
- <28> 도 10(a)~(c)는 제 1 입출력부(913)와 제 2 입출력부(924)의 사이의 여러가지 신호전송을 나타내는 타이밍챠트이다.
- <29> 도 10(a)에 나타내는 신호전송을 설명한다. 제일 먼저, CPU(911)는 제 1 입출력부(913), 코マン드 라인(931) 및 제 2 입출력부(924)를 통하여 코マン드신호(1001)를 제 2 전송장치(902)에 전송한다. 전송된 코マン드신호(1001) (코マン드신호는 데이터가 첨부된 코マン드신호이더라도 좋다)는 데이터신호의 전송을 요구하지 않고, 리스폰스신호만을 요구하는 것이다. 코マン드신호(1001)를 수신한 제어부(921)는 코マン드신호에 대한 응답신호인 리스폰스신호를 생성하여, 제 2 입출력부(924), 코マン드 라인(931) 및 제 1 입출력부(913)를 통하여 리스폰스신호(1002)를 제 1 전송장치 (901)에 전송한다.
- <30> 코マン드신호(1001) 및 리스폰스신호(1002)는 클록라인(933)을 통하여 전송되는 클록신호에 동기하여 전송된다. 도 10(a)에 있어서는, 1004로 나타낸 바와 같이, 데이터라인(932)은 사용되지 않는다.
- <31> 도 10(b)에 나타내는 신호전송을 설명한다. 제일 먼저, CPU(911)는 제 1 입출력부(913), 코マン드 라인(931) 및 제 2 입출력부(924)를 통하여 코マン드신호(1011)를 제 2 전송장치(902)에 전송한다. 전송된 코マン드신호(1011)는 다음에 제 1 전송장치(901)로부터 제 2 전송장치(902)에 전송하는 데이터신호의 종류를 지정하는 것이다. 코マン드신호(1011)를 수신한 제 2 전송장치는 계속해서 데이터신호가 입력되는 것을 알 수 있다. 제어부(921)는 코マン드신호에 대한 응답신호인 리스폰스신호 (1012)를 생성하여, 제 1 전송장치(901)에 전송한다. CPU(911)는 전

송해야 할 데이터신호(1013)를 제 1 버퍼 메모리(912)에 저장하여, 제 1 입출력부(913)에 전송해야 할 데이터신호(1013)의 최초의 N바이트를 로드한다{N바이트는 제 1 입출력부(913)의 4개의 데이터라인(932)의 데이터 버퍼에 로드가능한 데이터신호의 정보량이다}.

<32> 다음에, 제 1 전송장치(901)는 제 1 입출력부(913), 데이터라인(932) 및 제 2 입출력부(924)를 통하여, 제 1 입출력부(913) 및 제 1 버퍼 메모리(912)에 저장한 데이터신호(1013)를 제 2 전송장치(902)에 전송한다. 제 1 버퍼 메모리(912)에 저장된 데이터신호(1013)는 차례로 제 1 입출력부(913)의 데이터 버퍼에 로드되어 전송된다. 제 2 전송장치(902)는 입력한 데이터신호(1013)를 제 2 버퍼 메모리(922)에 저장한다.

<33> 코맨드신호(1011), 리스폰스신호(1012) 및 데이터신호(1013)는 클록라인(933)을 통하여 전송되는 클록신호에 동기하여 전송된다.

<34> 다음에, CPU(911)는, 제 1 입출력부(913), 코맨드 라인(931) 및 제 2 입출력부(924)를 통하여 코맨드신호(1014)를 제 2 전송장치(902)에 전송한다. 전송된 코맨드신호(1014)는 다음에 제 2 전송장치(902)로부터 제 1 전송장치(901)에 데이터신호를 전송하는 것을 요구하는 것이다. 제어부(921)는 코맨드신호에 대한 응답신호인 리스폰스신호(1015)를 생성하여, 제 1 전송장치(901)에 전송한다. 코맨드신호(1014)를 수신한 제 2 전송장치(902)는 제 2 버퍼 메모리(922)에 요구된 데이터신호(1016)를 저장하여, 제 2 입출력부(924)에 요구된 데이터신호(1016)의 최초의 N바이트를 로드한다{N 바이트는 제 2 입출력부(924)의 4개의 데이터라인(932)의 데이터 버퍼에 로드가능한 데이터신호의 정보량이다}.

<35> 다음에, 제 1 전송장치(901)는 클록라인(933)을 통하여 클록신호를 제 2 전송장치(902)에 전송한다. 제 1 전송장치(901)가 요구한 데이터신호(1016)가, 제 2 전송장치(902)로부터 제 1 전송장치(901)에 전송된다. 제 2 입출력부(924), 데이터라인(932) 및 제 1 입출력부(913)를 통하여, 제 2 입출력부(924) 및 제 2 버퍼 메모리(922)에 저장된 데이터신호(1016)가, 제 1 전송장치(901)에 전송된다. CPU(911)는 입력한 데이터신호(1016)를 제 1 버퍼 메모리(912)에 저장한다.

<36> 코맨드신호(1014), 리스폰스신호(1015) 및 데이터신호(1016)는 클록라인(933)을 통하여 전송되는 클록신호에 동기하여 전송된다.

<37> 도 10(c)에 나타내는 신호전송을 설명한다. 도 10(c)에 나타내는 신호전송은 기본적으로는 도 10(b)와 같다. 도 10(c)의 신호전송에 있어서 전송하는 데이터신호의 정보량은 도 10(b)의 신호전송에 있어서 전송하는 데이터신호의 정보량보다도 많다. 이러한 점만 상이한 점이다.

<38> CPU(911)는 제 1 입출력부(913), 코맨드 라인(931) 및 제 2 입출력부(924)를 통하여 코맨드신호(1021)를 제 2 전송장치(902)에 전송한다. 전송된 코맨드신호(1021)에 따라서, 다음에 제 1 전송장치(901)로부터 제 2 전송장치(902)에 리스폰스신호(1022)가 전송된다. 계속해서, 제 1 전송장치(901)로부터 제 2 전송장치(902)에 데이터신호(1023)를 전송하거나, 또는 제 2 전송장치(902)로부터 제 1 전송장치(901)에 데이터신호(1023)를 전송한다. 전송방법의 상세한 내용은 도 10(b)에서 설명한 방법과 동일하다.

<39> 도 10(b)와 도 10(c)에서는 전송하는 데이터신호의 정보량이 다르지만, 상기한 바와 같이, 전체 2중 데이터 버퍼를 가진 제 1 입출력부(913) 및 제 2 입출력부(924)는 데이터신호를 중간에 끊기지 않고 연속하여 전송한다.

<40> 도 10(a)~(c)에 나타낸 바와 같이, 도 9의 전송시스템에 있어서는, 코맨드 라인(931) 및 4개의 데이터라인(932)은 신호가 전송되지 않을 때 하이 레벨이 된다.

<41> 도 10(b) 및 (c)에 있어서, 데이터신호는 4개의 데이터라인(932)을 통하여 전송된다. 4개의 데이터라인(932)은 4개가 동시에 사용되는 경우와, 1개만 사용되는 경우가 있다.

<42> 상기한 바와 같이, 슬레이브인 옵션장치는 옵션장치로부터 디지털신호처리장치에 전송하고 싶은 신호가 있더라도, 또는 디지털신호처리장치로부터 옵션장치에 전송하고 싶은 신호가 있더라도, 마스터인 디지털신호처리장치가 그 신호의 전송을 지정하기까지는, 옵션장치로부터 디지털신호처리장치에 신호를 전송할 수 없고, 디지털신호처리장치로부터 옵션장치에 신호를 전송해 줄 수도 없다.

<43> 그러나, 어느 종류의 옵션장치는 외부로부터의 요구 등에 따라서 신속하게 신호를 처리해야 하며(높은 응답성을 요구되며), 그러한 옵션장치는 마스터인 디지털신호처리장치가 그 처리해야 할 신호의 전송을 지정할 때까지 기다릴 수 없다.

- <44> 슬레이브인 옵션장치가 마스터인 디지털신호처리장치에 그 처리해야 할 신호의 전송을 우선하여 지정시키는 방법으로서, 옵션장치로부터 디지털신호처리장치에 인터럽트 신호를 전송하는 방법이 있다. 디지털신호처리장치의 중앙처리장치 ('CPU'라고 한다. Central Processing Unit)는, 인터럽트 신호를 입력하여, 인터럽트 처리를 실행한다. 인터럽트 처리에 있어서, 옵션장치가 요구하는 신호전송을 CPU는 우선하여 지정하여, 옵션장치와 디지털신호처리장치의 사이에서 해당 신호가 전송된다.
- <45> 그러나, 데이터신호를 전송하는 데이터라인과 인터럽트신호를 전송하는 인터럽트신호라인을 별개로 설치한다고 하면, 디지털신호처리장치와 옵션장치는 많은 입출력단자를 가질 필요가 있다.
- <46> 디지털신호처리장치 및 옵션장치에는, 그들의 소형화와 같은 시장(市場)의 강한 요구가 있다. 많은 입출력라인을 가진(데이터신호라인과 인터럽트 신호라인을 별개로 가진) 디지털신호처리장치와 옵션장치로 구성되는 전송시스템은 높은 응답성을 갖지만, 소형이고 염가인 디지털신호처리장치 및 소형이고 염가인 옵션장치의 실현을 곤란하게 한다.
- <47> 본 발명은 적은 입출력단자로(전용의 인터럽트 신호라인을 가지지 않고), 인터럽트 신호를 전송할 수 있는(높은 응답성을 가진) 소형이고 염가인 전송장치 및 전송방법을 제공하는 것을 목적으로 한다.
- <48> 또한, 인터럽트 신호의 전용라인을 갖지 않은 규격에 따른 옵션장치에 전용 인터럽트 신호라인을 추가한다고 한다면, 인터럽트 신호라인을 가진 옵션장치와 인터럽트 신호라인을 갖지 않은 표준의 옵션장치의 사이의 호환성이 없어진다. 이러한 옵션장치는 사용자에게 극히 사용이 어려운 것이 된다.
- <49> 인터럽트 신호의 전용라인을 갖지 않은 규격에 따른 옵션장치로서, 예를 들면 종래에 및 실시예에 있어서 예시하는 IC 카드 및 그 응용제품이 있다.
- <50> 본 발명은, 예를 들면 명세서에 기재한 IC 카드의 규격과 같이 인터럽트 신호의 전용라인을 갖지 않은 규격에 따라서, 또한 인터럽트 신호를 전송할 수 있는(높은 응답성을 가진다) 전송장치 및 전송방법을 제공하는 것을 목적으로 한다.
- <51> [발명의 개시]
- <52> 상기 과제를 해결하기 위해서, 본 발명은 이하의 구성을 가진다.
- <53> 본 발명의 하나의 관점에 의한 제 1 전송장치는, 인터럽트 신호에 따라 인터럽트 처리를 하는 중앙연산처리장치와, 제 2 전송장치와 제 1 전송장치의 사이에서 데이터신호를 전송 및 상기 제 2 전송장치로부터 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인을 가진 입출력부와, 상기 제 2 전송장치로부터 상기 데이터라인을 통하여 전송된 신호중에서 인터럽트 신호를 검출하는 인터럽트 신호검출부를 가진다.
- <54> 본 발명의 다른 관점에 의한 제 2 전송장치는, 제 1 전송장치와 제 2 전송장치의 사이에서 데이터신호를 전송 및 제 2 전송장치로부터 상기 제 1 전송장치에 인터럽트 신호를 전송하는 적어도 1개의 데이터라인을 가진 입출력부와, 상기 데이터라인상을 상기 데이터신호가 전송되지 않은 데이터신호중지기간을 검출하는 데이터신호중지기간검출부와, 상기 데이터신호중지기간에, 인터럽트 신호를 상기 제 2 전송장치로부터 상기 제 1 전송장치에 전송하는 인터럽트 신호전송스텝과, 상기 제 1 전송장치에 있어서, 상기 인터럽트 신호에 따라서 인터럽트 처리를 실행하는 인터럽트 처리스텝을 가진다.
- <55> 본 발명의 또 다른 관점에 의한 전송방법은, 제 1 전송장치와 제 2 전송장치의 사이의 전송방법으로서, 데이터라인을 통하여 데이터신호를 전송하는 데이터신호전송 스텝과, 상기 데이터라인상을 데이터신호가 전송되지 않은 데이터신호중지기간을 상기 제 2 전송장치에 있어서 검출하는 데이터신호중지기간검출 스텝과, 상기 데이터신호중지기간에, 인터럽트 신호를 상기 제 2 전송장치로부터 상기 제 1 전송장치에 전송하는 인터럽트 신호전송스텝과, 상기 제 1 전송장치에 있어서, 상기 인터럽트 신호에 따라서 인터럽트 처리를 실행하는 인터럽트 처리스텝을 가진다.
- <56> 본 발명의 제 1 전송장치 및 제 2 전송장치를 가진 전송시스템을 구성함으로써, 적은 입출력단자로(전용의 인터럽트 신호라인을 가지지 않고), 인터럽트 신호를 전송할 수 있는(높은 응답성을 가진) 전송시스템 및 전송방법을 실현할 수 있다.
- <57> 본 발명의 제 1 전송장치 및 제 2 전송장치를 가진 전송시스템을 구성함으로써, 인터럽트 신호의 전용라인을 가지지 않은 규격에 따라서(호환성을 잃지 않고), 또한 인터럽트 신호를 전송할 수 있는(높은 응답성을 가진) 전송시스템 및 전송방법을 실현할 수 있다.
- <58> 이에 따라, 인터럽트 신호를 이용하여 높은 응답성을 가진 마스터/슬레이브형 전송시스템 및 전송방법을 실현할

수 있다.

- <59> '인터럽트 신호'는 중앙연산처리장치('CPU')에 인터럽트 처리를 요구하는 신호를 의미한다.
- <60> '제 2 전송장치와 제 1 전송장치와의 사이에서 데이터신호를 전송'이란, 제 2 전송장치로부터 제 1 전송장치에 데이터신호를 전송하여도 좋고, 제 1 전송장치로부터 제 2 전송장치에 데이터신호를 전송하더라도 좋다.
- <61> 본 발명의 다른 관점에 의한 상기의 제 1 전송장치는, 상기 인터럽트 신호검출부는 상기 데이터라인상을 상기 데이터신호가 전송되지 않은 데이터신호중지기간을 검출하는 데이터신호중지기간검출부를 가지며, 상기 데이터신호중지기간검출부가 검출한 상기 데이터신호중지기간에 전송된 신호를 인터럽트 신호로서 검출한다.
- <62> 본 발명은 데이터라인이 전송되는 데이터신호와 인터럽트 신호 중에서, 정확하게 인터럽트 신호를 검출하는 제 1 전송장치를 실현할 수 있다고 하는 작용을 가진다.
- <63> 본 발명의 또 다른 관점에 의한 상기의 제 1 전송장치는, 상기 입출력부는 적어도 제 1 전송장치로부터 상기 제 2 전송장치에 코맨드신호를 전송하는 코맨드라인을 더욱 가지며, 또한 상기 데이터라인을 통하여 상기 코맨드신호에 따라 상기 제 2 전송장치와 제 1 전송장치의 사이에서 데이터신호를 전송하고, 상기 데이터신호중지기간검출부는 상기 코맨드신호에 따라 전송되는 데이터신호의 종단(終端)으로부터 다음 데이터라인상에 데이터신호의 전송을 명령하는 상기 코맨드신호의 종단까지의 사이의 임의의 기간을, 상기 데이터신호중지기간으로서 검출한다.
- <64> 본 발명의 또 다른 관점에 의한 상기의 제 2 전송장치는, 상기 입출력부는, 적어도 상기 제 1 전송장치로부터 제 2 전송장치에 코맨드신호를 전송하는 코맨드라인을 더욱 가지며, 상기 데이터라인은 상기 코맨드신호에 따라 상기 제 1 전송장치와 제 2 전송장치의 사이에서 데이터신호를 전송하고, 상기 데이터신호중지기간검출부는 상기 코맨드신호에 따라 전송되는 데이터신호의 종단으로부터 다음 데이터라인상에 데이터신호의 전송을 명령하는 상기 코맨드신호의 종단까지의 사이의 임의의 기간을, 상기 데이터신호중지기간으로서 검출한다.
- <65> 예를 들면 명세서에 기재된 IC 카드의 프로토콜과 같이, 코맨드신호를 전송후에 코맨드신호에 따라서 데이터신호를 전송하는 프로토콜에 있어서는, 데이터신호를 전송을 끝내고 나서 다음 데이터라인상에 데이터신호의 전송을 명령하는 코맨드신호의 전송이 끝날 때까지 데이터라인은 사용되지 않는다. 이러한 프로토콜에 따른 전송장치에 있어서, 데이터신호의 전송이 끝나고 나서 다음 데이터라인상에 데이터신호의 전송을 명령하는 코맨드신호의 전송이 끝나기까지의 기간을 데이터신호중지기간으로 하고, 이 기간내에 데이터라인을 통하여 인터럽트 신호를 전송하면, 통상의 데이터신호의 전송을 방해하지 않고 인터럽트 신호를 전송할 수 있다. 데이터신호로부터 인터럽트 신호를 식별하는 것도 용이하다.
- <66> 본 발명의 전송장치는 코맨드신호를 전송후에 데이터신호를 전송하는 프로토콜을 가지며, 해당 프로토콜에 기초하여 발생하는 데이터신호를 전송하지 않는 기간에 데이터라인을 통하여 인터럽트 신호를 송신한다.
- <67> 본 발명의 전송장치는 코맨드신호를 전송후에 데이터신호를 전송하는 프로토콜을 가지며, 해당 프로토콜에 기초하여 발생하는 데이터신호를 전송하지 않는 기간에 데이터라인을 통하여 수신한 신호를 인터럽트 신호로서 검출한다.
- <68> 본 발명의 또 다른 관점에 의한 상기의 제 1 전송장치는 상기 데이터신호중지기간검출부는 상기 데이터신호의 종단(終端)을 시작점으로 하는 제 1 기간 T_1 (T_1 은 임의의 기간)내의 임의의 기간을, 상기 데이터신호중지기간으로서 검출한다.
- <69> 본 발명의 또 다른 관점에 의한 상기의 제 2 전송장치는, 상기 데이터신호중지기간검출부는 상기 데이터신호의 종단을 시점으로 하는 제 1 기간 T_1 (T_1 은 임의의 기간) 내의 임의의 기간을, 상기 데이터신호중지기간으로서 검출한다.
- <70> 데이터신호의 전송완료후 일정기간, 다음의 데이터신호의 전송을 금지하는 전송 프로토콜에 따른 전송장치에 있어서, 데이터신호의 전송완료후의 일정기간 T_1 을 데이터신호중지기간으로 하여, 이 기간내에 데이터라인을 통하여 인터럽트 신호를 전송한다. 이에 따라, 통상의 데이터신호의 전송을 방해하는 일없이 인터럽트 신호를 전송할 수 있다. 데이터신호로부터 인터럽트 신호를 식별하는 것도 용이하다.
- <71> 본 발명의 전송장치는 데이터신호의 전송완료후 일정기간 다음의 데이터신호의 전송을 금지하는 전송 프로토콜을 가지며, 해당 프로토콜에 기초하여 발생하는 데이터신호를 전송하지 않는 기간에 데이터라인을 통하여 인터

럽트 신호를 송신한다.

- <72> 본 발명의 전송장치는, 데이터신호의 전송완료후 일정기간 다음의 데이터신호의 전송을 금지하는 전송 프로토콜을 가지며, 해당 프로토콜에 기초하여 발생하는 데이터신호를 전송하지 않는 기간에 데이터라인을 통하여 수신한 신호를 인터럽트 신호로서 검출한다.
- <73> 본 발명의 또 다른 관점에 의한 상기의 제 2 전송장치는, 상기 입출력부는 상기 데이터신호의 전송후, 적어도 상기 데이터신호의 종단을 시작점으로 하는 제 2 기간 T_2 가 경과한 후에, 다음 상기 데이터신호를 전송하고, 상기 제 2 기간 T_2 는 상기 제 1 기간 T_1 보다도 적어도 1클록의 시간만큼 긴 기간이다.
- <74> 본 발명의 또 다른 관점에 의한 상기의 제 2 전송장치는 상기 데이터신호중지기간검출부는 상기 데이터신호의 종단으로부터 제 3 기간 T_3 (T_3 은 1클록의 시간 이상의 기간)을 경과한 시점을 시작점으로 하고, 상기 시작점에서 제 4 기간 T_4 (T_4 는 임의의 기간)를 경과한 시점을 종점으로 하는 기간을, 상기 데이터신호중지기간으로서 검출한다.
- <75> 제 2 전송장치의 입출력부에서는, 일반적으로, 데이터신호의 송수신시와 인터럽트 신호의 송신시에는 사용하는 하드웨어의 일부를 전환한다. 특히 데이터신호의 스크로너스전송을 하는 제 2 전송장치에 있어서는, 클록신호를 입력하여 전송하는 데이터신호의 전송시와, 클록신호를 동반하지 않고 전송하는 인터럽트 신호의 송신시에 하드웨어를 전환할 필요가 있다. 이러한 하드웨어의 전환에는 일정한 시간이 필요하다. 또, 데이터전송의 방향을 바꿀 때에도 일정한 시간이 필요하다. 그래서, 예를 들면 데이터신호의 송수신시와 인터럽트 신호의 송신시에 하드웨어의 전환이 필요한 제 2 전송장치에 있어서, 데이터신호의 송수신완료후 일정기간 인터럽트 신호의 전송을 금지하고, 다음 데이터신호의 전송이 시작되는 것보다도 적어도 일정기간 빨리 인터럽트 신호의 전송을 종료한다. 이 일정기간내에 하드웨어의 전환을 완료함으로써, 하드웨어의 전환도중에 신호전송을 하는 것에 기인하는 전송 에러를 피할 수 있다.
- <76> 1클록의 시간이란, 데이터라인을 통하여 데이터신호를 출력하는 클록신호의 주기를 의미한다.
- <77> 본 발명의 또 다른 관점에 의한 상기의 제 1 전송장치는, 제 1 전송장치로부터 상기 제 2 전송장치에 전송하는 데이터신호를 생성하는 데이터신호생성부와, 상기 데이터신호가 일정이상의 정보량을 가지면, 상기 데이터신호를 분할하여 일정미만의 정보량을 가진 복수의 분할된 데이터신호를 생성하는 데이터신호분할부를 더욱 가지며, 상기 입출력부는 상기 데이터라인을 사용하여 제 1 전송장치로부터 상기 제 2 전송장치에 복수의 상기 분할된 데이터신호를 순차 전송하고, 또한 상기 분할된 데이터신호의 전송완료후에 그 다음의 상기 분할된 데이터신호의 전송개시전에 적어도 일정한 전송중지기간을 가진다.
- <78> 본 발명의 또 다른 관점에 의한 상기의 제 2 전송장치는, 제 2 전송장치로부터 상기 제 1 전송장치에 전송하는 데이터신호를 생성하는 데이터신호생성부와, 상기 데이터신호가 일정이상의 정보량을 가지면, 상기 데이터신호를 분할하여 일정미만의 정보량을 가진 복수의 분할된 데이터신호를 생성하는 데이터신호분할부를 더욱 가지며, 상기 입출력부는 상기 데이터라인을 사용하여 제 2 전송장치로부터 상기 제 1 전송장치에 복수의 상기 분할된 데이터신호를 순차 전송하고, 또한 상기 분할된 데이터신호의 전송완료후에 그 다음의 상기 분할된 데이터신호의 전송개시전에 적어도 일정한 전송중지기간을 가진다.
- <79> 본 발명의 또 다른 관점에 의한 상기의 전송방법은, 상기 제 1 전송장치 또는 상기 제 2 전송장치에 있어서, 전송하는 데이터신호를 생성하는 데이터신호생성 스텝과, 상기 데이터신호생성 스텝에 있어서 생성한 상기 데이터신호가 일정이상의 정보량을 가지면, 상기 데이터신호를 분할하여 일정미만의 정보량을 가진 복수의 분할된 데이터신호를 생성하는 데이터신호분할 스텝과, 상기 데이터라인을 사용하여 복수의 상기 분할된 데이터신호를 차례로 전송하고, 또한 상기 분할된 데이터신호의 전송완료후에 그 다음의 상기 분할된 데이터신호의 전송개시전에 적어도 일정한 전송중지기간을 두는 데이터신호전송 스텝을 더욱 가진다.
- <80> 종래예에 있어서 설명한 바와 같이(도 10), 종래의 전송장치에 있어서는, 하나의 통합인 데이터신호는 연속하여 전송된다. 데이터신호의 정보량이 매우 큰 경우, 이 데이터신호의 전송이 완료하기까지는 인터럽트 신호를 전송할 수 없었다. 인터럽트 신호는 긴급한 신호처리를 필요로 하는 신호이다. 연속하여 전송되는 데이터신호의 정보량이 지나치게 크면, 해당 데이터신호의 전송이 완료할 때까지, 인터럽트 신호가 요구하는 신호처리가 늦어지는 경우도 나온다.
- <81> 본 발명의 전송장치 및 전송방법은 데이터신호의 정보량이 지나치게 큰 경우는 데이터신호를 일정이하의 정보량을 가진 데이터신호로 분할한다. 본 발명과, 데이터신호의 종단을 시작점으로 하는 일정기간내의 임의의 기간

에 인터럽트 신호를 전송하는 상기의 발명을 조합함으로써, 인터럽트 신호의 전송이 늦어질 우려가 없는 전송장치 및 전송방법을 실현할 수 있다.

<82> 본 발명의 또 다른 관점에 의한 제 1 전송장치는 제 1 전송모드와 제 2 전송모드를 포함하는 복수의 전송모드중에서 1개의 전송모드를 결정하고, 및 인터럽트 신호에 따라 인터럽트 처리를 하는 중앙연산처리장치와, 복수의 데이터라인을 가진 입출력부를 가지며, 상기 제 1 전송모드에 있어서는 상기 입출력부는 모든 상기 데이터라인을 통하여 데이터신호를 전송하고, 상기 제 2 전송모드에 있어서는 상기 입출력부는 적어도 1개의 상기 데이터라인을 통하여 데이터신호를 전송하고 또한 적어도 1개의 다른 상기 데이터라인을 통하여 상기 제 2 전송장치로부터 제 1 전송장치에 전송된 인터럽트 신호를 수신한다.

<83> 본 발명의 또 다른 관점에 의한 제 2 전송장치는, 제 1 전송장치로부터 제 2 전송장치에 전송된 전송모드의 정보에 기초하거나, 또는 상기 제 1 전송장치로부터 제 2 전송장치에 전송된 코맨드신호에 기초하여, 제 1 전송모드와 제 2 전송모드를 포함하는 복수의 전송모드중에서 1개의 전송모드를 결정하는 전송모드결정부와, 복수의 데이터라인을 가진 입출력부와, 인터럽트 신호를 생성하여 상기 입출력부에 전송하는 인터럽트 신호생성부를 가지며, 상기 제 1 전송모드에 있어서는 상기 입출력부는 모든 상기 데이터라인을 통하여 데이터신호를 전송하고, 상기 제 2 전송모드에 있어서는 상기 입출력부는 적어도 1개의 상기 데이터라인을 통하여 데이터신호를 전송하고 또한 적어도 1개의 다른 상기 데이터라인을 통하여 제 2 전송장치로부터 상기 제 1 전송장치에 상기 인터럽트 신호를 전송한다.

<84> 본 발명의 또 다른 관점에 의한 전송방법은 각각 복수의 데이터라인을 가진 제 1 전송장치와 제 2 전송장치와의 사이의 전송방법으로서, 제 1 전송모드와 제 2 전송모드를 포함하는 복수의 전송모드중에서 1개의 전송모드를 결정하는 전송모드결정 스텝과, 상기 제 1 전송모드에 있어서, 모든 상기 데이터라인을 통하여 데이터신호를 전송하는 데이터신호전송 스텝과, 상기 제 2 전송모드에 있어서, 적어도 1개의 상기 데이터라인을 통하여 데이터신호를 전송하고, 또한 적어도 1개의 다른 상기 데이터라인을 통하여 상기 제 2 전송장치로부터 상기 제 1 전송장치에 인터럽트 신호를 전송하는 인터럽트 신호전송 스텝과, 상기 제 1 전송장치에 있어서, 수신한 상기 인터럽트 신호에 따라 인터럽트 처리를 하는 인터럽트 처리 스텝을 가진다.

<85> 본 발명의 전송장치 및 전송방법은, 복수의 전송모드를 가진다. 제 1 전송모드에 있어서는 복수의 데이터라인을 모두 사용하여 데이터신호를 전송한다. 제 2 전송모드에 있어서는, 데이터라인의 일부를 사용하여 데이터신호를 전송하고, 데이터라인의 다른 일부를 사용하여 제 2 전송장치로부터 제 1 전송장치에 인터럽트 신호를 전송한다.

<86> 예를 들면 정보량이 많은 데이터신호를 급하게 전송할 필요가 있는 경우는{또는 그럴 필요가 있는 제 2 전송장치(예컨대 읍션장치)에 있어서는}, 제 1 전송모드를 사용한다. 정보량이 적은 데이터신호를 전송하는 경우 혹은 데이터신호를 급하게 보낼 필요가 없고 또한 수시로 인터럽트 처리가 발생하는 경우는{또는 그럴 필요가 있는 제 2 전송장치(예컨대 읍션장치)에 있어서는}, 제 2 전송모드를 사용한다. 제 2 전송모드에 있어서는, 제 2 전송장치로부터 제 1 전송장치에 언제나 인터럽트 신호를 전송할 수 있다.

<87> 본 발명은 적은 입출력단자의(전용 인터럽트 신호라인을 가지지 않은) 전송장치를 사용하여, 인터럽트 신호를 전송하는 전송모드를 가진(높은 응답성을 가진) 전송시스템 및 전송방법을 실현할 수 있다고 하는 작용이 있다.

<88> 본 발명은 인터럽트 신호의 전용라인을 갖지 않은 규격에 따른 전송장치를 사용하여, 호환성을 잃지 않고, 인터럽트 신호를 전송하는 전송모드를 가진(높은 응답성을 가진) 전송시스템 및 전송방법을 실현할 수 있다고 하는 작용이 있다.

<89> 제 2 전송모드에 있어서, 데이터라인을 통하여 데이터신호를 전송하는 타이밍과 다른 데이터라인을 통하여 인터럽트 신호를 전송하는 타이밍은 동시에 행하여도 좋고, 타이밍이 달라도 좋다.

<90> 예컨대, 제 1 전송모드에밖에 대응하지 않는 제 1 전송장치와 복수의 전송모드에 대응하는 제 2 전송장치를 조합한 경우, 또는 복수의 전송모드에 대응하는 제 1 전송장치와 제 1 전송모드에밖에 대응하지 않는 제 2 전송장치를 조합한 경우는 제 1 전송모드만을 사용함으로써, 전송시스템의 호환성을 유지된다.

<91> 본 발명의 또 다른 관점에 의한 상기의 제 1 전송장치는 데이터신호중지기간검출부를 가지며 또한 상기 제 2 전송장치로부터 다른 상기 데이터라인을 통하여 전송된 신호중에서 인터럽트 신호를 검출하는 인터럽트 신호검출부를 더욱 가지며, 상기 데이터신호중지기간검출부는 제 1 전송장치로부터 상기 제 2 전송장치에 전송하는 코マン드신호에 따라 전송되는 데이터 신호의 종단으로부터 다음 데이터라인상에 데이터신호의 전송을 명령하는 상기

코맨드신호의 종단까지의 사이의 임의의 기간을, 상기 데이터신호중지기간으로서 검출하고, 상기 제 1 전송모드에 있어서는, 상기 인터럽트 신호검출부는 상기 데이터신호중지기간에 다른 상기 데이터라인상을 통하여 전송된 신호를 인터럽트 신호로서 검출하며, 상기 제 2 전송모드에 있어서는, 상기 인터럽트 신호검출부는 그 전송시기에 관계없이, 다른 상기 데이터라인상을 통하여 전송된 신호를 인터럽트 신호로서 검출한다.

<92> 본 발명의 또 다른 관점에 의한 상기의 제 2 전송장치는 상기 제 1 전송장치로부터 제 2 전송장치에 전송하는 코맨드신호에 따라 전송되는 데이터신호의 종단으로부터 다음 데이터라인상에 데이터신호의 전송을 명령하는 상기 코맨드신호의 종단까지의 사이의 임의의 기간을, 상기 데이터신호중지기간으로서 검출하는 데이터신호중지기간검출부를 더욱 가지며, 상기 제 1 전송모드에 있어서는, 상기 입출력부는 상기 데이터신호중지기간에만 다른 상기 데이터라인상을 통하여 상기 인터럽트 신호를 전송하고, 상기 제 2 전송모드에 있어서는, 상기 입출력부는 상기 데이터신호중지기간인지의 여부에 관계없이, 다른 상기 데이터라인상을 통하여 인터럽트 신호를 전송한다.

<93> 본 발명은 제 1 전송모드에 있어서는, 많은 데이터신호를 고속으로 전송하고 또한 데이터신호중지기간에 인터럽트 신호를 전송하며, 제 2 전송모드에 있어서는, 데이터신호의 전송능력을 유지하면서 빠른 응답속도로 인터럽트 신호를 전송하는(높은 응답성을 가진) 전송시스템 및 전송방법을 실현할 수 있다고 하는 작용이 있다.

<94> 발명의 신규 특징은 첨부한 청구의 범위에 특별히 기재한 것임에 틀림없지만, 구성 및 내용의 쌍방에 대하여 본 발명은, 다른 목적이나 특징과 함께, 도면과 함께 이해되는 이하의 상세한 설명으로부터, 보다 잘 이해되어 평가될 것이다.

산업상 이용 가능성

<251> 이상과 같이, 본 발명에 의한 전송장치 및 전송방법은 여러가지 디지털신호의 전송장치 및 전송방법으로서 유용하다.

도면의 간단한 설명

<95> 도 1은 본 발명의 실시예의 전송시스템의 블록도이다.

<96> 도 2는 본 발명의 실시예 1의 전송방법의 플로우챠트이다.

<97> 도 3은 본 발명의 실시예 1의 인터럽트 신호의 전송기간을 설명하기 위한 타이밍챠트이다.

<98> 도 4는 본 발명의 실시예 1의 전송장치의 데이터신호의 생성 블록의 구성도이다.

<99> 도 5는 본 발명의 실시예 1의 데이터신호의 생성방법의 플로우챠트이다.

<100> 도 6은 본 발명의 실시예 1의 전송시스템에 있어서의 제 1 전송장치와 제 2 전송장치와의 사이의 여러가지 신호 전송을 나타내는 타이밍챠트이다.

<101> 도 7은 본 발명의 실시예 2의 전송시스템의 전송모드를 나타낸 도면이다.

<102> 도 8은 본 발명의 실시예 2의 전송방법의 플로우챠트이다.

<103> 도 9는 종래의 전송시스템의 블록도이다.

<104> 도 10은 종래의 전송시스템에 있어서의 제 1 전송장치와 제 2 전송장치의 사이의 여러가지 신호전송을 나타내는 타이밍챠트이다.

<105> 도면의 일부 또는 전부는, 도시를 목적으로 한 개요적 표현에 의해 도시되어 있고, 반드시 거기에 표시된 요소의 실제의 상대적 크기나 위치를 충실히 묘사하고 있다고는 할 수 없음을 고려하기 바란다.

[발명을 실시하기 위한 최량의 형태]

이하, 본 발명을 실시하기 위한 최량의 형태를 구체적으로 나타낸 실시예에 대하여 도면과 함께 기재한다.

《실시예 1》

<109> 도 1~도 6을 사용하여, 실시예 1의 전송시스템을 설명한다.

<110> 도 1은 실시예 1의 전송시스템의 블록도이다. 도 1의 전송시스템은 제 1 전송장치(101)와 제 2 전송장치(102)를 가진다.

- <111> 제 1 전송장치(101)는 디지털신호처리장치이다. 제 2 전송장치(102)는 그 옵션장치이다. 도 1의 제 2 전송장치(102)는 종래예와 동일한 IC 카드의 표준 프로토콜에 따른 옵션 카드이다. 제 2 전송장치(102)는 제 1 전송장치(101)에 설치된 IC 카드의 규격에 따른 옵션 슬롯에 장착됨으로써, 제 1 전송장치(101)와 통신을 행한다.
- <112> 도 1의 제 1 장치(101)는 휴대정보단말이다. 제 1 장치(101)는 임의의 디지털신호처리장치여도 좋다. 예를 들면, 제 1 장치(101)는 디지털영상신호처리장치, 디지털음성신호처리장치, 또는 휴대전화 등이다.
- <113> 제 1 전송장치(101)는 CPU(111), 제 1 버퍼 메모리(112), 제 1 입출력부 (113) 및 인터럽트 신호검출부(114)를 가진다. 인터럽트 신호검출부(114)는 데이터신호중지기간검출부(141)를 가진다.
- <114> CPU(111), 제 1 버퍼 메모리(112), 제 1 입출력부(113) 및 인터럽트 신호검출부(114)는 서로 내부 버스(115)로 연결되어 있고, 서로 신호를 전송할 수 있다.
- <115> 도 1의 제 2 전송장치(102)는 IC 카드에 무선통신부{외부입출력부(123)}을 부가한 카드이다. 외부입출력부(123)는 Bluetooth(등록상표)의 규격에 준거한 무선통신부이다. 외부입출력부(123)는 Bluetooth의 무선통신부를 가진 외부의 통신장치와 무선통신을 실행한다.
- <116> 제 2 전송장치(102)는 Bluetooth의 무선통신부와 메모리를 가진 카드에 한정되는 것이 아니라, 예를 들면 카메라, PHS 방식 등의 휴대전화, GPS(Global Positioning System) 방식에 의한 위치검출장치, 지문인증장치 LAN의 단말장치, 다른 규격에 따르는 무선통신장치 등이어도 좋다.
- <117> 제 2 전송장치(102)는 제어부(121), 제 2 버퍼 메모리(122), 외부입출력부 (123), 제 2 입출력부(124), 데이터신호중지기간검출부(125) 및 인터럽트 신호생성부(126)를 가진다. 제어부(121)는 제 2 버퍼 메모리(122), 외부입출력부(123) 및 제 2 입출력부(124)와 접속되어 있고, 서로 신호를 전송할 수 있다. 제어부(121)는 인터럽트 신호생성부(126)에 인터럽트 신호생성 명령을 전송할 수 있다. 제 2 버퍼 메모리(122)는 제어부(121) 및 제 2 입출력부(124)와 접속되어 있어, 서로 신호를 전송할 수 있다.
- <118> 제 2 입출력부(124)는 셀렉터(151) 및 데이터신호입출력부(152)를 구비한다.
- <119> 셀렉터(151)는 데이터신호 또는 인터럽트신호중의 어느 하나의 신호를 택일적으로 선택하는 전환기이다. 선택된 신호는 1개의 데이터라인상에 전송된다.
- <120> 데이터신호를 전송하는 경우는, 셀렉터(151)는 해당 1개의 데이터라인과 데이터신호입출력부(152)를 접속한다. 데이터신호입출력부(152)로부터 출력된 데이터신호는 데이터라인(132)을 통하여 제 1 입출력부(113)에 전송되고, 제 1 입출력부(113)로부터 전송된 데이터신호는 데이터신호입출력부(152)에 입력된다.
- <121> 인터럽트 신호를 전송하는 경우는 셀렉터(151)는 해당 1개의 데이터라인과 인터럽트신호생성부(126)를 접속한다. 인터럽트 신호생성부(126)로부터 출력된 인터럽트 신호는 데이터라인(132)을 통하여 제 1 입출력부(113)에 전송된다.
- <122> 실시예 1에 있어서는, 다른 3개의 데이터라인(132)은 셀렉터(151)와 접속되어 있지 않고 직접 데이터신호입출력부(152)와 접속되어 있다. 다른 3개의 데이터라인은 데이터신호를 전송한다.
- <123> 실시예 1의 전송시스템 대신에, 셀렉터(151)는 4개의 데이터라인(132)의 각각의 접속을 상기와 같이 전환하여도 좋다. 4개의 데이터라인(132)을 모두 인터럽트 신호의 전송에 사용함으로써, 4개의 데이터라인(132)의 각각을 통하여 4종류가 다른 인터럽트 신호를 전송하더라도 좋다.
- <124> 제 1 입출력부(113)와 제 2 입출력부(124)는 IC 카드의 표준 프로토콜에 따라서 데이터신호 등을 서로 전송할 수 있다. 도 1의 신호전송에 있어서, 제 1 전송장치(101)가 마스터이고, 제 2 전송장치(102)가 슬레이브이다.
- <125> 제 1 전송장치(101)의 CPU(111)는 제 1 입출력부(113) 및 제 2 입출력부 (124)를 통하여, 제 2 전송장치(102)에 코マン드신호, 데이터신호를 보내고, 제 2 전송장치(102)로부터 리스폰스신호, 데이터신호를 수신할 수 있다.
- <126> 상기의 전송시스템을 이용하여, 제 1 전송장치(101)는 제 2 전송장치(102)와 통신을 할 수 있을 뿐만 아니라, 외부입출력부(123)와 통신하는 외부장치와의 사이에서 정보를 전송할 수 있다. 제 1 전송장치(101)와 외부장치의 통신에 있어서는, 제 2 전송장치(102)가 양자의 통신의 중개를 한다.
- <127> 제 1 입출력부(113)와 제 2 입출력부(124)는 1개의 코マン드 라인(131), 4개의 데이터라인(132), 1개의 클록라인

(133), 1개의 전원라인(134), 2개의 그라운드라인 (135)으로 이루어지는 9개의 선으로 서로 접속되어 있다(IC 카드의 표준수단에 따르고 있다). 제 1 입출력부(113)와 제 2 입출력부(124)는 IC 카드의 표준 프로토콜에 따른 신호전송 및 인터럽트 신호의 전송을 실행한다.

<128> 제 2 전송장치(102)는 제 1 전송장치(101)로부터 전원라인(134)을 통하여 전원을 공급된다.

<129> 제 1 입출력부(113)와 제 2 입출력부(124)는 서로 싱크로너스(동기식) 데이터전송을 한다. 싱크로너스 데이터 전송은 제 1 입출력부(113)로부터 제 2 입출력부(124)에 클록라인(133)을 통하여 클록신호를 전송하고, 해당 클록신호에 동기하여 쌍방향으로 코マン드라인(131) 또는 데이터라인(132)을 통하여 신호를 전송하는 방식이다.

<130> 제 1 입출력부(113) 및 제 2 입출력부(124)는 각각 코マン드라인(131) 및 4개의 데이터라인의 각각에 대하여, 클록 신호에 동기하여 신호를 출력하기 위한 전체 2중 데이터 버퍼를 가진 출력부(입력 모드에서는 출력 임피던스가 높은 임피던스가 되는 스리 스테이트 기능을 가진다)와, 클록신호에 동기하여 신호를 입력하기 위한 전체 2중 데이터 버퍼를 가진 입력부를 구비한다. 송신용 전체 2중 데이터 버퍼 및 수신용 전체 2중 데이터 버퍼에 대해서는 종래예에서 상술하였다.

<131> 제 1 전송장치(101)의 CPU(111)는 제 1 입출력부(113) 및 제 2 입출력부 (124)를 통하여 여러가지 코マン드신호 또는 데이터신호를 제 2 전송장치(102)에 전송할 수 있다. 제 2 전송장치(102)의 제어부(121)는 제 1 전송장치(101)로부터 전송되는 코マン드신호에 따라, 제 2 입출력부(124) 및 제 1 입출력부(113)를 통하여 여러가지 리스폰스신호 또는 데이터신호를 제 1 전송장치(101)에 전송한다.

<132> 또한, 제어부(121)는 예를 들면 외부장치의 요구에 따라서 외부입출력부 (123)가 즉시 데이터신호를 송신하지 않으면 안되고, 제 1 전송장치에 송신해야 할 데이터신호의 전송을 요구하는 경우 등에, 인터럽트 신호생성부 (126), 제 2 입출력부(124) 및 제 1 입출력부(113)를 통하여 인터럽트 신호를 제 1 전송장치(101)에 전송한다.

<133> 도 6(a)~(c)는 제 1 입출력부(113)와 제 2 입출력부(124)의 사이의 여러가지 신호전송을 나타내는 타이밍챠트이다(도 6에 있어서는, 인터럽트 신호의 전송을 표시하고 있지 않다).

<134> 도 6(a)에 나타내는 신호전송방법은 도 10(a)와 동일하다. 제일 먼저, CPU (111)는 제 1 입출력부(113), 코マン드라인(131) 및 제 2 입출력부(124)를 통하여 코マン드신호(601)(코マン드신호는 데이터가 첨부된 코マン드신호여도 좋다)를 제 2 전송장치(102)에 전송한다. 전송된 코マン드신호(601)는 리스폰스신호만을 요구하는 것이다. 코マン드신호(601)를 수신한 제어부(121)는 코マン드신호에 대한 응답신호인 리스폰스신호를 생성하고, 제 2 입출력부(124), 코マン드라인(131) 및 제 1 입출력부 (113)를 통해서 리스폰스신호(602)를 제 1 전송장치(101)에 전송한다.

<135> 코マン드신호(601) 및 리스폰스신호(602)는 클록라인(133)을 통하여 전송되는 클록신호에 동기하여 전송된다. 도 6(a)에 있어서는, 604로 나타낸 바와 같이, 데이터라인(132)은 사용되지 않는다.

<136> 도 6(b)에 나타내는 신호전송방법은 도 10(b)와 동일하다. 제일 먼저, CPU (111)는 제 1 입출력부(113), 코マン드 라인(131) 및 제 2 입출력부(124)를 통하여 코マン드신호(611)를 제 2 전송장치(102)에 전송한다. 전송된 코マン드신호(611)는 다음에 제 1 전송장치(101)로부터 제 2 전송장치(102)에 전송하는 데이터신호의 종류를 지정하는 것이다. 코マン드신호(611)를 수신한 제 2 전송장치(102)는 계속해서 데이터신호가 입력되는 것을 알 수 있다. 제어부(121)는 코マン드신호에 대한 응답신호인 리스폰스신호(612)를 생성하여, 제 1 전송장치(101)에 전송한다. CPU(111)는 전송해야 할 데이터신호(613)를 제 1 버퍼 메모리(112)에 저장하고, 제 1 입출력부(113)의 데이터 버퍼에 전송해야 할 데이터신호(613)의 최초의 N바이트를 로드한다(N바이트는 제 1 입출력부(113)의 4개의 데이터라인(132)의 데이터 버퍼에 로드가능한 데이터신호의 정보량이다).

<137> 다음에, 제 1 전송장치(101)는 제 1 입출력부(113), 데이터라인(132) 및 제 2 입출력부(124)를 통하여, 제 1 입출력부(113) 및 제 1 버퍼 메모리(112)에 저장된 데이터신호(613)를 제 2 전송장치(102)에 전송한다. 제 1 버퍼 메모리(112)에 저장된 데이터신호(613)는 차례로 제 1 입출력부(113)의 데이터 버퍼에 로드되어 전송된다. 제 2 전송장치(102)는 입력한 데이터신호(613)를 제 2 버퍼 메모리 (122)에 저장한다.

<138> 코マン드신호(611), 리스폰스신호(612) 및 데이터신호(613)는 클록라인(133)을 통하여 전송되는 클록신호에 동기하여 전송된다.

<139> 다음에, CPU(111)는 제 1 입출력부(113), 코マン드 라인(131) 및 제 2 입출력부(124)를 통하여 코マン드신호(614) {코マン드신호는 데이터가 첨부된 코マン드신호이더라도 좋다}를 제 2 전송장치(102)에 전송한다. 전송된 코マン드신

호(614)는 다음에 제 2 전송장치(102)로부터 제 1 전송장치(101)에 데이터신호를 전송하는 것을 요구하는 것이다. 제어부(121)는 코マン드신호에 대한 응답신호인 리스폰스신호(615)를 생성하여, 제 1 전송장치(101)에 전송한다. 코マン드신호(614)를 수신한 제 2 전송장치(102)는 제 2 버퍼 메모리(122)에 요구된 데이터신호(616)를 저장하여, 제 2 입출력부(124)의 데이터 버퍼에 요구된 데이터신호(616)의 최초의 N 바이트를 로드한다{N바이트는 제 2 입출력부(124)의 4개의 데이터라인(132)의 데이터 버퍼에 로드가능한 데이터신호의 정보량이다.}.

<140> 다음에, 제 1 전송장치(101)는 클록라인(133)을 통하여 클록신호를 제 2 전송장치(102)에 전송한다. 요구된 데이터신호(616)의 전송이 행하여진다. 제 2 입출력부(124), 데이터라인(132) 및 제 1 입출력부(113)를 통하여, 제 2 입출력부(124) 및 제 2 버퍼 메모리(122)에 저장된 데이터신호(616)가 제 1 전송장치(101)에 전송된다. CPU(111)는 입력한 데이터신호(616)를 제 1 버퍼 메모리(112)에 저장한다.

<141> 코マン드신호(614), 리스폰스신호(615) 및 데이터신호(616)는 클록라인(133)을 통하여 전송되는 클록신호에 동기하여 전송된다.

<142> 도 6(c)에 있어서는 후술한다.

<143> 도 6(a)~(c)에 나타낸 바와 같이, 도 1의 전송시스템에 있어서는, 코マン드 라인(131) 및 4개의 데이터라인(132)은 신호가 전송되지 않을 때 하이 레벨이 된다.

<144> 상술한 데이터신호의 전송에 있어서는, 셀렉터(151)는 1개의 데이터라인(132)과 데이터신호입출력부(152)를 접속한다. 데이터신호의 전송방법은 기본적으로 종래예와 같다.

<145> 다음에 인터럽트 신호의 전송을 설명한다.

<146> 외부입출력부(123)가 외부의 통신장치로부터 송신된 코マン드신호 또는 데이터신호를 수신하였다고 하다. 제어부(121)는 수신한 코マン드신호 또는 데이터신호를 제 2 버퍼 메모리(122)에 저장한다.

<147> 예를 들면, 외부의 통신장치와 외부입출력부(123)의 사이의 통신에 있어서, 코マン드신호에 대하여 일정시간내에 응답하지 않으면 양자의 통신이 차단되는 경우가 있다. 이러한 경우, 일단 차단된 양자의 통신을 회복하기 위해서는 상당한 시간을 요한다. 양자의 통신을 계속하기 위해서는, 규격으로 정해진 일정시간이내에 응답해야 한다. 그러나 마스터인 제 1 전송장치(101)가 제 1 전송장치(101)와 제 2 전송장치(102)의 사이의 통신을 지정하기 때문에, 제 2 전송장치(102)는 바로 필요한 데이터신호를 입수할 수 없다. 제 2 전송장치(102)가 외부의 통신장치에 대한 응답에 필요한 데이터신호를 해당 일정시간 이내에 입수할 수 없는 경우도 있다.

<148> 그러한 경우, 제 1 전송장치(101)와 제 2 전송(102)의 사이의 통신에 있어서, 필요한 신호를 우선으로 하여 전송해야 한다.

<149> 그러나, 제 1 전송장치(디지털신호처리장치)(101)와 제 2 전송장치(옵션장치)(102)와의 사이의 통신에 있어서는, 통상은 슬레이브인 제 2 전송장치(102)는 마스터인 제 1 전송장치(101)가 필요한 신호의 전송을 지정할 때까지는, 필요한 신호를 입수할 수 없다. 또, 슬레이브인 제 2 전송장치(102)는 마스터인 제 1 전송장치(101)가 필요한 신호의 전송을 지정할 때까지는, 필요한 신호{예컨대 제 2 버퍼 메모리(122)에 저장한 데이터신호}를 제 1 전송장치(101)에 송신할 수도 없다.

<150> 그래서 실시예 1에 있어서는, 슬레이브인 제 2 전송장치(102)로부터 마스터인 제 1 전송장치(101)에 인터럽트 신호를 전송하여, 제 1 전송장치(101)가 필요한 신호의 전송을 우선하여 지정하도록 한다.

<151> 인터럽트 신호를 입력한 CPU(111)는 인터럽트처리를 실행한다. 인터럽트 처리에 있어서, 제 2 전송장치(102)가 요구하는 신호전송을 CPU(111)는 우선하여 지정하여, 제 2 전송장치(102)와 제 1 전송장치(101)의 사이에서 해당 신호가 전송된다.

<152> 외부입출력부(123)가 외부의 통신장치로부터 송신된 코マン드신호 또는 데이터신호를 수신하면, 제어부(121)는 인터럽트 신호생성부(126)에 인터럽트 신호의 생성을 지시한다. 인터럽트 신호의 생성이 지시된 인터럽트 신호생성부(126)는 데이터신호중지기간검출부(125)로부터 데이터신호중지기간(인터럽트 신호의 전송가능기간)의 정보를 입수하여, 데이터신호중지기간에 인터럽트 신호를 제 2 입출력부(124)에 전송한다.

<153> 제 2 입출력부(124)의 셀렉터(151)는 데이터신호중지기간검출부(125)로부터 데이터신호중지기간의 정보를 입수하여, 데이터신호중지기간에 1개의 데이터라인(132)과 인터럽트 신호생성부(126)를 접속한다. 데이터신호중지기간 이외의 기간은 셀렉터(151)는 1개의 데이터라인(132)과 데이터신호입출력부(152)를 접속한다.

- <154> 인터럽트 신호는 셀렉터(151){제 2 입출력부(124)}, 데이터라인(132) 및 제 1 입출력부(113)를 통하여, CPU(111)에 전송된다.
- <155> 인터럽트 신호를 입력한 CPU(111)는 인터럽트 처리를 실행한다.
- <156> 구체적으로는, CPU(111)는 제일 먼저 제 2 전송장치(102)에 인터럽트 신호의 처리요구내용을 문의하는 코マン드신호를 전송한다. 통상, 제 2 전송장치(102)는 여러가지 원인에 의해서 제 1 전송장치(101)에 인터럽트 신호를 전송한다. 인터럽트 신호의 종류에 따라서 필요한 처리도 다르다. CPU(111){제 2 전송장치(102)}는 인터럽트 신호의 구체적 내용을 포함하는 리스폰스신호를 제 1 전송장치(101)에 되돌려 보낸다. 제 1 전송장치(101)는 인터럽트 신호의 구체적 내용에 따라서, 필요한 인터럽트 처리를 실행한다. 예컨대, 필요한 신호의 전송을 우선하여 지정하여 실행한다.
- <157> 인터럽트 신호의 처리요구내용이 1종류뿐이면, 인터럽트 신호를 입력한 CPU (111)는 즉시 그 인터럽트 처리를 실행한다.
- <158> 필요한 신호의 전송을 실행함으로써, 예컨대 제 1 전송장치(101)는, 제 2 전송장치(102)의 제 2 버퍼 메모리(122)에 저장된 데이터신호를 제 1 데이터 버퍼 (112)에 전송한다. 예를 들면 제 1 전송장치(101)는 제 1 데이터 버퍼(112)에 필요한 데이터신호를 저장하여, 제 1 데이터 버퍼(112)에 저장된 데이터신호를 제 2 전송장치(102)의 제 2 버퍼 메모리(122)에 전송한다.
- <159> 제 1 전송장치(101) 및 제 2 전송장치(102)를 가진 시스템은 외부의 통신장치의 요구에 대하여 항상 일정시간이내에 응답하는 것이 가능하기 때문에, 통신차단이 생기지 않고, 계속하여 외부의 통신장치와 통신할 수 있다.
- <160> 데이터신호중지기간검출부(125)는 제 2 입출력부(124)의 코マン드라인(131), 데이터라인(132)을 감시하고 있으며, 데이터라인(132)을 통하여 데이터신호가 전송되지 않는 기간(데이터신호중지기간)을 검출한다.
- <161> 상술한 바와 같이, 인터럽트 신호생성부(126) 및 제 2 입출력부(124)는 데이터신호중지기간에 데이터라인(132)을 통하여 인터럽트 신호를 송신한다. 이에 따라, 데이터신호와 인터럽트 신호가 충돌하는 것을 피할 수도 있다.
- <162> 제 1 전송장치의 데이터신호중지기간검출부(141)는 제 1 입출력부(113)의 코マン드라인(131), 데이터라인(132)을 감시하고 있으며, 데이터신호중지기간검출부 (125)와 같은 방법으로 데이터신호중지기간을 검출한다.
- <163> 인터럽트 신호검출부(114)는 내장하는 데이터신호중지기간검출부(141)가 검출한 데이터신호중지기간에 데이터라인(132)을 통하여 입력한 신호를, 인터럽트 신호로서 검출한다. 인터럽트 신호검출부(114)는 검출한 인터럽트 신호를 CPU(111)에 전송한다.
- <164> 데이터신호중지기간검출부(141)를 가진 제 1 전송장치는 데이터신호중지기간에 전송된 인터럽트 신호를, 그 이외의 기간에 전송된 데이터신호로부터 구별할 수 있다. 인터럽트 신호를 전송하지 않는 통상의 전송에 영향을 주지 않으므로, 인터럽트 신호에 대응하지 않는 전송장치와의 호환성을 유지할 수 있다. 통상의 데이터신호등의 전송방법은 변하지 않기 때문에, 인터럽트 신호의 전송기능을 실현하면서 또한 통상의 데이터신호 등의 전송규격(예컨대 IC 카드의 규격)에 준거한 전송장치를 실현할 수 있다.
- <165> 도 3을 사용하여, 실시예 1의 데이터신호중지기간검출부(125)가 데이터신호중지기간을 검출하는 방법을 설명한다. 데이터신호중지기간검출부(141)도 마찬가지이다. 도 3은 실시예 1의 인터럽트 신호의 전송기간(데이터신호중지기간)을 설명하기 위한 타이밍챠트이다.
- <166> 데이터신호중지기간검출부(125)는 두 종류의 데이터신호중지기간을 검출한다.
- <167> 제 1 데이터신호중지기간은 코マン드신호에 따라 전송되는 데이터신호의 종단으로부터 다음 데이터라인상에 데이터신호의 전송을 명령하는 코マン드신호의 종단까지의 사이의 기간이다(도 3(a)의 데이터신호중지기간(309)).
- <168> IC 카드의 프로토콜에 따른 실시예 1의 전송시스템에 있어서는, 제일 먼저 제 1 전송장치(101)로부터 제 2 전송장치(102)에 코マン드신호가 코マン드라인(131)을 통하여 전송되고, 다음에 코マン드신호에 따라 리스폰스신호가 코マン드라인(131)을 통하여 전송되며, 더욱 필요하면 데이터신호가 데이터라인(132)을 통하여 전송된다. 갑자기 데이터라인을 통하여 데이터신호가 전송되는 경우는 없다. 또한, 코マン드신호가 리스폰스신호만을 요구하는 코マン드신호이면, 데이터라인을 통하여 데이터신호가 전송되는 경우는 없다.

- <169> 따라서, 데이터신호중지기간검출부(125)는 코マン드신호에 따라 전송되는 데이터신호의 종단으로부터 다음 데이터라인상에 데이터신호의 전송을 명령하는 코マン드신호의 종단까지의 사이의 기간을 데이터신호중지기간으로서 검출한다.
- <170> 도 3(a)에 있어서, 데이터신호중지기간검출부(125)가 코マン드신호에 따라 전송되는 데이터신호의 종단{데이터신호(304)의 종단}을 검출하면, 데이터신호중지기간(309)이 시작되었다고 판단한다. 다음에, 제 1 전송장치(101)가 데이터라인상에 데이터신호의 전송을 명령하는 코マン드신호(301)를 전송한다. 해당 코マン드신호(301)의 전송중에 데이터신호가 전송되는 경우는 없기 때문에, 코マン드신호(301)의 전송기간도 데이터신호중지기간(309)에 포함된다. 데이터신호중지기간검출부(125)는 코マン드신호(301)의 종단을 검출하여, 해당 종단에서 데이터신호중지기간(309)이 끝났다고 판단한다.
- <171> 데이터신호중지기간검출부는 코マン드신호의 내용도 검출한다. 만약 코マン드신호가 데이터신호를 요구하지 않는다면, 다음의 데이터신호의 전송을 요구하는 코マン드신호가 전송될 때까지 도 3(a)에 나타내는 데이터신호중지기간(309)을 연장한다. 데이터신호중지기간(309)은 데이터신호의 종단으로부터, 데이터신호의 전송을 요구하는 코マン드신호의 종단까지의 기간이다.
- <172> 제 2 전송장치(102)는 데이터신호중지기간(309)에 인터럽트 신호(308)를 송신할 수 있다. 인터럽트 신호(308)는 그 시작단에서 하이에서 로우로 레벨이 변화하고, 그 종단{그 종단은 데이터신호중지기간(309)의 종단에 일치한다}에서 로우에서 하이로 변화한다(도 3(a) 및 (b) 참조).
- <173> 실시예에 있어서는, 코マン드신호(301)의 전송을 완료하고 나서, 적어도 일정기간 T_5 를 경과한 후에 데이터신호(305)의 전송이 시작된다. 여기서 실시예 1의 방법 대신에, 코マン드신호의 종단으로부터 일정기간 T_6 ($0 < T_6 \leq T_5$)을 경과한 시점을 데이터신호중지기간(309)의 종점으로 하여도 좋다.
- <174> 제 2 데이터신호중지기간은 데이터신호의 종단으로부터 다음 데이터신호의 선단까지의 사이에 검출되는 기간이다{도 3(b)의 데이터신호중지기간(314)}.
- <175> 도 3(a)에 나타낸 바와 같이, 실시예 1의 전송시스템에 있어서는, 복수의 분할된 데이터신호(305, 306, 307)를 일정한 전송중지기간을 두면서 연속하여 전송하는 경우가 있다(나중에 도 4, 도 5, 도 6(c)를 사용하여 상술한다).
- <176> 데이터신호중지기간검출부(125)는 분할된 데이터신호와 분할된 데이터신호의 사이에 데이터신호중지기간(314)을 검출한다.
- <177> 도 3(b)는 분할된 데이터신호와 분할된 데이터신호의 사이의 기간의 확대도이다. 복수의 311은 각각 데이터신호(305, 306)의 1비트를 나타낸다.
- <178> 데이터신호중지기간검출부(125)는 데이터신호(305)의 종단{마지막 1 비트 (311)의 종단}으로부터 T_3 의 기간(313)을 경과한 시점을 시작점으로 하고, 데이터신호(305)의 종단으로부터 T_1 의 기간(316)을 경과한 시점을 종점으로 하는 기간을, 데이터신호중지기간(314)으로서 검출한다(그 기간을 T_4 로 하면, $T_4 = T_1 - T_3$). 분할된 데이터신호와 분할된 데이터신호의 사이의 기간(317)을 T_2 로 하면, $T_1 < T_2$ 가 되도록 설정한다. T_2 는 최소치이고, 실제로는 기간(317)은 T_2 보다도 긴 경우가 있다.
- <179> 제 2 전송장치(102)는 데이터신호중지기간(314)에 인터럽트 신호(312)를 송신할 수 있다.
- <180> 셀렉터(151)는 데이터신호중지기간에 인터럽트 신호를 데이터라인(132)으로 송출하고, 데이터신호중지기간이외의 기간에 데이터라인(132)으로 데이터신호를 전송한다. 따라서, 셀렉터(151)는 데이터신호중지기간의 시작점 및 종점에서 접속을 바꾼다. 통상접속의 전환에는 어느 정도의 시간이 걸리고, 전환중에 데이터신호 또는 인터럽트 신호를 전송하고자 하면, 정확하게 신호를 전송할 수 없을 우려가 있다.
- <181> 실시예 1의 셀렉터(151)는 접속의 전환에 약 1클록의 시간(1클록의 시간은 데이터라인을 통하여 데이터신호를 출력하는 클록신호의 주기)을 요한다. 따라서, 실시예 1의 전송시스템에 있어서는, 데이터신호의 전송을 종료한 시점에서 일정기간(313)(= T_3), 및 데이터신호중지기간(314)이 종료하고 나서 일정기간(315)(= $T_2 - T_1$)에 있어서는, 인터럽트 신호도 데이터신호도 전송을 금지하고 있다. 실시예 1의 전송시스템에 있어서는, $T_3 = T_2 - T_1 = 2$ 클록으로 설정하고 있다.

- <182> 수신측의 데이터신호중지기간검출부(141)는 송신측의 데이터신호중지기간검출부(125)와 같이 기간 T_4 (314)를 테이터신호중지기간으로서 검출하여도 좋고, 기간 T_2 또는 기간 T_1 을 테이터신호중지기간으로서 검출하여도 좋다.
- <183> 도 2를 사용하여, 실시예 1의 전송방법에 있어서의 인터럽트 처리를 설명한다. 도 2는 실시예 1의 전송방법에 있어서의 인터럽트 처리의 플로우챠트를 나타낸다. 도 2에 있어서, 왼쪽은 제 1 전송장치(101)의 처리를 나타내고, 오른쪽은 제 2 전송장치(102)의 처리를 나타낸다.
- <184> 예컨대, 외부의 통신장치로부터 제 2 전송장치(102)의 외부입출력부(123)에 데이터신호가 전송되는 것에 의해, 제 2 전송장치(102)에 있어서 인터럽트 처리요구가 발생한다.
- <185> 제 2 전송장치(102)는 인터럽트 요구가 발생하고 있는지의 여부를 체크한다(스텝201). 혹시 인터럽트 요구가 발생하면 스텝 202로 진행하고, 인터럽트 요구가 발생하지 않으면 처리를 종료한다.
- <186> 스텝 202에 있어서, 현재 데이터신호중지기간인지의 여부를 체크한다. 만약 데이터신호중지기간이면, 인터럽트 신호를 송신할 수 있기 때문에 스텝 203으로 진행한다. 만약 데이터신호중지기간이 아니면, 인터럽트신호를 송신할 수 없기 때문에 스텝 202로 되돌아간다. 스텝 202를 되풀이하여, 데이터신호중지기간이 되는 것을 기다린다.
- <187> 스텝 203에 있어서, 제 2 전송장치(102)는 인터럽트 신호를 송신한다.
- <188> 다음에, 제 1 전송장치(101)는 인터럽트 신호를 수신한다(스텝 204).
- <189> 다음에, 제 1 전송장치(101)는 제 2 전송장치(102)에 인터럽트 신호의 종류를 묻는다(스텝 205). 제 2 전송장치(102)는 제 1 전송장치(101)에 인터럽트 신호의 종류를 회답한다(스텝 206). 인터럽트 신호의 문의는 통상의 코맨드신호와 리스폰스신호의 교환으로 이루어진다.
- <190> 다음에, 인터럽트 신호의 종류를 알게 된 제 1 전송장치(101)는 그 인터럽트 처리를 실행한다(스텝 207). 필요에 따라서, 예를 들면 제 1 전송장치(101)에서 제 2 전송장치(102)로 데이터신호가 보내지거나 또는 데이터신호의 송신요구가 보내진다. 제 2 전송장치(102)는 제 1 전송장치(101)의 요구에 따라서 처리를 실행한다(스텝 208). 예컨대, 제 2 전송장치(102)는 외부의 통신장치로부터 요구된 데이터신호{예컨대 그 데이터신호는 인터럽트 처리에 의해 제 1 전송장치(101)로부터 제 2 전송장치(102)에 전송된 것이다}를 외부입출력부(123)를 통하여 송신한다.
- <191> 인터럽트 신호의 종류가 1종류밖에 없으면, 제 1 전송장치(101)는 스텝 204에서 인터럽트 신호를 수신하면, 즉시 인터럽트 처리를 실행한다(스텝 207).
- <192> 도 4, 도 5 및 도 6(c)을 사용하여, 제 1 전송장치(101) 및 제 2 전송장치 (102)가 구비한, 긴 데이터신호의 분할기능에 대하여 설명한다.
- <193> 도 10(c)에서 설명한 바와 같이, 종래의 전송시스템에 있어서는, 하나의 통합인 데이터신호는 그 정보량의 대소에 관계없이, 데이터신호가 중간에 끊기지 않고 시작에서 끝까지 연속하여 전송되었다. 데이터신호를 전송하고 있는 동안에는, 데이터신호중지기간은 존재하지 않았다. 따라서, 종래의 전송시스템과 같은 구성이면, 이 사이에 인터럽트 신호를 전송할 수 없다.
- <194> 그러나, 데이터신호의 정보량이 지나치게 큰 경우(예컨대 압축된 영상신호의 통합을 전송하는 경우), 데이터신호의 전송이 완료하기 전에, 신호를 처리해야 할 기한이 지나쳐 버리는 경우가 있을 수 있다. 이렇게 되면, 예컨대 외부의 통신장치와 전송시스템(제 1 전송장치 및 제 2 전송장치)의 사이에서 안정된 통신을 할 수 없다.
- <195> 그래서, 제 1 전송장치(101) 및 제 2 전송장치(102)는 도 4에 나타내는 데이터신호의 생성블록을 가진다. 도 4는 실시예 1의 전송장치의 데이터신호의 생성 블록의 구성도이다.
- <196> 도 4에 있어서, 401은 데이터신호생성부, 402는 데이터신호분할부, 403은 데이터신호송출부이다.
- <197> 실시예 1의 전송장치에 있어서는, ROM에 써 넣어진 명령을 실행하는 CPU(111) 및 제어부(121)가 데이터신호생성부(401), 데이터신호분할부(402) 및 데이터신호송출부(403)의 기능을 가진다.
- <198> 데이터신호생성부(401)는 필요한 데이터신호를 생성한다. 만약 데이터신호생성부(401)가 생성한 데이터신호의 정보량이 일정한 역치 미만이면, 해당 데이터신호는 그대로 데이터신호송출부(403)에 전송된다. 데이터신호송

출부(403)는 생성된 데이터신호를 제 1 버퍼 메모리(112){또는 제 2 버퍼 메모리(122)}에 전송한다. 제 1 입출력부(113){또는 제 2 입출력부(124)}는 제 1 버퍼 메모리(112){또는 제 2 버퍼 메모리(122)}에 저장된 해당 데이터신호를 송신한다. 데이터신호는 데이터라인(132)을 통하여 연속한 데이터열로서 전송된다.

<199> 만약 데이터신호생성부(401)가 생성한 데이터신호의 정보량이 일정한 역치 이상이면, 데이터신호는 데이터신호분할부(402)로 전송된다. 데이터신호분할부(402)는 입력한 데이터신호를 분할하여, 일정미만의 정보량을 가진 복수의 분할된 데이터신호를 생성한다. 데이터신호송출부(403)는 데이터신호분할부(402)가 출력하는 복수의 분할된 데이터신호를 입력하고, 복수의 분할된 데이터신호를 제 1 버퍼 메모리(112){또는 제 2 버퍼 메모리(122)}에 전송한다. 또, 데이터신호송출부(403)는 복수의 분할된 데이터신호에 관한 정보를 제 1 입출력부(113){또는 제 2 입출력부(124)}에 전한다. 제 1 입출력부(113){또는 제 2 입출력부(124)}는 제 1 버퍼 메모리(112){또는 제 2 버퍼 메모리(122)}에 저장된 해당 분할된 데이터신호를, 분할된 데이터신호마다 송신한다. 각 분할된 데이터신호는 데이터라인(132)을 통하여 연속한 데이터열로서 전송되어, 분할된 데이터신호와 분할된 데이터신호의 사이에는 도 3(b)의 기간(317)으로 나타내는 중지기간이 형성된다.

<200> 도 6(c)에, 데이터신호분할부(402)가 데이터신호를 분할하여, 복수의 분할된 데이터신호를 생성한 경우의 신호 전송을 나타낸다. 도 6(c)의 신호전송에 있어서, 코マン드신호(621)에 따라서 큰 정보량을 가진 데이터신호가 생성된다. 정보량이 큰 데이터신호는 데이터신호분할부(402)에 의해 분할된다. 리스폰스신호(622)가 전송된 후, 복수의 분할된 데이터신호(623~626)는 각각의 사이에 중지기간(627)을 설치하면서 전송된다. 데이터신호중지기간검출부(125)(및 141)는 중지기간(627)내에 데이터신호중지기간(314)을 검출하므로(도 3(b)참조), 이 기간에 인터럽트 신호의 전송이 가능하게 된다. 분할된 데이터신호는 일정미만의 정보량밖에 갖지 않으므로, 인터럽트 신호는 반드시 일정한 기간내에 전송할 수 있다.

<201> 이에 따라, 인터럽트 처리의 시기를 놓치는 것을 방지할 수 있다.

<202> 도 5는 제 1 전송장치(101) 및 제 2 전송장치(102)의 데이터신호의 생성방법의 플로우챠트이다.

<203> 제일 먼저, 요구에 따라서 데이터신호를 생성한다(스텝 501). 다음에, 생성된 데이터신호의 정보량이 일정한 역치이상인지의 여부를 체크한다(스텝 502). 만약 생성된 데이터신호의 정보량이 일정한 역치 이상이면 스텝 504로 진행한다. 만약 생성된 데이터신호의 정보량이 일정한 역치 미만이면 스텝 503으로 진행한다.

<204> 스텝 503에 있어서, 생성된 데이터신호를 그대로 연속하여 송신한다. 처리를 종료한다.

<205> 스텝 504에 있어서, 생성된 데이터신호를, n개의 데이터신호로 분할한다. 각각의 분할된 데이터신호는 역치미만의 정보량을 가진다.

<206> 다음에, 스텝 505로 n개의 분할된 데이터신호를 송신한다. 스텝 505는 스텝 511~515를 가진다. 스텝 505를 상세하게 설명한다.

<207> 제일 먼저, 초기값 $k = 1$ 을 설정한다(스텝 511). 다음에, k번째의 분할된 데이터신호를 송신한다(스텝 512). 다음에 k를 1만큼 증대시킨다($k = k + 1$ 로 설정한다)(스텝 513).

<208> 다음에, 일정기간(T_2)만큼 데이터신호의 전송을 중지한다(스텝 514). 다음에, $k \leq n$ 이 성립하는지의 여부를 체크한다(스텝 515). 만약 $k \leq n$ 이 성립하면 스텝 512로 되돌아가, 스텝 512~515를 되풀이한다. 만약 $k \leq n$ 이 성립하지 않으면, n개의 분할된 데이터신호의 전송이 완료하였기 때문에, 처리를 종료한다.

<209> 《실시예 2》

<210> 도 7 및 도 8을 사용하여, 본 발명의 실시예 2의 전송시스템을 설명한다. 실시예 2의 전송시스템은 2개의 전송모드(제 1 전송모드 및 제 2 전송모드)를 가진다. 이 점을 제외하고, 실시예 2의 전송시스템은 도 1에 나타내는 실시예 1의 전송시스템과 동일한 구성을 가진다.

<211> 실시예 1의 전송시스템에 있어서는, 제 1 입출력부(113) 및 제 2 입출력부(124)는 항상 4개의 데이터라인을 통하여 데이터신호를 전송하였다.

<212> 실시예 2의 전송시스템에 있어서는, 제 1 입출력부(113) 및 제 2 입출력부(124)가 4개의 데이터라인을 통하여 데이터신호를 전송하는 제 1 전송모드와(실시예 1의 전송시스템과 같은 전송방법이다.), 제 1 입출력부(113) 및 제 2 입출력부(124)가 2개의 데이터라인을 통하여 데이터신호를 전송하는 제 2 전송모드가 있다.

<213> CPU(111)는 제 1 전송모드 또는 제 2 전송모드 중의 어느 하나를 선택하여, 선택된 전송모드를 제 1 입출력부

(113)에 통지한다. 제 1 입출력부(113)는 선택된 전송모드에 따라서, 내부접속을 전환한다.

<214> 마찬가지로, 제어부(121)는 제 1 전송모드 또는 제 2 전송모드 중의 어느 하나를 선택하여, 선택된 전송모드를 제 2 입출력부(124)에 통지한다. 제 2 입출력부(124)는 선택된 전송모드에 따라서, 내부접속을 전환한다.

<215> 도 7은 실시예 2의 전송시스템의 전송모드를 나타낸 도면이다. 도 7(a)은 제 1 전송모드를 나타내며, 도 7(b)은 제 2 전송모드를 나타낸다.

<216> 제 1 전송모드와 제 2 전송모드에서는, 제 1 전송장치(101)와 제 2 전송장치 (102)를 접속하는 데이터라인(도 1의 132)의 역할이 다르다. 도 7(a) 및 (b)에는, 제 1 전송장치(101), 제 2 전송장치(102), 코マン드 라인(131), 클록라인 (133) 및 각 전송모드의 특징을 나타내는 4개의 데이터라인(701~704)(도 1의 132)만을 표시하고 있다.

<217> 도 7(a)에 나타내는 제 1 전송모드에 있어서는, 제 1 전송장치(101) 및 제 2 전송장치(102)는, 4개의 데이터라인(701~704)의 전부를 사용하여 데이터신호를 전송한다. 제 1 전송모드는 실시예 1의 전송방법과 같은 전송방법을 실행한다.

<218> 제 1 전송모드에 있어서는, 4개의 데이터라인(701~704)은 기본적으로는 데이터신호를 전송하기 위한 라인이다. 데이터신호중지기간에 인터럽트 신호를 데이터라인(701)을 통하여 전송할 수 있다.

<219> 도 7(b)에 나타내는 제 2 전송모드에 있어서는, 제 1 전송장치(101) 및 제 2 전송장치(102)는 4개의 데이터라인 (701~704)중, 2개의 데이터라인(701, 702)을 사용하여 데이터신호를 전송한다. 1개의 데이터라인(703)을, 인터럽트라인으로서 사용한다. 인터럽트라인(703)은 인터럽트 신호를 전송하기 위한 전용선이다. 데이터라인(704)은 사용되지 않는다. 또, 이 때, 데이터신호중지기간검출부(125, 141)는 그 기능을 정지한다.

<220> 데이터신호를 전송하기 위해서 2개의 데이터라인밖에 사용할 수 없는 제 2 전송모드에 있어서는, 4개의 데이터라인을 사용할 수 있는 제 1 전송모드에 비교하면, 제 1 전송장치와 제 2 전송장치의 사이의 데이터전송능력이 반이 된다.

<221> 그러나, 제 2 전송모드에 있어서는, 인터럽트라인(703)을 통하여 언제나 인터럽트 신호를 전송할 수 있다. 데이터신호를 전송중일 때에도 인터럽트 신호를 전송할 수 있다. 따라서, 높은 응답성을 가진 전송시스템을 실현할 수 있다.

<222> 예컨대 제 1 전송장치 및 제 2 전송장치는 코マン드신호에 따라 전송모드를 결정한다. 또는 예컨대 제 1 전송장치 및 제 2 전송장치는 제 2 전송장치(옵션장치)의 종류에 따라서 전송모드를 결정한다.

<223> 제 2 전송장치는 제 1 전송장치가 결정한 전송모드의 정보를 수신하고, 해당 전송모드에 따라서 좋다.

<224> 도 8은 실시예 2의 전송방법의 플로우챠트이다. 도 8에 있어서, 왼쪽은 제 1 전송장치(101)의 처리를 나타내고, 오른쪽은 제 2 전송장치(102)의 처리를 나타낸다. 제일 먼저, 제 1 전송장치(101)는 전송모드(제 1 전송모드 또는 제 2 전송모드)를 결정한다.

<225> 다음에, 제 1 전송장치(101)는 결정한 전송모드의 정보를 송신한다(스텝 802). 다음에, 제 2 전송장치(102)는 결정한 전송모드의 정보를 수신한다(스텝 811). 제 2 전송장치(102)는 제 1 전송장치의 전송모드와 동일한 전송모드로 설정된다. 이렇게 해서, 제 1 전송장치(101) 및 제 2 전송장치(102)는 동일한 전송모드가 된다.

<226> 다음에, 제 1 전송장치(101)에 있어서, 제 1 전송모드인지의 여부를 체크한다(스텝 803). 만약 제 1 전송모드이면 스텝 804로 진행한다. 만약 제 1 전송모드가 아니면(제 2 전송모드이면), 스텝 805로 진행한다.

<227> 제 1 전송모드이면, 스텝 804에 있어서, 제 1 전송장치는 모든 데이터라인을 통하여 데이터신호를 송신하거나 또는 수신한다.

<228> 마찬가지로, 제 2 전송장치(102)에 있어서, 제 1 전송모드인지의 여부를 체크한다(스텝 812). 만약 제 1 전송모드이면 스텝 813으로 진행한다. 만약 제 1 전송모드가 아니면(제 2 전송모드이면) 스텝 814로 진행한다.

<229> 제 1 전송모드이면, 스텝 813에 있어서, 제 2 전송장치는 모든 데이터라인을 통하여 데이터신호를 송신하거나 또는 수신한다.

<230> 제 1 전송모드에 있어서의 인터럽트 처리방법은 실시예 1과 같다.

<231> 제 1 전송장치는 제 2 전송모드이면(제 1 전송모드가 아니면), 스텝 805에 있어서, 데이터신호중지기간검출부

(141)는 그 기능을 정지시킨다. 이에 따라, 인터럽트 신호검출부(114)는 후술하는 인터럽트라인을 통하여 전송되는 신호를, 그것이 언제 전송되더라도, 인터럽트 신호로서 검출할 수 있다. 데이터신호중지기간검출부(141)가 기능한 상태에서, 인터럽트 신호검출부(114)가 데이터신호중지기간의 신호를 접수하지 않게 되더라도 좋다.

<232> 다음에, 스텝 806에 있어서 2개의 데이터라인을 통하여 데이터신호를 송신하거나 또는 수신한다. 1개의 데이터라인을 인터럽트라인으로서 사용하여, 이 인터럽트라인을 통하여 인터럽트 신호를 수신한다.

<233> 제 1 전송장치는 인터럽트 신호를 수신하면, 스텝 807에 있어서 인터럽트 처리를 실행한다.

<234> 마찬가지로, 제 2 전송장치는 제 2 전송모드이면(제 1 전송모드가 아니면), 스텝 814에 있어서, 데이터신호중지기간검출부(125)의 기능을 정지시킨다. 이에 따라, 인터럽트 신호생성부(126)는 언제나 인터럽트 신호를 제 2 입출력부(124) 및 인터럽트라인을 통하여 송신할 수 있다.

<235> 다음에, 스텝 815에 있어서 2개의 데이터라인을 통하여 데이터신호를 송신하거나 또는 수신한다. 1개의 데이터라인을 인터럽트라인으로서 사용하여, 이 인터럽트라인을 통하여 인터럽트 신호를 송신한다.

<236> 제 1 전송장치가 출력한 인터럽트 신호에 근거한 지시를 수신하면, 제 2 전송장치는 스텝 816에 있어서 제 1 전송장치의 지시에 근거한 처리를 실행한다. 처리를 종료한다.

<237> 따라서, 예컨대 외부의 통신장치가 제 2 전송장치의 외부입력신호(123)에 신호처리를 요구하면, 제 2 전송장치는 즉시 인터럽트 신호를 제 1 전송장치에 전송한다. 데이터신호의 전송중에, 인터럽트 신호를 전송할 수도 있다.

<238> 실시예 2의 전송시스템은 제 1 전송모드 및 제 2 전송모드를 갖지만, 더욱 많은 전송모드를 가지고 있어도 좋다.

<239> 실시예의 전송장치 및 전송방법에 있어서는, 싱크로너스 데이터전송을 실시하고 있지만, 이에 한정되는 것이 아니다. 본 발명은 아싱크로너스(비동기) 데이터전송에도 적용할 수 있다.

<240> 실시예에 있어서는 디지털신호처리장치 및 그 옵션장치를 가진 전송시스템을 예시하였지만, 이에 한정되는 것이 아니다. 예컨대, 본 발명을 2개의 디지털신호처리장치의 상호의 통신에 적용할 수도 있다.

<241> 본 발명에 의하면, 적은 입출력단자로(전용의 인터럽트 신호라인을 가지지 않고), 인터럽트 신호를 전송할 수 있는(높은 응답성을 가진) 전송시스템 및 전송방법을 실현할 수 있다고 하는 유리한 효과를 얻을 수 있다. 이에 따라, 전용의 인터럽트 신호라인을 가진 전송장치에 비교해서, 소형이며 염가인 전송장치를 실현할 수 있다.

<242> 본 발명에 의하면, 인터럽트 신호의 전용라인을 갖지 않은 규격(예컨대 명세서에 기재한 IC 카드의 규격)에 따라서(호환성을 잊지 않고), 또한 인터럽트 신호를 전송할 수 있는(높은 응답성을 가지는) 전송시스템 및 전송방법을 실현할 수 있다고 하는 유리한 효과를 얻을 수 있다.

<243> 이에 따라, 인터럽트 신호를 이용하여 높은 응답성을 가진 마스터/슬레이브형 전송시스템 및 전송방법을 실현할 수 있다.

<244> 본 발명에 의하면, 데이터신호의 직후와 다음의 데이터신호의 직전에 데이터신호도 인터럽트 신호도 전송되지 않은 기간을 형성하여, 해당 기간에 인터럽트 신호와 데이터신호를 스위칭함으로써, 높은 동작주파수로 동작하는 고속의 전송장치, 전송시스템 및 전송방법을 실현할 수 있다고 하는 유리한 효과를 얻을 수 있다.

<245> 본 발명에 의하면, 코マン드신호를 전송후에 데이터신호를 전송하는 프로토콜(예컨대 IC 카드의 규격)을 가지며, 해당 프로토콜에 기초하여 발생하는 데이터신호를 전송하지 않는 기간에 데이터라인을 통하여 인터럽트 신호를 송신하는(높은 응답성을 가진) 전송장치 및 전송방법을 실현할 수 있다고 하는 유리한 효과를 얻을 수 있다.

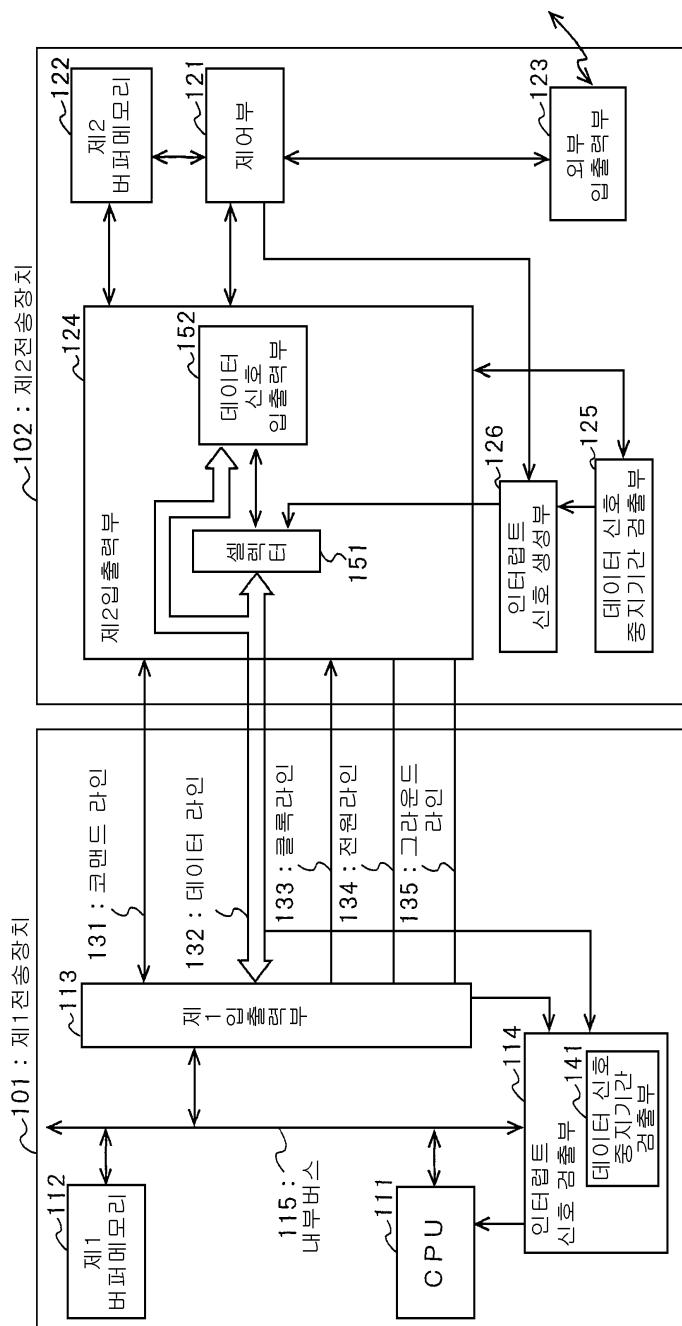
<246> 본 발명에 의하면, 데이터신호의 전송완료후에 형성된 데이터신호의 전송금지기간을 이용하여 인터럽트 신호를 전송함으로써, 통상의 데이터신호의 전송을 방해하지 않고 인터럽트 신호를 전송할 수 있고(높은 응답성을 가지며) 또한 통신 프로토콜에 준거한 전송장치 및 전송방법을 실현할 수 있다고 하는 유리한 효과를 얻을 수 있다.

<247> 본 발명에 의하면, 데이터신호 및 인터럽트 신호를 확실하게 전송하는 전송장치 및 전송방법을 실현할 수 있다고 하는 유리한 효과를 얻을 수 있다.

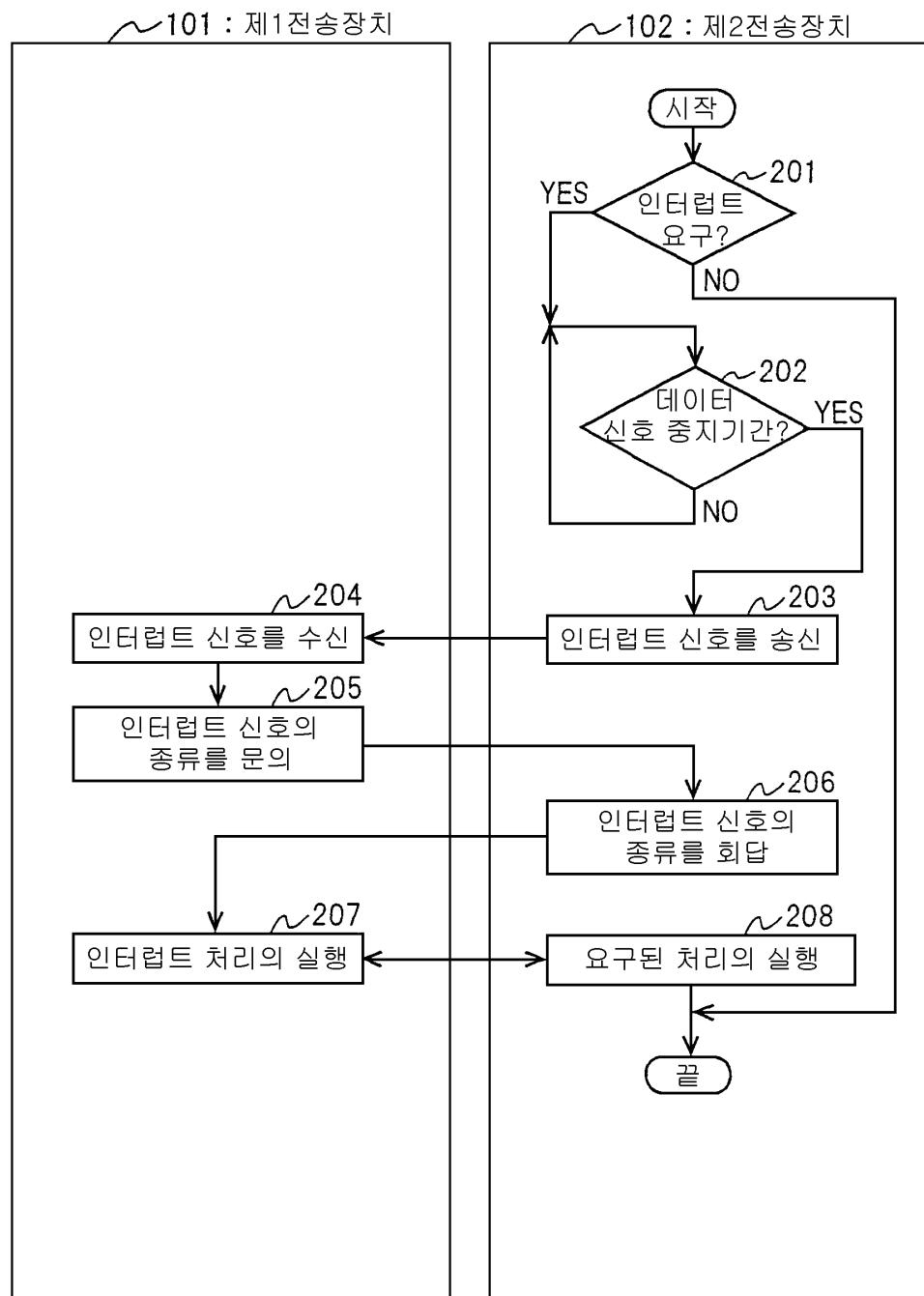
- <248> 본 발명에 의하면, 전송하는 데이터신호의 정보량이 큰 경우에도, 일정기간내에 확실하게 인터럽트 신호를 전송할 수 있는 전송장치 및 전송방법을 실현할 수 있다고 하는 유리한 효과를 얻을 수 있다.
- <249> 본 발명에 의하면, 제 2 전송모드를 선택함으로써 언제나 인터럽트 신호를 전송할 수 있으며, 높은 응답성을 가진 전송시스템 및 전송방법을 실현할 수 있다고 하는 유리한 효과를 얻을 수 있다.
- <250> 발명을 어느 정도 상세하게 바람직한 형태에 대하여 설명하였지만, 이 바람직한 형태의 현 개시내용은 구성의 세부에서 당연히 변화시킬 수 있는 것이며, 각 요소의 조합이나 순서의 변화는 청구된 발명의 범위 및 사상을 일탈하지 않고 실현할 수 있는 것이다.

도면

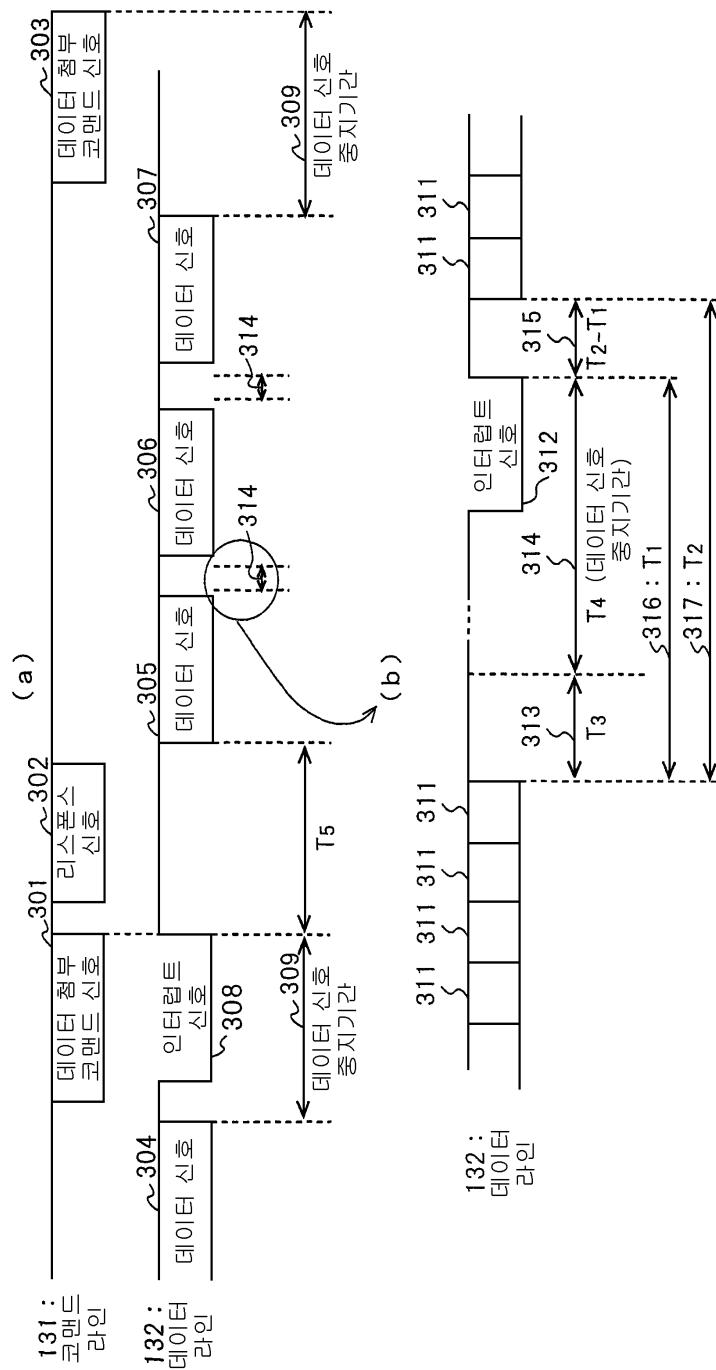
도면1



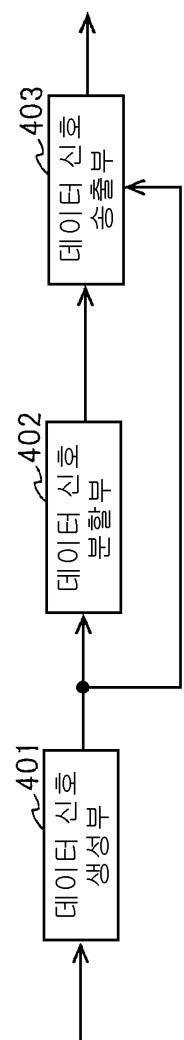
도면2



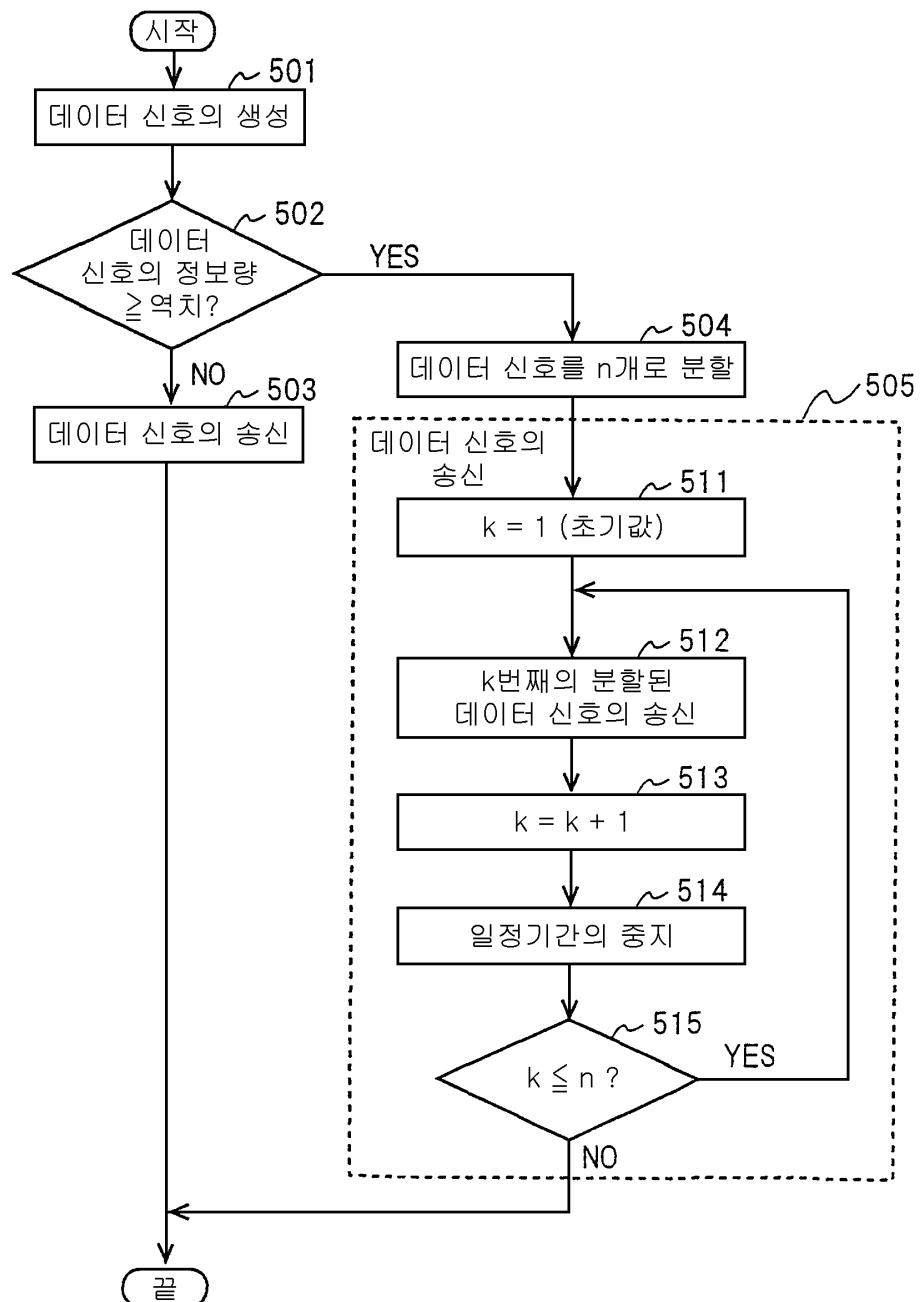
도면3



도면4

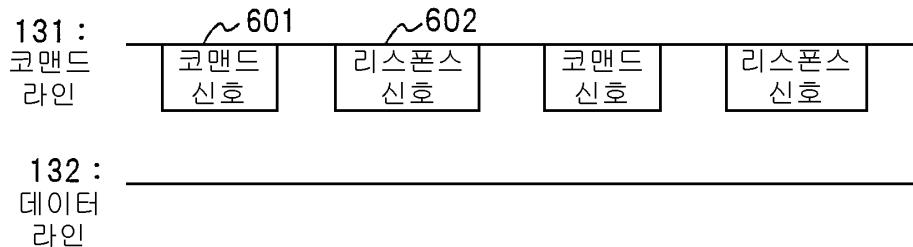


도면5



도면6

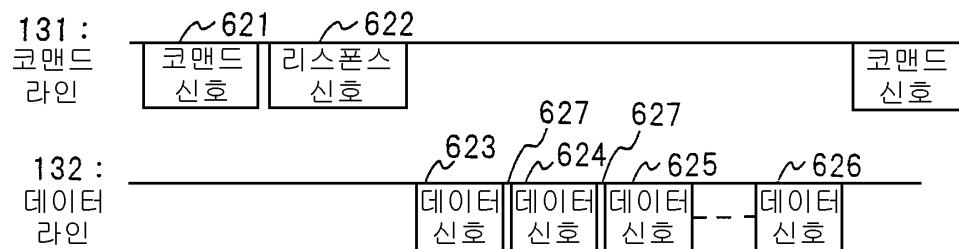
(a)



(b)



(c)



도면7

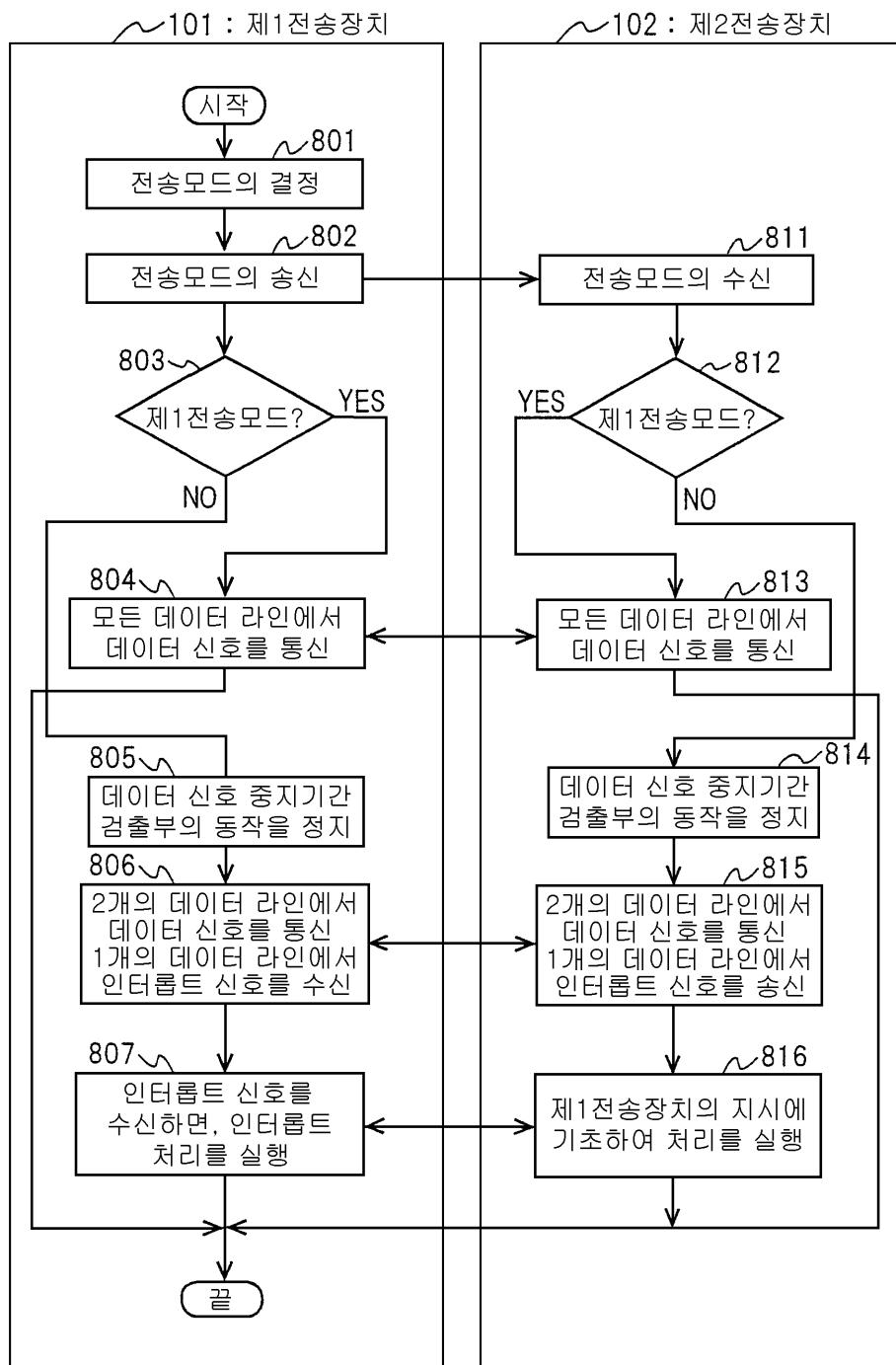
(a) 제1전송모드



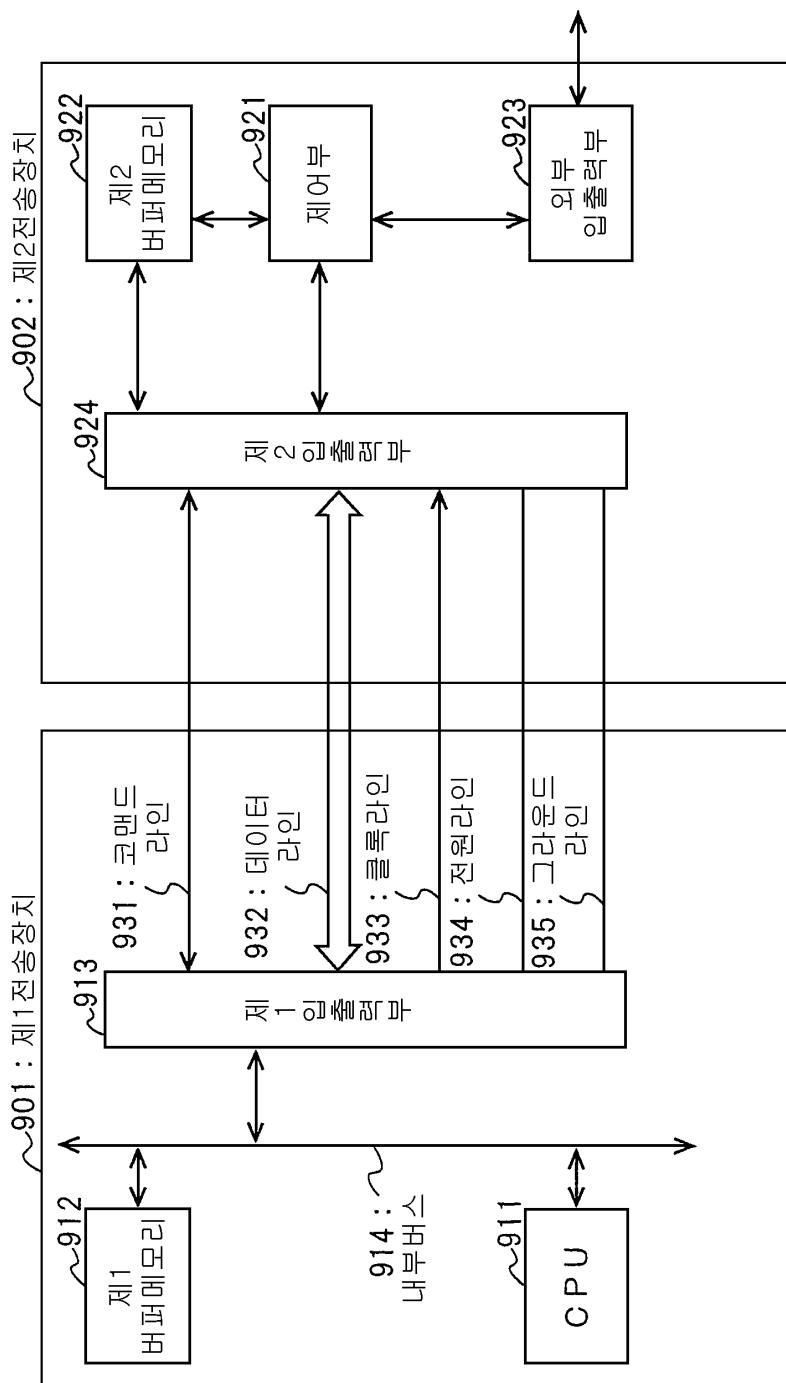
(b) 제2전송모드



도면8

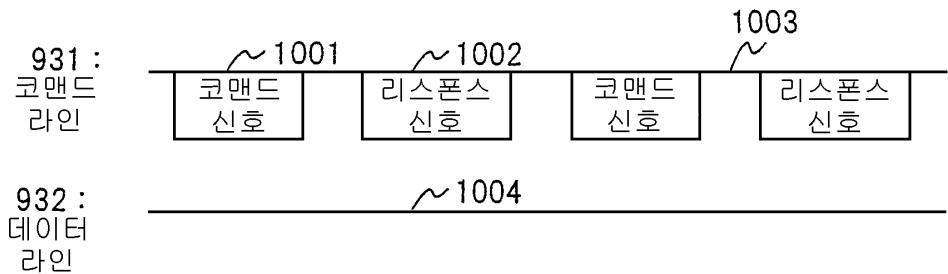


도면9

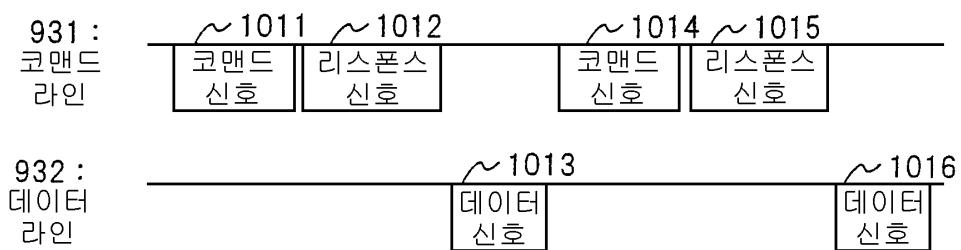


도면10

(a)



(b)



(c)

