



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년12월30일

(11) 등록번호 10-1477807

(24) 등록일자 2014년12월23일

(51) 국제특허분류(Int. Cl.)

H01L 23/495 (2006.01)

(21) 출원번호 10-2008-0069792

(22) 출원일자 2008년07월18일

심사청구일자 2013년06월21일

(65) 공개번호 10-2009-0009142

(43) 공개일자 2009년01월22일

(30) 우선권주장

JP-P-2007-00187789 2007년07월19일 일본(JP)

JP-P-2007-00316920 2007년12월07일 일본(JP)

(56) 선행기술조사문헌

US20040061204 A1

JP2000058739 A

전체 청구항 수 : 총 11 항

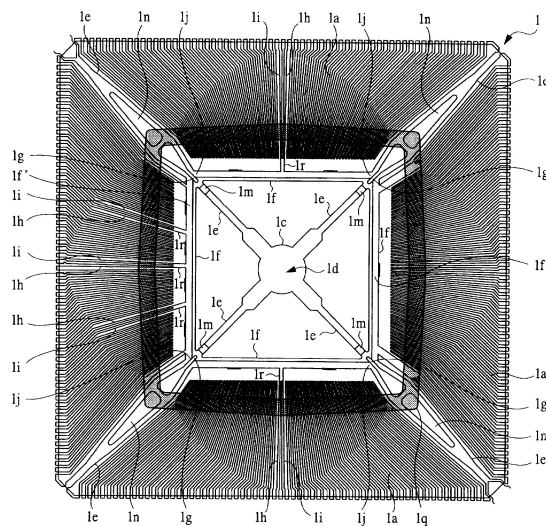
심사관 : 이석주

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

칩 지지면(1d)의 외형 사이즈가 반도체 칩의 이면보다 작은 탭(1c)과, 탭(1c)의 주위에 배치된 복수의 리드와, 탭(1c)의 칩 지지면(1d) 상에 탑재된 상기 반도체 칩과, 탭(1c)을 지지하는 복수의 현수 리드(1e)와, 탭(1c)의 외측에 탭(1c)을 둘러싸도록 배치되고 또한 현수 리드(1e)와 연결하는 4개의 바 리드(1f)와, 상기 반도체 칩과 상기 리드를 접속하는 복수의 와이어와, 상기 반도체 칩 및 상기 복수의 와이어를 수지 밀봉하는 밀봉체를 갖고, 각 바 리드(1f)의 현수 리드(1e)와의 제1 연결부(1j)에 제1 슬릿(1g)이 형성되어 있다.

대표도 - 도6a



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

삭제

**청구항 27**

칩 탑재부와,

주면, 상기 주면에 형성된 제1 전극, 상기 주면에 형성된 제2 전극, 및 상기 주면과 반대측의 이면을 갖고, 상기 칩 탑재부에 탑재된 반도체 칩과,

상기 칩 탑재부를 지지하는 복수의 현수 리드와,

평면에서 볼 때, 상기 칩 탑재부의 주위에 배치된 복수의 공통 리드와,

평면에서 볼 때, 상기 칩 탑재부의 주위에 배치된 복수의 리드와,

상기 복수의 제1 전극과 상기 복수의 공통 리드를 각각 전기적으로 접속하는 복수의 제1 와이어와,

상기 복수의 제2 전극과 상기 복수의 리드를 각각 전기적으로 접속하는 복수의 제2 와이어와,

상기 반도체 칩, 상기 복수의 제1 와이어 및 상기 복수의 제2 와이어를 밀봉하는 밀봉체를 포함하고,

상기 칩 탑재부, 상기 복수의 현수 리드, 상기 복수의 공통 리드 및 상기 복수의 리드는, 구리를 포함하는 금속으로 이루어지고,

상기 복수의 공통 리드의 각각은, 평면에서 볼 때, 상기 복수의 현수 리드 중 서로 이웃하는 현수 리드간에 배

치되고,

상기 복수의 공통 리드의 각각은, 평면에서 볼 때, 상기 칩 탑재부와 상기 복수의 리드와의 사이에 배치되고,

상기 복수의 공통 리드의 각각은, 상기 복수의 현수 리드의 각각의 제1 부분에 연결되고,

상기 복수의 현수 리드의 각각의 상기 제1 부분에는, 슬릿이 형성되어 있고,

상기 복수의 공통 리드의 각각은, 직선 형상으로 형성되고,

상기 복수의 현수 리드의 각각의 상기 제1 부분에 형성되고, 또한 상기 복수의 공통 리드의 각각에는 형성되지 않는 상기 슬릿은, 상기 복수의 공통 리드의 각각의 연장선 상에 위치하고 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 28

제27항에 있어서,

상기 칩 탑재부의 평면에서 볼 때의 외형 치수는, 상기 반도체 칩의 평면에서 볼 때의 외형 치수보다도 작은 것을 특징으로 하는, 반도체 장치.

#### 청구항 29

제28항에 있어서,

상기 복수의 현수 리드의 각각은, 상기 제1 부분보다도 상기 칩 탑재부에 가까운 제2 부분에 형성된 제1 오프셋부를 갖고 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 30

제28항에 있어서,

상기 복수의 공통 리드 중 제1 공통 리드는, 상기 복수의 리드 중 제1 리드와 연결되고 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 31

제30항에 있어서,

상기 복수의 공통 리드 중 제2 공통 리드는, 상기 복수의 리드와 연결되어 있지 않고,

상기 제2 공통 리드는, 제2 오프셋부를 갖고 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 32

제27항에 있어서,

상기 슬릿은, 평면에서 볼 때, 상기 복수의 현수 리드의 각각의 폭 방향에 있어서의 내측에 형성되어 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 33

제27항에 있어서,

상기 슬릿은, 상기 복수의 현수 리드의 각각의 두께 방향으로 신장하고 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 34

칩 탑재부와,

주면, 상기 주면에 형성된 제1 전극, 상기 주면에 형성된 제2 전극, 및 상기 주면과 반대측의 이면을 갖고, 상기 칩 탑재부에 탑재된 반도체 칩과,

상기 칩 탑재부를 지지하는 복수의 현수 리드와,

평면에서 볼 때, 상기 칩 탑재부의 주위에 배치된 복수의 공통 리드와,  
 평면에서 볼 때, 상기 칩 탑재부의 주위에 배치된 복수의 리드와,  
 상기 복수의 제1 전극과 상기 복수의 공통 리드를 각각 전기적으로 접속하는 복수의 제1 와이어와,  
 상기 복수의 제2 전극과 상기 복수의 리드를 각각 전기적으로 접속하는 복수의 제2 와이어와,  
 상기 반도체 칩, 상기 복수의 제1 와이어 및 상기 복수의 제2 와이어를 밀봉하는 밀봉체를 포함하고,  
 상기 복수의 공통 리드의 각각은, 평면에서 볼 때, 상기 복수의 현수 리드 중 서로 이웃하는 현수 리드간에 배치되고,  
 상기 복수의 공통 리드의 각각은, 평면에서 볼 때, 상기 칩 탑재부와 상기 복수의 리드와의 사이에 배치되고,  
 상기 복수의 공통 리드의 각각은, 상기 복수의 현수 리드의 각각의 제1 부분에 연결되고,  
 상기 복수의 현수 리드의 각각의 상기 제1 부분에는, 슬롯이 형성되어 있고,  
 상기 슬롯은, 평면에서 볼 때, 상기 복수의 현수 리드의 각각의 폭 방향에 있어서의 내측에 형성되어 있고,  
 상기 복수의 공통 리드의 각각은, 직선 형상으로 형성되고,  
 상기 복수의 현수 리드의 각각의 상기 제1 부분에 형성되고, 또한 상기 복수의 공통 리드의 각각에는 형성되지 않는 상기 슬롯은, 상기 복수의 공통 리드의 각각의 연장선 상에 위치하고 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 35

제34항에 있어서,  
 상기 칩 탑재부, 상기 복수의 현수 리드, 상기 복수의 공통 리드 및 상기 복수의 리드는, 구리를 포함하는 금속으로 이루어지는 것을 특징으로 하는, 반도체 장치.

#### 청구항 36

칩 탑재부와,  
 주면, 상기 주면에 형성된 제1 전극, 상기 주면에 형성된 제2 전극, 및 상기 주면과 반대측의 이면을 갖고, 상기 칩 탑재부에 탑재된 반도체 칩과,  
 상기 칩 탑재부를 지지하는 복수의 현수 리드와,  
 평면에서 볼 때, 상기 칩 탑재부의 주위에 배치된 복수의 공통 리드와,  
 평면에서 볼 때, 상기 칩 탑재부의 주위에 배치된 복수의 리드와,  
 상기 복수의 제1 전극과 상기 복수의 공통 리드를 각각 전기적으로 접속하는 복수의 제1 와이어와,  
 상기 복수의 제2 전극과 상기 복수의 리드를 각각 전기적으로 접속하는 복수의 제2 와이어와,  
 상기 반도체 칩, 상기 복수의 제1 와이어 및 상기 복수의 제2 와이어를 밀봉하는 밀봉체를 포함하고,  
 상기 복수의 공통 리드의 각각은, 평면에서 볼 때, 상기 복수의 현수 리드 중 서로 이웃하는 현수 리드간에 배치되고,  
 상기 복수의 공통 리드의 각각은, 평면에서 볼 때, 상기 칩 탑재부와 상기 복수의 리드와의 사이에 배치되고,  
 상기 복수의 공통 리드의 각각은, 상기 복수의 현수 리드의 각각의 제1 부분에 연결되고,  
 상기 복수의 현수 리드의 각각의 상기 제1 부분에는, 슬롯이 형성되어 있고,  
 상기 슬롯은, 평면에서 볼 때, 상기 복수의 현수 리드의 각각의 폭 방향에 있어서의 내측에 형성되어 있고,  
 상기 슬롯은, 상기 복수의 현수 리드의 각각의 두께 방향으로 신장하고 있고,  
 상기 복수의 공통 리드의 각각은, 직선 형상으로 형성되고,

상기 복수의 현수 리드의 각각의 상기 제1 부분에 형성되고, 또한 상기 복수의 공통 리드의 각각에는 형성되지 않는 상기 슬릿은, 상기 복수의 공통 리드의 각각의 연장선 상에 위치하고 있는 것을 특징으로 하는, 반도체 장치.

### 청구항 37

제36항에 있어서,

상기 칩 탑재부, 상기 복수의 현수 리드, 상기 복수의 공통 리드 및 상기 복수의 리드는, 구리를 포함하는 금속으로 이루어지는 것을 특징으로 하는, 반도체 장치.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은, 반도체 장치 및 그 제조 기술에 관한 것으로, 특히 리드 프레임을 이용하여 조립되는 반도체 장치에 적용하기에 유효한 기술에 관한 것이다.

#### 배경 기술

[0002] 반도체 칩과 이너 리드 사이에 배치되고 또한 반도체 칩의 그라운드용의 패드와 와이어 본딩에 의해 전기적으로 접속되는 그라운드 접속부를 갖고, 상기 그라운드 접속부가 탭 현수 리드에 전기적으로 접속되어 지지됨으로써, 그라운드 전위의 안정화를 도모하는 기술이 있다(예를 들어, 특허 문헌1 참조).

[0003] 또한, 반도체 칩의 사이즈보다 작은 사이즈의 다이 패드를 갖는 리드 프레임을 사용하여, 리드 프레임의 현수 리드와 이너 리드부를 절연성 테이프를 서로 접속하는 기술이 있다(예를 들어, 특허 문헌2 참조).

[0004] <특허 문헌1> 일본 특허 공개 평11-168169호 공보

[0005] <특허 문헌2> 일본 특허 공개 평11-224929호 공보

### 발명의 내용

#### 해결 하고자하는 과제

[0006] 최근에는 반도체 장치의 고성능화에 수반하여, 예를 들어 반도체 장치와 외부의 전자 기기 사이에서 데이터 신호의 교환을 행하기 위한 외부 단자의 수(핀수)도 증가하는 경향에 있다. 이러한 다핀의 반도체 장치를 실현하는 구성으로서, 예를 들어 BGA(Ball Grid Array)가 알려져 있다. BGA는 배선 기판의 주면 상에 반도체 칩을 탑재하는 동시에 이면에 외부 단자인 볼 전극을 형성하는 구조이기 때문에 다핀화에 적합하다. 그러나, 배선 기판은 다층으로 형성된 배선층과 절연층을 갖는 구성이기 때문에 재료비가 리드 프레임에 비하여 높고, BGA의 제조 비용도 상대적으로 높다. 따라서, 최근에는 BGA의 제조 비용을 저감하는 수단으로서 1개의 배선 기판 상에 복수의 반도체 장치를 구성하는 영역을 형성해 두고, 복수의 영역 각각에 반도체 칩을 탑재한 후에 복수의 영역을 일괄적으로 수지 밀봉하는, 소위 MAP(Multi Array Package) 방식이 유효하게 되어 있다.

[0007] 그러나, 다핀화에 의해 1개당 BGA의 제품 사이즈가 커지면 배선 기판 1매당 취득되는 제품의 취득수가 4 내지 5 개밖에 되지 않아, 일괄 몰드 타입의 다수개 취득 기판(MAP용 기판)을 이용할수록 오히려 제조 비용이 높아진다. 따라서, 저비용화를 실현하기 위해서는 QFP(Quad Flat Package) 등의 리드 프레임 타입을 채용하는 것이 유효하다.

[0008] 리드 프레임을 사용하면 BGA에 사용되는 배선 기판과 같이 배선층이나 절연층을 다층으로 하지 않는 만큼 제조 비용도 저감할 수 있다.

[0009] 그러나, QFP는 반도체 칩을 탑재 가능한 탭과, 이 탭의 주위에 복수의 리드가 배치된 구성이다. 즉, 반도체 장치의 주변부에 외부 단자가 되는 리드가 배치되기 때문에 다핀화가 진행되면 반도체 장치의 외형 치수도 커져 버린다.

[0010] 따라서, 반도체 장치의 소형화를 실현하면서 리드 프레임 타입의 반도체 장치에서 다핀화를 도모하는 하나의 수

단으로서 상기 특허 문헌1(일본 특허 공개평11-168169호 공보)에 기재한 바와 같은 전원이나 GND(그라운드)를 공통화하여 외부로 인출하는 단자(외부 단자)의 수를 줄이는 것이 유효하다. 즉, 버스 바 리드 혹은 바 리드 등으로 불리는 공통 리드를 형성하고, 이 버스 바 리드에 전원이나 GND 등의 와이어를 접속함으로써 리드의 공통화를 도모하여 외부로 인출하는 단자의 수를 저감시켜 다핀화를 도모하는 것이다.

[0011] 그러나, 리드 프레임은 금속으로 이루어지기 때문에 반도체 칩을 탑재하는 다이 본딩 공정이나, 반도체 칩과 리드를 와이어로 전기적으로 접속하는 와이어 본딩 공정 등에 있어서의 열의 영향으로 리드 프레임에 팽창·수축 작용(열 왜곡)이 발생하기 쉽다. 이 팽창·수축 작용은 리드 프레임이 동합금 등의 금속으로 이루어질 경우, 특히 일어나기 쉽다. 와이어 본딩 공정에서는 리드의 일부(와이어가 접속되는 부분보다도 외측의 영역)를 고정 지그(클램퍼)로 고정한 상태로 와이어 본딩을 행할 수 있으나, 반도체 칩과 리드를 접속하는 와이어가 형성되는 영역과 평면적으로 겹치는 버스 바 리드는 고정 지그로 고정할 수가 없다. 그 때문에, 리드 프레임에 팽창 작용이 작용하면, 버스 바 리드의 양 단부가 탭을 지지하는 현수 리드에 고정되어 있기 때문에, 수평 방향으로 완전히 팽창할 수 없게 되어 버스 바 리드가 휘어져 버린다. 이러한 상태로 버스 바 리드와 와이어 접속하면, 고정 지그에 의해 고정되어 있지 않은 2nd측이 튀어 올라 와이어 불압착이 발생한다. 또한, 이 와이어 불압착의 원인으로 와이어가 박리(단선)될 우려가 있다.

[0012] 또한, 버스 바 리드를 고정하는 방법으로서의 진공 흡착으로 고정하는 것도 생각할 수 있으나, 진공 흡착을 행하였다고 해도 리드 프레임의 휘어짐을 충분히 억제하는 것은 곤란하며, 또한 와이어 본딩 공정에서 사용하는 히트 스테이지의 온도가 진공으로 함으로써 변동되어 마찬가지로 와이어 접속 불량 발생하기 쉽다.

[0013] 또한, 리드와 접속하는 와이어는 버스 바 리드를 걸쳐 본딩할 필요가 있어 버스 바 리드가 열 왜곡에 의해 휘어 있으면 와이어 쇼트가 발생한다는 문제가 일어난다.

[0014] 또한, 상기 특허 문헌1에 기재한 바와 같이 버스 바 리드를 단순히 링 형상으로 배치하는 것만으로는 버스 바 리드의 열 변동에 동기하여 탭의 변동도 발생하는 것이 문제된다.

[0015] 또한, 다핀화에 의해 이너 리드의 개수도 증가하기 때문에 이너 리드의 선단이 가늘어지는 형상으로 되어, 이너 리드의 강성이 낮아지는 것이 문제이다.

[0016] 또한, 다핀화에 의해 이너 리드의 개수가 증가한 경우 리드간 피치도 작아지기 때문에 수지 몰딩 시의 몰드 수지의 유동성이 저하되는 것이 문제된다.

[0017] 또한, 상기 특허 문헌1에는 소켓 구조이고, 또한 탭과 이너 리드의 사이에 그라운드 접속부가 형성된 구조에 관한 기재가 있으며, 또한 상기 특허 문헌2(일본 특허 공개평11-224929호 공보)에는 소켓 구조이며, 또한 현수 리드에 절곡 가공이 실시된 구조가 기재되어 있다.

[0018] 그러나, 상기 특허 문헌1 및 2에는 리드 프레임의 열의 영향에 의한 팽창·수축에 의해 휘어지는 버스 바 리드에의 대책에 관한 기재는 전혀 없다.

[0019] 본 발명의 목적은 리드 프레임에서의 다핀의 반도체 장치의 제조를 실현할 수 있는 기술을 제공하는 것이다.

[0020] 본 발명의 다른 목적은 반도체 장치의 저비용화를 도모할 수 있는 기술을 제공하는 것이다.

[0021] 본 발명의 다른 목적은 반도체 장치의 신뢰성의 향상을 도모할 수 있는 기술을 제공하는 것이다.

[0022] 본 발명의 다른 목적은 반도체 장치의 품질의 향상을 도모할 수 있는 기술을 제공하는 것이다.

[0023] 본 발명의 상기 및 기타 목적과 신규의 특징은 본 명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.

### 과제 해결수단

[0024] 본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 이하와 같다.

[0025] 즉, 본 발명은 칩 지지면의 외형 사이즈가 반도체 칩의 이면보다 작은 칩 탑재부와, 칩 탑재부의 주위에 배치된 복수의 리드와, 칩 탑재부의 칩 지지면 상에 탑재된 반도체 칩과, 칩 탑재부를 지지하는 복수의 현수 리드와, 칩 탑재부의 외측에 칩 탑재부를 둘러싸도록 배치되고, 현수 리드와 연결하는 바 형상의 공통 리드를 갖고, 상기 공통 리드에 제1 슬릿이 형성되어 있는 것이다.

[0026] 또한, 본 발명은 칩 탑재부, 상기 칩 탑재부와 각각 일체로 형성되고, 슬릿이 각각에 형성된 복수의 현수 리드, 상기 칩 탑재부의 주위에 형성된 복수의 리드 및 상기 칩 탑재부와 상기 복수의 리드 사이에 각각 위치하고, 상

기 복수의 현수 리드와 각각 일체로 형성된 복수의 공통 리드를 갖는 리드 프레임을 준비하는 공정, 복수의 전극이 형성된 주면을 갖는 반도체 칩을 상기 칩 탑재부 상에 탑재하는 공정, 상기 반도체 칩의 상기 복수의 전극과 상기 복수의 공통 리드를 복수의 공통 리드용 와이어를 개재하여 각각 전기적으로 접속하는 공정, 상기 반도체 칩의 상기 복수의 전극과 상기 복수의 리드를 복수의 리드용 와이어를 개재하여 각각 전기적으로 접속하는 공정, 상기 반도체 칩, 상기 칩 탑재부, 상기 복수의 공통 리드용 와이어 및 상기 복수의 리드용 와이어를 수지로 밀봉하는 공정을 포함하는 것이다.

## 효 과

- [0027] 본원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.
- [0028] 현수 리드와 연결하는 바 형상의 공통 리드가 칩 탑재부의 외측에 칩 탑재부를 둘러싸도록 배치되고, 상기 공통 리드에 슬롯이 형성되어 있음으로써 열의 영향에 의한 팽창·수축 작용이 공통 리드에 작용해도 슬롯에 의해 팽창·수축 작용을 완하시킬 수 있어 공통 리드의 팽창·수축에 의한 휘어짐(변형)을 저감할 수 있다.
- [0029] 이에 의해, 와이어 박리의 발생을 방지할 수 있어 공통 리드에의 와이어 본딩도 가능하게 된다. 그 결과, 리드 프레임에서의 다핀의 반도체 장치의 제조를 실현할 수 있다.
- [0030] 또한, 리드 프레임을 이용하여 제조함으로써 반도체 장치의 저비용화를 도모할 수 있다.
- [0031] 또한, 공통 리드의 팽창·수축에 의한 휘어짐을 저감시킬 수 있기 때문에 와이어 쇼트의 발생을 저감할 수 있다. 그 결과, 반도체 장치의 신뢰성 및 품질의 향상을 도모할 수 있다.

## 발명의 실시를 위한 구체적인 내용

- [0032] 이하의 실시 형태에 있어서는 편의상 그 필요가 있을 때는 복수의 섹션 또는 실시 형태로 분할하여 설명하나, 특별히 명시한 경우를 제외하고 그들은 서로 무관한 것은 아니며, 한 쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시 형태에 있어서 요소의 수 등(개수, 수치, 양, 범위 등을 포함한다)을 언급할 때는 특별히 명시한 경우 및 원리적으로 확실하게 특정한 수에 한정될 경우 등을 제외하며, 그 특정한 수에 한정되는 것이 아니라 특정한 수 이상이든 이하이든 상관없는 것으로 한다.
- [0033] 또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함한다)는 특별히 명시한 경우 및 원리적으로 확실하게 필수적이라고 생각될 경우 등을 제외하고, 당연히 반드시 필수적인 것은 아니다.
- [0034] 마찬가지로, 이하의 실시 형태에 있어서 구성 요소 등의 형상, 위치 관계 등을 언급할 때는 특별히 명시한 경우 및 원리적으로 확실하지 않을 것 같은 경우 등을 제외하고, 실질적으로 그 형상 등에 근사하거나 또는 유사한 것 등을 포함하는 것으로 한다. 이것은 상기 수치 및 범위에 대해서도 마찬가지이다.
- [0035] 이하, 본 발명의 실시 형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에 있어서 동일 기능을 갖는 것은 동일한 부호를 붙이고, 그 반복의 설명은 생략한다.
- [0036] (실시 형태)
- [0037] 도1은 본 발명의 실시 형태의 반도체 장치의 구조의 일례를 도시하는 평면도, 도2는 도1의 A-A 선을 따라 절단한 구조의 일례를 도시하는 단면도, 도3은 도1의 B-B선을 따라 절단한 구조의 일례를 도시하는 단면도, 도4는 도1에 도시하는 반도체 장치의 조립에 있어서의 와이어 본딩 완료까지의 제조 프로세스의 일례를 도시하는 단면도, 도5는 도1에 도시하는 반도체 장치의 조립에 있어서의 와이어 본딩 후의 제조 프로세스의 일례를 도시하는 단면도이다. 또한, 도6a는 도1에 도시하는 반도체 장치의 조립에 이용되는 리드 프레임의 구조의 일례를 도시하는 부분 평면도, 도6b는 도6a에 도시하는 반도체 장치의 조립에 이용되는 리드 프레임의 일부를 도시하는 부분 확대 평면도, 도7은 도1에 도시하는 반도체 장치의 조립에 이용되는 리드 프레임의 제2 오프셋부의 구조의 일례를 도시하는 부분 평면도, 도8은 도7의 A-A 선을 따라 절단한 구조의 일례를 도시하는 단면도이다. 또한, 도9는 도1에 도시하는 반도체 장치의 조립에 있어서의 와이어 본딩 시의 클램프 영역의 일례를 도시하는 평면도, 도10은 도1에 도시하는 반도체 장치의 조립에 있어서의 와이어 본딩 시의 클램프 구조의 일례를 도시하는 단면도, 도11은 도1에 도시하는 반도체 장치의 조립에 있어서의 수지 몰딩 후의 구조의 일례를 밀봉체를 통과하여 도시하는 부분 평면도이다.
- [0038] 또한, 도12는 본 발명의 실시 형태의 변형예의 반도체 장치의 조립에 이용되는 리드 프레임의 구조를 도시하는 단면도, 도13은 본 발명의 실시 형태의 변형예의 반도체 장치의 조립에 있어서의 수지 몰딩 후의 구조를 밀봉체



를 통과하여 도시하는 부분 평면도, 도14는 본 발명의 실시 형태의 변형예의 반도체 장치의 구조를 도시하는 단면도이다.

[0039] 본 실시 형태의 반도체 장치는 리드 프레임을 이용하여 조립되는 면 실장형이면서 또한 다핀의 것이고, 전원이나 GND 등이 접속되는 공통 리드를 갖고 있는 것이며, 그 일례로서 QFP(6)를 들어 설명한다.

[0040] 도1 내지 도3을 이용하여 상기 반도체 장치[QFP(6)]의 구성에 대하여 설명하면 반도체 칩(2)을 지지 가능한 칩 지지면(1d)을 갖고, 또한 이 칩 지지면(1d)의 외형 사이즈가 반도체 칩(2)의 이면(2b)보다 작은 탭(칩 탑재부)(1c)과, 탭(1c)의 주위에 배치된 복수의 리드와, 탭(1c)의 칩 지지면(1d) 상에 탑재된 반도체 칩(2)과, 탭(1c)을 지지하는 복수의 현수 리드(1e)로 이루어진다. 또한, QFP(6)는 탭(1c)의 외측에 탭(1c)을 둘러싸도록 배치되고, 또한 현수 리드(1e)와 연결하는 바 형상의 공통 리드와, 반도체 칩(2)의 패드(전극)(2c)와 상기 리드를 전기적으로 접속하는 제1 와이어(4a)와, 반도체 칩(2)의 패드(2c)와 상기 공통 리드를 전기적으로 접속하는 제2 와이어(4b)와, 반도체 칩(2), 제1 와이어(4a) 및 제2 와이어(4b)를 수지 밀봉하는 밀봉체(3)를 갖고 있다.

[0041] 또한, 도6a, 도6b를 이용하여 상기 반도체 장치[QFP(6)]의 구성에 대해 다른 표현으로 설명하면 반도체 칩(2)을 지지 가능한 칩 지지면(1d)을 갖고, 이 칩 지지면(1d)의 외형 사이즈가 반도체 칩(2)의 이면(2b)보다 작은 칩 탑재부(탭, 다이 패드)(1c)를 포함한다. 또한, 이 칩 탑재부(1c)와 각각에 일체로 형성되고, 슬릿[제1 슬릿(1g)]이 각각에 형성된 복수의 현수 리드(1e)를 포함한다. 또한, 복수의 패드(전극)(2c)가 형성된 주면(2a)을 갖고, 이 칩 탑재부(1c) 상에 탑재된 반도체 칩(2)을 포함한다. 또한, 이 반도체 칩(2)의 주위에 형성된 복수의 리드[이너 리드(1a)]를 포함한다. 또한, 이 칩 탑재부(1c)와 이 복수의 리드[이너 리드(1a)] 사이에 각각 위치하고, 이 복수의 현수 리드(1e)와 각각 일체로 형성된 복수의 바 형상의 공통 리드(버스 바 리드, 바 리드)(1f)를 포함한다. 또한, 이 반도체 칩(2)의 복수의 전극(2c)과 이 복수의 리드[이너 리드(1a)]를 각각 전기적으로 접속하는 복수의 와이어[제1 와이어(4a), 리드용 와이어](4)를 포함한다. 또한, 이 반도체 칩(2)의 복수의 전극(2a)과 이 복수의 바 형상의 공통 리드(1f)를 각각 전기적으로 접속하는 와이어[제2 와이어(4b), 공통 리드용 와이어](4)를 포함한다. 또한, 이 반도체 칩(2), 칩 탑재부(1c) 및 복수의 와이어[제1 와이어(4a), 제2 와이어(4b)](4)를 밀봉하는 밀봉체(3)를 포함한다. 또한, 이 복수의 리드[이너 리드(1a)]와 각각에 일체로 형성되고, 이 밀봉체(3)로부터 각각 노출되는 복수의 아우터 리드(1b)를 포함하고 있다.

[0042] 또한, 상기 복수의 리드 각각은 밀봉체(3)의 내부에 매립되는 복수의 이너 리드(1a)와, 밀봉체(3)의 외부에 노출되는 외부 단자이며, 또한 결빙 형상으로 굽힘 형성된 복수의 아우터 리드(1b)를 갖고 있으며, 이너 리드(1a)와 아우터 리드(1b)는 일체로 연결되어 있다.

[0043] 또한, QFP(6)에서는 도6a, 도6b에 도시한 바와 같이 탭(1c)과 복수의 이너 리드(1a)의 선단 사이의 영역에 바 형상의 가늘고 긴 공통 리드인 바 리드(1f)가 형성되어 있다.

[0044] 또한, 본 실시 형태에 있어서의 슬릿(관통 구멍, 구멍)은 리드 프레임[현수 리드(1e)](1)의 일부를 배제한 구성을 가리키고 있으며, 이에 의해 리드 프레임(1)에 가해지는 응력을 완화시키는 효과가 있다.

[0045] 또한, 본 실시 형태에서는 바 형상의 공통 리드(바 리드)(1f)의 폭이 현수 리드(1e)의 폭[제1 슬릿(1g) 및 제2 슬릿(1n)]을 포함하는 총 폭]보다도 가늘게 형성되어 있다. 그 때문에, 반도체 칩(2)의 패드(전극)(2c)와, 이것에 대응하는 이너 리드(1a)를 전기적으로 접속하는 제1 와이어(4a)의 길이를 공통 리드(1f)의 폭이 현수 리드(1e)의 폭보다도 굵은 경우에 비하여 짧게 할 수 있다. 이 결과, 신호의 전파 속도를 고속화할 수 있다. 또한, 수지 밀봉 공정에 있어서 와이어(4)가 수지에 의해 홀러 내려감으로써 발생하는 와이어의 단락 불량을 억제할 수 있다.

[0046] 바 리드(1f)는 전원이나 GND 등의 공통화를 도모할 수 있는 패드(2c)의 와이어(4)를 복수 접속 가능한 리드이다. 또한, 바 리드(공통 리드, 버스 바 리드)(1f)의 양 단부는 인접하는 현수 리드(1e)와 일체로 형성되어 있다. 따라서, 전기적 특성의 향상을 목적으로 하여 전원이나 GND용의 패드를 다수 필요로 하는 반도체 칩(2)에 있어서는 증가된 전원이나 GND 등의 패드로부터의 신호를 패키지 내에서 공통화함으로써 패드 수와 비교하여 리드(이너 리드, 아우터 리드)의 수를 저감시킬 수 있으므로, 패키지 사이즈가 커지는 것을 억제하기 위한 수단으로서 매우 유효하다.

[0047] QFP(6)에 있어서 바 리드(1f)는 반도체 칩(2)의 4개의 변 각각에 대응해서 4개 형성되어 있고, 각 변에 있어서 각각 복수의 이너 리드(1a)의 선단의 배열 방향을 따라 연장되어 있는 동시에, 각각의 바 리드(1f)의 양 단부가 반도체 칩(2)의 주면(2a)의 대각선 방향을 따라 형성된 현수 리드(1e)에 연결되어 있다. 따라서, 바 리드(1f)

는 탭(1c)의 주위에 사각형의 프레임 형상으로 형성되어 있다.

- [0048] 바 리드(1f)가 사각형의 프레임 형상으로 형성되어 있음으로써, 전원 또는 GND의 와이어(4)를 4방향에 대하여 접속할 수 있다. 또한, 4방향의 몰드 수지의 유동 밸런스를 거의 균일하게 할 수 있다.
- [0049] 또한, QFP(6)에서는 도6a, 도6b에 도시한 바와 같이 각 바 리드(1f)에 제1 슬릿(1g)이 형성되어 있다. 즉, 바 리드(1f)의 현수 리드(1e)와의 제1 연결부(1j)에 제1 슬릿(1g)이 형성되어 있다.
- [0050] 현수 리드(1e)에는 응력을 완화시키는 수단으로서 복수의 슬릿[제1 슬릿(1g), 제2 슬릿(1n)]이 형성되어 있는데, 제1 슬릿(1g)에 대해 상세하게 설명하면 아래와 같다. 즉, 도6b에 도시한 바와 같이 제1 슬릿(1g)은 현수 리드(1e)에 있어서, 공통 리드(바 리드, 버스 바 리드)(1f)의 단부가 연결되는 부분에까지 연장되도록 형성되어 있다. 바꿔 말하면, 응력을 완화시키는 수단인 슬릿[제1 슬릿(1g)]은 현수 리드(1e)에 있어서 도6b의 2 점쇄선(L)(가상선)으로 나타난 공통 리드(1f)의 연장선 상에 형성되어 있다.
- [0051] 또한, 본 실시 형태에 있어서의 슬릿(관통 구멍, 구멍)은 현수 리드(1e)를 부분적으로 절취한 구성이다. 상세하게 설명하면 도3에 도시한 바와 같이 현수 리드(1e)의 주면[반도체 칩(2)의 주면(2a)과 동일한 측의 면]으로부터 이면[반도체 칩(2)의 이면(2b)과 동일한 측의 면]을 향하여 관통하는 관통 구멍(구멍)이다.
- [0052] 이와 같이, 현수 리드(1e)와 연결되는 바 리드(1f)가 탭(1c)의 외측에 탭(1c)을 둘러싸도록 배치되고, 또한 바 리드(1f)의 현수 리드(1e)와의 제1 연결부(1j)에 제1 슬릿(1g)이 형성되어 있음으로써, 열의 영향에 의한 팽창·수축(열 왜곡) 작용이 바 리드(1f)에 작용해도 제1 슬릿(1g)이 형성되어 있음으로써 팽창·수축 작용을 완화시킬 수 있다.
- [0053] 간략히 말하면 이하와 같다. 즉, 공통 리드(1f)가 와이어 본딩 공정에 있어서, 가열된 본딩 스테이지(10)의 열의 영향에 의해 공통 리드가 팽창되었다고 해도 현수 리드(1e)에 있어서 공통 리드(바 리드, 버스 바 리드)(1f)의 단부가 연결되는 부분에 슬릿[제1 슬릿(1g)]이 형성되어 있기 때문에 현수 리드(1e)가 변형되어 현수 리드(1e)의 팽창을 방해하지 않는다.
- [0054] 이에 의해, 바 리드(1f)가 변형되는 것을 저감할 수 있고, 현수 리드(1e)를 개재하여 연결하는 탭(1c)의 변동도 저감할 수 있다.
- [0055] 또한, 이너 리드(1a)의 선단의 와이어 접합 영역의 외측 개소에 이너 리드(1a)의 변동이나 변형을 방지하기 위한 링 형상의 박막의 테이프 부재(1q)가 접착되어 있다.
- [0056] 본 실시 형태의 QFP(6)는 소켓 구조[반도체 칩(2)의 외형 치수보다도 작은 탭(1c)]의 것이고, 따라서 탑재되는 반도체 칩(2)의 크기에 범용성을 갖게 할 수 있는 동시에, 내 리플로성을 향상시킬 수 있다.
- [0057] 또한, QFP(6)의 조립 시에, 예를 들어 동합금으로 이루어지는 리드 프레임(도6a, 도6b 참조)(1)을 이용하여 조립되는 것이다. 따라서, 탭(1c), 복수의 이너 리드(1a) 및 아우터 리드(1b), 4개의 현수 리드(1e) 및 바 리드(1f)는 동합금으로 이루어진다. 또한, 복수의 이너 리드(1a) 및 4개의 바 리드(1f) 각각에 있어서, 와이어(4)가 접속되는 영역에는 은 도금이 실시되어 도금막(도금층)(1f')이 형성되어 있다.
- [0058] 도금막(도금층)(1f')이 형성되어 있음으로써 금으로 이루어지는 와이어(4)와 동으로 이루어지는 이너 리드(1a)와의 접속성을 향상시킬 수 있다. 또한, 도하지 않았으나, 이너 리드(1a)의 선단부[와이어(4)]가 접속되는 부분에도 마찬가지로 은 도금이 실시되어 도금막(도금층)(1f')이 형성되어 있다.
- [0059] 또한 반도체 칩(2)은, 예를 들어 실리콘으로 이루어지고, 그 주면(2a)에 전극이 되는 복수의 패드(2c)가 형성되어 있다. 이면(2b)은 다이 본드재를 개재하여 탭(1c)에 접합되어 있고, 반도체 칩(2)은 탭(1c)에 의해 지지되어 있다.
- [0060] 또한, 제1 와이어(4a)나 제2 와이어(4b)를 포함하는 와이어(4)는, 예를 들어 금선이다. 또한, 밀봉체(3)를 형성하는 밀봉용 수지는, 예를 들어 열경화성의 에폭시계 수지이다. 다음에 QFP(6)의 다른 특징 부분에 대하여 설명한다.
- [0061] 도3 및 도6a, 도6b에 도시한 바와 같이 QFP(6)에 있어서는 4개 각각의 현수 리드(1e)의 바 리드(1f)와의 제1 연결부(1j)보다 내측 개소에 굽힘 가공에 의해 제1 오프셋부(1m)가 형성되어 있다.
- [0062] 이 제1 오프셋부(1m)가 형성됨으로써 바 리드(1f)의 열 왜곡이나 열 변형에 의한 탭(1c)의 로케이션(위치)의 변동을 방지할 수 있다. 즉, 바 리드(1f)에 있어서 열 왜곡이나 열 변형이 발생해도 그 영향이 제1 오프셋부(1

m)에서 완화·흡수되기 때문에 탭(1c)에는 전해지지 않아, 그 결과 탭(1c)의 로케이션(위치)의 변동을 방지할 수 있다.

[0063] 또한, 제1 오프셋부(1m)가 형성됨으로써, 반도체 칩(2)의 두께가 상이한 칩 두께 상이물에 대하여 범용성을 갖게 할 수 있다. 즉, 제1 오프셋부(1m)의 오프셋량을 조정함으로써 반도체 칩(2)의 상측과 하측의 레진의 양을 조정할 수 있어 레진 밸런스를 조정하는 것이 가능하게 된다.

[0064] 여기서, 제1 오프셋부(1m)와 공통 리드(바 리드, 버스 바 리드)(1f)의 위치 관계의 상세에 대해 이하에 설명한다. 도15는 본 발명의 실시 형태에 있어서 오프셋 없는 리드 프레임을 이용한 경우의 몰드 금형에 의한 금형 클램프 시의 구조의 일례를 도시하는 부분 단면도이다.

[0065] 우선, 현수 리드(1e)에 제1 오프셋부(1m)가 형성되어 있지 않은 리드 프레임(1)을 사용한 경우, 도15에 도시한 바와 같이 몰드 금형(14)(수지 성형 금형)에 있어서의 상형(14a)의 캐비티면(14b)부터 반도체 칩(2)의 주면(2a)까지의 간격(X)은 몰드 금형(14)(수지 성형 금형)에 있어서의 하형(14c)의 캐비티면(14d)부터 탭(1c)의 이면까지의 간격(Y)보다도 좁아진다.

[0066] 그 때문에, 수지 밀봉 공정에 있어서 탭(1c)의 이면측에 스며드는 수지의 양이 반도체 칩(2)의 주면(2a) 위로 스며드는 수지의 양보다도 많아져 레진 밸런스에 편차가 발생한다. 이 레진 밸런스의 편차에 의해, 반도체 칩(2)을 탑재한 탭(1c)이 상방으로 밀려 올라가 버려 와이어(4)의 일부가 밀봉체(3)의 상면으로부터 노출되는 문제, 또는 와이어(4)가 단선되는 문제가 발생한다.

[0067] 따라서, 본 실시 형태에서는 도3 및 도6a, 도6b에 도시한 바와 같이 현수 리드(1e)에 제1 오프셋부(1m)를 형성하고 있다. 간략히 말하면, 현수 리드(1e)의 주면으로부터 이면을 향하여 절곡 가공을 실시하고 있다. 이에 의해, 레진 밸런스를 거의 균일하게 할 수 있다.

[0068] 여기서, 본 실시 형태에서는 이 제1 오프셋부(1m)가 현수 리드에 있어서 공통 리드(1f)의 단부가 연결되어 있는 부분보다도 탭(1c)측에 형성되어 있다. 이것은, 탭(1c)과 공통 리드(1f) 사이에 제1 오프셋부(1m)가 형성되어 있음으로써, 공통 리드(1f)에 있어서 열 왜곡이나 열 변형이 발생해도 그 영향이 제1 오프셋부(1m)에서 완화·흡수되기 때문에 탭(1c)에는 전해지지 어려워진다. 이 결과, 탭(1c)의 로케이션(위치)의 변동을 억제할 수 있다.

[0069] 또한, 제1 오프셋부(1m)의 오프셋량은, 예를 들어 0.24mm이다.

[0070] 또한, QFP(6)에서는 도6a, 도6b에 도시한 바와 같이 복수의 이너 리드(1a) 중 바 리드(1f)에 연결되는 복수의 이너 리드(1a)를 갖고 있다. 바 리드(1f)에 연결되는 복수의 이너 리드(1a)는 제1 이너 리드(1h)와, 이 제1 이너 리드(1h)와 인접하는 제2 이너 리드(1i)와, 바 리드(1f)측의 단부에 있어서 제1 이너 리드(1h)와 제2 이너 리드(1i)를 연결하는 제2 연결부(1r)를 갖고 있다.

[0071] 즉, 바 리드(1f)에 연결되는 이너 리드(1a)는 제1 이너 리드(1h)와 제2 이너 리드(1i)와 제2 연결부(1r)로 이루어지고, 이 제2 연결부(1r)는 제1 이너 리드(1h) 및 제2 이너 리드(1i) 각각의 바 리드(1f)측의 선단과 바 리드(1f) 사이에 배치되어 있다.

[0072] 이와 같이 제1 이너 리드(1h)와 제2 이너 리드(1i)를 연결하는 제2 연결부(1r)가 각각의 이너 리드(1a)의 바 리드(1f)측의 선단과 바 리드(1f) 사이에 배치되어 있음으로써, 여기에서는 이너 리드(1a)의 선단이 가늘어지는 영역이기 때문에 제2 연결부(1r)를 형성함으로써 제1 이너 리드(1h)나 제2 이너 리드(1i)의 선단측의 강성을 확보할 수 있다.

[0073] 또한, 도6a, 도6b에 도시한 바와 같이 제1 이너 리드(1h)와 제2 이너 리드(1i) 각각의 외측(아우터 리드측)의 단부는 서로 분기되어 있으며, 바 리드(1f)측과 같이 연결되어 있지 않다.

[0074] 이에 의해, 수지 밀봉 공정에 있어서 제1 이너 리드(1h)와 제2 이너 리드(1i)가 형성된 영역과, 다른 이너 리드(1a)가 형성된 영역을 통과하는 몰드 수지의 유동성(유속)을 거의 균등하게 할 수 있다. 즉, 분기된 제1 이너 리드(1h)와 제2 이너 리드(1i) 사이로부터 몰드 수지가 다른 이너 리드(1a)의 사이를 흐르는 수지와 거의 균일하게 유입되기 때문에 몰드 수지의 유동성을 거의 균등하게 확보할 수 있다. 이에 의해, 와이어의 흘러내림감, 탭(1c)의 변형, 보이드의 발생 등을 방지할 수 있다.

[0075] 또한, 도3 및 도6a, 도6b에 도시한 바와 같이 4개의 현수 리드(1e) 각각에는 바 리드(1f)와의 제1 연결부(1j)보다 외측 개소에 제2 슬릿(1n)이 형성되어 있다. 이에 의해, 수지 주입 시에 유입되는 몰드 수지의 유속을 균등

하게 해서 와이어의 흘러내려감, 탭(1c)의 변형, 보이드의 발생 등을 방지할 수 있다.

- [0076] 상세하게 설명하면 4개의 현수 리드(1e)는 탭(1c)을 지지하기 위하여 형성되어 있다. 그러나, 본 실시 형태와 같이 탭(1c)의 외형 치수(사이즈)가 반도체 칩(2)의 외형 치수(사이즈)보다도 작은 경우(소탭 구조), 각각의 현수 리드(1e)의 길이도 탭(1c)의 외형 치수가 반도체 칩(2)의 외형 치수보다도 클 경우(대탭 구조)에 비하여 길어진다. 현수 리드(1e)의 형상을 단순히 가늘고 길게 한 경우 수지 밀봉 공정에 있어서 수지의 주입 압력에 의해 현수 리드(1e)에 휘어짐이 발생하여 탭의 로케이션(위치)의 변동이 발생한다.
- [0077] 따라서, 도6a, 도6b에 도시한 바와 같이 현수 리드(1e)의 폭을 굵게 형성함으로써 현수 리드(1e)의 강성을 향상시키고 있다. 또한, 현수 리드(1e)에는 도3 및 도6a, 도6b에 도시한 바와 같이 제2 슬릿(관통 구멍, 구멍)(1n)이 형성되어 있다. 이 이유는 이하와 같다.
- [0078] 본 실시 형태의 리드 프레임(1)이, 예를 들어 동합금으로 이루어지는 박판 부재이며, 리드 프레임(1)과 몰드 수지[밀봉체(3), 레진]의 밀착성이, 예를 들어 실리콘으로 이루어지는 반도체 칩(2)과 몰드 수지의 밀착성에 비하여 낮다. 그 때문에, 단순히 현수 리드(1e)의 폭을 굵게 형성하면 수지 밀봉 공정에 의해 형성된 밀봉체(3)와 리드 프레임[특히, 현수 리드(1e)]의 계면에서 박리가 발생하여 반도체 장치의 신뢰성이 저하된다. 따라서, 현수 리드(1e)에 슬릿[제2 슬릿(1n)]을 형성해 둡으로써, 슬릿 내에 형성된 수지가 앵커 효과가 되어 밀봉체(3)와 리드 프레임[현수 리드(1e)](1)의 밀착성을 향상시킬 수 있다. 또한, 현수 리드(1e)에 슬릿을 형성함으로써, 평면 형상이 사각형으로 이루어지는 반도체 칩(2)의 각 변 근방의 리드의 밀도와, 반도체 칩(2)의 코너부 근방의 리드의 밀도를 거의 균일하게 할 수 있다. 이에 의해, 현수 리드(1e) 부근을 흐를 때의 수지의 유속과, 복수의 리드[이너 리드(1a)] 부근을 흐를 때의 수지의 유속을 거의 균일하게 할 수 있기 때문에, 각각의 유속에 큰 차가 발생하지 않아 레진 밸런스의 저하를 억제할 수 있다.
- [0079] 여기서, 상기한 레진 밸런스의 저하를 억제하는 것에만 주목하면, 도6a에 도시하는 각각의 슬릿[제1 슬릿(1g), 제2 슬릿(1n)]보다도 큰 슬릿을 1개만 현수 리드(1e)에 형성해도 된다. 그러나, 본 실시 형태와 같이 탭(1c)의 외형 치수(사이즈)가 반도체 칩(2)의 외형 치수(사이즈)보다도 작은 경우, 각각의 현수 리드(1e)의 길이도 대탭 구조에 비하여 길어진다. 그 때문에, 이러한 소탭 구조의 리드 프레임(1)에 있어서 1개의 큰 슬릿을 현수 리드(1e)에 형성한 경우 현수 리드(1e)의 강성이 저하될 가능성이 있다. 따라서, 도6a에 도시한 바와 같이 슬릿을 복수개로 나누어 현수 리드(1e)에 형성함으로써 현수 리드(1e)의 강성이 저하되는 것을 억제할 수 있다.
- [0080] 또한, 슬릿[제1 슬릿(1g), 제2 슬릿(1n)]은 이 슬릿에 의해 분할된 현수 리드(1e) 각각의 폭보다도 굵은 폭을 갖고 있다. 이에 의해, 분할된 현수 리드(1e) 각각의 형상을 인접하는 이너 리드(1a)의 형상에 맞출 수 있다. 그로 인해, 이너 리드(1a)로부터 현수 리드(1e)[또는 현수 리드(1e)로부터 이너 리드(1a)]를 향하여 흐르는 수지의 유속이 크게 변동되는 것을 억제할 수 있다.
- [0081] 또한, 바 리드(1f)의 표면에는 와이어(4)의 압착용으로 은 도금을 실시함으로써 도금막(도금층)(1f')이 형성되어 있으나, 바 리드(1f) 전체면에는 실시하지 않고, 각각의 일부[예를 들어, 도6a, 도6b의 바 리드(1f)에 있어서의 외측의 부분]에 형성하고 있다. 상기 은 도금은 몰드 수지와 밀착성이 낮으나, 도6a, 도6b에 도시한 바와 같이 바 리드(1f)에 있어서 전체면이 아니라 와이어(4)가 접속되는 영역에만 도금막(1f')을 형성해 둡으로써 몰드 수지와 바 리드(1f)의 밀착성을 향상시킬 수 있어 반도체 장치의 신뢰성 및 품질의 향상을 도모할 수 있다.
- [0082] 즉, 은 도금과 몰드 수지의 밀착성은 동합금으로 이루어지는 리드 프레임(1)과 몰드 수지의 밀착성보다도 낮으나, 와이어(4)가 접속되는 영역에만 형성함으로써 몰드 수지와 리드 프레임[공통 리드(1f)](1)의 밀착성의 저하를 억제할 수 있다.
- [0083] 도7에 도시한 바와 같이 사각형의 프레임 형상으로 배치된 4개의 바 리드(1f) 중 양 단부 이외의 부분에서 이너 리드(1a)의 선단과 연결되어 있지 않은 바 리드(1f)에는 도8에 도시한 바와 같은 제2 오프셋부(1p)가 형성되어 있다.
- [0084] 이 제2 오프셋부(1p)는 와이어 본딩 시에 클램퍼(11)(도4 및 도10 참조)에 의해 이너 리드(1a)가 클램프되었을 때의 왜곡 릴리프이다. 즉, 도9에 도시한 바와 같이 와이어 본딩 시에는 바 리드(1f)는 클램퍼(11)에 의해 클램프되지 않고 이너 리드(1a)만 클램프된다. 그 때, 이너 리드(1a)의 클램프 시에는 4개의 바 리드(1f) 중 이너 리드(1a)와 연결되어 있는 바 리드(1f)는 고정되어 있기 때문에 왜곡의 영향을 받기 어려워, 그 결과 이너 리드(1a)와 연결되어 있지 않은 바 리드(1f)에 왜곡이 집중되어 바 리드(1f)가 변형되어 도10에 도시하는 본딩 스테이지(10)로부터 이 바 리드(1f)가 부유되어 버린다.
- [0085] 따라서, 바 리드(1f)의 부유 대책으로서 양 단부 이외의 부분에서 이너 리드(1a)와 연결되어 있지 않은 바 리드



(1f)에는 도8에 도시한 바와 같은 오프셋 가공을 실시함으로써, 와이어 본딩 시에 이 바 리드(1f)를 본딩 스테이지(10)에 밀착시킬 수 있다. 즉, 바 리드(1f)와 본딩 스테이지(10)의 밀착성을 확보할 수 있다.

- [0086] 또한, 오프셋 가공을 실시하는 개소의 일례로서는 바 리드(1f)의 이너 리드(1a)와 연결되어 있지 않은 영역에 제2 오프셋부(1p)를 형성하는 것이 바람직하고, 도7에 도시하는 예에서는 바 리드(1f)의 양 단부 부근의 약간 내측 가까이에 형성되어 있다.
- [0087] 또한, 본 실시 형태의 QFP(6)에서는 양 단부 이외의 부분에서 이너 리드(1a)의 선단과 연결되어 있지 않은 바 리드(1f)는 4개의 바 리드(1f) 중 1개이다.
- [0088] 또한, 도8에 도시하는 바 리드(1f)의 제2 오프셋부(1p)의 오프셋량(T)은, 예를 들어 코이닝으로 형성 가능한 0.05mm 정도이다. 따라서, 바 리드(1f)의 제2 오프셋부(1p)의 오프셋량(0.05mm)은 현수 리드(1e)의 제1 오프셋부(1m)의 오프셋량(0.24mm)보다도 훨씬 작다.
- [0089] 또한, QFP(6)에서는 바 리드(1f)의 이너 리드(1a)와 연결되어 있지 않은 영역의 이너 리드(1a)는 신호용의 리드 군이며, 이 영역에는 외부와 접속하는 리드군이 배치되어 있다. 따라서, 이 영역에서는 바 리드(1f)와 이너 리드(1a)의 연결이 곤란하게 되어 있다.
- [0090] 또한, 도2에 도시한 바와 같이 QFP(6)에서는 인접하는 이너 리드(1a), 또는 바 리드(1f)와 이너 리드(1a)에 접속되는 인접하는 와이어(4)에 있어서, 그들의 루프 높이가 상이하다. 즉, QFP(6)에서는 바 리드(1f)를 넘어 이너 리드(1a)에 와이어(4)[제1 와이어(4a)]를 접속하기 때문에 와이어 길이가 길어져 와이어 터치의 불량률이 일어나기 쉽다.
- [0091] 따라서, 인접하는 와이어 사이에서 그 루프 높이를 바꿈으로써 와이어 터치의 발생을 방지할 수 있다.
- [0092] 다음에, 본 실시 형태의 QFP(6)의 조립을 도4 및 도5에 도시하는 프로세스 흐름도에 따라 설명한다.
- [0093] 우선, 도4의 스텝 S1에 도시하는 리드 프레임 준비를 행한다. 리드 프레임(1)은 도6a, 도6b에 도시한 바와 같이 소켓인 탭(1c) 주위에 4개의 바 리드(공통 리드)(1f)가 형성되어 있고, 각각 양 단부에서 현수 리드(1e)와 연결되어 있는 동시에 현수 리드(1e)와의 제1 연결부(1j)에 제1 슬릿(1g)이 형성되어 있다.
- [0094] 상세하게 설명하면 도6a, 도6b에 도시한 바와 같이 칩 탑재부(탭, 다이 패드)(1c)와, 이 칩 탑재부(1c)와 각각 일체로 형성되고, 슬릿[제1 슬릿(1g)]이 각각에 형성된 복수의 현수 리드(1e)와, 이 칩 탑재부(1c)의 주위에 형성된 복수의 리드[이너 리드(1a)]와, 이 칩 탑재부(1c)와 이 복수의 리드[이너 리드(1a)] 사이에 각각 위치하고, 이 복수의 현수 리드(1e)와 각각 일체로 형성된 복수의 공통 리드(바 리드, 버스 바 리드)(1f)를 포함하는 리드 프레임(1)을 준비한다.
- [0095] 또한, 이 리드 프레임(1)에 있어서, 응력을 완화시키는 수단인 슬릿[제1 슬릿(1g)]은 이 현수 리드(1e)에 있어서 공통 리드(1f)의 단부가 연결되는 부분에 형성되어 있다. 바꿔 말하면, 응력을 완화시키는 수단인 슬릿[제1 슬릿(1g)]은 현수 리드(1e)에 있어서, 도6b의 파선(가상선)으로 나타낸 공통 리드(1f)의 연장선 상에 형성되어 있다.
- [0096] 또한, 각 이너 리드(1a) 상에 있어서 각각의 와이어 접합부의 외측 영역에 링 형상의 테이프 부재(1q)가 접촉되어 있다.
- [0097] 또한, 4개의 바 리드(1f) 중 3개의 바 리드(1f)에 대해서는 각각의 단부가 아니라 중앙 부근에서 제2 연결부(1r)를 개재하여 복수의 이너 리드(1a)와 연결되어 있고, 그 이외의 1개의 바 리드(1f)에 대해서는 그 중앙 부근에 있어서는 이너 리드(1a)와 연결되어 있지 않다. 이 중앙 부근에서 이너 리드(1a)와 연결되어 있지 않은 바 리드(1f)에는 도8에 도시한 바와 같은 제2 오프셋부(1p)가 형성되어 있다.
- [0098] 또한, 바 리드(1f)측의 선단이 제2 연결부(1r)에 의해 연결되는 동시에 제2 연결부(1r)를 개재하여 바 리드(1f)에 연결된 복수의 이너 리드(1a)는 바 리드(1f)와 반대측의 선단에서 각각 분기되어 있다.
- [0099] 또한, 각 현수 리드(1e)에는 바 리드(1f)와의 제1 연결부(1j)의 내측에 제1 오프셋부(1m)가 형성되어 있다.
- [0100] 또한, 리드 프레임(1)은, 예를 들어 동합금으로 이루어지는 박판 부재이다.
- [0101] 그 후, 도4의 스텝 S2에 도시하는 다이 본딩을 행한다. 우선, 탭(1c) 상에 포팅 노즐(7)로부터 은 페이스트(5)를 도포한다. 도포 후, 흡착식의 콜릿(8)에 의해 반도체 칩(2)의 주면(2a)을 흡착 유지하면서 반송하여 탭(1c) 상에 배치하고, 반도체 칩(2)을 은 페이스트(5)에 의해 탭(1c)에 고착한다. 각 현수 리드(1e)에는 도6a,

도6b에 도시한 바와 같이 제1 오프셋부(1m)가 바 리드(1f)의 제1 연결부(1j)보다도 내측[탭(1c)측]에 형성되어 있기 때문에 상대적으로 큰 사이즈의 반도체 칩(2)을 탭(1c) 상에 탑재할 경우 반도체 칩(2)의 외부 모서리를 유지하는 각주 형상으로 이루어지는 콜릿을 사용한 경우, 콜릿의 일부가 제1 오프셋부(1m)와 접촉될 우려가 있다. 그러나, 본 실시 형태와 같이 흡착식의 콜릿(8)을 사용하면 반도체 칩(2)의 주면(2a)만의 유지에 의해 반송할 수 있기 때문에 반도체 칩(2)을 탭(1c)에 탑재하기 위하여 콜릿(8)을 강하시켜도 콜릿(8)의 일부가 제1 오프셋부(1m)와 접촉하는 일은 없다.

- [0102] 그 후, 스텝 S3에 도시하는 와이어 본딩을 행한다. 우선, 도10에 도시한 바와 같이 본딩 스테이지(10) 상에 리드 프레임(1)을 재치하고, 계속해서 반도체 칩(2)의 이면(2b)을 흡착 구멍(10a)을 통하여 진공 배기하여 본딩 스테이지(10) 상에 반도체 칩(2)을 흡착 고정하는 동시에, 리드 프레임(1)의 상방으로부터 클램퍼(11)의 클램프부(11a)에 의해 이너 리드(1a)의 테이프 부재(1q) 상을 단단히 눌러 리드 프레임(1)을 고정한다. 클램퍼(11)의 클램프부(11a)는 링 형상의 테이프 부재(1q)를 그 전체 둘레에 걸쳐 위에서 단단히 누른다.
- [0103] 간략히 말하면, 이 와이어 본딩 공정에서는 가열된 본딩 스테이지(10) 상에 반도체 칩(2)을 탑재한 리드 프레임(1)을 배치하고, 복수의 리드[이너 리드(1a)] 각각을 클램퍼(11)로 누른 상태로 행해진다.
- [0104] 여기서, 공통 리드(1f)를 클램퍼(11)로 누르지 않는 이유는 도9 및 도10에 도시한 바와 같이 클램퍼(11)의 형상이 리드를 단단히 누르는 부분이 링 형상으로 형성되어 있는 것에 있다. 그리고, 이와 같은 형상의 클램퍼(11)로 공통 리드(1f)를 눌러 버리면 이너 리드(1a)의 선단부(와이어 접속 영역)가 클램퍼(11)로 덮여 버려, 반도체 칩(2)의 복수의 패드(전극)(2c)와 복수의 이너 리드(1a)를 와이어[제1 와이어(4a), 리드용 와이어](4)로 접속하는 것이 곤란하게 된다.
- [0105] 이에 의해 모든 이너 리드(1a)가 와이어 본딩 시에 클램프부(11a)에 의해 클램프된다. 그 때, 도9 및 도10에 도시한 바와 같이 바 리드(1f)는 4개 모두 클램프되지 않는다.
- [0106] 이 상태로 도4에 도시한 바와 같이 모세관(9)을 이용해서 와이어 본딩을 행한다. 여기에서는, 예를 들어 도10에 도시한 바와 같이 반도체 칩(2)의 신호용의 패드(2c)와 신호용의 이너 리드(1a)를 제1 와이어(4a)에 의해 전기적으로 접속하고, 한편 반도체 칩(2)의 전원용(또는 GND용)의 패드(2c)와 바 리드(1f)를 제2 와이어(4b)에 의해 전기적으로 접속한다.
- [0107] 그 때, 인접하는 이너 리드(1a), 또는 바 리드(1f)와 이너 리드(1a)에 접속되는 인접하는 와이어(4)에 있어서, 그들의 루프 높이를 바꾸어 와이어 본딩을 행한다. 이렇게 인접하는 와이어 사이에서 그 루프 높이를 바꿈으로써 와이어 터치의 발생을 방지할 수 있다.
- [0108] 본 실시 형태에서는 상기한 와이어 터치의 발생을 고려하여, 반도체 칩(2)의 전원용(또는 GND용)의 패드(2c)와 바 리드(1f)를 루프 높이가 낮은 와이어[제2 와이어(4b), 공통 리드용 와이어]에 의해 전기적으로 접속한 후, 반도체 칩(2)의 신호용의 패드(2c)와 신호용의 이너 리드(1a)를 루프 높이가 높은 와이어[제1 와이어(4a), 리드용 와이어]에 의해 전기적으로 접속하고 있다.
- [0109] 또한, QFP(6)에서는 4개의 바 리드(1f) 중 3개는 그들의 중앙 부근에서 이너 리드(1a)와 연결되어 있다. 따라서, 와이어 본딩 공정에서 이들 3개의 바 리드(1f)는 열 왜곡에 의한 변형은 일어나기 어려우나, 중앙 부근에서 이너 리드(1a)와 연결되어 있지 않은 바 리드(1f)에 대해서는 열 왜곡이 집중되기 쉬워 변형되기 쉽다. 그러나, 중앙 부근에서 이너 리드(1a)와 연결되어 있지 않은 바 리드(1f)에는 도8에 도시한 바와 같은 제2 오프셋부(1p)가 형성되어 있기 때문에 와이어 본딩 시에 바 리드(1f)를 본딩 스테이지(10)에 밀착시킬 수 있다.
- [0110] 본 실시 형태의 반도체 장치[QFP(6)]의 조립에서는 바 리드(1f)의 현수 리드(1e)와의 제1 연결부(1j)에 제1 슬릿(1g)이 형성되어 있음으로써, 와이어 본딩 시에 열의 영향에 의한 팽창·수축(열 왜곡) 작용이 바 리드(1f)에 작용해도 제1 슬릿(1g)에 의해 팽창·수축 작용을 완하시킬 수 있다.
- [0111] 그 결과, 바 리드(1f)의 팽창·수축에 의한 휘어짐(변형)을 저감할 수 있어, 와이어 박리의 발생을 방지할 수 있다.
- [0112] 그 후, 도5의 스텝 S4에 도시하는 수지 몰딩과 베이킹을 행한다. 여기에서는 반도체 칩(2), 바 리드(1f), 복수의 이너 리드(1a) 및 복수의 와이어(4)를 밀봉용 수지에 의해 몰딩 등으로 수지 밀봉하여 도11에 도시한 바와 같은 밀봉체(3)를 형성한다.
- [0113] 그 후, 스텝 S5에 도시하는 외장 도금 형성을 행한다. 여기에서는 밀봉체(3)로부터 노출되는 아우터 리드(1b)

에 대하여 외장 도금(12)을 형성한다.

- [0114] 그 후, 스텝S6에 도시하는 절단 성형을 행한다. 여기에서는 아우터 리드(1b)의 절단과 굽힘 성형을 행하여 QFP(6)의 조립을 완료한다.
- [0115] 여기서, 본 실시 형태의 QFP(6)에 있어서 바 리드(1f)의 현수 리드(1e)와의 제1 연결부(1j)에 형성된 제1 슬릿(1g)의 중요성에 대하여 설명한다.
- [0116] QFP(6)에 바 리드(1f)를 적용할 경우, 바 리드(1f)의 현수 리드(1e)와의 연결부에 슬릿이 형성되어 있지 않으면, 이하의 점에서 반도체 장치[QFP(6)]의 제조가 곤란한 것을 본원 발명자는 발견했다. 즉, 소켓 구조를 채용함으로써 현수 리드(1e)의 길이가 길어져, 그 결과 현수 리드(1e)가 휘어지기 쉬워지나 이 대책의 하나로서 현수 리드(1e)의 폭을 굵게 하여 강성을 높게 하는 것을 생각할 수 있다.
- [0117] 한편, 전기적 특성의 향상을 목적으로 하여 전원이나 GND용의 패드를 다수 필요로 하는 반도체 칩에 있어서는 외부 단자의 수가 증가하여 패키지 사이즈도 커져 버린다. 따라서, 패키지 사이즈가 커지는 것을 억제하기 위해 바 리드(1f)가 필요하게 된다. 이 때, 바 리드(1f)는 와이어 본딩 시에 지그[클램퍼(11)]에 의해 눌러지지 않기 때문에 현수 리드(1e)에 그 양 단부가 고정되어 있고, 이에 의해 바 리드(1f)의 안정성을 확보하고 있다.
- [0118] 그러나, 동합금 등의 금속으로 이루어지는 리드 프레임(1)은 열의 영향에 의해 팽창되기 쉽고, 그 때문에 바 리드 자체도 그 양 단부가 팽창 작용에 의해 신장되나, 이 때 현수 리드(1e)는 강성을 향상시키기 위하여 굵게 형성되어 있어, 바 리드(1f)가 팽창에 의해 신장하려는 것을 저해해 버린다.
- [0119] 그 결과, 바 리드(1f)가 휘어지게 된다.
- [0120] 따라서, 바 리드(1f)의 현수 리드(1e)와의 제1 연결부(1j)에 제1 슬릿(1g)을 형성해 둬으로써 팽창된 바 리드(1f)를 개방하는 것이 가능하게 되어, 바 리드(1f)가 휘어지는(변형되는) 것을 방지할 수 있다. 즉, 리드 프레임(1)을 이용한 다핀의 반도체 장치[QFP(6)]의 제조에 있어서, 바 리드(1f)의 현수 리드(1e)와의 제1 연결부(1j)에 제1 슬릿(1g)을 형성해 두는 것이 중요하게 된다.
- [0121] 이와 같이 본 실시 형태의 QFP(6)에서는 현수 리드(1e)와 연결되는 바 리드(1f)가 탭(1c)의 외측에 탭(1c)을 둘러싸도록 배치되고, 또한 바 리드(1f)의 현수 리드(1e)와의 제1 연결부(1j)에 제1 슬릿(1g)이 형성되어 있음으로써, 열의 영향에 의한 팽창·수축(열 왜곡) 작용이 바 리드(1f)에 작용해도 제1 슬릿(1g)에 의해 팽창·수축 작용을 완화시킬 수 있다.
- [0122] 이에 의해, 바 리드(1f)의 팽창·수축에 의한 휘어짐(변형)을 저감할 수 있어 와이어 박리의 발생을 방지할 수 있다.
- [0123] 또한, 현수 리드(1e)를 굵게 형성하면 바 리드(1f)가 팽창에 의해 신장하려고 하는 것을 저해할 뿐만 아니라, 현수 리드(1e) 부근에 있어서 흐르는 수지의 유동성(유속)이 복수의 이너 리드(1a)가 배치되어 있는 영역과 상이하기 때문에 형성되는 밀봉체(3)의 내부에 보이드가 형성되기 쉬워진다.
- [0124] 그러나, 본 실시 형태와 같이 제1 슬릿(1g)을 형성해 둬으로써, 현수 리드(1e)의 굵기를 이너 리드(1a)의 굵기와 거의 동일한 크기로 형성할 수 있기 때문에 이너 리드(1a)부나 현수 리드(1e)부에 있어서 흐르는 수지의 유동성(유속)을 거의 균등하게 할 수 있어 보이드의 발생을 억제할 수 있다.
- [0125] 따라서, 바 리드(1f)로의 와이어 본딩도 가능하게 된다.
- [0126] 그 결과, 리드 프레임(1)을 이용한 다핀의 QFP(6)의 제조를 실현할 수 있다.
- [0127] 또한, 리드 프레임(1)을 이용하여 제조함으로써 QFP(6)의 저비용화를 도모할 수 있다.
- [0128] 또한, 바 리드(1f)의 팽창·수축에 의한 휘어짐을 저감할 수 있기 때문에 와이어 쇼트의 발생을 저감시킬 수 있다. 그 결과, QFP(6)의 신뢰성 및 품질의 향상을 도모할 수 있다.
- [0129] 다음에, 도12 내지 도14에 도시하는 본 실시 형태의 변형예에 대하여 설명한다.
- [0130] 도14는 본 실시 형태의 변형예의 반도체 장치를 도시하고 있으며, 도12에 도시한 바와 같이 칩 탑재부의 크기가 반도체 칩(2)보다 큰 대탭(1u) 구조의 QFP(13)를 도시하는 것이다.
- [0131] 이 QFP(13)에서는 대탭(1u)의 반도체 칩(2)으로부터 돌출된 돌출부(projecting portion)(1w)를 공통 리드로 하는 것이며, 이 대탭(1u)의 돌출부(1w)에 전원이나 GND 등의 와이어(4)를 접속하여 리드의 공통화를 도모하고 있

다.

- [0132] 즉, 변형예의 QFP(13)는 도1 내지 도3에 도시하는 QFP(6)에 있어서 바 리드(1f)의 열 왜곡에 의한 변형을 완전하게 억제하기 위하여 바 리드(1f)를 삭제한 것이며, 바 리드(1f)를 대신하여 대탭[반도체 칩(2)의 외형 치수보다도 큰 탭](1u)을 채용하여, 그 돌출부(1w)를 공통 리드로 하여 이 돌출부(1w)에 전원이나 GND 등의 와이어(4)를 접속하는 것이다.
- [0133] 그 때, 동합금으로 이루어지는 리드 프레임(1)과 밀봉용 수지의 밀착성은 실리콘으로 이루어지는 반도체 칩(2)과 밀봉용 수지의 밀착성에 비해 낮아, 대탭(1u)과 밀봉용 수지의 계면에 있어서 박리가 생기기 쉽다. 그로 인해, 대탭(1u)과, 대탭(1u)과 밀봉용 수지의 접촉 면적이 커져 반도체 칩(2)과 밀봉용 수지의 접촉 면적이 소켓 구조에 비해 낮아지기 때문에, 상기의 박리 불량 문제는 보다 현저하게 된다. 따라서, 도12 및 도13에 도시한 바와 같이 대탭(1u)에 복수의 관통 구멍(1v)을 형성하여 이 관통 구멍(1v)에 밀봉용 수지를 통과시켜 반도체 칩(2)과 밀봉용 수지가 접촉하는 영역을 향상시킴으로써 대탭(1u)을 채용했다고 해도 밀봉용 수지와 대탭(1u)의 계면에 있어서 발생하는 박리의 문제를 억제하는 것이다.
- [0134] 또한, 도시하고 있지 않으나, 대탭(1u)에 있어서 와이어(4)가 접속되는 영역에는 은 도금이 실시되어 도금막(도금층)이 형성되어 있다. 은 도금은 몰드 수지와와의 밀착성이 상대적으로 낮기 때문에 탭의 전체면에는 실시하지 않음으로써, 몰드 수지와 대탭(1u)의 밀착성을 향상시킬 수 있어 반도체 장치의 신뢰성 및 품질의 향상을 도모할 수 있다.
- [0135] 변형예의 QFP(13)에서는 상기 바 리드(1f)가 형성되어 있지 않기 때문에 전원 또는 GND용의 제2 와이어(4b)의 접속부[돌출부(1w)]가 휘어지는 것을 방지할 수 있다.
- [0136] 또한, 도13에 도시한 바와 같이 일부의 이너 리드(1a)의 선단을 대탭(1u)에 연결함으로써 대탭(1u)이 고정되기 때문에 대탭(1u)이 수평 방향으로 회전하는 것을 방지할 수 있다.
- [0137] 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시 형태에 기초하여 구체적으로 설명했으나, 본 발명은 상기 발명의 실시 형태에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.
- [0138] 예를 들어, 상기 실시 형태에서는 4개의 바 리드(1f) 중 각각의 중앙 부근에서 이너 리드(1a)와 연결하는 바 리드(1f)의 수가 3개인 경우를 예로 들었으나, 각각의 중앙 부근에서 이너 리드(1a)와 연결하는 바 리드(1f)의 수는 3개로 한정되는 것은 아니며, 3개 이외이어도 된다.
- [0139] 또한, 상기 실시 형태에서는 흡착식의 콜릿(8)에 의해 반도체 칩(2)을 흡착 유지하는 것에 대하여 설명했으나 이것에 한정되는 것은 아니며, 반도체 칩(2)의 외형 치수가 바 리드(1f)로부터 보아 상대적으로 작을 경우에는 반도체 칩(2)을 유지하는 부분이 각추 형상으로 이루어지는 콜릿을 사용해도 된다.
- [0140] 또한, 상기 실시 형태에서는 소켓 구조의 반도체 장치에 대하여 설명했으나, 이것에 한정되는 것은 아니다. 예를 들어, 공통 리드(바 리드, 버스 바 리드)(1f)의 휘어짐을 억제하는 것에만 주목하면 도16에 도시한 바와 같은 반도체 칩(2)의 칩 지지면(1d)의 외형 치수(사이즈)가 반도체 칩(2)의 이면(2b)보다 큰 칩 탑재부(탭, 다이패드)(1c)를 포함하는 리드 프레임(1)을 사용하여 도17 및 도18에 도시한 바와 같은 반도체 장치로 해도 된다.
- [0141] 또한, 상기 실시 형태에서는 현수 리드(1e)에 있어서 공통 리드(1f)의 단부가 연결되는 부분에 슬릿[제1 슬릿(1g)]을 형성함으로써 공통 리드(1f)가 본딩 스테이지(10)의 열의 영향에 의해 휘어지는 것을 억제하는 것에 대하여 설명했으나, 이것에 한정되는 것은 아니다. 예를 들어, 도19, 도20 및 도21에 도시한 바와 같이 공통 리드(바 리드, 버스 바 리드)(1f)의 일부(중앙부)에 응력을 완화시키는 수단인 슬릿(관통 구멍, 구멍)(1s)을 형성한 리드 프레임(1)을 사용해도 된다. 이러한 경우, 공통 리드(1f)에 있어서 와이어[제2 와이어(4b)](4)를 접속할 수 있는 영역이 상기 실시 형태에 비해 작아진다. 그러나, 반도체 칩(2)의 패드(전극)(2a)의 수가 상기 실시 형태보다도 적을 경우에는 도22, 도23 및 도24에 도시한 바와 같이 슬릿[제3 슬릿(1s)]의 옆에 와이어(4)를 접속함으로써 대응할 수 있다. 또한, 도24에서는 슬릿[제3 슬릿(1s)]의 옆에 와이어(4)가 접속되어 있는 것을 확인하기 쉽도록 반도체 칩(2)의 패드(2a)와 이너 리드(1a)와 접속되는 와이어(4)의 개수를 생략하고 있다.
- [0142] 또한, 상기 실시 형태에서는 도6b의 이점 채선(L)(가상선)으로 나타난 바와 같이 슬릿[제1 슬릿(1g)]이 현수 리드(1e)에 있어서 공통 리드(1f)의 연장선 상에 형성되는 것에 대하여 설명했으나, 이것에 한정되는 것은 아니다. 와이어 본딩 공정에 있어서의 본딩 스테이지(10)의 열이 상기 실시 형태에서 사용하는 온도보다도 낮을 경우에는 공통 리드(1f)의 팽창이 상기 실시 형태에 비교하여 일어나기 어려워진다. 그로 인해, 예를 들어



도25에 도시한 바와 같이 슬릿[제1 슬릿(1g)]은 현수 리드(1e)에 있어서 공통 리드(1f)의 연장선(L) 상보다도 탭(1c)으로부터 먼 위치에 형성되어 있어도 된다.

[0143] 또한, 상기 실시 형태 및 변형예에서는 현수 리드(1e) 또는 공통 리드(1f)에 응력을 완화시키는 수단으로서 슬릿을 형성하는 것에 대하여 설명했으나, 이것에 한정되는 것은 아니다. 예를 들어, 도26에 도시한 바와 같이 공통 리드(1f)의 일부 또는 도27에 도시한 바와 같이 공통 리드의 양 단부를 사행 형상으로 해도 된다. 이러한 구성에서도 열의 영향으로 공통 리드(1f)가 팽창되었다고 해도 사행부(1t)가 줄어들기 때문에 공통 리드(1f)의 휘어짐을 억제할 수 있다.

[0144] 또한, 상기 실시 형태에서는 복수의 아우터 리드(1b)가 밀봉체(3)의 측면으로부터 돌출되는 QFP형의 반도체 장치 및 그 제조 방법에 본원 발명의 구성을 적용할 경우에 대하여 설명했으나, 이것에 한정되는 것은 아니며, 예를 들어 도28의 (a), 도28의 (b) 및 도28의 (c)에 도시한 바와 같이 탭(1c) 및 공통 리드(1f)가 밀봉체(3)의 내부에 위치하고, 복수의 리드[아우터 리드(1b)]만 밀봉체(3)의 하면(실장면, 이면)으로부터 노출되는 QFN(Quad Flat Non-leaded Package) 15형의 반도체 장치에 적용해도 된다.

[0145] 또한, 평면 형상이 사각형으로 이루어지는 밀봉체(3)의 4변을 따라 복수의 리드를 배치하는 QFP형의 반도체 장치 및 그 제조 방법에 본원 발명의 구성을 적용하는 경우에 대해 설명했으나 이것에 한정되는 것은 아니며, 예를 들어 도29의 (a), 도29의 (b) 및 도29의 (c)에 도시한 바와 같이 탭(1c) 및 공통 리드(1f)가 밀봉체(3)의 내부에 위치하고, 밀봉체(3)의 2변을 따라 복수의 리드를 배치하는 SOP(Small Outline Package) 16형, 또는 도30의 (a), 도30의 (b) 및 도30의 (c)에 도시한 바와 같이 SON(Small Outline Non-leaded Package) 17형의 반도체 장치에 적용해도 된다.

[0146] 또한, 이것에 한정되는 것은 아니며, 도31의 (a), 도31의 (b) 및 도31의 (c)에 도시한 바와 같이 탭(1c), 공통 리드(1f) 및 복수의 리드[아우터 리드(1b)]가 밀봉체(3)의 하면(실장면, 이면)으로부터 노출되는 QFN(Quad Flat Non-leaded Package) 18형의 반도체 장치에 적용해도 된다. 또한, 도32의 (a), 도32의 (b) 및 도32의 (c)에 도시한 바와 같이 탭(1c), 공통 리드(1f) 및 복수의 리드[아우터 리드(1b)]가 밀봉체(3)의 하면(실장면, 이면)으로부터 노출되는 SON(Small Outline Non-leaded Package) 19형의 반도체 장치에 적용해도 된다.

[0147] 본 발명은, 리드 프레임을 이용하여 조립되는 전자 장치 및 그 조립에 적합하다.

### 도면의 간단한 설명

[0148] 도1은 본 발명의 실시 형태의 반도체 장치의 구조의 일례를 도시하는 평면도.

[0149] 도2는 도1의 A-A 선을 따라 절단한 구조의 일례를 도시하는 단면도.

[0150] 도3은 도1의 B-B 선을 따라 절단한 구조의 일례를 도시하는 단면도.

[0151] 도4는 도1에 도시하는 반도체 장치의 조립에 있어서의 와이어 본딩 완료까지의 제조 프로세스의 일례를 도시하는 단면도.

[0152] 도5는 도1에 도시하는 반도체 장치의 조립에 있어서의 와이어 본딩 후의 제조 프로세스의 일례를 도시하는 단면도.

[0153] 도6a는 도1에 도시하는 반도체 장치의 조립에 이용되는 리드 프레임의 구조의 일례를 도시하는 부분 평면도.

[0154] 도6b는 도6a에 도시하는 반도체 장치의 조립에 이용되는 리드 프레임의 일부를 도시하는 부분 확대 평면도.

[0155] 도7은 도1에 도시하는 반도체 장치의 조립에 이용되는 리드 프레임의 제2 오프셋부의 구조의 일례를 도시하는 부분 평면도.

[0156] 도8은 도7의 A-A선을 따라 절단한 구조의 일례를 도시하는 단면도.

[0157] 도9는 도1에 도시하는 반도체 장치의 조립에 있어서의 와이어 본딩 시의 클램프 영역의 일례를 도시하는 평면도.

[0158] 도10은 도1에 도시하는 반도체 장치의 조립에 있어서의 와이어 본딩 시의 클램프 구조의 일례를 도시하는 단면도.

[0159] 도11은 도1에 도시하는 반도체 장치의 조립에 있어서의 수지 몰딩 후의 구조의 일례를 밀봉체를 통과하여 도시하는 부분 평면도.

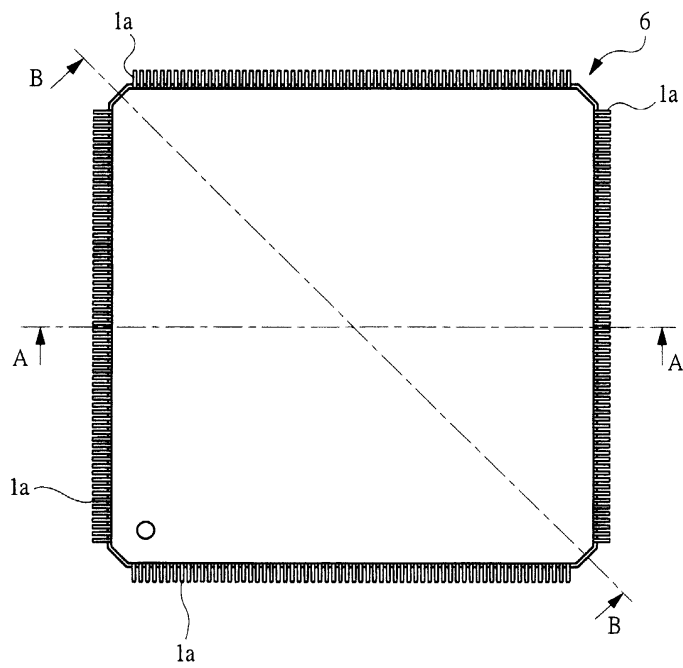
- [0160] 도12는 본 발명의 실시 형태의 변형예의 반도체 장치의 조립에 이용되는 리드 프레임의 구조를 도시하는 단면도.
- [0161] 도13은 본 발명의 실시 형태의 변형예의 반도체 장치의 조립에 있어서의 수지 몰딩 후의 구조를 밀봉체를 투과하여 도시하는 부분 평면도.
- [0162] 도14는 본 발명의 실시 형태의 변형예의 반도체 장치의 구조를 도시하는 단면도.
- [0163] 도15는 본 발명의 실시 형태에 있어서 오프셋 없는 리드 프레임을 이용한 경우의 몰드 금형에 의한 금형 클램프 시의 구조의 일례를 도시하는 부분 단면도.
- [0164] 도16은 본 발명의 실시 형태에 있어서 대탐을 채용한 반도체 장치의 조립에 이용되는 리드 프레임의 구조의 일례를 도시하는 부분 평면도.
- [0165] 도17은 도16에 도시하는 리드 프레임을 이용한 반도체 장치의 조립에 있어서의 수지 몰딩 후의 구조의 일례를 밀봉체를 투과하여 도시하는 부분 평면도.
- [0166] 도18은 도17에 도시하는 반도체 장치의 구조의 일례를 도시하는 단면도.
- [0167] 도19는 본 발명의 실시 형태에 있어서 공통 리드에 슬릿이 형성된 리드 프레임의 구조의 일례를 도시하는 부분 평면도.
- [0168] 도20은 도19의 A-A선을 따라 절단한 구조의 일례를 도시하는 단면도.
- [0169] 도21은 도19에 도시하는 리드 프레임에 있어서의 슬릿 형성 개소의 구조의 일례를 도시하는 확대 부분 평면도.
- [0170] 도22는 도19에 도시하는 리드 프레임을 이용한 반도체 장치의 조립에 있어서의 수지 몰딩 후의 구조의 일례를 밀봉체를 투과하여 도시하는 부분 평면도.
- [0171] 도23은 도22의 A-A선을 따라 절단한 구조의 일례를 도시하는 단면도.
- [0172] 도24는 도22에 도시하는 구조에 있어서의 슬릿 형성 개소의 구조의 일례를 도시하는 확대 부분 평면도.
- [0173] 도25는 본 발명의 실시 형태에 있어서의 공통 리드에의 응력을 완화시키는 수단의 변형예의 구조를 도시하는 확대 부분 평면도.
- [0174] 도26은 본 발명의 실시 형태의 리드 프레임에 있어서의 공통 리드에의 응력을 완화시키는 수단의 변형예의 구조를 도시하는 부분 평면도.
- [0175] 도27은 본 발명의 실시 형태의 리드 프레임에 있어서의 공통 리드에의 응력을 완화시키는 수단의 변형예의 구조를 도시하는 부분 평면도.
- [0176] 도28은 본 발명의 실시 형태의 변형예의 반도체 장치(QFN)의 구조를 도시하는 도면으로, (a)는 평면도, (b)는 단면도, (c)는 이면도.
- [0177] 도29는 본 발명의 실시 형태의 변형예의 반도체 장치(SOP)의 구조를 도시하는 도면으로, (a)는 평면도, (b)는 단면도, (c)는 이면도.
- [0178] 도30은 본 발명의 실시 형태의 변형예의 반도체 장치(SON)의 구조를 도시하는 도면으로, (a)는 평면도, (b)는 단면도, (c)는 이면도.
- [0179] 도31은 본 발명의 실시 형태의 변형예의 반도체 장치(QFN)의 구조를 도시하는 도면으로, (a)는 평면도, (b)는 단면도, (c)는 이면도.
- [0180] 도32는 본 발명의 실시 형태의 변형예의 반도체 장치(SON)의 구조를 도시하는 도면으로, (a)는 평면도, (b)는 단면도, (c)는 이면도.
- [0181] <도면의 주요 부분에 대한 부호의 설명>
- [0182] 1 : 리드 프레임
- [0183] 1a : 이너 리드(리드)
- [0184] 1b : 아우터 리드(리드)

[0185]	1c : 탭(칩 탑재부)
[0186]	1d : 칩 지지면
[0187]	1e : 현수 리드
[0188]	1f : 바 리드(공통 리드)
[0189]	1f' : 도금막(도금층)
[0190]	1g : 제1 슬릿
[0191]	1h : 제1 이너 리드
[0192]	1i : 제2 이너 리드
[0193]	1j : 제1 연결부
[0194]	1m : 제1 오프셋부
[0195]	1n : 제2 슬릿
[0196]	1p : 제2 오프셋부
[0197]	1q : 테이프 부재
[0198]	1r : 제2 연결부
[0199]	1s : 제3 슬릿
[0200]	1t : 사행부
[0201]	1u : 대탭(칩 탑재부)
[0202]	1v : 관통 구멍
[0203]	1w : 돌출부(공통 리드)
[0204]	2 : 반도체 칩
[0205]	2a : 주면
[0206]	2b : 이면
[0207]	2c : 패드(전극)
[0208]	3 : 밀봉체
[0209]	4 : 와이어
[0210]	4a : 제1 와이어
[0211]	4b : 제2 와이어
[0212]	5 : 은 페이스트
[0213]	6, 13, 15, 18 : QFP(반도체 장치)
[0214]	7 : 포팅 노즐
[0215]	8 : 흡착 콜릿
[0216]	9 : 캐피러리
[0217]	10 : 본딩 스테이지
[0218]	10a : 흡착 구멍
[0219]	11 : 클램퍼
[0220]	11a : 클램프부

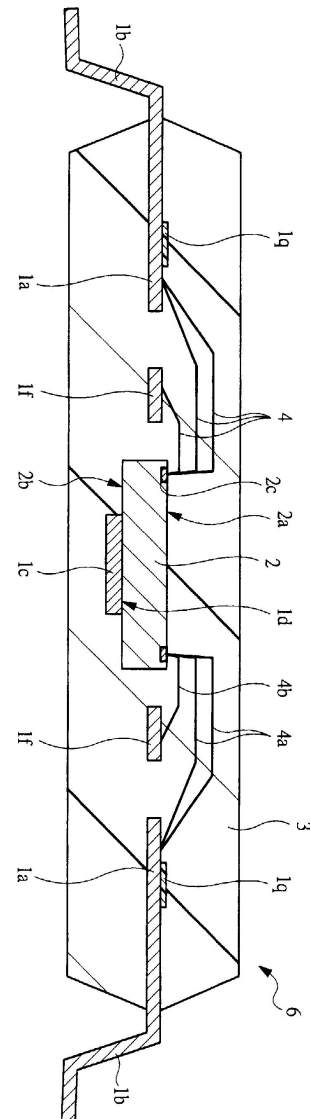
- [0221] 12 : 외장 도금
- [0222] 14 : 몰드 금형
- [0223] 14a : 상형
- [0224] 14b, 14d : 캐비티면
- [0225] 14c : 하형
- [0226] 16, 17 : SOP(반도체 장치)
- [0227] 19 : SON(반도체 장치)

# 도면

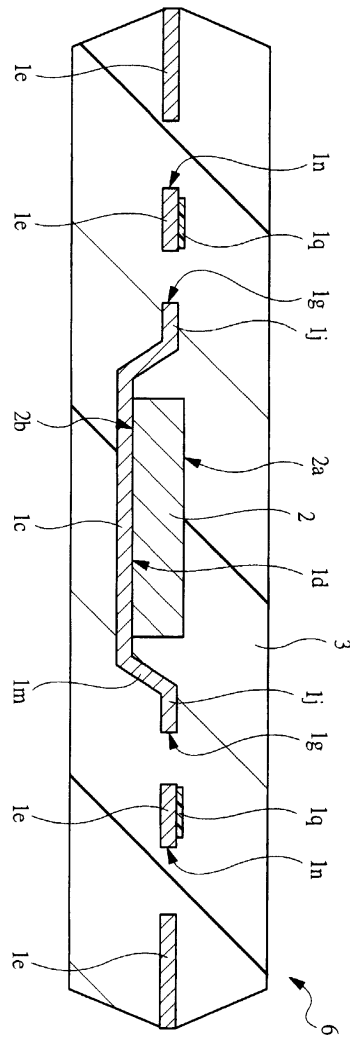
도면1



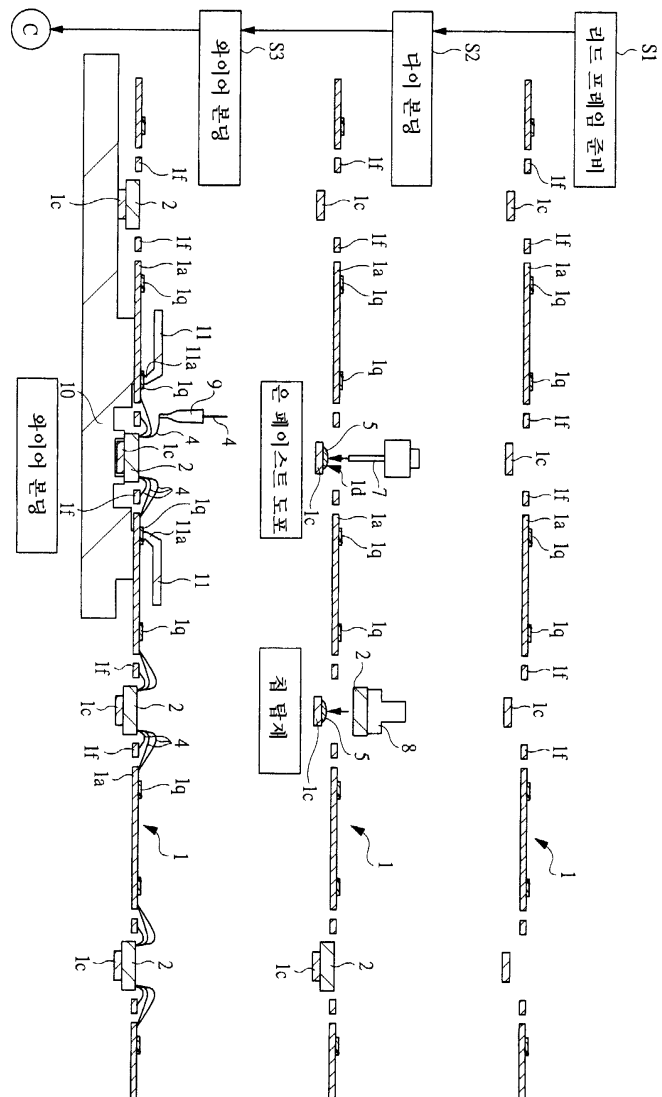
도면2



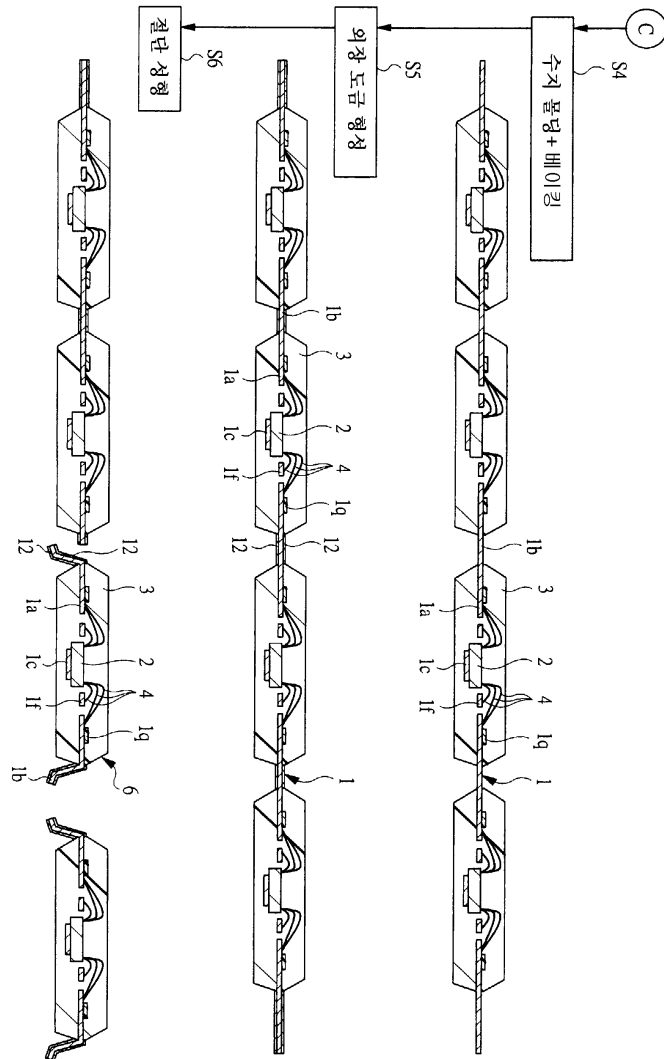
도면3



도면4

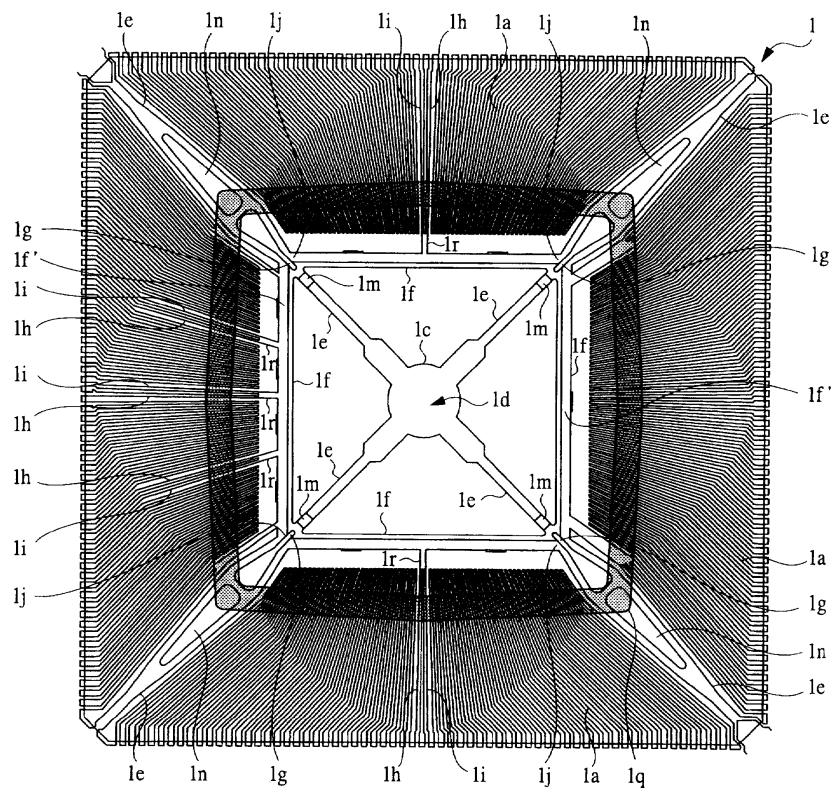


도면5

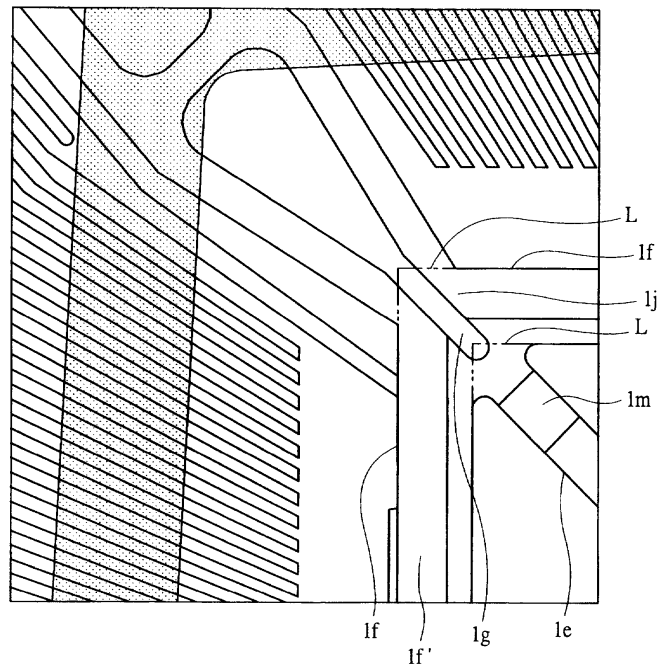




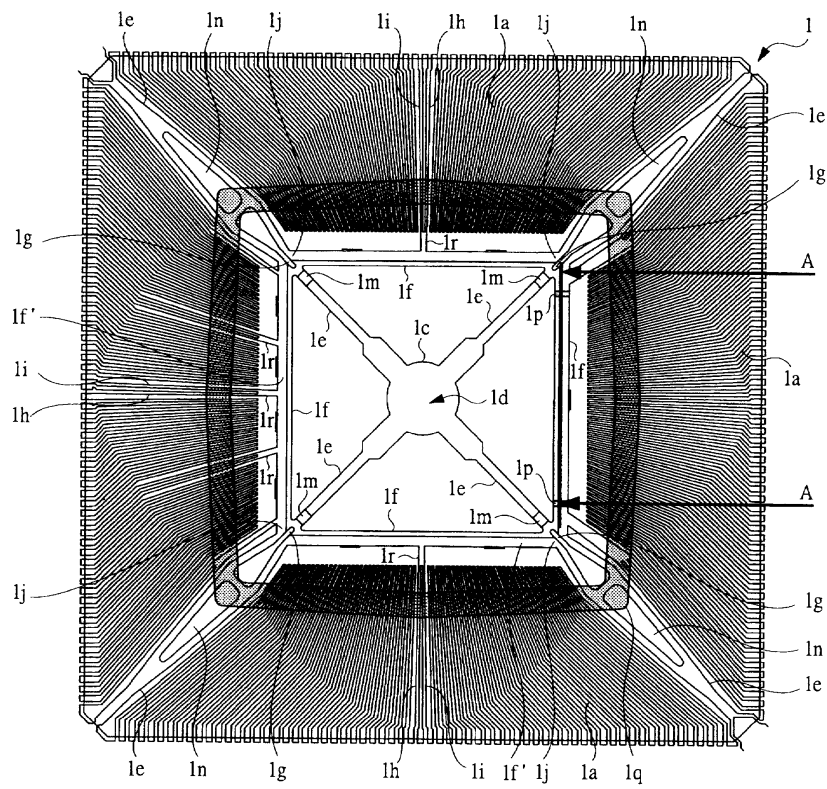
도면6a



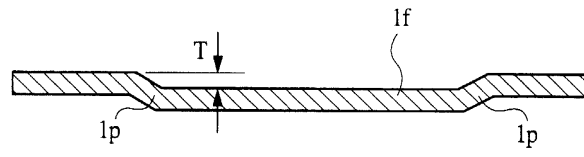
도면6b



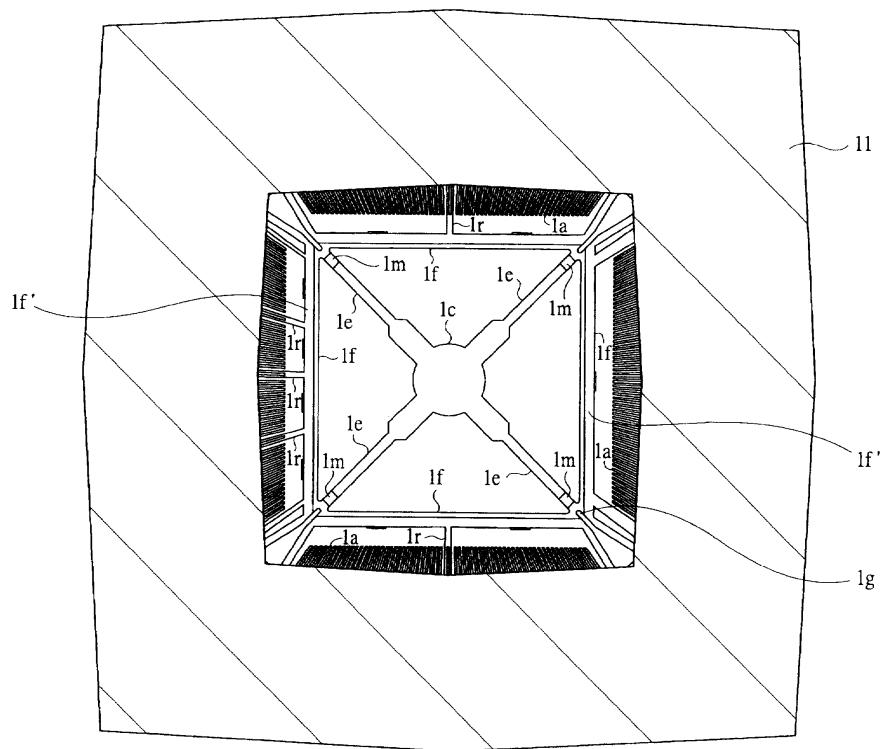
도면7



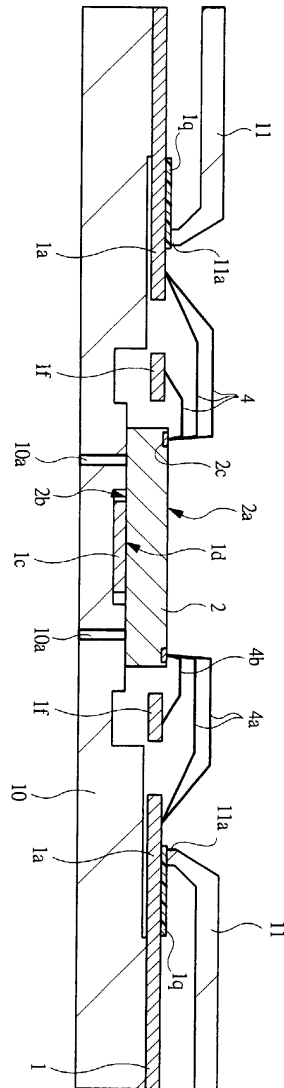
도면8



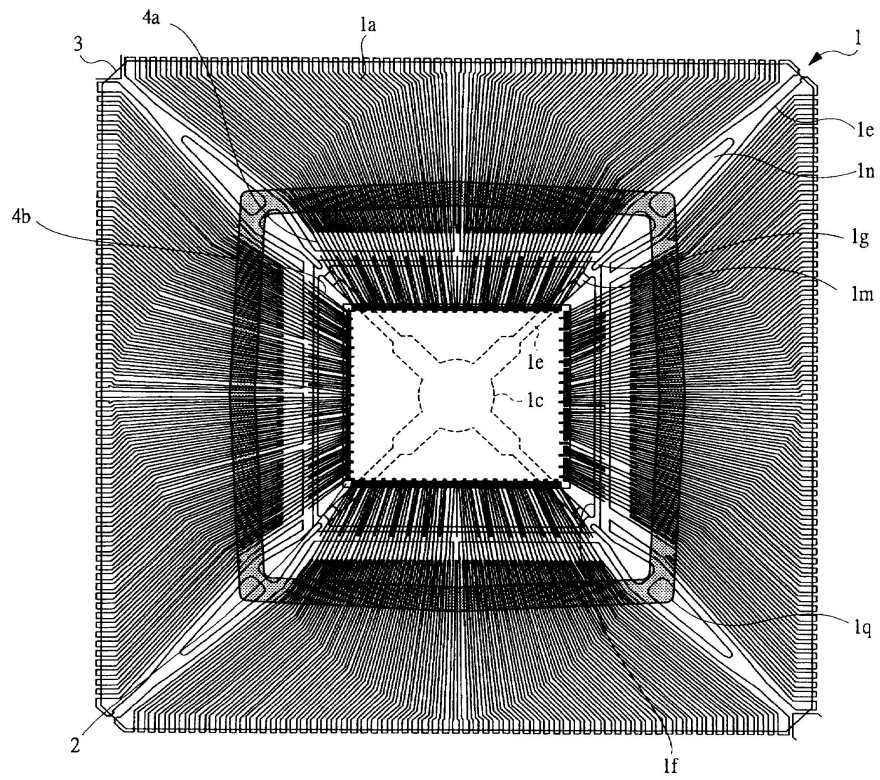
도면9



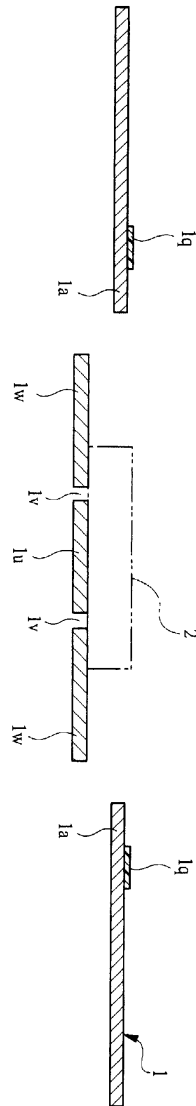
도면10



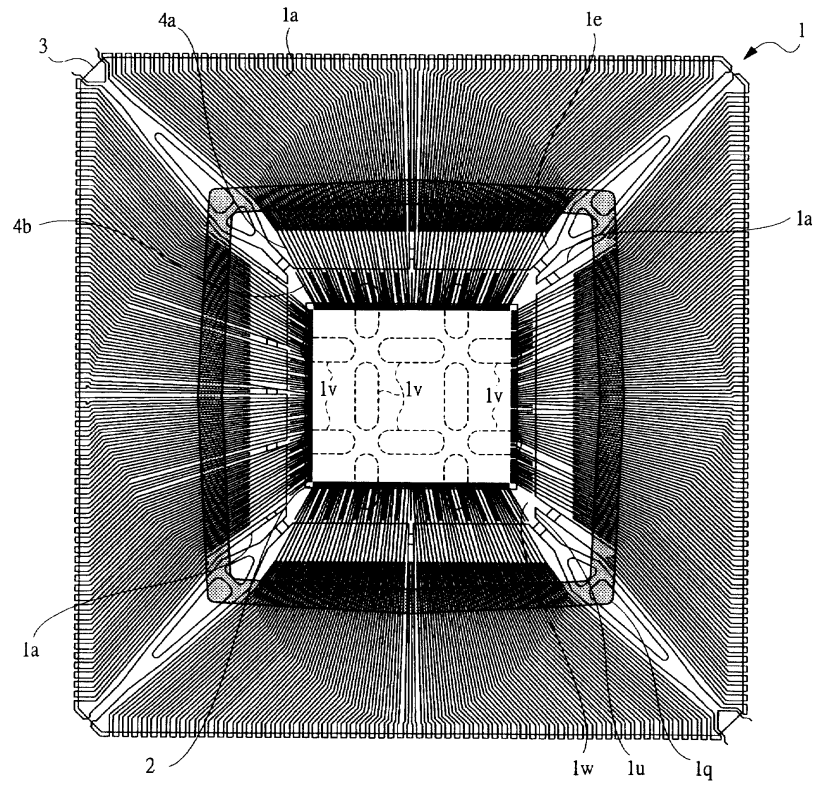
도면11



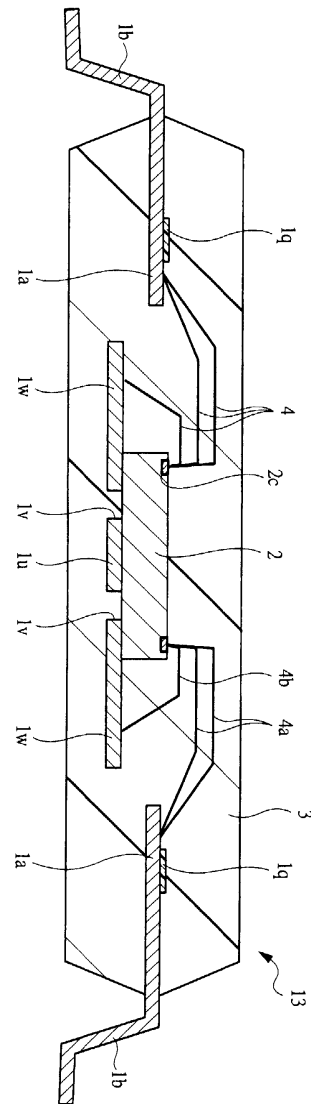
도면12



도면13

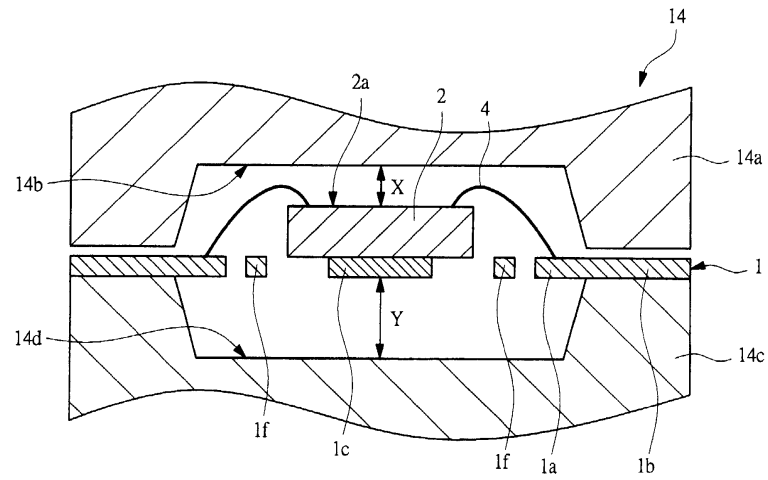


도면14

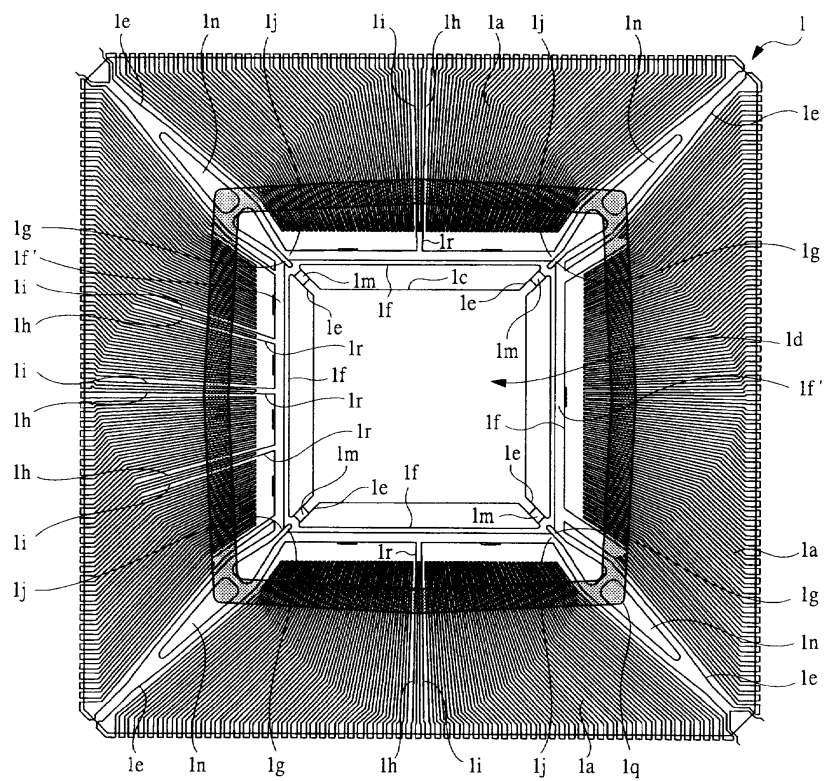




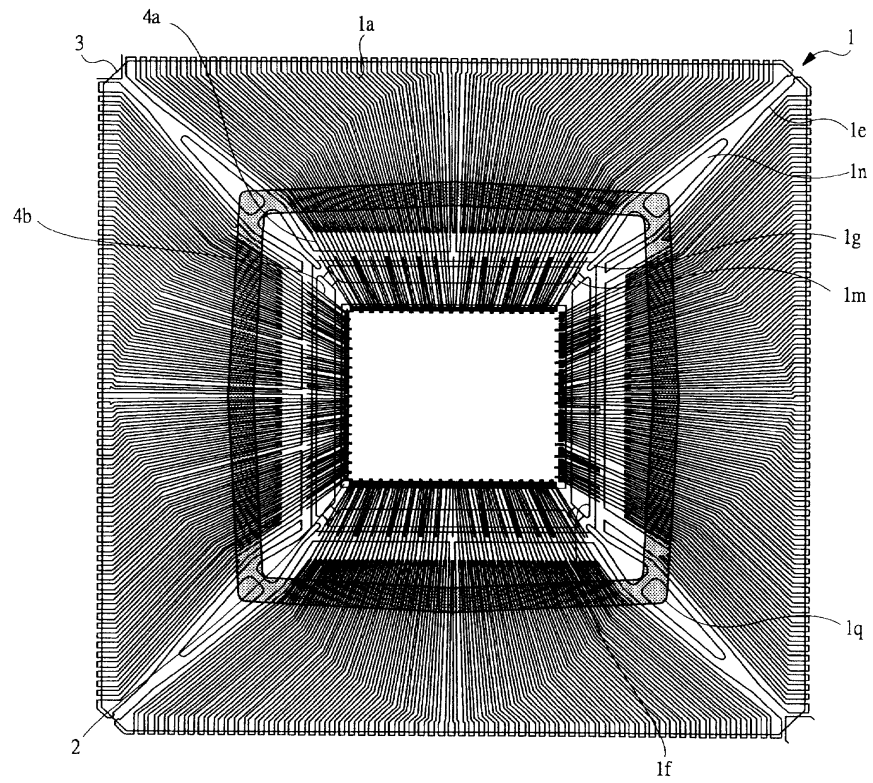
도면15



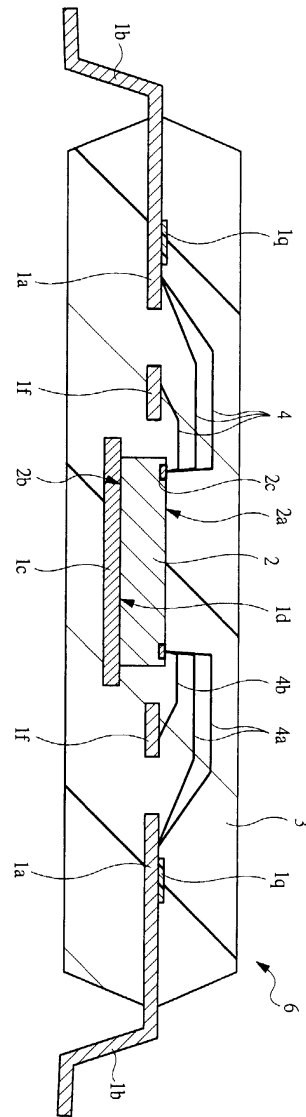
도면16



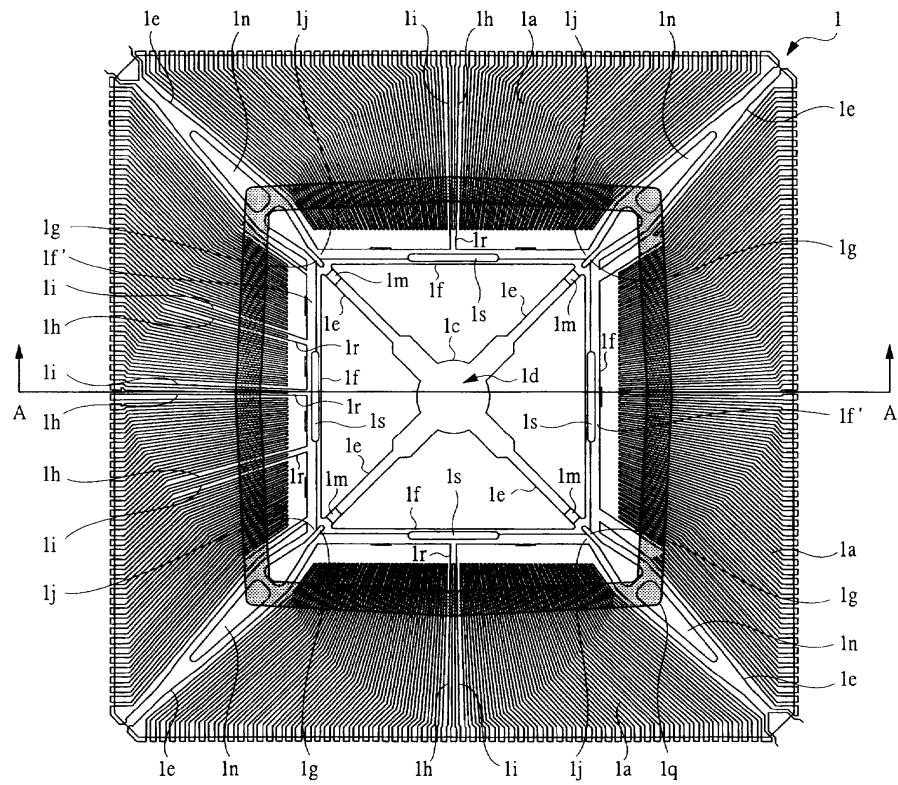
도면17



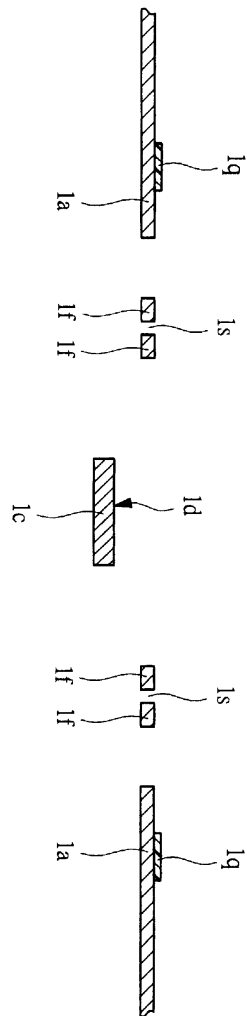
도면18



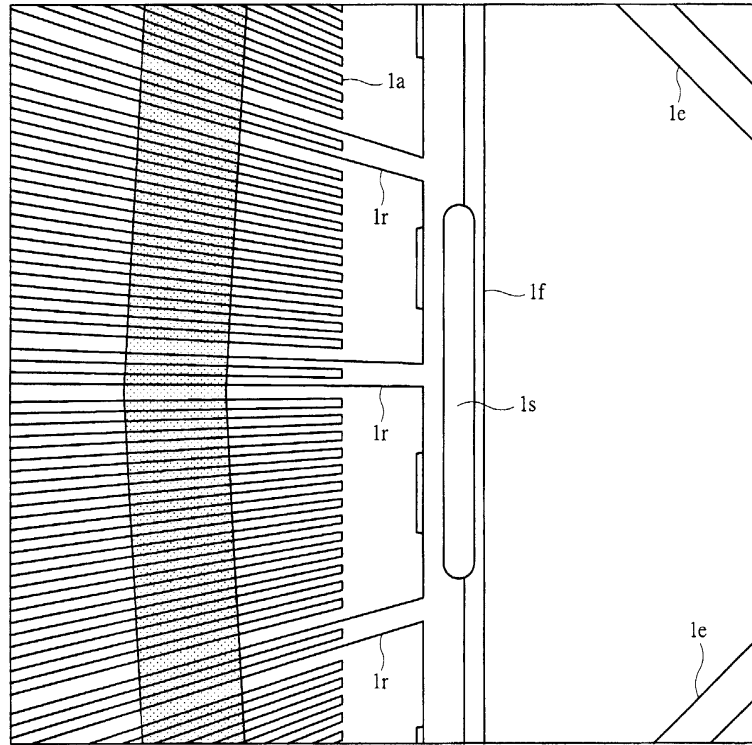
도면19



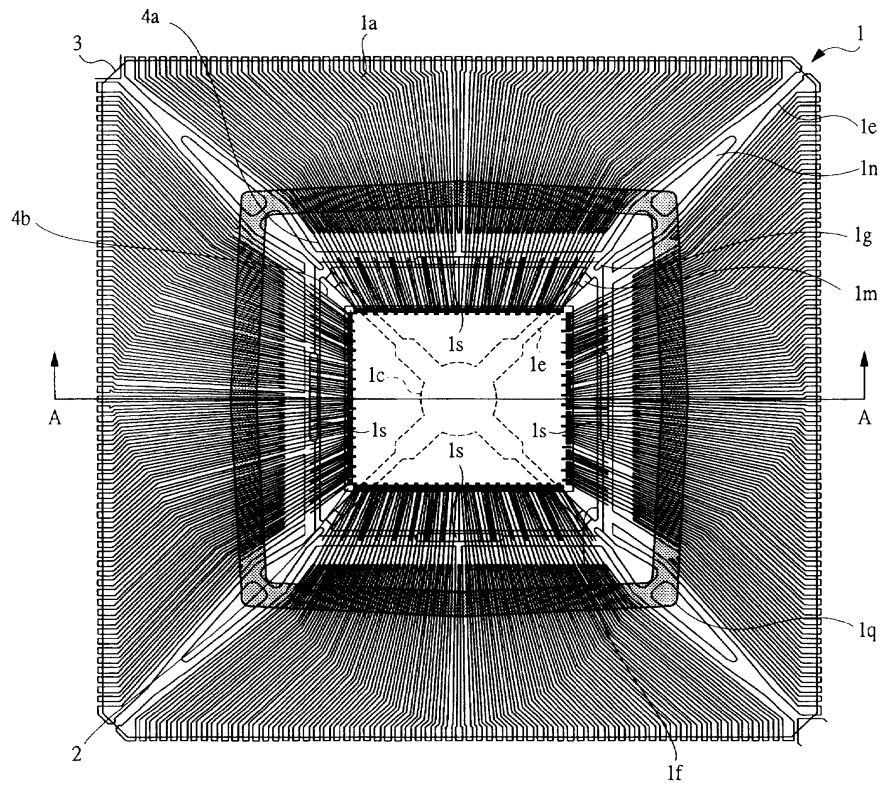
도면20



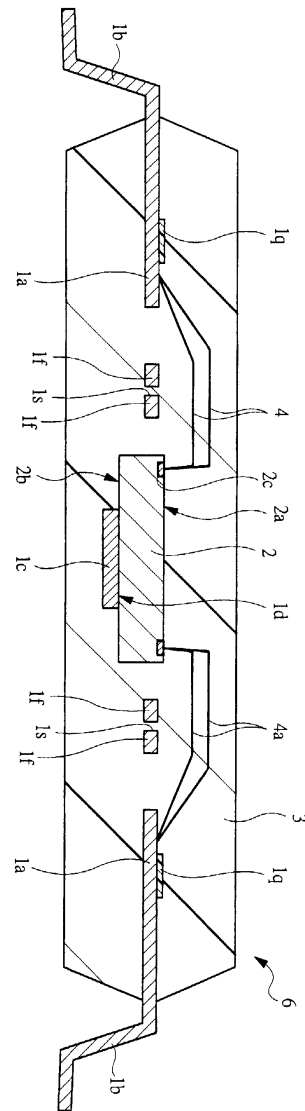
도면21



도면22



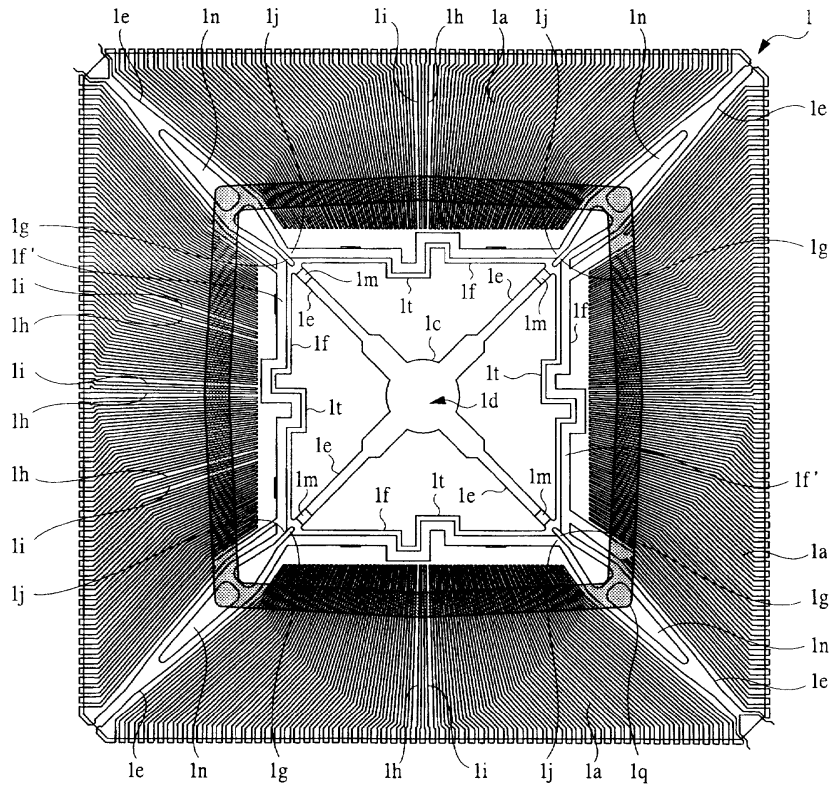
도면23



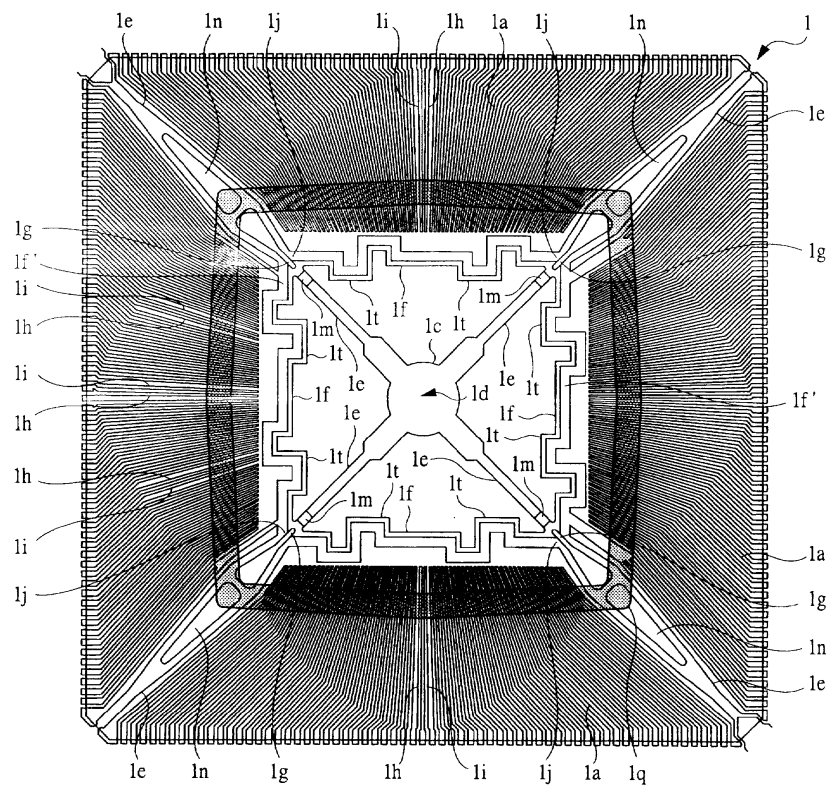




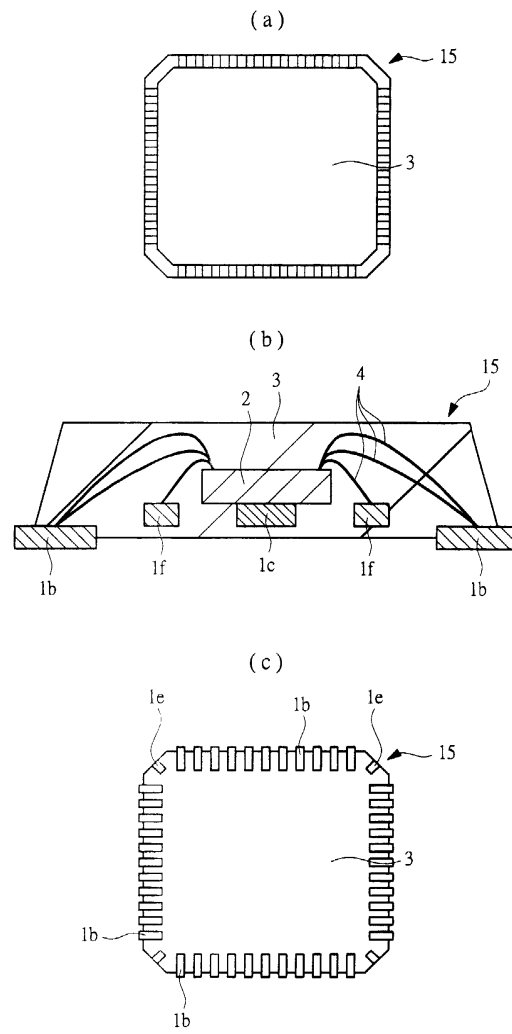
도면26



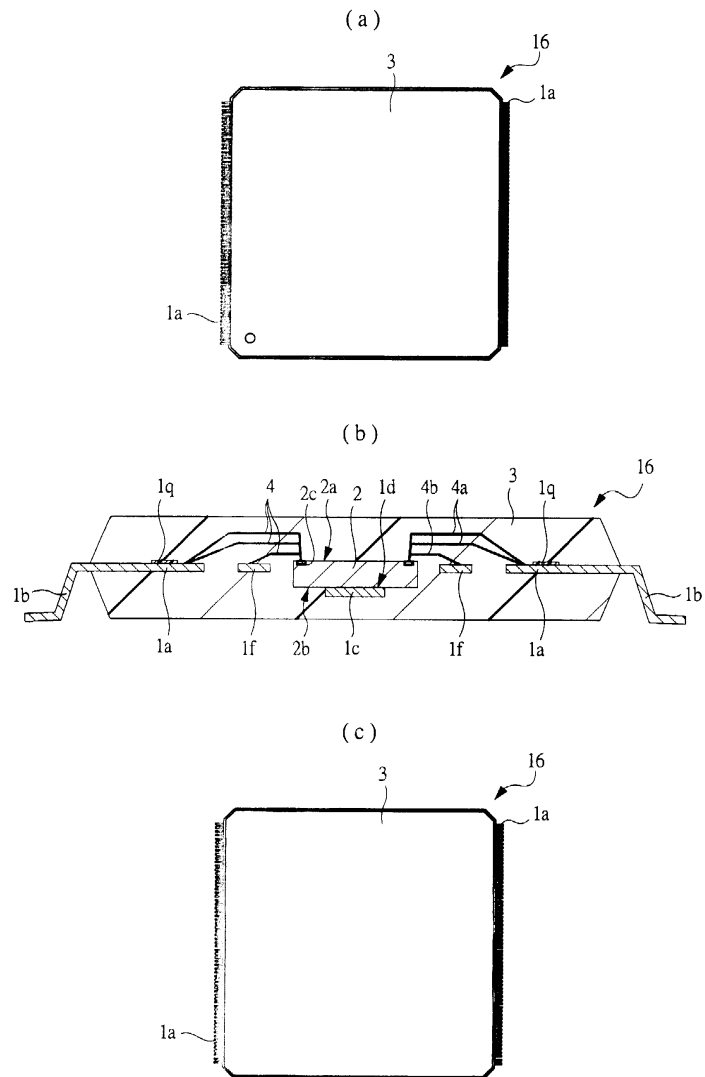
도면27



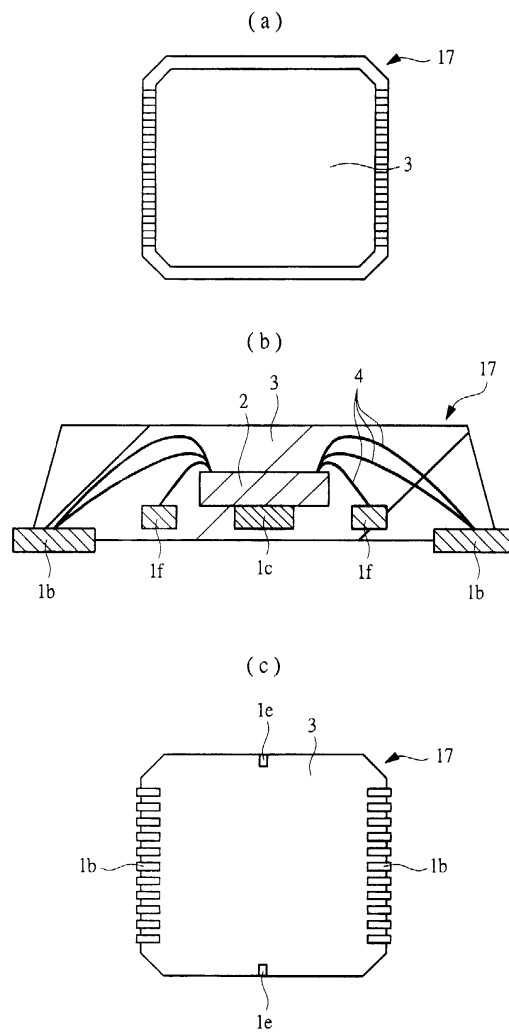
도면28



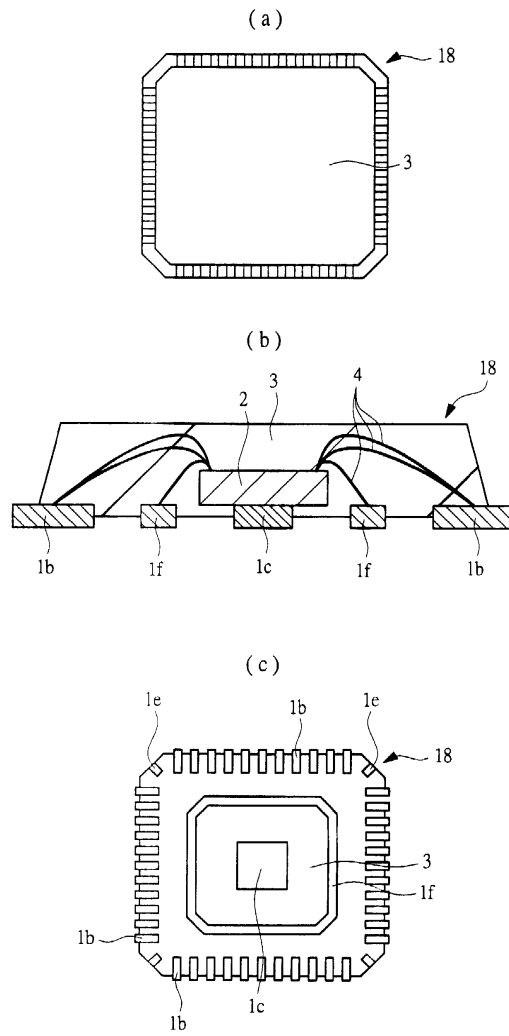
도면29



도면30



도면31





도면32

