



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 346 259**

51 Int. Cl.:  
**G06F 13/40** (2006.01)  
**H04L 12/40** (2006.01)  
**H04L 12/46** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **07728191 .3**  
96 Fecha de presentación : **17.04.2007**  
97 Número de publicación de la solicitud: **2030117**  
97 Fecha de publicación de la solicitud: **04.03.2009**

54 Título: **Pasarela para la transferencia de datos entre buses en serie.**

30 Prioridad: **24.05.2006 DE 10 2006 024 888**  
**24.11.2006 DE 10 2006 055 514**

45 Fecha de publicación de la mención BOPI:  
**13.10.2010**

45 Fecha de la publicación del folleto de la patente:  
**13.10.2010**

73 Titular/es: **Robert Bosch GmbH**  
**Postfach 30 02 20**  
**70442 Stuttgart, DE**

72 Inventor/es: **Ihle, Markus;**  
**Taube, Jan y**  
**Lorenz, Tobias**

74 Agente: **Carvajal y Urquijo, Isabel**

**ES 2 346 259 T3**

**Aviso:** En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Pasarela para la transferencia de datos entre buses en serie.

La presente invención comprende una pasarela (gateway) para la transferencia de datos entre buses en serie, especialmente, entre buses de campo.

La conexión en red de unidades de control, sensores y actuadores que utilizan una red o sistema de comunicaciones que consiste en un enlace de comunicaciones, especialmente, un bus y sus correspondientes módulos de comunicaciones, se ha incrementado drásticamente en los últimos años en la construcción de vehículos modernos o también en la construcción de maquinaria, especialmente en el área de las máquinas-herramientas, es decir, también en la automatización. Se pueden obtener, de este modo, efectos de sinergia a través de la distribución de funciones en una pluralidad de participantes, especialmente, unidades de control. Dichos sistemas o redes distribuidas se componen, entonces, por los participantes y el sistema de bus que conecta estos participantes o una pluralidad de sistemas de buses conectores. Las comunicaciones entre dos estaciones o participantes diferentes se realizan, cada vez más, a través de un sistema de comunicaciones, sistema de buses o red, a través de los cuales se transmiten en mensajes los datos a transmitir. Dicho tráfico de comunicaciones en el sistema de buses, las unidades de acceso y recepción, así como la gestión de errores, son regulados a través de un protocolo correspondiente, asimismo, el nombre del protocolo respectivo a menudo, y también en este caso, se utiliza como sinónimo de la red o del sistema de buses.

Por ejemplo, en el área de los automóviles está establecido como protocolo el bus CAN (Controller Area Network). Éste es un protocolo basado en eventos, es decir, las actividades del protocolo, como la emisión de un mensaje, son iniciados por eventos que tienen su origen fuera del sistema de comunicaciones. El acceso unívoco al sistema de comunicaciones, o al sistema de buses, se resuelve gracias a una arbitración de los bits basada en prioridades. Un requisito para ello es que a cada dato por transmitir, y con ello, a cada mensaje se le asigne una prioridad. El protocolo CAN es muy flexible; por ello es posible agregar otros participantes y mensajes sin dificultades, mientras haya prioridades (message identifier) libres. La colección de todos los mensajes por enviar en la red, con prioridades y sus participantes de emisión o recepción, así como los correspondientes módulos de comunicaciones, son almacenados en una lista, la denominada matriz de comunicaciones.

Una aproximación alternativa a una comunicación espontánea, activada por eventos, es la aproximación mediante tiempos. Todas las actividades de comunicaciones en el bus son estrictamente periódicas. Las actividades del protocolo, como la emisión de un mensaje, se activan sólo a través del transcurso de un tiempo válido para el sistema de buses. El acceso a dicho medio se basa en la distribución en áreas de tiempos en las cuales un emisor posee un derecho de emisión exclusivo. En ese caso, se debe determinar el orden de los mensajes, en general, ya antes del inicio. Es decir, se elabora un plan que debe satisfacer los requerimientos de los mensajes respecto de la tasa de repetición, la redundancia, el tiempo límite, etc. Se habla en este caso de de la denominada "bus schedu-

le" (programación de tiempos de bus). Un sistema de buses de este tipo es, por ejemplo, el TTP/C.

Una combinación de las ventajas de ambos tipos de bus mencionados se lleva a cabo mediante la solución de un CAN activado mediante tiempos, el denominado TTCAN (Time Triggered Controller Area Network). El mismo cumple con los requerimientos enunciados anteriormente, respecto de comunicaciones activadas mediante tiempos, así como con los requerimientos acordes a cierta medida de flexibilidad. El TTCAN cumple estos requerimientos gracias a la construcción del ciclo de comunicaciones en las denominadas ranuras de tiempo exclusivas, para mensajes periódicos de determinados participantes de la comunicación, y en las denominadas ranuras de tiempo para la arbitración de mensajes espontáneos de una pluralidad de participantes de la comunicación. El TTCAN se basa esencialmente, a su vez, en una comunicación periódica activada mediante tiempos, que se periodiza a través de un participante o módulo de comunicaciones con la función de un patrón de tiempo, el denominado tiempo maestro, mediante un mensaje de referencia de tiempo.

El FlexRay ofrece otra posibilidad de combinar diferentes modos de transmisión, por lo que se describe un sistema de bus rápido, determinista y tolerante a fallos, especialmente para la aplicación en un vehículo. Dicho protocolo trabaja según el procedimiento del acceso múltiple por división de tiempo (TDMA, por sus siglas en inglés), asimismo, a los participantes, o a los mensajes a ser transmitidos, les son asignadas ranuras de tiempo fijas, en las que tienen un acceso exclusivo al enlace de comunicaciones, el bus. Las ranuras de tiempo se repiten, a su vez, en un ciclo predeterminado, de modo que el momento en el que el mensaje se transmite a través del bus puede predecirse con exactitud, y el acceso al bus se lleva a cabo de modo determinista. Para aprovechar de manera óptima el ancho de banda para la transmisión de mensajes, el FlexRay subdivide el ciclo en una parte estática y en una parte dinámica. Las ranuras de tiempo fijas se encuentran, a su vez, en la parte estática en el inicio de un ciclo de bus. En la parte dinámica las ranuras de tiempo se asignan dinámicamente. Posibilitando en cada caso, sólo por un tiempo breve, un acceso exclusivo al bus. Si no se lleva a cabo ningún acceso, se libera el acceso para el siguiente participante. Este lapso de tiempo se denomina minislot (minirranura), en él se espera el acceso del primer participante.

Como ya se ha descrito, existe una gran cantidad de tecnologías de transmisión y, con ello, de tipos de sistemas de buses o redes. A menudo deben combinarse una pluralidad de sistemas de buses del mismo tipo o de diferente tipo. Para ello se utiliza una unidad de interfaz de bus, la denominada pasarela. Una pasarela es entonces una interfaz entre dos buses diferentes que pueden ser del mismo tipo o diferentes, asimismo, la pasarela transfiere los mensajes de un bus a uno o más buses. Las pasarelas conocidas consisten en una pluralidad de módulos de comunicaciones independientes, asimismo, el intercambio de mensajes se lleva a cabo a través de la interfaz del procesador (interfaz de CPU) del respectivo participante o del correspondiente módulo de interfaz del respectivo módulo de comunicaciones. A su vez, dicha interfaz de CPU está cargada por dicho intercambio de datos adicionalmente al mensaje a transmitir al participante mismo, por

lo que junto con la estructura de transmisión resultante, se produce una velocidad de transmisión de datos relativamente baja. Además, existen controladores integrados de comunicaciones o módulos integrados de comunicaciones que comparten una memoria común de mensajes, la denominada RAM de mensajes.

En la memoria WO9853404 se publica un sistema de buses para el intercambio de datos entre nodos de comunicaciones, en donde una unidad maestra controla la transmisión de datos al bus.

La Figura 1 muestra una pasarela acorde al estado de la técnica. La pasarela contiene una pluralidad de módulos de comunicaciones o communication controller CC, provistos para la respectiva conexión de un bus en serie. A través de los buses en serie se transmiten los datos por paquetes. La pasarela contiene un bus interno de sistema para la transferencia interna de datos, asimismo, el bus interno de sistema comprende un bus de datos DB, un bus de control SB y un bus de dirección AB. En el bus de sistema, además de los diferentes módulos de comunicaciones CC están conectadas una unidad de procesamiento de datos CPU, una memoria de datos RAM y demás componentes opcionales. La CPU configura, controla y regula los módulos de comunicaciones CC individuales. En el bus de datos interno DB los datos se transfieren palabra por palabra entre las diferentes unidades. La cantidad de bits de datos transmitidos en una palabra de datos corresponde al ancho de bus del bus de datos DB. En el caso de la pasarela convencional, como la representada en la figura 1, la CPU lee los mensajes recibidos, los procesa y genera nuevos mensajes. LA CPU también procura el envío de los mensajes. En el caso de las operaciones simples de la pasarela, los datos recibidos son leídos en un módulo de comunicaciones CC e inscritos en otro u otros múltiples módulos de comunicaciones CC para el envío. Si no se utiliza ningún controlador DMA, la CPU servidor (host) transfiere los datos palabra por palabra de los módulos de comunicaciones CC a la memoria RAM de datos o a una memoria interna de datos de la CPU, para procesar dichos datos y, posteriormente, copiarlos a los correspondientes módulos de comunicaciones CC. La memoria RAM de datos también contiene, además de los datos por transmitir, un área para el almacenamiento del programa por procesar por la CPU.

Los módulos de comunicaciones CC son la comunicación de la pasarela con los sistemas de buses en serie individuales. Dichos módulos de comunicaciones CC intercambian paquetes de datos con los buses de datos seriales, dichos paquetes contienen datos de cabecera o administración y datos de uso o de gestión de datos. Por otro lado, los módulos de comunicaciones CC presentan una interfaz con el bus de sistema, es decir, con el bus de control, de datos y de dirección. A través de una interfaz pasiva, la CPU servidor puede acceder a una memoria de mensajes o comunicaciones contenida en un módulo de comunicaciones CC respectivo. El bus interno de sistema, que comprende el bus de datos DB, el bus de control SB y el bus de dirección AB, está unido a todos los módulos de comunicaciones CC de la pasarela. El bus de datos DB consiste en líneas de datos desde las cuales los datos son transmitidos de una unidad conectada al bus a otra unidad. La CPU controla la transferencia de datos mediante el bus de control SB. El bus de dirección AB sirve para la selección de datos que son leídos en

un módulo de comunicaciones CC o son inscritos en un módulo de comunicaciones. La CPU recibe o emite datos mediante un registro interno de datos de la CPU. Las figuras 2, 3 muestran el desarrollo de una transferencia de datos en una pasarela convencional acorde al estado actual de la técnica. En el caso del ejemplo representado en las figuras 2, 3, los datos se transfieren de un bus en serie de campo FB1 a un bus en serie de campo FB2. Primero se lleva a cabo, como se puede observar en la figura 2, un acceso de lectura de la CPU al módulo de comunicaciones CC1, conectado al bus en serie FB1. La CPU selecciona los datos por leer estableciendo una dirección a través del bus de dirección AB y enviando las correspondientes señales de control al bus de control SB. El módulo de comunicaciones CC1 recibe datos empacados en los paquetes de datos DP, a través de un bus en serie de campo FB1 y envía los datos seleccionados en una o una pluralidad de palabras de datos DW al bus interno de datos DB y lo señala a las líneas de estado, correspondientes a la CPU, del bus de control SB. La CPU toma los datos que se encuentran en el bus de datos DB, y los almacena en un registro interno de la CPU. Luego se reinician las señales de control en el bus de control SB.

En una segunda fase, se transfieren los datos transmitidos al registro de la CPU al segundo módulo de comunicaciones CC2. En la segunda transferencia de bus, los datos leídos en los módulos de comunicaciones 1 son transmitidos del registro interno de la CPU al segundo módulo de comunicaciones CC2. Para ello, la CPU pone los datos por transmitir en el bus de datos DB y selecciona la correspondiente dirección de destino del segundo módulo de comunicaciones. Posteriormente, la CPU inicia la transferencia de datos fijando las correspondientes líneas de control del bus de control SB. El segundo módulo de comunicaciones CC2 toma los datos colocados en el bus de datos y lo señala, a su vez, a la CPU mediante las líneas de estado del bus de control SB. Posteriormente, la CPU reinicia las líneas de control, las líneas de datos y las líneas de dirección. También el segundo módulo de comunicaciones CC2 reinicia las señales de control en las líneas de estado.

Como podemos observar en las figuras 2, 3, en el caso de una pasarela convencional, la transferencia de datos se lleva a cabo de un primer bus de campo FB1 a un segundo bus de campo FB2 en dos fases, a saber, en un proceso de lectura, en donde los datos del primer módulo de comunicaciones 1 son leídos por la CPU, y en un proceso de escritura, en donde los datos leídos son inscritos posteriormente en un segundo módulo de comunicaciones CC2.

Una desventaja en el caso del modo de proceder convencional para la transmisión de datos con la pasarela convencional, acorde al estado actual de la técnica, representada en la figura 1, consiste en que la transferencia de datos entre dos buses en serie de campo FB1, FB2 posee una duración relativamente alta, es decir, el tiempo de latencia necesario para la transferencia de datos es relativamente elevado. Otra desventaja de la pasarela convencional consiste en que la transferencia de datos se lleva a cabo a través de la CPU, es decir, la CPU es cargada durante la transferencia de datos y no pueden realizar otras operaciones de procesamiento de datos durante este tiempo.

Por tanto, el objeto de la presente invención es presentar una pasarela para la transferencia de datos en-

tre buses en serie que presente un tiempo de latencia muy bajo para una transferencia de datos entre buses en serie.

Este objetivo se alcanza acorde a la invención, a través de una pasarela con las características indicadas en la reivindicación 1.

La presente invención comprende una pasarela para la transferencia de datos entre buses en serie con:

- una pluralidad de módulos de comunicaciones provistos para la respectiva conexión de un bus en serie y que ejecutan una conversión entre paquetes de datos y palabras de datos,
- un bus maestro que controla mediante un bus interno de control una transferencia palabra por palabra de datos a través de un bus de datos interno entre dos módulos de comunicaciones,

en donde el bus maestro aplica una dirección fuente a través de un bus de dirección fuente sobre un primer módulo de comunicaciones de emisión interna y una dirección de destino a través de un bus separado de dirección de destino sobre un segundo módulo de comunicaciones de recepción interna, asimismo, los datos recibidos en paquetes de datos por el primer módulo de comunicaciones a través de un bus en serie conectado a él, son transferidos palabra por palabra directamente y sin un almacenamiento en memoria intermedia, a través de un bus de datos interno y en uno o una pluralidad de palabras de datos, del primer módulo de comunicaciones al segundo módulo de comunicaciones, que envía dichos datos transferidos en paquetes de datos a través de un segundo bus en serie conectado al segundo módulo de comunicaciones.

En el caso de un modo de ejecución, los buses en serie están conformados por buses de campo FB.

En un modo de ejecución de la pasarela acorde a la invención, el bus en serie es un bus Ethernet.

En un modo de ejecución de la pasarela acorde a la invención, el bus maestro está formado por un procesador.

En un modo de ejecución de la pasarela acorde a la invención, el bus maestro es un bus controlador DMA.

En un modo de ejecución de la pasarela acorde a la invención, el bus maestro es una FSM (Finite State Machine).

En un modo de ejecución de la pasarela acorde a la invención, la transferencia directa de datos se lleva a cabo de un primer módulo de comunicaciones a un segundo módulos de comunicaciones en un único ciclo de reloj.

En el caso de un modo de ejecución de la pasarela acorde a la invención, están conectados respectivamente actuadores y sensores a los buses en serie.

En un modo de ejecución de la pasarela acorde a la invención, el bus de datos presenta una pluralidad de líneas de datos paralelos para la transmisión de una palabra de datos.

A continuación se describen modos de ejecución preferidos de la pasarela acorde a la invención, haciendo referencia a las figuras adjuntas para explicar las características esenciales de la invención.

Se muestran:

Figura 1: una vista de una configuración modular de una pasarela conforme al estado actual de la técnica;

Figura 2: un diagrama de bloques de una pasarela

para la explicación de un proceso de lectura interno en la pasarela convencional acorde a la figura 1;

Figura 3: un diagrama de bloques para la representación de un proceso interno de escritura en una pasarela convencional acorde al estado actual de la técnica según la figura 1;

Figura 4: un diagrama de bloques de un modo de ejecución de la pasarela acorde a la invención;

Figura 5: un diagrama de bloques para la explicación de una transferencia de datos en la pasarela acorde a la invención representada en la figura 4.

La figura 4 muestra un modo de ejecución de la pasarela 1 acorde a la invención para la transferencia de datos entre diferentes buses en serie. La pasarela 1 contiene una pluralidad de módulos de comunicaciones 2, provistos para la respectiva conexión de un bus en serie 3. En el caso de los buses en serie 3, 6 se puede tratar, por ejemplo, de buses de campo. De modo alternativo, en el caso de los buses en serie puede tratarse también de buses Ethernet. Los buses en serie de campo posibles son un bus CAN, un bus FlexRay, un bus MOST o un bus LIN. A través de los buses en serie 3-i se transmiten los datos en forma de paquetes, asimismo, los paquetes de datos transmitidos comprenden datos de administración o de cabecera y datos de uso o de gestión. La pasarela acorde a la invención cuenta con un bus interno de sistema, que comprende un bus interno de datos 4, un bus interno de control 5, un bus de dirección fuente 6 y un bus de dirección de destino 7. Al bus de sistema se le conecta, al menos, una unidad de procesamiento de datos 8 en forma de un procesador y una memoria de datos 9. La CPU 8 forma el bus maestro para el bus interno de sistema. La pasarela acorde a la invención 1 contiene dos buses de dirección separados, a saber, un bus de dirección fuente 6 y un bus de dirección de destino 7. La CPU controla, a modo de bus maestro y a través del bus interno de control 5, una transferencia de datos palabra por palabra a través del bus interno de datos 4 entre dos módulos de comunicaciones 2, a su vez, la CPU 8 como bus maestro aplica una dirección fuente a través de un bus de dirección fuente 6 sobre un primer módulo de comunicaciones 2 de emisión interna y una dirección de destino a través de un bus separado de dirección de destino 7 sobre un segundo módulo de comunicaciones de recepción interna. Si, por ejemplo, se desea realizar una transferencia de datos del primer bus en serie de campo 3-1 al segundo bus en serie de campo 3-2, los paquetes de datos recibidos en el primer bus en serie 3-1 son convertidos en palabras de datos a través del primer módulo de comunicaciones 2-1. Las palabras de datos son transferidas a través del bus de datos interno 4 del módulo de comunicaciones de origen 2-1 al módulo de comunicaciones de destino 2-2 y allí son reunidas en un paquete de datos transmitidas a través de un segundo bus en serie 3-2. La transferencia de datos se lleva a cabo, a su vez, a través del bus interno de datos 4, directamente sin un almacenamiento en memoria intermedia en la CPU 8. La transferencia de datos sólo es controlada por la 8 como bus maestro a través del bus de control 5. La CPU 8 selecciona el módulo de comunicaciones emisor 2-1 fijado la correspondiente dirección fuente en el bus de dirección fuente 6 y selecciona el módulo de comunicaciones receptor 2-2 fijando una dirección de destino en el bus de dirección de destino 7.

La figura 5 muestra la transferencia de los datos

de un primer bus de campo 3-1 y un segundo bus de campo 3-2. La CPU 8 selecciona el módulo de comunicaciones 2-1 fijando la dirección fuente SA en el bus interno de dirección 6 y el segundo módulo de comunicaciones 2-2 fijando una dirección de destino DA en el bus de dirección de destino 7. La transferencia de datos de las palabras de datos DW a través del bus interno de datos 4 se lleva a cabo directamente sin un almacenamiento en memoria intermedia en la CPU 8. La transferencia de datos entre ambos módulos de comunicaciones 2-1, 2-2 se lleva a cabo en un solo paso de transferencia de bus.

En un modo de ejecución de la pasarela acorde a

la invención 1 la transferencia de bus se lleva a cabo en un único ciclo de reloj de la CPU sincrónica.

Utilizando dos buses de dirección separados 6, 7 es posible una transferencia de datos directa entre dos módulos de comunicaciones  $2_i$ ,  $2_j$  sin un almacenamiento en memoria intermedia. La pasarela acorde a la invención 1 reduce a la mitad el tiempo de latencia de una transferencia de datos. otra ventaja de la pasarela acorde a la invención 1 consiste en que la carga de bus con la misma cantidad de transferencia de datos también se reduce a la mitad, de modo que hay más reservas de bus disponibles debida a una carga reducida del bus.

15

20

25

30

35

40

45

50

55

60

65

## REIVINDICACIONES

1. Pasarela para transferencia de datos entre buses en serie (3) con:

- (a) una pluralidad de módulos de comunicaciones (2), provistos para la respectiva conexión de un bus en serie (3) y que ejecutan una conversión entre paquetes de datos (DP) y palabras de datos (DW);
- (b) un bus maestro (8) que controla mediante un bus interno de control (5) una transferencia de datos palabra por palabra, a través de un bus interno de datos (4) entre dos módulos de comunicaciones (2),  
en donde el bus maestro (8) aplica una dirección fuente (SA) a través de un bus de dirección fuente (6) sobre un primer módulo de comunicaciones de emisión interna (2-1) y una dirección de destino (DA) a través de un bus separado de dirección de destino (7) sobre un segundo módulo de comunicaciones de recepción interna (2-2);
- (c) en donde, los datos recibidos en paquetes de datos (DP) por el primer módulo de comunicaciones (2-1) a través de un bus en serie (3-1) conectado a él, son transferidos palabra por palabra, directamente y sin un almacenamiento en memoria intermedia, a través de un bus de datos interno

(4) y en una o una pluralidad de palabras de datos, del primer módulo de comunicaciones (3-1) al segundo módulo de comunicaciones (2-2), que envía dichos datos transferidos en paquetes de datos (DP) a través de un segundo bus en serie (3-2) conectado al segundo módulo de comunicaciones (2-2).

2. Pasarela acorde a la reivindicación 1, en donde el bus en serie (3) es un bus de campo.

3. Pasarela acorde a la reivindicación 1, en donde el bus en serie (3) es un bus Ethernet.

4. Pasarela acorde a la reivindicación 1, en donde el bus maestro (8) es un procesador.

5. Pasarela acorde a la reivindicación 1, en donde el bus maestro (8) es un controlador DMA.

6. Pasarela acorde a la reivindicación 1, en donde el bus maestro (8) es una máquina de estado finito (FSM o Finite State Machine).

7. Pasarela acorde a la reivindicación 1, en donde la transferencia directa de datos se lleva a cabo de un primer módulo de comunicaciones (2-1) a un segundo módulo de comunicaciones (2-2) en un ciclo de reloj.

8. Pasarela acorde a la reivindicación 1, en donde están conectados respectivamente actuadores y sensores a los buses en serie (3).

9. Pasarela acorde a la reivindicación 1, en donde el bus de datos interno (4) presenta una pluralidad de líneas de datos paralelos para la transmisión de una palabra de datos.

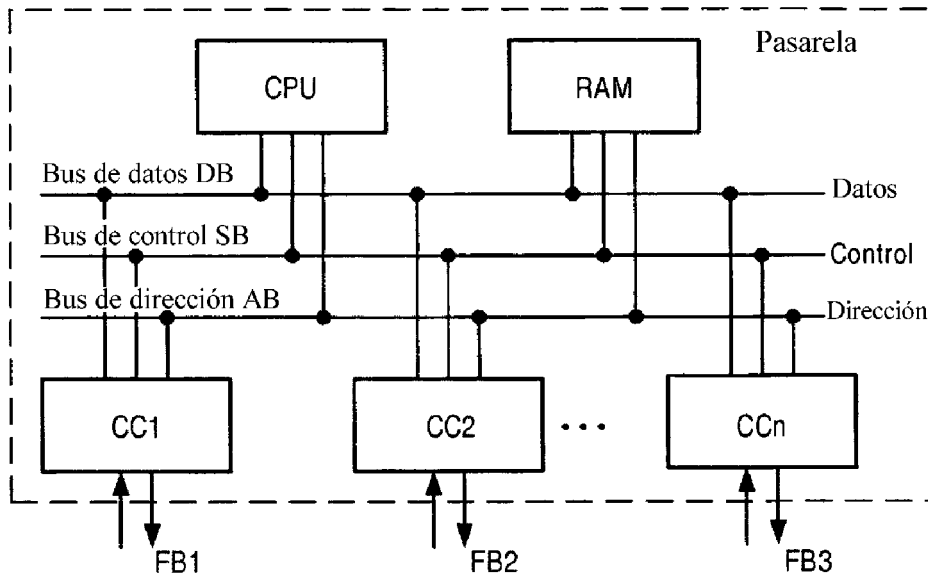


Fig. 1 Estado actual de la técnica

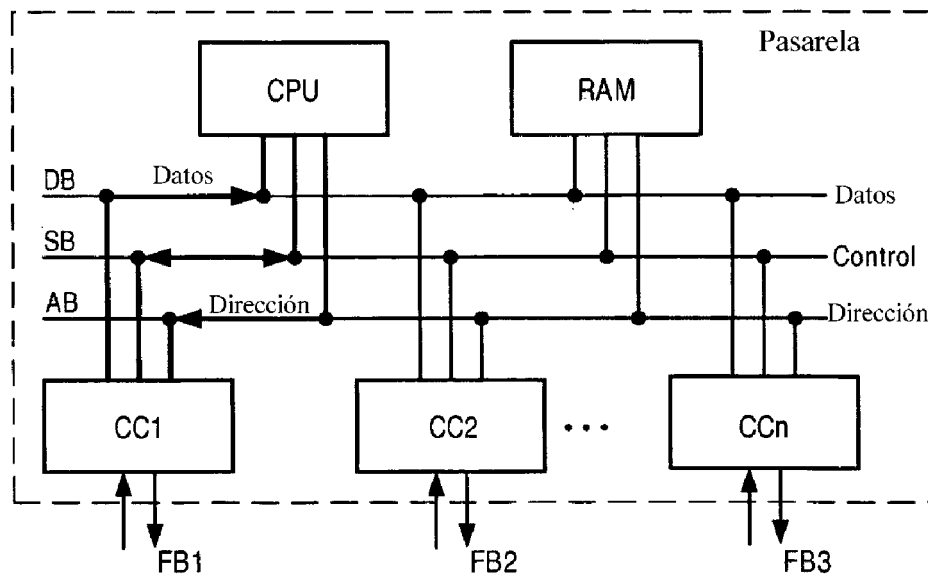


Fig. 2 Estado actual de la técnica

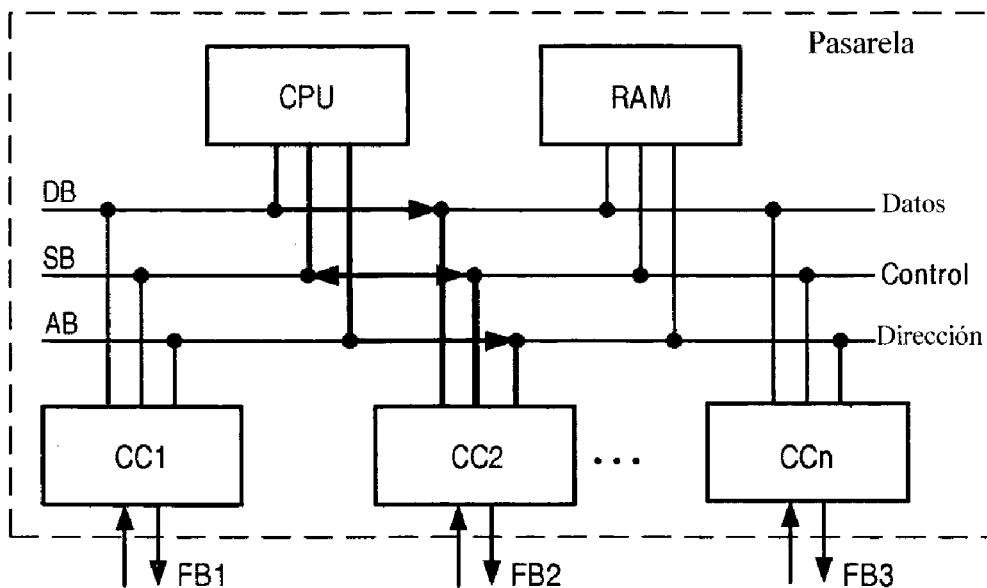


Fig. 3 Estado actual de la técnica

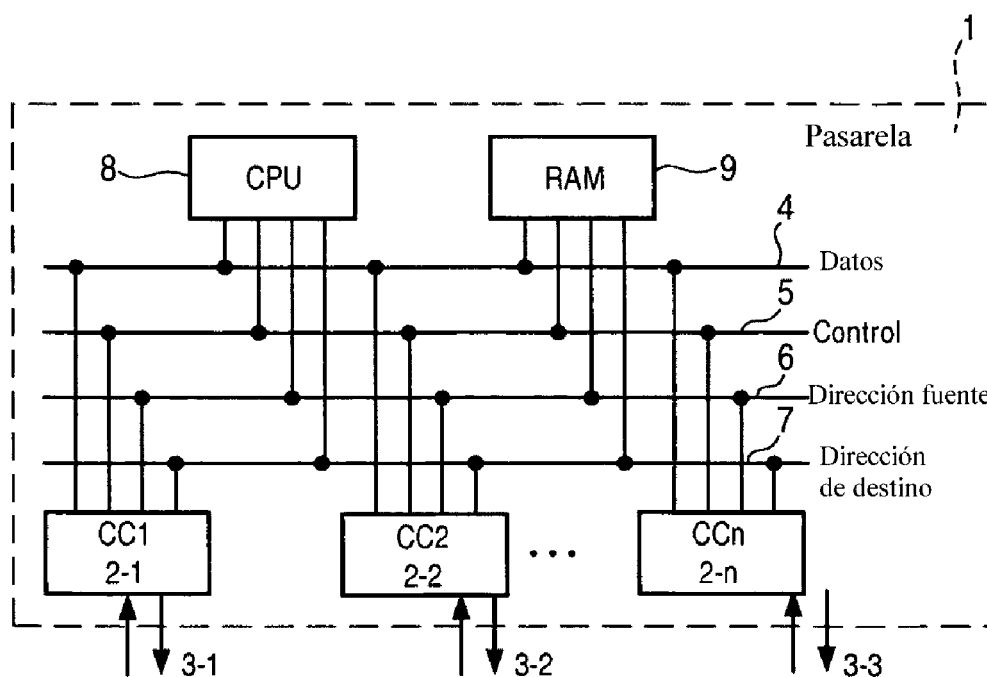


Fig. 4

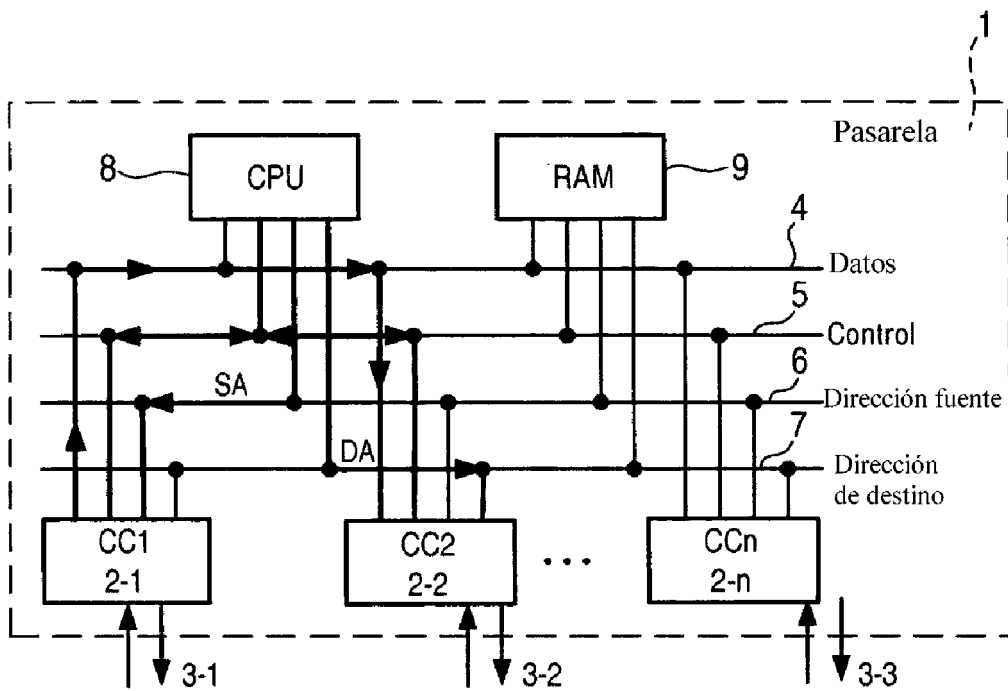


Fig. 5