

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3682082号
(P3682082)

(45) 発行日 平成17年8月10日(2005.8.10)

(24) 登録日 平成17年5月27日(2005.5.27)

(51) Int.C1.⁷

F 1

H04L 12/56

H04L 11/20 102F

H04Q 3/52

H04Q 3/52 101Z

H04Q 11/04

H04Q 11/04 R

請求項の数 21 (全 18 頁)

(21) 出願番号

特願平7-33363

(22) 出願日

平成7年2月22日(1995.2.22)

(65) 公開番号

特開平7-273799

(43) 公開日

平成7年10月20日(1995.10.20)

審査請求日

平成13年12月5日(2001.12.5)

(31) 優先権主張番号

207520

(32) 優先日

平成6年3月8日(1994.3.8)

(33) 優先権主張国

米国(US)

(73) 特許権者 591016172

アドバンスト・マイクロ・ディバイシズ・
インコーポレイテッドADVANCED MICRO DEVI
CES INCORPORATED

アメリカ合衆国、94088-3453

カリフォルニア州、サニーベイル、ビィ・
オウ・ボックス・3453、ワン・エイ・
エム・ディ・プレイス、メイル・ストップ
・68(番地なし)

100064746

弁理士 深見 久郎

100085132

弁理士 森田 俊雄

最終頁に続く

(54) 【発明の名称】パケットスイッチングネットワークにおけるパケット処理のための装置および方法ならびにフレームリレーネットワークのためのフレーム処理システム

(57) 【特許請求の範囲】

【請求項 1】

送信データ端末から受信したデータをアドレスフィールドを有するデータパケットに変換するためのデータ受信手段と、前記データパケットを一時的に記憶するためのパケットバッファ手段と、前記バッファ手段から読み出した前記データパケットを受信データ端末に送信されるデータに変換するためのデータ送信手段とを有するパケットスイッチングネットワークにおける、パケット処理のための装置であって、

前記データパケットを受信するためのパケット受信器と、

前記アドレスフィールドを前記データパケットから抽出するためのアドレス抽出器と、

前記アドレスフィールドにより指定されたセルに記憶された、変換されたアドレスデータおよびコントロールデータを与えるための変換メモリと、

前記コントロールデータに応答して、前記データパケットにおける前記アドレスフィールドを前記変換されたアドレスデータと置換するための、アドレス置換回路と、

前記変換されたアドレスデータを有する前記データパケットを前記パケットバッファ手段に転送するためのパケットコントロール回路と、

前記パケットコントロール回路からのコントロールメッセージに応答して、前記パケットバッファ手段から前記データパケットを読み出し、前記データパケットを前記データ送信手段に転送するためのパケット送信器とを含み、

前記変換メモリは、前記データパケットのアドレスフィールドにより指定されたセルに記憶されたコントロールデータに応答して、前記データパケットを前記ネットワークのコ

10

20

ントロールプロセッサに送り、

応じて前記コントロールプロセッサは、前記コントロールデータを用いて前記変換メモリの内容を実時間で更新する、パケット処理のための装置。

【請求項 2】

前記パケットコントロール回路は、前記コントロールデータに応答して、前記コントロールメッセージを形成する、請求項 1 に記載の装置。

【請求項 3】

前記データパケットは、フレームリレー要求に従うフォーマットのデータフレームを含む、請求項 1 に記載の装置。

【請求項 4】

前記データパケットは、セルリレー要求に従うフォーマットのデータセルを含む、請求項 1 に記載の装置。

【請求項 5】

前記データパケットは、前記パケットコントロール回路により検査されるパケット検査フィールドを含む、請求項 1 に記載の装置。

【請求項 6】

フレームリレーネットワークのためのフレーム処理システムであって、

フレームリレーネットワークを介して、データフレームスイッチングを与えるためのフォーマットの入来アドレスフィールドを有するデータフレームを受信するための手段と、

前記受信手段に応答して、前記データフレームから前記入来アドレスフィールドを抽出するための手段と、

前記入来アドレスフィールドに応答して、前記受信手段に宛先アドレスフィールドおよびコントロールデータを与えるための記憶手段と、

前記記憶手段に応答して、前記入来アドレスフィールドを前記宛先アドレスフィールドと置換えるためのフレームコントロール手段と、

前記フレームコントロール手段に応答して、前記宛先アドレスフィールドを有する前記データフレームを一時的に記憶するためのバッファ手段と、

前記記憶手段の前記コントロールデータによって指定され、前記バッファ手段から前記データフレームのデータを読み出し、かつ前記宛先アドレスフィールドに従って前記データを送信するためのデータフレーム送信手段とを含み、

前記記憶手段は、前記データフレームに含まれるコントロール情報に応じて、前記データフレームの情報をコントロールプロセッサに供給し、

応じて前記コントロールプロセッサは、前記記憶手段の内容を実時間で変更する、フレーム処理システム。

【請求項 7】

前記記憶手段は、前記宛先アドレスフィールドとコントロールデータとを、前記入来アドレスフィールドにより指定されたセルに記憶する、請求項 6 に記載のシステム。

【請求項 8】

前記コントロールデータがその入来アドレスフィールドがアクティブでないことを示すとき、前記受信手段により前記データフレームは廃棄される、請求項 6 に記載のシステム。

【請求項 9】

前記データフレーム送信手段は、前記データフレームコントロール手段からのコントロールメッセージに応答して、前記データフレームを前記バッファ手段から読み出す、請求項 6 に記載のシステム。

【請求項 10】

前記コントロールメッセージは前記バッファ手段のバッファユニットのアドレスを含み、そこから前記データフレームが読み出される、請求項 9 に記載のシステム。

【請求項 11】

前記データフレーム送信手段は、前記バッファ手段により与えられた前記データフレー 50

ムを記憶するための F I F O レジスタを含む、請求項 6 に記載のシステム。

【請求項 1 2】

前記データフレームは、前記 F I F O レジスタが満杯になるまで前記 F I F O レジスタに記憶される、請求項 1 1 に記載のシステム。

【請求項 1 3】

前記 F I F O レジスタは、前記 F I F O レジスタに完全なデータフレームが蓄積されるまでデータを記憶する、請求項 1 1 に記載のシステム。

【請求項 1 4】

送信データ端末から受信したデータをアドレスフィールドを有するデータパケットに変換するためのデータ受信手段と、前記データパケットを一時的に記憶するためのパケットバッファ手段と、前記バッファ手段から読出した前記データパケットを受信データ端末に送信されるデータに変換するためのデータ送信手段とを有するパケットスイッチングネットワークにおける、パケット処理の方法であって、

前記データパケットを受信するステップと、

前記データパケットから前記アドレスフィールドを抽出するステップと、

前記アドレスフィールドにより指定された記憶セルに記憶された、変換されたアドレスデータおよびコントロールデータを与えるステップと、

前記データパケット内の前記アドレスフィールドを前記変換されたアドレスデータと置換えるステップと、

前記変換されたアドレスデータを有する前記データパケットを前記パケットバッファ手段に転送するステップと、

前記コントロールデータに応答して、前記データパケットを前記パケットバッファ手段から読出すステップと、

前記データパケットを前記データ送信手段に与えるステップとを含み、

前記変換されたデータおよびコントロールデータを与えるステップは、

前記データパケットに含まれる前記コントロールデータに応答して、前記記憶セルに記憶された前記データパケットの情報をコントロールプロセッサに与えるステップを含み、応じて前記コントロールプロセッサは、前記記憶セルの内容を実時間で更新する、パケット処理の方法。

【請求項 1 5】

前記置換えるステップは、前記変換されたアドレスデータの妥当性を検証し、もし前記変換されたアドレスデータがアクティブでなければ、前記データフレームを廃棄するステップを含む、請求項 1 4 に記載の方法。

【請求項 1 6】

前記転送するステップは、前記データパケットのパケット検査フィールドを検査し、もしパケット検査フィールドが送信エラーを示せば、前記データパケットを廃棄するステップを含む、請求項 1 4 に記載の方法。

【請求項 1 7】

前記転送するステップは、もし前記パケットバッファ手段が利用可能なスペースを有さなければデータパケットを廃棄するために、前記パケットバッファ手段が前記データパケットを記憶するために利用可能なスペースを有するかどうか検査するステップを含む、請求項 1 4 に記載の方法。

【請求項 1 8】

前記送信するステップは、前記データフレームを F I F O レジスタにバッファする手段を含む、請求項 1 4 に記載の方法。

【請求項 1 9】

前記送信するステップはさらに、前記データフレームを前記送信手段に転送する前に、前記 F I F O レジスタが満杯であるかどうか検査するステップを含む、請求項 1 8 に記載の方法。

【請求項 2 0】

10

20

30

40

50

前記送信するステップはさらに、前記データフレームを前記送信手段に転送する前に、前記FIFOに完全なデータフレームが記憶されているかどうか検査するステップを含む、請求項1-9に記載の方法。

【請求項21】

前記コントロールプロセッサは、電源投入またはリセット条件の際に、前記変換メモリを既知の状態に初期化する、請求項1に記載の装置。

【発明の詳細な説明】

【0001】

【技術分野】

この発明は概してデータパケットスイッチングに関し、より特定的にはフレームリレーおよびセルリレーネットワークのためのパケット管理装置に関する。 10

【0002】

【背景技術】

高速パケットネットワークの基本概念は、インテリジェントエンドユーザシステム、信頼性のあるディジタル伝送設備、および高速通信システムに見受けられる。高速通信を必要とするコンピュータアプリケーションの成長と、インテリジェントPCおよびワークステーションの普及と、エラーフリーの高速伝送路がますます利用可能になったことが結合して、新形態の広域ネットワークスイッチングの必要を生み出した。この新しいスイッチング技術は、仮想回線ベースでの高速、低遅延、ポート共有および帯域幅共有を必要とする。TDM回線スイッチングは最初の2つの特徴を提供し、X.25パケットスイッチングは、後の2つの特徴を提供する。高速パケット技術は、新形態の「パケットモード」スイッチングとして、4つの特徴すべてを提供すべく開発され、この4つの特徴はともに、高速パケットネットワークを、LAN-WANインターネットworkingにおいて見受けられるバースト的トラヒックソースに対する理想的な解決とする。 20

【0003】

高速パケット技術は、ユーザに対し、性能(応答時間)を向上させる能力、および数多くの重要な形式のネットワークアプリケーションに対して伝送コストを大きく低減する能力を与える。効果的であるためには、高速パケットネットワークが以下の3つの条件を満たすことが必要である。

【0004】

(1) 末端装置はインテリジェント上位層プロトコルを実行していなければならない。 30

【0005】

(2) 伝送路は実質的にエラーフリーでなければならない。

(3) アプリケーションは可変の遅延を許容しなければならない。

【0006】

X.25パケットスイッチングおよびTDM回線スイッチングといったその他の広域ネットワークスイッチング技術は、回線の品質が良くない場合、ネットワークそのものがエラーフリーの配信を保証せねばならないとき、またはトラヒック(たとえばビデオまたは音声)が遅延を許容しないときには、なおも重要性を持つであろう。

【0007】

高速パケットネットワークは、統計的多重化およびポート共有の特徴を用いる「パケットモード」サービスを提供する。しかしながら、X.25とは異なり、高速パケットネットワークは第3層でのすべての処理を完全に排除する。さらに、高速パケットネットワークは、有効なエラーフリーフレームに対する検査を含むがエラーが発見されたとき再送信を要求しない、第2層の一部分、いわゆる「コアアスペクト」しか利用しない。したがって、一連番号、ウインドウローテーション、肯定応答および監視パケットといったプロトコル機能は、高速パケットネットワーク内では実施されない。高速パケットネットワークからこれほど多くの機能を除去した結果、スループット(すなわち、所与のハードウェアコストに対し1秒間に処理できるフレームの数)が大幅に増加する。なぜなら、各パケットに必要な処理が遙かに少なくなるからである。同じ理由で、高速パケットネットワーク 40

における遅延は、X.25における遅延よりも小さいが、処理を全く行なわないTDMネットワークよりは依然として大きい。

【0008】

高速パケットネットワークからそれほど多くの機能を排除することを可能にするためには、末端装置は、エラーフリーのエンドツーエンドデータ送信の保証の責任を負わねばならない。実際は、ますます多くの末端装置、特にLANに接続される装置が、その機能を果たすインテリジェンスおよび処理能力を有しつつある。

【0009】

フレームリレーおよびセルリレーは、高速パケット技術の2つの部門をなしている。フレームリレーは、僅か数文字から1000を優に超える文字にわたる可変長を有するフレーミング構造を用いる。この特徴は、X.25と共有のものだが、可変長フレームサイズを必要とするLANおよびその他の同期データトラヒックのソースにおいて、フレームリレーを十分に動作させるうえで非常に重要である。このことはまた、トラヒックが遭遇する遅延（常にX.25よりは小さい）が、送られるフレームのサイズによって変化することを意味する。トラヒックの中には、遅延、特に可変の遅延を許容しないものもある。音声がその1つの例であり、ビデオがもう1つの例である。この理由のため、フレームリレーは、このような遅延に影響されやすいトラヒックを搬送するには十分には適していない。他方、フレームリレーは、LAN間のトラヒックといったバースト的なデータソースの要求には非常によく整合する。

【0010】

X.25パケットと比較すると、フレームリレーは、フレームの最初にヘッダを付け加えることにより、フレーム構造を少し変えている。フレームリレーヘッダは、特定の宛先に対応するフレームリレー仮想回線番号である、データリンク接続識別子（DLCI）を含む。LAN-WANインターネットワーキングの場合には、DLCIは宛先LANが接続されているポートを表示する。DLCIは、フレームリレーネットワークノードに入来するデータが、ネットワーク内で送られるのを、以下の3つのステップ処理を用いて可能にする。

【0011】

1. フレームチェックシーケンス（FCS）を用いてフレームの整合性を検査し、エラーを示していればそのフレームを廃棄する。

【0012】

2. テーブル内でDLCIをルックアップし、DLCIがこのリンクのために規定されていなければそのフレームを廃棄する。

【0013】

3. フレームをテーブルで特定されたポートまたはトランクに送ることにより、その宛先にリレーする。

【0014】

フレームリレーデータが廃棄される2つの主な理由は、フレーム内のエラーの検出およびふくそうの発生（ネットワークがオーバロード状態）である。フレームの廃棄は、PC、ワークステーションおよびホストといった末端装置におけるインテリジェンスのため、通信の整合性を妨げるものではない。これらのインテリジェント装置は、ネットワーク内のデータの損失を検出し、回復することができる複数レベルプロトコルで動作している。末端装置における上層プロトコルは、送受信される様々なフレームの一連番号の追跡を続ける。肯定応答が送られ、送信側末端に、どのフレーム番号がうまく受取られたかを知らせる。もし一連番号が欠けている場合、受信側末端は、再送信を要求する。このような態様で、末端装置は、すべてのフレームが最終的にはエラーなしに受信されることを保証する。

【0015】

図1は、フレームリレーハイレベルデータリンクコントロール（HDL C）フォーマットのフィールド図であり、フレームを区切るために用いられるフラグ領域を含み、その後に

10

20

30

40

50

はフレームリレーのアドレス指定メカニズムを示す D L C I 領域が続く。 D L C I は、フレームリレーフレームの第 2 のオクテットの 6 つの最上位ビットと、第 3 のオクテットの 4 つの最上位ビットとから構成されている。第 2 のオクテットの D L C I ビットの後には指令 / 応答 (C / R) 表示ビットが続く。拡張アドレス (E A) ビットの値に従い、さらなるビットを使って、 D L C I を 10 ビットを超えて拡張し完全な D L C I を構成してもよい。図 1 に示されている 2 オクテットの D L C I は 1024 のアドレスをカバーしている。フレームリレーの現在の実現においては、米国規格協会 (A N S I) 仕様により、 D L C I の値の割当には幾つかの制限が設けられている。 D L C I 0 は、インチャネルコードルコントロールシグナルのために予約されている。 D L C I 1 から 15 までおよび 1008 から 1022 までは、将来に使用するために予約されており、 D L C I 1023 はローカル管理インターフェース (L M I) 通信のために予約されている。したがってユーザのデータが使用できるのは、 16 から 1007 までの 992 の D L C I である。 D L C I 16 - 991 は論理接続に割当てられ、 D L C I 992 - 1007 は、第 2 層の管理に用いられる。

【 0016 】

D L C I 領域の後には、順方向明示ふくそう通知 (F E C N) および逆方向明示ふくそう通知 (B E C N) ビットが続く。 F E C N ビットは、ふくそう回避手続がフレームの方向 (ソース ネットワーク 末端) に進められねばならないことを示している。このビットは、受信側末端が、宛先制御された送信器の速度を調節するために使われてもよい。末端は、応答 / 肯定応答につながるメッセージの伝送速度を下げねばならない。

【 0017 】

B E C N ビットは、ふくそう回避手続がフレームの逆方向 (末端 ネットワーク ソース) に進められねばならないことを示している。このビットは、受信側末端が、ソース制御された送信器の速度を調節するために使われてもよい。ソースは、ネットワークへのすべての伝送速度を下げねばならない。

【 0018 】

廃棄適格 (D E) ビットは、ネットワークのふくそう状態におけるフレームの廃棄に対する、フレームの適合性を示すために用いられる。適合を示されたフレームは、ふくそうの間、その他のフレームよりも優先して廃棄されねばならない。

【 0019 】

可変長の情報フィールドは、フレームリレーでは解釈されないユーザがコントロールするデータおよび情報を運ぶ。

【 0020 】

情報フィールドに続く 2 つのオクテットのフレームチェックシーケンス (F C S) フィールドは、フレームが送信の間壊されていないことを確かめるために用いられる。 F C S は、巡回冗長検査 (C R C) 多項式を、フレームのアドレスフィールドの第 1 ビットからフレームの情報フィールドの最終ビットまで適用した結果である。 F C S は装置によって計算され、宛先装置によって再計算される。もしこの 2 つの F C S が整合しなければ、フレームは廃棄される。 F C S の後にはクローズフラグが続く。

【 0021 】

セルリレーは、高速パケット技術のもう 1 つの部門をなしている。フレームリレーと同様、セルリレーは、インテリジェント末端システム、信頼性のあるデジタル伝送設備、および広帯域幅の容量を必要とする。フレームリレーとセルリレーの主要な違いは、転送される情報の単位である。フレームリレーは可変長の「フレーム」で情報を転送するのに対し、セルリレーは、固定長の「セル」で情報を転送する。

【 0022 】

フレームリレープロトコルは、表 1 で記載された規格で規定されている。セルリレーは A T M および 802.6 D Q D B 規格で規定されている。

【 0023 】

【表 1】

10

20

30

40

50

| 組 織 | 規 格 | 規 定 |
|-------------------------|-------------------------|---|
| ANSI (米国規格協会) | T1.606-1990 | サービス総合ディジタルネットワーク (ISDN) (Integrated Services Digital Network) フレームリレーべアラサーバー (Frame Relaying Bearer Service) フレームリレーべアラサービスのためのアーキテクチャ概略およびサービス規定 (Architectural Framework and Service Description for Frame Relaying Bearer Service) |
| ANSI | T1SI/90-175R4 | T1.606のアデンダム (Addendum to T1.606) |
| ANSI | T1SI/88-2242 | フレームリレーべアラサーバー アーキテクチャ概略およびサービス規定 (Frame Relay Bearer Service-Architectural Framework and Service Description) |
| ANSI | T1SI/90-214 (T1.6ca) | DSSI・フレームリレーべアラサービス利用のためのフレームプロトコルのコアアспект (Core Aspects of Frame Protocol for Use with Frame Relay Bearer Service) |
| ANSI | T1SI/90-213 (T1.6fr) | フレームリレーべアラサービスのための信号仕様 (Signalling Specification for Frame Relay Bearer Service) |
| CCITT (国際電信電話 諮問委員会) | 1.122 | さらに追加のパケットモードべアラサービスを提供するための概略 (Framework for Providing Additional Packet Mode Bearer Services) |
| CCITT | 1.431 | 主要 (1544.2048Kbps) ISDN インタフェース (Primary (1544.2048Kbps) ISDN Interface) |
| CCITT | Q.922 | フレームモードべアラサービスのためのISDNデータリンク層仕様 (ISDN Data Link Layer Specification for Frame Mode Bearer Service) |
| CCITT | Q.931 | ISDNネットワークプロトコル (ISDN Network Protocol) |
| CCITT | Q.933 | フレームモードべアラサービスのためのISDN信号仕様 (ISDN Signalling Specification for Frame Mode Bearer Services) |

【0024】

現在、フレームリレーおよびセルリレー プロトコルはソフトウェアにおいて実現されており、そのスループットは、パケットスイッチングのソフトウェアサポートを提供するシステムの処理能力により制限される。ゆえに、ソフトウェアベースの高速パケットスイッチングネットワークにおける処理上のボトルネックを排除するために、フレームリレーおよ

びセルリレーがハードウェアにおいて実現される必要がある。したがって、ハードウェアにおいてフレームまたはセルリレープロトコルをサポートするために、パケットアドレス変換およびパケットルーティングを行なうことのできるパケット管理装置を提供することが望ましいであろう。

【0025】

【発明の開示】

この発明の1つの利点は、ハードウェアにおけるフレームリレーおよびセルリレープロトコルをサポートするパケット管理装置を提供することである。

【0026】

この発明の他の利点は、高速パケットスイッチングに関連する処理上のボトルネックを排除するパケット管理装置を提供することである。 10

【0027】

この発明の上記およびその他の利点は、少なくとも、部分的には、送信データ端末から受信したデータをアドレスフィールドを有するデータパケットに変換するためのデータ受信手段と、データパケットを一時的に記憶するためのパケットバッファ手段と、バッファ手段から読出したデータパケットを受信データ端末に送信されるデータに変換するためのデータ送信手段とを含むパケットスイッチングネットワークに、データパケットを受信するためのパケット受信器を含む、パケット処理のための装置を提供することにより達成される。アドレスフィールドが、アドレス抽出器によりデータパケットから分離される。抽出されたアドレスフィールドは、変換されたアドレスデータおよびコントロールデータを記憶する変換メモリ内のエントリを指定する。コントロールデータに応答して、アドレス置換回路は、データパケット内のアドレスフィールドを変換されたアドレスデータと置換する。パケットコントロール回路は、変換されたアドレスデータを有するデータパケットをパケットバッファ手段に転送する。パケットコントロール回路からのコントロールメッセージに応答して、パケット送信器は、パケットバッファ手段からデータパケットを読み出し、そのデータパケットをデータ送信手段に転送する。 20

【0028】

この発明の特定の局面に従えば、データパケットは、フレームリレー規格に適合するフォーマットのデータフレームまたはセルリレー規格に適合するフォーマットのデータセルを含み得る。 30

【0029】

ネットワークコントロールおよび保守機能として、変換メモリは、データパケットのアドレスフィールドにより指定されたセルに記憶されたコントロールデータに応答して、データパケットをネットワークのコントロールプロセッサに送る。変換メモリは、データパケットに応答して、コントロールプロセッサにより更新される。

【0030】

この発明の好ましい実施例に従えば、フレームリレーネットワークのためのフレーム処理システムは、フレームリレーネットワークを介してデータフレームスイッチングを提供するためのフォーマットにされた入来アドレスフィールドを有するデータフレームを受信するための手段を含む。受信手段に応答する手段が入来アドレスフィールドをデータフレームから分離する。入来アドレスフィールドに応答して、記憶手段は受信手段に宛先アドレスフィールドおよびコントロールデータを与える。フレームコントロール手段は、記憶手段に応答して、入来アドレスフィールドを宛先アドレスフィールドと置換する。バッファ手段は、フレームコントロール手段に応答して、宛先アドレスフィールドを有するデータフレームを一時的に記憶する。コントロールデータにより指定されたデータフレーム送信手段は、バッファ手段からデータフレームを読み出し、読み出したデータフレームを宛先アドレスフィールドに従って送信する。 40

【0031】

好ましくは、記憶手段は、入来アドレスフィールドにより指定されたセルに、宛先アドレスフィールドおよびコントロールデータを記憶する。コントロールデータが入来アドレス 50

フィールドがアクティブでないことを示すと、受信手段により、データフレームが廃棄されることもある。データフレーム送信手段は、データフレームコントロール手段からのコントロールメッセージに応答して、バッファ手段からデータフレームを読出す。コントロールメッセージは、データフレームが読出されるべきバッファ手段内のバッファユニットのアドレスを含み得る。

【0032】

この発明の1つの特徴に従えば、データフレーム送信手段は、バッファ手段により与えられたデータフレームを記憶するFIFOレジスタを含む。データフレームは、FIFOレジスタが満杯になるまで、またはFIFOレジスタに完全なデータフレームが蓄積されるまで、FIFOレジスタ内に記憶される。

10

【0033】

この発明の他の特徴に従えば、記憶手段は、データフレームに含まれるコントロール情報を、記憶手段の内容を更新するコントロールプロセッサに与える。

【0034】

この発明の方法に従えば、以下のステップが実行される。送信データ端末から受信したデータをアドレスフィールドを有するデータパケットに変換するためのデータ受信手段と、データパケットを一時的に記憶するためのパケットバッファ手段と、バッファ手段から読出したデータパケットを受信データ端末に送信されるデータに変換するためのデータ送信手段とを有する、パケットスイッチングネットワークにおいて、パケット処理の方法は、データパケットを受信するステップと、

20

データパケットからアドレスフィールドを分離するステップと、

アドレスフィールドにより指定された記憶セルに記憶された、変換されたアドレスデータおよびコントロールデータを与えるステップと、

データパケット内のアドレスフィールドを変換されたアドレスデータと置換えるステップと、

変換されたアドレスデータを有するデータパケットをパケットバッファ手段に転送するステップと、

コントロールデータに応答して、パケットバッファ手段からデータパケットを読出すステップと、

データパケットをデータ送信手段に送信するステップとを提供する。

30

【0035】

好ましい実施例において、変換されたアドレスデータの妥当性が検証され、もし変換されたアドレスデータがアクティブでなければ、データフレームが廃棄されることもある。さらに、データパケットのパケット検査フィールドが検査され、もしパケット検査フィールドが送信エラーを示していれば、データパケットが廃棄されることもある。またさらに、もしパケットバッファ手段に利用可能なスペースがなければそのデータパケットを廃棄するために、パケットバッファ手段にデータパケットを記憶するために利用可能なスペースがあるかどうか検査が行なわれることもある。

【0036】

データフレームはFIFOレジスタにバッファされてもよい。データフレームを送信手段に転送する前に、FIFOレジスタが満杯であるかどうかまたはFIFOレジスタに完全なデータフレームが記憶されているかどうかについての検査が行なわれることもある。

40

【0037】

この発明のさらにその他の利点は、以下の詳細な説明から当業者には容易に明らかになるであろう。その説明においては、この発明を実行することを意図する最高モードを簡潔に示すことにより、この発明の好ましい実施例のみが示され、説明される。この発明から逸れることなく、この発明にはその他および異なる実施例が可能であり、その幾つかの詳細には、明らかなあらゆる点においての修正が可能であることが理解されるであろう。したがって、図面および説明は、本質的に例示のものであり、制限的なものではないことが認識されるべきである。

50

【0038】

【発明の最良の実施態様】

この発明は、データパケット操作の分野に一般的に適用できるが、この発明を実施するための最良の態様は、パケットスイッチングネットワークを介して転送されるデータパケットが図1に示されるフレームリレーHDL Cフォーマットを有するという認識に、一部基づくものである。したがって、この発明の開示は、フレームリレーの分野において行なわれるが、この発明にはさらに広範囲のアプリケーションがあることが理解されるべきである。

【0039】

図2を参照して、フレームリレーネットワークにおいて、回線インターフェース装置(LID) LID_0 - LID_N が、入力/出力(I/O)通信線を通して、末端装置に結合されている。この開示をさらに明確にするために、図2では、LIDの受信部および送信部を、それぞれが、入力通信回線42-0から42-Nおよび出力通信回線52-0から52-Nに結合された、別々のブロック40-0から40-Nおよび50-0から50-Nとして示している。しかしながら、LID40および50は、I/O通信バスとともに双向回線インターフェースを設ける一体の装置として実現されるであろうことが理解される。LIDは、受信側では入力回線上の情報をクロック信号CLKおよび図1で示されたフォーマットを有するHDL Cフレームデータに物理変換することにより、このネットワークと、たとえば、同期の端末、非同期の端末またはT1回線といった特定のデータ端末との間のインターフェースの役割を果たす。送信側では、HDL Cフレームデータおよびクロック信号CLKは、末端装置に適したデータに変換される。変換の形式は、インターフェースされる回線によって定まる。変換の形式は、回線ジッタ、転送遅延などを補償するための何らかのバッファ能力を含んでもよい。非同期のデータ端末の場合、非同期からHDL Cへの変換を行なわなければならない。同期データ端末は、HDL C変換のためにタイムスロットを必要とするかもしれない。セルリーススイッチングをサポートするために、LIDは、回線インターフェースの機能に加え、セルの組立および分解を実施する。

【0040】

したがって、特定の末端装置をサポートするために、特定の形式のLIDが必要とされる。LIDの出力は一様のHDL Cフレームデータおよびクロックを提供するので、特定の回線インターフェース要求に対し適切なLIDを設置することにより、汎用モジュラスイッチを設けてもよい。このことにより、LIDデータ伝送速度にかかわらず、各LIDに対して同じネットワークハードウェアを繰返すことにより、システムのコストが低減する。様々な特定のLIDの構造は、「高速パケットネットワークのための回線インターフェース装置(Line Interface Device for Fast-Packet Network)」と題された本発明者の、同時係属中の出願に述べられており、ここに引用により援用する。

【0041】

スイッチングネットワークを通して転送されるデータフレームは、対応するフレームリレーパケット管理装置(FRYPAM)を通してLIDに結合されたフレームバッファRAM46内でバッファされる。受信FRYPAM部44-0から44-Nは、受信LID部40-0から40-Nから転送されたフレームキューの管理をそれぞれに与える。送信FRYPAM部54-0から54-Nは、フレームバッファRAM46から読み出したフレームを、送信LID部50-0から50-Nに、それぞれ転送する。

【0042】

上に示されたように、受信LIDから受信FRYPAMへの入力は、HDL CフレームデータおよびクロックCLKを含む。FRYPAMは、巡回冗長符号(CRC)を含む可能性のあるフレームのFCSフィールドを検査する。フレームは、もしCRCにエラーがあれば、廃棄される。さらに、FRYPAMは、受信されたフレームの10ビットのDLCIフィールドを得て、この値を、各受信FRYPAMに接続された変換(XLAT)RAM48へのアドレスとして利用する。

【0043】

10

20

20

30

40

50

F R Y P A M 4 4 - 0 から 4 4 - N にそれぞれ結合された各変換 R A M 4 8 - 0 から 4 8 - N は、図 3 に示される、宛先アドレスのリスト、接続アクティブビット、ポート選択フィールドおよびコントロールフィールドを有するルックアップテーブルを含む。フレームが F R Y P A M により受信されると、得られた D L C I アドレスフィールドはテーブル内の新規の宛先アドレスへのインデックスを与える。新規の宛先アドレスは、変換 R A M から読み出され、受信されたフレームのアドレスと置換えられる。同じインデックスが、宛先ポートを選択し、受信されたフレームで行なわれる追加の機能を決定するために用いられる。接続アクティブビットが、D L C I がアクティブでないことを示すと、そのフレームは廃棄される。

【 0 0 4 4 】

フレームがリレーされるべきなら、その D L C I は新規の宛先アドレスと置換えられ、受信 F R Y P A M は、書込コントロール信号 W R C N T L およびアドレス指定信号 A D D R を発生し、フレームバッファ R A M のロケーション内に残留するフレームデータとともに新規アドレスを書込む。フレームバッファ R A M 内に完全なフレームが記憶されると、受信 F R Y P A M は、すべての送信および受信 F R Y P A M を接続する内部 F R Y P A M 通信リンク 5 6 内を介して、宛先送信 F R Y P A M にパケット利用可能メッセージを送る。宛先 F R Y P A M の識別番号は、変換 R A M 内のルックアップテーブルから読み出される。パケット利用可能メッセージは、フレームバッファ R A M 内のフレームアドレスおよびフレーム長を示すバイト数を含む。送信 F R Y P A M は、送信が必要なすべてのフレームに対して送信キューを保守する。送信 F R Y P A M は、読み出コントロール信号 R D C N T L およびアドレス指定信号 A D D R を発生し、フレームバッファ R A M 4 6 からフレームを読み出し、それを、クロック信号 C L K とともに H D L C フォーマット (H D L C データ) で対応する送信 L I D 5 0 に送る。送信 L I D は、F R Y P A M からの H D L C データを、特定の回線インターフェースに適したフォーマットに変換する。この情報は、それから、通信回線 5 2 を通して受信末端装置またはデータ端末へ転送される。L I D と同様、F R Y P A M の受信および送信部は、一体の装置で実現されてもよい。フレーム処理手段は、受信および送信 F R Y P A M により実施され、その構造は後にさらに詳細に開示される。

【 0 0 4 5 】

もし変換 R A M 内のルックアップテーブルが、受信されたフレームがコントロールまたは保守情報を有することを示せば、送信 F R Y P A M は、スイッチングネットワーク内のコントロールおよび保守動作を処理する、コントロールおよび保守プロセッサ 6 0 に、このフレームを送る。プロセッサ 6 0 はこのコントロールおよび保守フレームを用いて、仮想接続が変更されたとき、変換 R A M の内容を実時間で更新する。プロセッサは、コール処理機能を果たし、スイッチされたサービスをサポートし、(たとえばループバック、エラーカウントといった) ネットワーク内の保守動作に応答するかまたはその動作を開始することもできる。さらに、コントロールおよび保守プロセッサ 6 0 は、すべての L I D を互いに接続するとともにプロセッサ 6 0 にも接続する内部 L I D リンク 5 8 を介して、D L C I および回線インターフェースパラメータを L I D に送る。

【 0 0 4 6 】

上に示されたように、受信 F R Y P A M は、受信されたフレームをフレームバッファ R A M 4 6 に書込む。複数の F R Y P A M が、複数のフレームバッファを有する共通のフレームバッファ R A M に書込をするのとともに、R A M の利用可能なフレームバッファの動的リストを保守するフレームバッファマネージャ 6 2 は、受信 F R Y P A M 動作に対しフレームバッファの割当を与える。F R Y P A M とフレームバッファマネージャとの間の通信は、すべての F R Y P A M を互いに接続するとともにフレームバッファマネージャ 6 2 にも接続するフレームバッファ割当リンク 6 4 を通して発生する。このリンクを通して、送信 F R Y P A M は、データが回線に送信されたとき、フレームバッファマネージャによる割当てられたバッファの解放を引き起こす割当解除信号を送る。フレームバッファは、すべての受信 F R Y P A M に対し、絶え間なくバッファを保守しようとする。もし利用可能

10

20

30

40

50

なバッファがなければ、受信されたフレームは廃棄される。すべてのフレームは、フレームバッファRAM内で、同じ大きさのスペースを割当てられている。このスペースは、ネットワークにおいて利用可能な最大のフレーム（典型的には4Kバイト）をバッファするのに十分な大きさであり得る。後にさらに詳細に示されるように、この割当はハードウェアにより実施されてもよい。

【0047】

各フレームに対するバッファの割当の大きさは固定されているので、セルリレースイッチングをサポートするために、フレームバッファRAM内で56バイトのフレームを割当することは可能である。この場合、LIDは、回線インタフェースの機能に加えて、セルの組立および分解を実施し得る。さらに、LIDは、セルヘッダからアドレス指定情報を得て、このデータを固定長のフレームのHDL Cフォーマットに変換できる。結果として、FRYPAM動作は、フレームリレースイッチングの場合と同じ方法で実施される。図2に示されたシステムの構造および動作は、1995年1月30日に出願され、同時係属中の、「データ転送のための通信システムおよびフレームリレーネットワークならびにデータパケットを転送する方法（Modular Architecture for Fast-Packet Network）」と題される出願にさらに詳細に開示されている。

【0048】

XLAT RAM48と相互作用するFRYPAMの受信部44を示す図4を参照されたい。上述のように、FRYPAMは、図1で示されるHDL Cフォーマットのデータとクロック信号とを与えられている。受信回路402は、HDL Cフレームおよびクロックを受信し、FCSフィールドにおけるCRC情報を検査する。受信された情報は、DLCI変換手順をコントロールする受信状態マシン404に与えられる。図1に示されるように、フラグフィールドに続く2つの8ビットのバイトは、10ビットのDLCIを含む。

【0049】

状態0のとき、受信状態マシンはHDL Cフレームのフラグを待つ。フラグが発見されれば、状態マシンは状態1に進む。

【0050】

状態1のとき、状態マシン404はフレームの次のバイトを検査する。次のバイトがフラグであれば、マシンは状態1のままである。次のバイトがアボート状態を示せば、マシンは状態0に戻る。次のバイトがデータであれば、データはマルチプレクサ408を通して第1バイトラッチに転送され、状態マシンは状態2に進む。バイトカウンタ414は、状態マシンにより処理されたデータバイトを、第1のデータバイトからカウントする。

【0051】

状態2のとき、受信状態マシンはフレームの次のバイトを検査する。次のバイトがフラグであれば、マシンは状態1に戻る。次のバイトがアボート状態を示せば、マシンは状態0に戻る。次のバイトがデータであれば、データはマルチプレクサ412を通して第2バイトラッチ410に転送され、マシンは状態3に進む。

【0052】

状態3のとき、状態マシン404は、第1および第2のバイトラッチ406および410からの16ビットのデータを、DLCI抽出器416を通してシフトし、受信した10ビットのDLCIフィールドを抽出する。マルチプレクサ418を通して、アドレスとしてこの10ビットの値はXLAT RAM48のアドレス入力に与えられる。同時に、マルチプレクサ420を通して、受信状態マシンは読み出イネーブル信号をXLAT RAM48に与え、10ビットのDLCIの値により示されるアドレスを有するロケーションからデータを読み出す。

上記のようにまた図3で示されるように、XLAT RAMは、宛先アドレス、接続アケティブビット、ポート選択フィールドおよび受信したフレームを用いて果たす機能のリストを含む。抽出されたDLCIの値はインデックスを提供し、受信されたフレームに対応するリストを読み出す。リストから読み出した新しい宛先アドレスは、ミキサ424のラッチ422に与えられる。XLAT RAMから読み出したコントロール情報は、コントロール

10

20

30

40

50

情報ラッチ426にロードされる。XLAT RAMが、受信されたフレームがコントロールおよび保守情報を搬送するコントロールフレームであることを示せば、バッファ428を介してコントロールフレームは、コントロールおよび保守プロセッサ60に与えられる。バッファ428は、XLAT RAMに書込まれたデータが正しいことを検証するために用いられる。

【0053】

上記のように、コントロールおよび保守プロセッサ60は、XLAT RAM48に記憶された情報を更新する責任がある。コントロールおよび保守プロセッサは、XLAT RAM48に対して、マルチブレクサ418を介してアドレス信号を、マルチブレクサ420を介して読出しイネーブル信号を、および書込イネーブル信号と書込まれるデータとを送る。プロセッサ60は、XLAT RAMに記憶されたDLCI、アクティビティ状態および宛先パラメータを更新し、電力が供給された後またはリセット状態の後にXLAT RAMを所定の状態に初期化する。また、コントロールおよび保守プロセッサが、XLAT RAMにアクセスして、メモリテストを実行し、ユニット428および420を介して接続情報を実時間で問合せてもよい。

【0054】

コントロール情報ラッチ426は、受信状態マシン404に新しい宛先アドレスがアクティブであるかどうかを決定するコントロール情報を与る。もしアクティブであれば、状態マシンはミキサ424に置換イネーブル信号を与え、ラッチ422からの新しい10ビットの宛先アドレスを、第1および第2のバイトラッチ406および410内の現在のDLCIフィールドにリライトする。バイトカウンタ414は2にセットされ、受信状態マシンは状態4に進み、受信されたデータフレームのフレームバッファRAM46への転送を開始する、割当開始信号をフレームコントロール状態マシン430に送る。

【0055】

コントロール情報が新しい宛先アドレスがアクティブでないことを示せば、受信状態マシンは状態0に戻る。

【0056】

状態4のとき、受信状態マシン404は、データフローの次のバイトが受信されたかどうかを決定する。もし受信されていれば、受信状態マシンはこのバイトを検査する。もしこれがフラグであれば、マシンは状態1に戻る。バイトがアボート状態を示せば、マシンは状態0に戻る。バイトがHDLC情報フィールドからのデータであれば、データはFIFOREジスタ432に書込みされ、バイトカウンタ414は増分される。次のバイトが第1のFCSフィールドからのCRCデータであると決定されれば、このCRCデータは記憶されず、バイトカウンタ414は増分されない。最後に、次のバイトが第2のFCSフィールドからのCRCデータであれば、CRCデータはまた記憶されず、バイトカウンタ414は増分されない。しかし、受信状態マシン404は、CRC検査状態およびバイトカウンタ414のバイト数をフレームコントロールマシン430に送り、再び状態0に進む。フレームコントロールマシン430がエラー状態を示せば、状態0に進みフレームを廃棄する。

【0057】

フレームコントロールマシン430は、DLCIの変換およびフレームバッファRAMに転送するためのデータの準備の責任を負う。また、フレームコントロール状態マシンは、データをフレームバッファRAMに移動させることを試み、宛先FRYPAMに、新しいフレームが送信のために利用可能であることを知らせる。

【0058】

状態0のとき、フレームコントロールマシンは受信状態マシン404からの割当開始信号を待つ。信号が受信されれば、フレームコントロールマシンは状態1に進む。

【0059】

状態1のとき、フレームコントロールマシンは、フレームバッファ割当リンク64を通して、フレームバッファマネージャ62に、フレームバッファRAM内のバッファを受信さ

10

20

30

40

50

れたフレームへ割当てるよう要求する。それに応答してフレームバッファマネージャがバッファアドレスを送れば、そのアドレスは保管され、フレームコントロールマシンは状態2に進む。または割当要求に応答してフレームバッファマネージャがフレームバッファRAM内に利用可能な場所がないことを示せば、フレームコントロールマシンは受信状態マシン404に対してフレームを廃棄させるためエラーメッセージを送り、状態0に戻る。

【0060】

状態2のとき、フレームコントロールマシンはコントロール信号をマルチプレクサ434に送り、第1および第2のバイトラッチ406および410に記憶された値を、バッファアドレス（フレームバッファマネージャからのアドレス×フレームバッファサイズ）を用いて、フレームバッファRAMに書込むことを可能にする。それから、フレームコントロールマシンは状態3に進む。10

【0061】

状態3のとき、データが FIFOレジスタ432にあれば、フレームコントロールマシンはコントロール信号をマルチプレクサ434に送り、FIFOレジスタに記憶されたデータをフレームバッファRAMに書込むことを可能にする。情報フィールドデータではなくCRCが受信され、それが正しくなければ、フレームコントロールマシンは状態4に進む。しかし、受信されたCRCが正しければ、フレームコントロールマシンは状態5に進む。

【0062】

状態4のとき、フレームバッファ割当リンク64を介して、解放フレームバッファメッセージがフレームバッファマネージャに出され、割当てられたバッファを解放する。20

【0063】

状態5のとき、内部FRYPAMリンク56を介して、パケット利用可能メッセージが指定された宛先FRYPAMに転送され、受信されたフレームが送信に利用可能であることを知らせる。宛先FRYPAMの識別番号は、XLATRAM48からこの番号を受信するコントロール情報ラッチ426から読出される。パケット利用可能メッセージは、バッファアドレスおよびカウンタ414のバイト数を含む。

【0064】

指定された宛先FRYPAMがフレームを送信できなければ、否定応答メッセージを送る。それに応答して、フレームコントロールマシンは状態4に進み、割当てられたバッファを解放する。指定された宛先FRYPAMの送信準備ができていれば、フレームコントロールマシンは状態0に戻る。30

【0065】

図5を参照して、宛先FRYPAMの送信部54は、HDLCKフレーミングおよびCRCの発生を与え、クロック信号とともにLIDに送られるHDLCDデータフレームを形成する、HDLCD送信器504に結合されたFIFOレジスタ502を含む。

【0066】

FIFOレジスタ502は、フレームバッファRAMから読出したデータフローを受信し、多重FRYPAMが共通のフレームバッファRAMにアクセスしているときの、フレームバッファアクセス待ち時間の補償をする。付け加えて、フレームバッファRAMが16、32またはそれより大きなビット幅のデータを与えることもあるので、FIFOレジスタ502は、バイトベースで動作するHDLCD送信器へのデータフローを採用する。したがって、複数バイトが各転送のたびに送信され、フレームバッファRAMへのさらに効率的なアクセスを与えることができる。FIFOレジスタ502は、フレームバッファRAMアクセス待ち時間のために、フレームの送信の間にFIFOレジスタが決して空にならないことを確実にするために、十分な大きさでなければならない。そうでなければ、HDLCD送信器504は、アンダーランを強いられ、LIDに誤ったデータを送る可能性がある。このような状態が発生すれば、HDLCD送信器はフレームの廃棄を引き起こす正しくないCRCを送る。現在のフレームは再送信されるだろう。40

【0067】

内部 F R Y P A M リンクからのパケット利用可能メッセージは、フレーム送信の要求の結果として形成された送信キューをコントロールする、送信キュー ハンドラ 5 0 6 により受信される。送信キュー ハンドラはまた、電源投入の際またはリセット状態の後に送信キューをクリアする責任がある。すべての F R Y P A M は、たとえばハードウェアアドレスストラップまたはソフトウェアアドレス指定可能ラッチといった外部手段によりプログラム可能な、独自の物理アドレスを有する。パケット利用可能メッセージがアドレス指定された F R Y P A M に届くと、送信キュー ハンドラ 5 0 6 は、この要求をレジスタ 5 0 8 に記憶された送信キューに加える。レジスタは、F I F O レジスタまたは 2 つ以上の要求を記憶できる R O M であってもよい。送信キュー レジスタが満杯であれば、ハンドラは、ソース F R Y P A M へ、フレームの廃棄を引き起こす否定応答メッセージを送る。送信キュー レジスタが空のとき、H D L C 送信器 5 0 4 はフラグを送る。 10

【 0 0 6 8 】

送信キューは、フレームバッファ R A M から H D L C 送信器を通して対応する L I D に送られるフレームのフローをコントロールする、送信状態マシン 5 1 0 に与えられる。それはまた送信キュー エントリを取除き、フレーム全体が L I D に送られたとき、フレームバッファ R A M 内の割当てられたバッファを解放する。

【 0 0 6 9 】

送信キュー レジスタ 5 0 8 が空のとき、送信状態マシン 5 1 0 は状態 0 で、内部 F R Y P A M リンクからの要求（パケット利用可能メッセージ）を待つ。要求が送信キューに入れられれば、状態マシンは状態 1 に進む。 20

【 0 0 7 0 】

状態 1 のとき、状態マシン 5 1 0 は、送信キューに入れられたパケット利用可能メッセージに含まれるバッファアドレスおよびバイト数を読み出し、コントロール信号とともにフレームバッファ R A M に転送された実際のバッファアドレスを計算し、フレームバッファ R A M から対応するデータフレームを読み出す。読み出したデータは、F I F O レジスタが満杯になるまでまたはデータフレーム全体が F I F O レジスタにあるようになるまでデータを記憶する、F I F O レジスタ 5 0 2 に与えられる。それから、状態マシン 5 1 0 は状態 2 に進む。F I F O レジスタが満杯でなく、フレーム全体がなお F I F O レジスタ内に含まれていなければ、状態マシンは、フレームバッファ R A M から次のロケーションを読み出し、F I F O レジスタが満杯になるかまたはデータフレーム全体が F I F O レジスタにあるようになるまで、F I F O レジスタ内にデータを記憶する。 30

【 0 0 7 1 】

状態 2 のとき、H D L C 送信器が利用可能であれば、状態マシン 5 1 0 はコントロール信号を F I F O レジスタ 5 0 2 に送り、F I F O レジスタからのデータの 1 バイトを L I D に送るために H D L C 送信器に転送する。バイト数は減分される。この手順は、結果として生じるバイト数が 0 になるまで繰返し行なわれる。それから、状態マシンは状態 3 に進む。

【 0 0 7 2 】

状態 3 のとき、送信状態マシン 5 1 0 は、H D L C 送信器に、L I D に送られる C R C バイトを形成するよう指示する。それから、フレームバッファマネージャには、フレームバッファ割当リンクを介してフレームバッファ解放メッセージが送られ、送信されたフレームに割当てられたバッファを解放する。対応するエントリは送信キューから取除かれ、状態マシン 5 1 0 は状態 0 に戻る。 40

【 0 0 7 3 】

このようにして、受信および送信回路を含む F R Y P A M が説明してきた。受信回路は、入来 H D L C データフレームを受信し、入来 H D L C データフレームの D L C I を、入来 D L C I により指定された変換 R A M のロケーション内に記憶された、宛先 D L C I と置換える。変換されたデータフレームはフレームバッファ R A M に書き込まれる。パケット利用可能メッセージが、変換 R A M の指定されたロケーションに記憶されたコントロールデータに従い選択された、宛先 F R Y P A M に送られる。宛先 F R Y P A M の送信回路 50

は、フレームバッファRAMからデータフレームを読み出し、それらを宛先LIDに与える。

〔 0 0 7 4 〕

このようにして、開示されたパケット管理装置は、ハードウェアにおける高速パケットストリッピングプロトコルをサポートする。

〔 0 0 7 5 〕

この開示においては、この発明の好ましい実施例のみが示され、説明されるが、この発明には、この明細書に表わされた発明の概念の範囲内での変更および修正も可能であることが理解されるであろう。

【図面の簡単な説明】

【図1】フレームリレーネットワークにおけるフレームフォーマットを示す図である。

【図2】この発明に従う、スイッチングネットワークの一般的なアーキテクチャを示す図である。

【図3】XLAT RAMにおけるルックアップテーブルを示す図である。

【図4】図2のFRYPAMの受信部をさらに詳細に図示する回路図である。

【図5】図2のFRYPAMの送信部をさらに詳細に図示する回路図である。

【符号の説明】

4.8 变换(XLAT)RAM

4.0.4 受信状態マシン

416 D L C I 抽出器

4.2.6 コントロール情報ラッチ

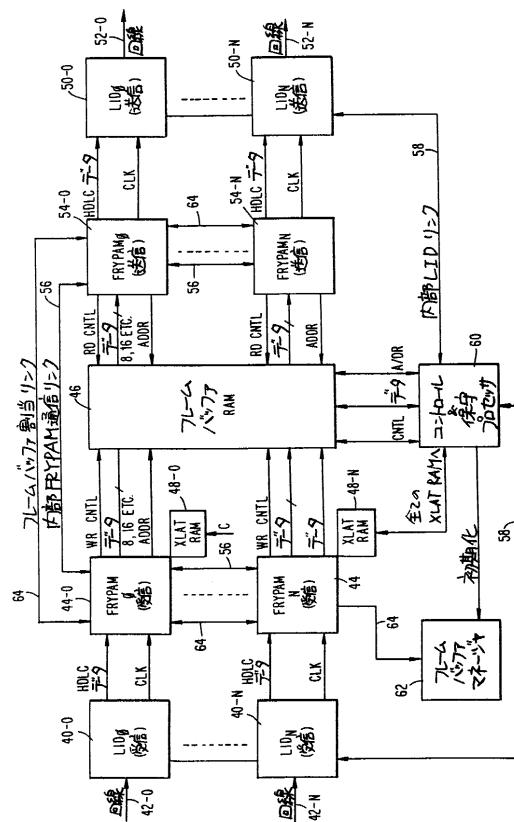
4.3.0 フレームコントロール状態マシン

4 3 2 F I F O レジスタ

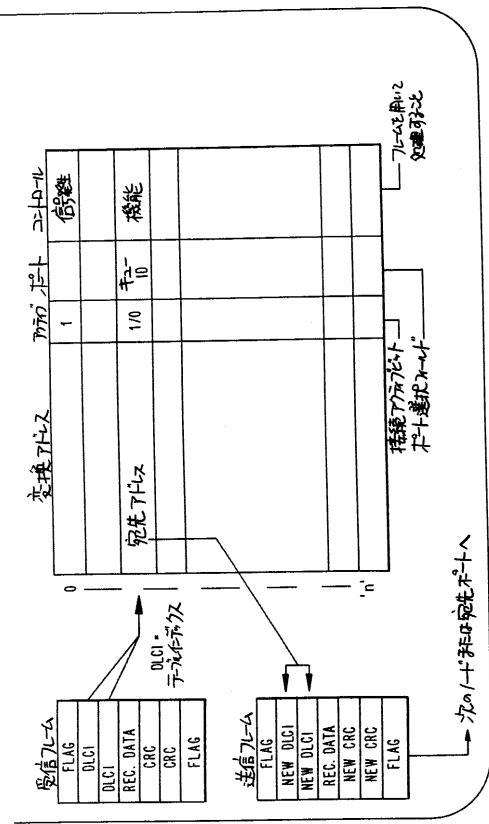
【 図 1 】

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------------|----------|----------|----|----|-----|----|---|
| フラグ" | | | | | | | |
| DLCI (上位) | | | | | C/R | EA | |
| DLCI | FE CN | BE CN | DE | EA | | | |
| 情報フィールド | | | | | | | |
| FCS | | | | | | | |
| FCS | | | | | | | |
| FLAG | | | | | | | |

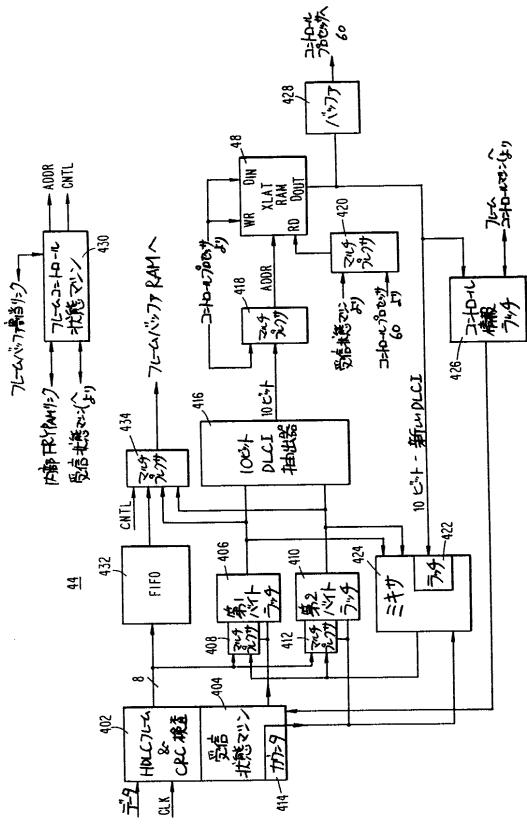
【 図 2 】



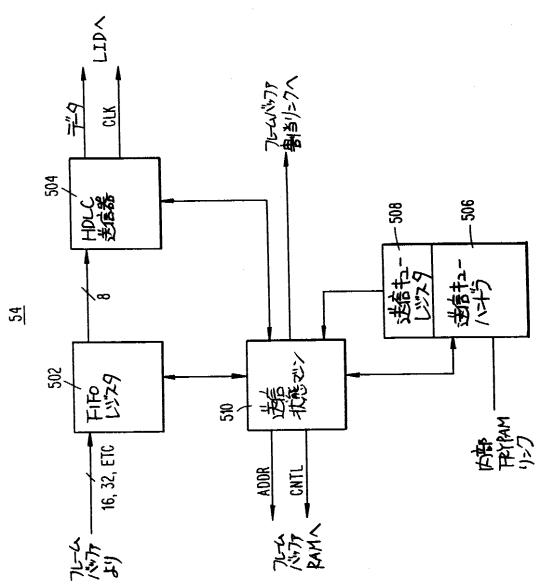
【 図 3 】



【 四 4 】



【図5】



フロントページの続き

(74)代理人 100091409

弁理士 伊藤 英彦

(74)代理人 100096781

弁理士 堀井 豊

(72)発明者 アレン・トール

アメリカ合衆国、07039 ニュー・ジャージー州、リビングストン、ピューフォート・アベニュ、223

審査官 清水 稔

(56)参考文献 特開平02-170646(JP,A)

特開平02-206259(JP,A)

特開平03-023740(JP,A)

特開平05-316139(JP,A)

特開平05-316139(JP,A)

特開平04-314235(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H04L 12/56

H04Q 3/52 101

H04Q 11/04