

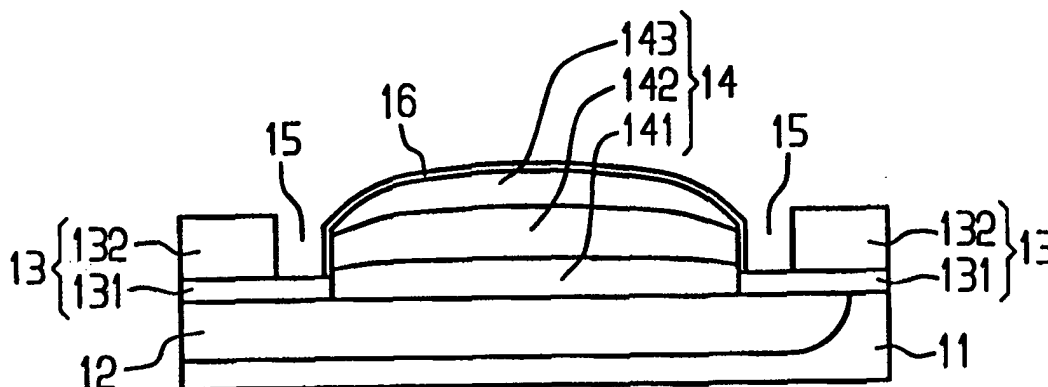
PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



<p>(51) Internationale Patentklassifikation ⁶ : H01L 21/336, 29/78</p>	A1	<p>(11) Internationale Veröffentlichungsnummer: WO 98/42015</p> <p>(43) Internationales Veröffentlichungsdatum: 24. September 1998 (24.09.98)</p>
<p>(21) Internationales Aktenzeichen: PCT/EP98/01405</p> <p>(22) Internationales Anmeldedatum: 11. März 1998 (11.03.98)</p> <p>(30) Prioritätsdaten: 197 11 481.4 19. März 1997 (19.03.97) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). FORSCHUNGSZENTRUM JÜLICH GMBH [DE/DE]; Wilhelm-Johnen-Strasse, D-52428 Jülich (DE). RUHR-UNIVERSITÄT BOCHUM [DE/DE]; Universitätsstrasse 150, D-44801 Bochum (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): AEUGLE, Thomas [DE/DE]; Albert-Schweitzer-Strasse 38, D-81735 München (DE). RÖSNER, Wolfgang [DE/DE]; Heinzelmännchenstrasse 2, D-81739 München (DE). VESCAN, Lili [DE/DE]; Richtericher Strasse 86, D-52072 Aachen (DE). BEHAMMER, Dag [DE/DE]; Friedrichshafener Strasse 22, D-89079 Ulm (DE).</p> <p>(74) Anwalt: EPPING, Wilhelm; Postfach 22 13 17, D-80503 München (DE).</p>	<p>(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>	

(54) Title: METHOD OF PRODUCING A VERTICAL MOS TRANSISTOR

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES VERTIKALEN MOS-TRANSISTORS



(57) Abstract

In order to produce a vertical MOS transistor, a mask (13) with an opening is formed on a semiconductor substrate. Grown in the opening by selective epitaxy is a layer sequence (14) comprising a lower source/drain region (141), a channel region (142) and an upper source/drain region (143). Facets are formed at the edge such that the layers are thinner at the edge than in the centre. A gate dielectric (16) and gate electrode are formed at the edge of the layer sequence.

(57) Zusammenfassung

Zur Herstellung eines vertikalen MOS-Transistors wird auf einem Halbleitersubstrat eine Maske (13) mit einer Öffnung gebildet. In der Öffnung wird durch selektive Epitaxie eine Schichtenfolge (14) aufgewachsen, die ein unteres Source-/Draingebiet (141), ein Kanalgebiet (142) und ein oberes Source-/Draingebiet (143) aufweist. Dabei werden am Rand Facetten gebildet, so daß die Schichtdicken am Rand geringer sind als in der Mitte. Gatedielektrikum (16) und Gateelektrode werden am Rand der Schichtenfolge gebildet.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshjan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Verfahren zur Herstellung eines vertikalen MOS-Transistors.

5 Im Hinblick auf immer schnellere Bauelemente bei höherer Integrationsdichte nehmen die Strukturgrößen integrierter Schaltungen von Generation zu Generation ab. Dieses gilt auch für die CMOS-Technologie. Es wird allgemein erwartet (siehe zum Beispiel Roadmap of Semiconductor Technology, Solid State
10 Technology 3, (1995)), daß um das Jahr 2010 MOS-Transistor mit einer Gatelänge von weniger als 100 nm eingesetzt werden.

Einerseits wird versucht, durch Skalierung der heute üblichen CMOS-Technologie planare MOS-Transistoren mit derartigen Gatelängen zu entwickeln (siehe zum Beispiel A. Hori, H. Nakao-
15 ka, H. Umimoto, K. Yamashita, M. Takase, N. Shimizu, B. Mizuno, S. Odanaka, A 0,05 μm -CMOS with Ultra Shallow Source/Drain Junctions Fabricated by 5 keV Ion Implantation and Rapid Thermal Annealing, IEDM 1994, 485 und H. Hu, L. T. Su,
20 Y. Yang, D. A. Antoniadis, H. I. Smith, Channel and Source/Drain Engineering in High-Performance sub-0,1 μm NMOSFETs using X-Ray lithography, Symp. VLSI Technology, 17, (1994)). Derartige planare MOS-Transistoren mit Kanallängen unter 100 nm herzustellen, erfordert den Einsatz von Elektronenstrahl-
25 lithographie und ist bisher nur im Labormaßstab möglich. Der Einsatz der Elektronenstrahlolithographie führt zu einer überproportionalen Steigerung der Entwicklungskosten.

Parallel dazu werden zur Realisierung kurzer Kanallängen vertikale Transistoren untersucht (siehe zum Beispiel L. Risch,
30 W. H. Krautschneider, F. Hofmann, H. Schäfer, Vertical MOS Transistor with 70 nm channel length, ESSDERC 1995, Seite 101 bis 104). Dabei werden Schichtenfolgen entsprechend Source, Kanal und Drain gebildet, die ringförmig von Gatedielektrikum
35 und Gateelektrode umgeben sind. Diese vertikalen MOS-Transistoren sind im Vergleich zu planaren MOS-Transistoren bezüglich ihrer Hochfrequenz- und Logikeigenschaften bisher

unbefriedigend. Dieses wird einerseits auf parasitären Kapazitäten des überlappenden Gates und andererseits auf die Ausbildung eines parasitären Bipolartransistors in der vertikalen Schichtenfolge zurückgeführt.

5

Der Erfindung liegt daher das Problem zugrunde, ein Verfahren zur Herstellung eines vertikalen MOS-Transistors anzugeben, bei dem die Hochfrequenz- und Logikeigenschaften des vertikalen MOS-Transistors mit denen planarer MOS-Transistoren vergleichbar werden.

10

Dieses Problem wird erfindungsgemäß gelöst durch ein Verfahren nach Anspruch 1. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

15

In dem Verfahren wird auf einer Hauptfläche eines Halbleitersubstrats eine Maske mit einer Öffnung gebildet, wobei innerhalb der Öffnung die Hauptfläche des Halbleitersubstrats freiliegt. In dieser Öffnung wird durch selektive Epitaxie eine Schichtenfolge aufgewachsen, die jeweils eine Schicht für ein unteres Source-/Draingebiet, ein Kanalgebiet und ein oberes Source/Drain-Gebiet aufweist. Beim Aufwachsen der Schichtenfolge werden am Rand der Schichtenfolge Facetten gebildet, so daß die Dicke der Schichten am Rand der Öffnung geringer ist als in der Mitte. Gatedielektrikum und Gateelektrode werden am Rand der Schichtenfolge gebildet.

20

25

In dem Verfahren wird die Erkenntnis ausgenutzt, daß sich bei der selektiven Epitaxie an den Rändern einer Maske Facetten ausbilden, da an diesen Rändern die Aufwachsrate bei der selektiven Epitaxie geringer ist. Eine Untersuchung über die Ausbildung von Facetten bei der selektiven Epitaxie ist zum Beispiel aus L. Vescan, Radiative recombination in SiGe/Si dots...7, Mater. Science and Eng. B28, 1-8 (1994), bekannt.

30

35

Diese Eigenschaft der selektiven Epitaxie wird ausgenutzt, um die Dicke der Schichten am Rand der Schichtenfolge geringer

als in der Mitte der Schichtenfolge zu realisieren. Dadurch wird erzielt, daß die Basisweite des parasitären Bipolartransistors, der sich in der Mitte der Schichtenfolge bildet, größer ist als die Kanalweite des vertikalen MOS-Transistors, der am Rand der Schichtenfolge gebildet wird. Die Kanaleigenschaften sind daher von den Volumeneigenschaften in der Schichtenfolge entkoppelt. Da der parasitäre Bipolartransistor eine größere Basisweite hat, als es der Kanallänge des vertikalen MOS-Transistors entspricht, bestimmt der vertikale MOS-Transistor die Eigenschaften der Struktur.

Vorzugsweise weist die Maske mindestens an der Oberfläche SiO_2 und/oder Si_3N_4 auf. Unter Verwendung einer Maske aus diesen Materialien läßt sich das Dickenverhältnis zwischen Mitte und Rand der Schichtenfolge je nach Wachstumsbedingungen zwischen 2 und 3 einstellen.

Es liegt im Rahmen der Erfindung, bei der Bildung der Maske ganzflächig eine erste isolierende Schicht, eine leitfähige Schicht und eine zweite isolierende Schicht zu bilden, in denen die Öffnung erzeugt wird. Vor der selektiven Epitaxie zur Bildung der Schichtenfolge wird an der freigelegten Oberfläche der leitfähigen Schicht das Gatedielektrikum gebildet. Aus der leitfähigen Schicht wird die Gateelektrode gebildet. Dieses Verfahren hat den Vorteil, daß die Seitenwand der Schichtenfolge bei der Herstellung des Gatedielektrikums und der Gateelektrode nicht mehr einem Ätzprozeß unterworfen wird.

Vorzugsweise wird dabei das untere Source-/Draingebiet in einer solchen Höhe aufgewachsen, daß es am Rand der Öffnung mit der ersten isolierenden Schicht abschließt. Das Kanalgebiet wird in der Höhe so aufgewachsen, daß es am Rand der Öffnung mit der leitfähigen Schicht abschließt. Auf diese Weise werden die parasitären Kapazitäten der Gateelektrode minimiert, was zu einer weiteren Verbesserung der Hochfrequenzeigenschaften führt.

Ferner liegt es im Rahmen der Erfindung, die Maske aus isolierendem Material zu bilden. Nach der Bildung der Schichtenfolge wird dann die Seitenwand des Kanalgebietes so freigelegt, daß die Seitenwand des unteren Source-/Draingebietes von dem isolierenden Material der Maske im wesentlichen bedeckt bleibt. An der freigelegten Seitenwand des Kanalgebietes werden anschließend das Gatedielektrikum und die Gateelektrode gebildet, wobei die Gateelektrode in der Höhe vorzugsweise auf die Höhe des Kanalgebiets abgestimmt wird. Auch in dieser Ausführungsform werden die Kapazitäten der Gateelektrode minimiert, was zu einer Verbesserung der Hochfrequenzeigenschaften führt. Die Gateelektrode wird zum Beispiel durch Abscheiden und Strukturieren einer leitfähigen Schicht gebildet.

Vorzugsweise wird die Maske aus isolierendem Material, dabei aus einer ersten isolierenden Schicht und einer zweiten isolierenden Schicht gebildet. Die erste isolierende Schicht ist dabei auf der Hauptfläche des Substrats angeordnet. Die zweite isolierende Schicht ist auf der ersten isolierenden Schicht angeordnet. Die zweite isolierende Schicht ist selektiv zur ersten isolierenden Schicht und zur Schichtenfolge ätzbar. Das untere Source-/Draingebiet wird in diesem Fall in einer solchen Höhe aufgewachsen, daß es am Rand der Öffnung in der Höhe mit der ersten isolierenden Schicht abschließt. Nach dem Aufwachsen der Schichtenfolge wird in der zweiten isolierenden Schicht eine Öffnung gebildet, die das Kanalgebiet ringförmig umgibt. Nach Bildung des Gatedielektrikums wird die Öffnung mit einer leitfähigen Schicht aufgefüllt. Durch Strukturieren der leitfähigen Schicht, zum Beispiel mit Hilfe von Planarisierungsschritten, wird schließlich die Gateelektrode gebildet.

Dabei ist es besonders vorteilhaft, die Öffnung in der zweiten isolierenden Schicht an mindestens einer Seite der Schichtenfolge über die Schichtenfolge deutlich hinausragen

zu lassen. Die Öffnung weist in diesem Fall an mindestens einer Seite der Schichtenfolge eine Aufweitung auf. Im Bereich dieser Aufweitung werden inselförmige Hilfsstrukturen aus dem Material der zweiten isolierenden Schicht angeordnet. Dadurch weist die Öffnung im Bereich der Aufweitung einen gitterförmigen Querschnitt auf. Die leitfähige Schicht füllt die Öffnung auch im Bereich der Aufweitung auf. Dadurch weist auch die Gateelektrode mindestens teilweise einen gitterförmigen Querschnitt auf. Im Bereich der Aufweitung kann nachfolgend ein Kontaktloch zur Gateelektrode geöffnet werden, das in seiner Strukturfeinheit wesentlich gröber sein kann als die Strukturen der Öffnung. Auf diese Weise kann das Kontaktloch so bemessen werden, daß elektrische Eigenschaften des Gatekontakts optimiert werden.

15

Eine weitere Verbesserung der Hochfrequenzeigenschaften durch Minimierung der parasitären Kapazitäten wird dadurch erzielt, daß die Schichtenfolge ringförmig strukturiert wird und die ringförmig strukturierte Schichtenfolge mit einer isolierenden Füllung versehen wird. Durch das Entfernen des Halbleitermaterials im Inneren der Schichtenfolge wird die Ausbildung von Raumladungszonen, die wiederum parasitäre Kapazitäten bewirken, unterdrückt.

20

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen, die in den Figuren dargestellt sind, näher erläutert.

25

Figur 1 zeigt einen Schnitt durch ein Halbleitersubstrat mit einem Anschlußgebiet und einer Maske.

30

Figur 2 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung einer Schichtenfolge durch selektive Epitaxie.

35

Figur 3 zeigt den Schnitt nach Bildung einer Öffnung, die die Schichtenfolge ringförmig umgibt und Bildung eines Gatedielektrikums.

5 Figur 4 zeigt eine Aufsicht auf die Figur 3.

Figur 5 zeigt den in Figur 3 dargestellten Schnitt nach Auffüllen der Öffnung mit einer leitfähigen Schicht und Erzeugung einer planarisierenden Isolationsschicht.

10

Figur 6 zeigt den Schnitt nach Bildung einer Gateelektrode durch Strukturierung der leitfähigen Schicht.

Figur 7 zeigt den Schnitt nach Öffnung von Kontaktlöchern.

15

Figur 8 zeigt den Schnitt nach Bildung von Metallsilizidanschlußflächen, einer Passivierungsschicht und Kontakten.

20

Figur 9 zeigt einen Schnitt durch ein Halbleitersubstrat mit einem Anschlußgebiet und einer Maske.

Figur 10 zeigt den Schnitt nach Bildung einer Schichtenfolge durch selektive Epitaxie.

25

Figur 11 zeigt den Schnitt nach Bildung einer Öffnung, die die Schichtenfolge ringförmig umgibt.

Figur 12 zeigt den Schnitt nach Bildung einer Gateelektrode, einer Passivierungsschicht und Kontakten.

30

Figur 13 zeigt einen Schnitt durch ein Halbleitersubstrat mit einem Anschlußgebiet und einer Maske, die eine leitfähige Schicht aufweist, an deren Oberfläche ein Gatedielektrikum gebildet ist.

35

Figur 14 zeigt den Schnitt nach Bildung einer Schichtenfolge durch selektive Epitaxie und Abscheidung und Planarisierung einer isolierenden Schicht.

5 Figur 15 zeigt den Schnitt nach Rückätzen der isolierenden Schicht und Bildung von Spacern an den Seitenwänden der Maske.

10 Figur 16 zeigt den Schnitt nachdem die Schichtenfolge unter Verwendung des Spacers als Maske ringförmig strukturiert wurde, wobei die Oberfläche des Anschlußgebietes freigelegt wird.

15 Figur 17 zeigt den Schnitt, nachdem die ringförmig strukturierte Schichtenfolge mit einer isolierenden Füllung versehen wurde und nach der Bildung von Kontakten.

Die Darstellungen in den Figuren sind nicht maßstäblich.

20 In einem Substrat 11 aus monokristallinem Silizium, zum Beispiel einer monokristallinen Siliziumscheibe oder der monokristallinen Siliziumschicht eines SOI-Substrates, wird in einem ersten Ausführungsbeispiel ein Anschlußgebiet 12 durch Implantation mit Arsen oder Phosphor mit $5 \times 10^{15} \text{ cm}^{-2}$, 40 keV
25 und anschließendes Tempern zur Aktivierung des Dotierstoffes gebildet (siehe Figur 1).

Auf dem Substrat 11 wird anschließend eine Maske 13 gebildet. Dazu wird ganzflächig eine Siliziumnitridschicht 131 in einer
30 Dicke von zum Beispiel 70 nm und darauf eine Siliziumoxidschicht 132 in einer Dicke von zum Beispiel 500 nm aufgebracht. Die Siliziumoxidschicht 132 und die Siliziumnitridschicht 131 werden anschließend durch anisotropes Ätzen
35 strukturiert, wobei eine Öffnung 130 gebildet wird. Innerhalb der Öffnung 130 liegt die Oberfläche des Anschlußgebietes 12 frei.

Innerhalb der Öffnung 130 wird durch selektive Epitaxie eine Schichtenfolge 14 aufgewachsen, die eine erste Schicht 141 für ein unteres Source-/Draingebiet, eine zweite Schicht 142 für ein Kanalgebiet und eine dritte Schicht 143 für ein oberes Source-/Draingebiet aufweist (siehe Figur 2). Die erste Schicht 141 wird zum Beispiel aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ in einer Schichtdicke von 100 nm aufgewachsen. Die zweite Schicht 142 wird zum Beispiel aus p-dotiertem Silizium mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} in einer Schichtdicke von 100 nm aufgewachsen. Die dritte Schicht 143 wird aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ in einer Schichtdicke von 200 nm aufgewachsen. Die selektive Epitaxie wird dabei so geführt, daß es am Rand der Öffnung 130 zur Facettenbildung kommt. Das heißt, die erste Schicht 141, zweite Schicht 142 und die dritte Schicht 143 weisen am Rand der Öffnung 130 eine geringere Schichtdicke als in der Mitte der Öffnung 130 auf. Die angegebenen Schichtdicken gelten für die Mitte der Öffnung. Die selektive Epitaxie wird zum Beispiel unter Verwendung folgender Prozessgase $\text{Si}_2\text{H}_2\text{Cl}_2$, B_2H_6 , AsH_3 , PH_3 , HCl , H_2 im Temperaturbereich zwischen 700 bis 950°C und dem Druckbereich zwischen 5 bis 20000 Pa auf Silizium-Wafern mit einer [110]-Flat-Orientierung durchgeführt. Die erste Schicht 141 wird so aufgewachsen, daß ihre Dicke am Rand der Öffnung 130 in etwa mit der Dicke der Siliziumnitridschicht 131 übereinstimmt.

Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) wird anschließend eine Öffnung 15 in der Siliziumoxidschicht 132 gebildet, die die Seitenwände der Schichtenfolge 14 freilegt (siehe Figur 3 und Aufsicht in Figur 4). In der Öffnung 15 wird die Oberfläche der Siliziumnitridschicht 131 freigelegt. Die Öffnung 15 weist seitlich der Schichtenfolge 14 eine Aufweitung 150 auf, in der inselförmige Strukturen 132' aus dem Material der Siliziumoxidschicht 132 angeordnet sind (siehe Figur 4). Die inselförmigen Strukturen 132' sind matrixförmig angeordnet, so daß die Öffnung

15 im Bereich der Aufweitung 150 einen gitterförmigen Querschnitt aufweist.

Die Öffnung 15 überlappt die Schichtenfolge 14 seitlich. Da
5 die Justierung in lithographischen Verfahren genauer ist als die minimale Strukturgröße, beträgt der Abstand zwischen der Schichtenfolge 14 und der strukturierten Siliziumoxidschicht 132 weniger als eine minimale Strukturgröße. Bei Verwendung einer Lithographie mit einer minimalen Strukturgröße von 0,6
10 μm und einer Justiergenauigkeit von 0,2 μm beträgt der Abstand zwischen der Schichtenfolge 14 und der Siliziumoxidschicht 132 bzw. den inselförmigen Strukturen 132' zum Beispiel 0,3 μm . Die Strukturgröße der inselförmigen Strukturen 132' beträgt jeweils eine minimale Strukturgröße, zum Bei-
15 spiel 0,6 μm .

Durch thermische Oxidation wird anschließend an der freiliegenden Oberfläche der zweiten Schicht 142 sowie der dritten Schicht 143 ein Gatedielektrikum 16 aus SiO_2 in einer
20 Schichtdicke von 3 bis 5 nm gebildet.

Anschließend wird ganzflächig eine leitfähige Schicht 17 abgeschieden. Die Dicke der leitfähigen Schicht 17 wird so eingestellt, daß der Zwischenraum zwischen der Schichtenfolge 14
25 und der Siliziumoxidschicht 132 aufgefüllt wird. Für die leitfähige Schicht 17 sind alle Materialien geeignet, die als Gateelektrode in Frage kommen, insbesondere dotiertes Polysilizium, Metallsilizid, Metall. Die leitfähige Schicht 17 wird zum Beispiel aus n-dotiertem Polysilizium in einer Schicht-
30 dicke von 400 nm gebildet (siehe Figur 5). Anschließend wird auf die leitfähige Schicht 17 eine Planarisierungsschicht 18 zum Beispiel aus Photolack oder einem anderen Spin-on Material gebildet. Die Oberfläche der leitfähigen Schicht 17 wird zum Beispiel durch Planarisierungssätzen oder chemisch-
35 mechanisches Polieren eingeebnet. Anschließend wird die leitfähige Schicht 17 hochselektiv zu SiO_2 geätzt. Dabei wird aus

der leitfähigen Schicht 17 eine Gateelektrode 170 gebildet (siehe Figur 6).

Anschließend wird ganzflächig eine weitere SiO₂-Schicht in einer Schichtdicke von zum Beispiel 70 nm aufgebracht und mit Hilfe einer Photolackmaske 19 strukturiert. Dabei werden die Oberfläche des Anschlußgebietes 12, der Gateelektrode 170 sowie der dritten Schicht 143 teilweise freigelegt (siehe Figur 7).

Durch selbstjustierte Silizierung zum Beispiel in einem Sali-
cideproezß mit Titan werden an der freigelegten Oberfläche des Anschlußgebietes 12, der Gateelektrode 170 und der dritten Schicht 143 Silizidanschlüsse 110 gebildet (siehe Figur 8). Die Silizidanschlüsse 110 dienen jeweils der Reduzierung der parasitären Serienwiderstände.

Nach ganzflächigem Aufbringen einer Passivierungsschicht 111 zum Beispiel aus SiO₂, in der Kontaktlöcher zu den Silizidanschlüssen 110 zum Anschlußgebiet 12 sowie zur dritten Schicht 143 und zur Gateelektrode 170 geöffnet werden, werden durch Bildung einer Metallschicht und Strukturierung der Metallschicht Kontakte 112 zum Anschlußgebiet 12, zur dritten Schicht 143, die das obere Source-/Draingebiet bildet, sowie zur Gateelektrode 170 gebildet. Das Kontaktloch zur Gateelektrode 170 ist in dem in Figur 8 dargestellten Schnitt nicht sichtbar. Es befindet sich im Bereich der Aufweitung 150 (vergleiche Figur 4). Durch die gitterförmige Struktur der Gateelektrode 170 im Bereich der Aufweitung 150 (vergleiche Figur 4) ist es möglich, das Kontaktloch zur Gateelektrode 170 mit einem größeren Querschnitt vorzusehen, als es den Strukturgrößen der Gateelektrode 170 in diesem Bereich entspricht. Das Kontaktloch zur Gateelektrode 170 überlappt eine oder mehrere der inselförmigen Strukturen 132'.

In einem Substrat 21, zum Beispiel einer monokristallinen Siliziumscheibe oder der monokristallinen Siliziumschicht eines

SOI-Substrates wird in einem zweiten Ausführungsbeispiel zum Beispiel durch maskierte Implantation und nachfolgende Temperung zur Ausheilung der Implantationsschäden ein Anschlußgebiet 22 gebildet. Anschließend wird auf der Oberfläche des Substrats 21 eine Maske 23 gebildet, die eine Öffnung 230 aufweist, in der die Oberfläche des Anschlußgebietes 22 freiliegt (siehe Figur 9).

Zur Bildung der Maske 23 wird auf das Substrat 21 eine Anschlußschicht 231, eine Siliziumnitridschicht 232 und eine Siliziumoxidschicht 233 aufgebracht. Die Anschlußschicht 231 wird zum Beispiel aus hochdotiertem Polysilizium in einer Schichtdicke von 50 nm gebildet. Für die Anschlußschicht 231 sind alle elektrisch leitfähigen Materialien, insbesondere dotiertes Polysilizium, Silizid, Metall geeignet. Die Siliziumnitridschicht 232 wird in einer Schichtdicke von 20 nm aufgebracht. Die Siliziumoxidschicht 233 wird in einer Schichtdicke von zum Beispiel 500 nm aufgebracht.

Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) werden die Anschlußschicht 231, die Siliziumnitridschicht 232 und die Siliziumoxidschicht durch anisotropes Ätzen zum Beispiel mit CHF_3 , O_2 (für Nitrid, Oxid) HBr , Cl_2 , He , O_2 (für Polysilizium) strukturiert. Dabei wird die Öffnung 230 gebildet. Nachfolgend werden an den der Öffnung 230 zugewandten Seitenwänden der Anschlußschicht 231, der Siliziumnitridschicht 232 und der Siliziumoxidschicht 233 durch konforme Abscheidung und anisotropes Rückätzen einer Siliziumoxidschicht Siliziumoxidspacer 234 gebildet. Die Siliziumoxidspacer weisen eine Breite von 10 nm auf (siehe Figur 9).

Durch selektive Epitaxie wird in der Öffnung 230 eine Schichtenfolge 24 aufgewachsen, die eine erste Schicht 241 für ein unteres Source-/Draingebiet, eine zweite Schicht 242 für ein Kanalgebiet und eine dritte Schicht 243 für ein oberes Source-/Draingebiet aufweist (siehe Figur 10). Die selektive Epi-

taxie wird unter Einhaltung folgender Prozeßbedingungen durchgeführt: Prozeßgas: SiH_2Cl_2 , B_2H_6 , AsH_3 , PH_3 , HCl , H_2 , Temperaturbereich: 700 bis 950°C, Druckbereich: 5 bis 20 000 Pa. Dabei wird die erste Schicht 241 aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ in einer Schichtdicke von 100 nm gebildet. Die zweite Schicht 242 wird aus p-dotiertem Silizium mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} in einer Schichtdicke von 100 nm gebildet. Die dritte Schicht 243 wird aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ in einer Schichtdicke von 200 nm gebildet. Die angegebenen Dicken beziehen sich auf die Mitte der Öffnung 230. Bei den angegebenen Prozeßparametern kommt es zur Ausbildung von Facetten am Rand der Öffnung 230, so daß die Schichtdicken der ersten Schicht 241, der zweiten Schicht 242 und der dritten Schicht 243 dort um einen Faktor von ca. 2 bis 3 geringer sind.

Anschließend wird eine Öffnung 25 gebildet, die die Schichtenfolge 24 ringförmig umgibt (siehe Figur 11). In der Öffnung 25 sind die Seitenwände der zweiten Schicht 242 und der dritten Schicht 243 freigelegt. Die Öffnung 25 wird unter Verwendung einer photolithographisch gebildeten Maske (nicht dargestellt) geätzt, wobei die Siliziumnitridschicht 232 als Ätzstop dient. Im Bereich der ersten Schicht 241 verbleibt ein Rest des Siliziumoxidspacers 234, der die Anschlußschicht 231 gegen die erste Schicht 241 isoliert. Die Anschlußschicht 231 steht mit dem Anschlußgebiet 22 in elektrischer Verbindung.

Durch thermische Oxidation wird an der freiliegenden Oberfläche der zweiten Schicht 242 und der dritten Schicht 243 ein Gatedielektrikum 26 gebildet. Das Gatedielektrikum 26 wird aus SiO_2 in einer Schichtdicke von zum Beispiel 3 bis 5 nm gebildet. Der MOS-Transistor wird analog wie im ersten Ausführungsbeispiel durch Bildung einer Gateelektrode 270, die die Öffnung 25 ausfüllt, durch Abscheidung und Strukturierung einer weiteren SiO_2 -Schicht 28, durch Bildung von Silizidan-

schlüssen 210 zur dritten Schicht 243, zur Gateelektrode 270 und zur Anschlußschicht 231, durch Abscheidung einer Passivierungsschicht 211 und durch Bildung von Kontakten 212 zu den Silizidanschlüssen 210, die auf der dritten Schicht 243, auf der Anschlußschicht 231 und der Gateelektrode 270 angeordnet sind fertiggestellt. Der Kontakt 212 zur Gateelektrode wird vorzugsweise wie anhand des ersten Ausführungsbeispiels beschrieben seitlich der Schichtenfolge 24 vorgesehen.

10 In einem Substrat 31, zum Beispiel einer monokristallinen Siliziumscheibe oder der Siliziumschicht eines SOI-Substrates wird in einem dritten Ausführungsbeispiel ein Anschlußgebiet 32 gebildet. Das Anschlußgebiet 32 wird zum Beispiel durch Implantation von Asmit $5 \times 10^{15} \text{ cm}^{-2}$, 40 keV und anschließende
15 Temperung zur Ausheilung der Implantationsschäden gebildet.

Auf der Oberfläche des Substrats 31 wird nachfolgend eine Maske 33 gebildet, die eine Öffnung 330 aufweist. Innerhalb
20 der Öffnung 330 liegt die Oberfläche des Anschlußgebietes 32 teilweise frei (siehe Figur 13).

Zur Bildung der Maske 33 wird auf die Oberfläche des Substrats 31 eine Siliziumnitridschicht 331 in einer Dicke
25 von 20 nm und eine 50 nm dicke erste Siliziumoxidschicht 332 aufgebracht. Darauf wird eine leitfähige Schicht aufgebracht und so strukturiert, daß sie eine Gateelektrode 370 bildet. Die Gateelektrode 370 wird aus dotiertem Polysilizium in einer Schichtdicke von 100 nm gebildet. Darauf wird eine zweite
30 Siliziumoxidschicht 333 in einer Schichtdicke von 600 nm aufgebracht und planarisiert. Durch anisotropes Ätzen unter Verwendung einer photolithographisch gebildeten Maske (nicht dargestellt) wird die Öffnung 330 in der Maske 33 geöffnet. Die Öffnung 330 weist Abmessungen von zum Beispiel $0,6 \times 0,6 \mu\text{m}^2$ auf. Dabei wird eine Lithographie zugrundegelegt, in der
35 die minimale Strukturgröße $F = 0,6 \mu\text{m}$ und die Justiergenauigkeit maximal $0,2 \mu\text{m}$ beträgt.

Bei der Bildung der Öffnung 330 wird zunächst bis auf die Oberfläche der Siliziumnitridschicht 331 geätzt. Durch thermische Oxidation wird dann an der freigelegten Oberfläche der Gateelektrode 370 ein Gatedielektrikum 36 aus SiO₂ in einer Schichtdicke von 3 bis 10 nm gebildet. Nachfolgend wird selektiv zu SiO₂ und zu Silizium die Siliziumnitridschicht 331 durchgeätzt, wobei in der Öffnung 330 die Oberfläche des Anschlußgebietes 32 teilweise freigelegt wird.

10

Durch selektive Epitaxie wird in der Öffnung 330 nachfolgend eine Schichtenfolge 34 aufgewachsen (siehe Figur 14). Die Schichtenfolge 34 weist eine erste Schicht 341, eine zweite Schicht 342 und eine dritte Schicht 343 auf. Die erste Schicht 341 wird aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ und einer Schichtdicke von 150 nm aufgewachsen. Die zweite Schicht 342 bildet ein Kanalgebiet und wird aus p-dotiertem Silizium mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} in einer Schichtdicke von 100 nm aufgewachsen. Die dritte Schicht 343 wirkt als oberes Source-/Draingebiet und wird in einer Schichtdicke von 250 nm mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ aus n-dotiertem Silizium aufgewachsen. Die selektive Epitaxie wird dabei so geführt, daß die Schichtdicken am Rand der Öffnung 330 geringer sind als in der Mitte der Öffnung 330. Die angegebenen Schichtdicken beziehen sich auf die Mitte der Öffnung 330. Am Rand der Öffnung 330 sind die Schichtdicken um einen Faktor von etwa 2 bis 3 reduziert. Die selektive Epitaxie wird unter Einhaltung folgender Prozeßparameter durchgeführt: Prozeßgas: SiH₂Cl₂, B₂H₆, AsH₃, PH₃, HCl, H₂
Temperaturbereich: 700 bis 950°C, Druckbereich: 5 bis 20 000 Pa.

30

35

Anschließend wird eine 600 nm dicke Polysiliziumschicht 35 aufgebracht und mit Hilfe von chemisch-mechanischem Polieren selektiv zu SiO₂ planarisiert. Die Polysiliziumschicht 35 schließt nach der Planarisierung in der Höhe mit der zweiten

Siliziumoxidschicht 333 ab (siehe Figur 14). Die Polysiliziumschicht 35 wird vorzugsweise aus n-dotiertem Polysilizium gebildet, so daß sie mit der dritten Schicht 343 elektrisch verbunden ist.

5

Die Polysiliziumschicht 35 wird nachfolgend selektiv zu SiO₂ geätzt. Dabei wird ein Graben 37 gebildet, der eine Tiefe von zum Beispiel 300 nm aufweist (siehe Figur 15). In dem Graben 37 sind die Seitenwände der zweiten Siliziumoxidschicht 333 freigelegt.

10

An den im Graben 37 freigelegten Seitenwänden der zweiten Siliziumoxidschicht 333 werden Siliziumnitridspacer 38 durch konforme Abscheidung einer Siliziumnitridschicht und anisotropes Rückätzen der Siliziumnitridschicht gebildet. Die Siliziumnitridspacer 38 weisen eine Dicke von zum Beispiel 50 nm auf.

15

In einer anisotropen Ätzung selektiv zu Siliziumoxid und Siliziumnitrid wird die Schichtenfolge 34 nachfolgend ringförmig strukturiert. Die Ätzung wird fortgesetzt, bis die Oberfläche des Anschlußgebietes 32 freigelegt ist (siehe Figur 16). Dabei wirken die Siliziumnitridspacer 38 als Maske. Der innerhalb der ringförmig strukturierten Schichtenfolge 34 gebildete Freiraum wird mit einer isolierenden Füllung 39 aufgefüllt. Die isolierende Füllung 39 wird zum Beispiel aus SiO₂ durch LPCVD-Abscheidung einer 400 nm dicken SiO₂-Schicht und anschließendes Rückätzen gebildet. Nachfolgend werden die Siliziumnitridspacer 38 selektiv entfernt. Dadurch werden selbstjustierend Kontaktlöcher zu der Polysiliziumschicht 34 und damit zu der dritten Schicht 343, die als oberes Source-/Draingebiet wirkt, geöffnet. Unter Verwendung einer Photoackmaske werden nachfolgend Kontaktlöcher in die erste Siliziumoxidschicht 332 und die zweite Siliziumoxidschicht 333 sowie in die Siliziumnitridschicht 331 geätzt, die auf das Anschlußgebiet 32 bzw. die Gateelektrode 370 reichen (siehe Figur 17). Durch Aufbringen und Strukturieren einer Metall-

20

25

30

35

16

schicht werden nachfolgend Kontakte 312 zu der Gateelektrode 370, zu der Polysiliziumschicht 35 und zu dem Anschlußgebiet 32 gebildet.

5

Patentansprüche

1. Verfahren zur Herstellung eines vertikalen MOS-Transistors,

5

- bei dem auf einer Hauptfläche eines Halbleitersubstrats (11) eine Maske (13) mit einer Öffnung (130) gebildet wird, in der die Hauptfläche freiliegt,

10

- bei dem in der Öffnung (130) durch selektive Epitaxie eine Schichtenfolge (14) aufgewachsen wird, die jeweils eine Schicht (141, 142, 143) für ein unteres Source-/Draingebiet, ein Kanalgebiet und ein oberes Source-/Draingebiet aufweist, wobei am Rand der Schichtenfolge

15

(14) Facetten gebildet werden, so daß die Dicke der Schichten (141, 142, 143) am Rand der Öffnung (130) geringer ist als in der Mitte,

20

- bei dem ein Gatedielektrikum (16) gebildet wird, das an einer Oberfläche des Kanalgebietes (142) angrenzt,

- bei dem eine Gateelektrode (170) gebildet wird, die an das Gatedielektrikum (16) angrenzt.

25

2. Verfahren nach Anspruch 1, bei dem die Maske (13) mindestens an der Oberfläche Siliziumdioxid und/oder Siliziumnitrid aufweist.

3. Verfahren nach Anspruch 1 oder 2,

30

- bei dem zur Bildung der Maske (33) eine erste isolierende Schicht (331, 332), eine leitfähige Schicht (370) und eine zweite isolierende Schicht (333) gebildet werden, in denen die Öffnung (330) erzeugt wird,

35

- bei dem vor der selektiven Epitaxie zur Bildung der Schichtenfolge (34) an der freigelegten Oberfläche der leitfähigen Schicht (370) das Gatedielektrikum (36) gebildet wird,
 - 5 - bei dem aus der leitfähigen Schicht die Gateelektrode (370) gebildet wird.
4. Verfahren nach Anspruch 3,
bei dem am Rand der Öffnung (330) das untere Source-
10 /Draingebiet (341) in der Höhe im wesentlichen mit der ersten isolierenden Schicht und das Kanalgebiet (342) in der Höhe im wesentlichen mit der leitfähigen Schicht (370) abschließt.
5. Verfahren nach Anspruch 1 oder 2,
15
- bei dem die Maske (13) aus isolierendem Material gebildet wird,
 - bei dem nach Bildung der Schichtenfolge (14) die Seitenwand des Kanalgebietes (142) so freigelegt wird, daß die Seitenwand des unteren Source-/Draingebietes (141) von dem isolierenden Material der Maske (131) im wesentlichen bedeckt bleibt,
20
 - bei dem an der freigelegten Seitenwand des Kanalgebietes (142) das Gatedielektrikum (16) und die Gateelektrode (170) gebildet werden.
25
6. Verfahren nach Anspruch 5,
30
- bei dem die Maske (13) aus einer ersten isolierenden Schicht (131) und einer zweiten isolierenden Schicht (132) gebildet wird, wobei die erste isolierende Schicht (131) auf der Hauptfläche und auf der ersten isolierenden Schicht
35 (131) die zweite isolierende Schicht (132) angeordnet ist und wobei die zweite isolierende Schicht (132) selektiv zur

ersten isolierenden Schicht (131) und zur Schichtenfolge (14) ätzbar ist,

- 5 - bei dem das untere Source-/Draingebiet (141) in der Höhe im wesentlichen mit der ersten isolierenden Schicht (131) abschließt,
- 10 - bei dem in der zweiten isolierenden Schicht (132) eine Öffnung (130) gebildet wird, die das Kanalgebiet (142) ringförmig umgibt,
- bei dem nach Bildung des Gatedielektrikums (16) die Öffnung mit einer leitfähigen Schicht (17) aufgefüllt wird,
- 15 - bei dem die Gateelektrode (170) durch Strukturieren der leitfähigen Schicht (17) gebildet wird.

7. Verfahren nach Anspruch 6,

- 20 - bei dem die Öffnung (15) in der zweiten isolierenden Schicht (132) an mindestens einer Seite der Schichtenfolge (14) eine Aufweitung (150) aufweist und im Bereich der Aufweitung (150) inselförmige Strukturen (132') angeordnet sind, so daß die Öffnung (15) im Bereich der Aufweitung
25 (150) einen gitterförmigen Querschnitt aufweist,
- bei dem die leitfähige Schicht (17) die Öffnung (15) auch im Bereich der Aufweitung (150) auffüllt.

- 30 8. Verfahren nach einem der Ansprüche 1 bis 7, bei dem die Schichtenfolge (34) ringförmig strukturiert wird und bei dem die ringförmig strukturierte Schichtenfolge (34) mit einer isolierenden Füllung (39) versehen wird.

FIG 1

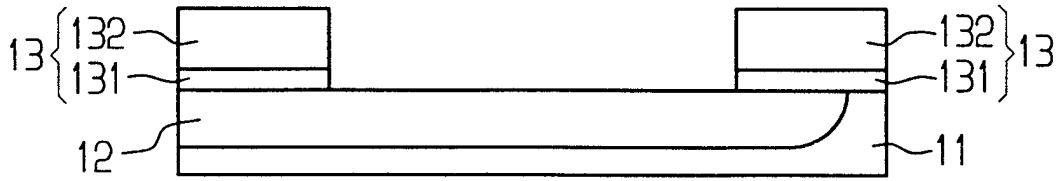


FIG 2

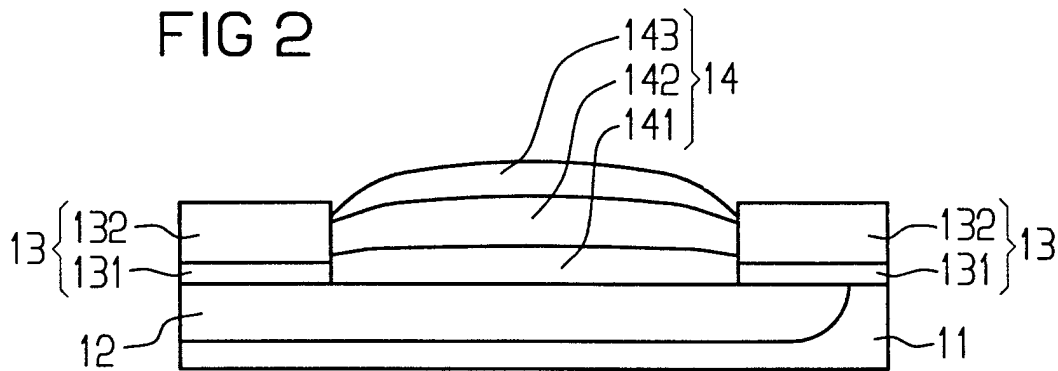


FIG 3

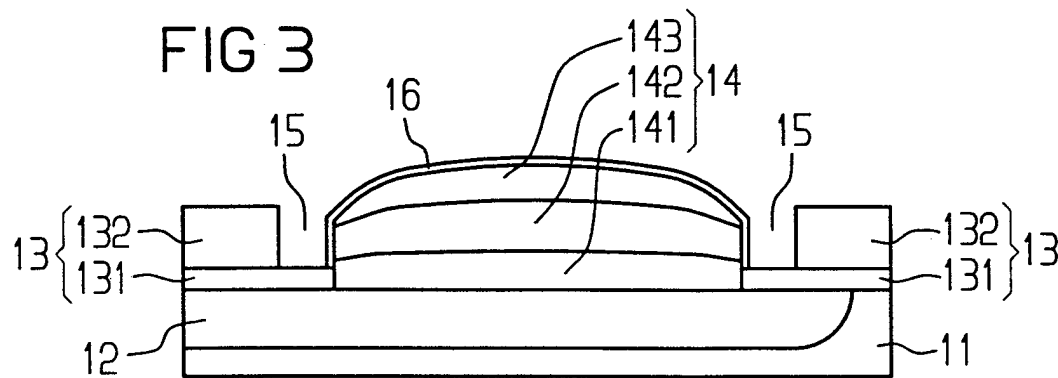


FIG 4

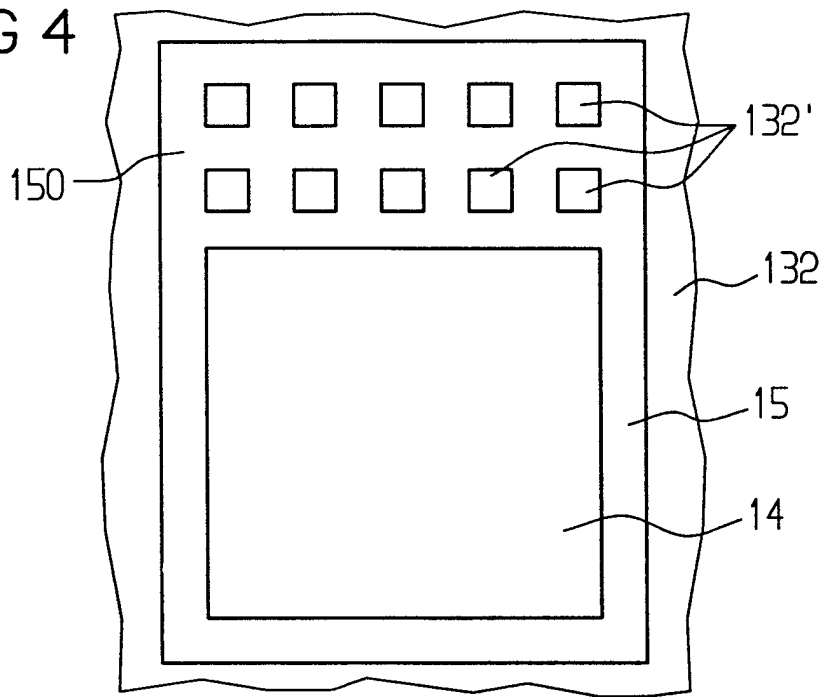


FIG 5

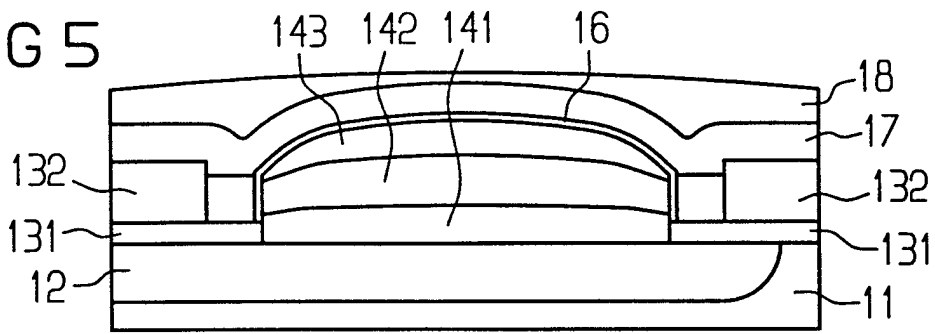


FIG 6

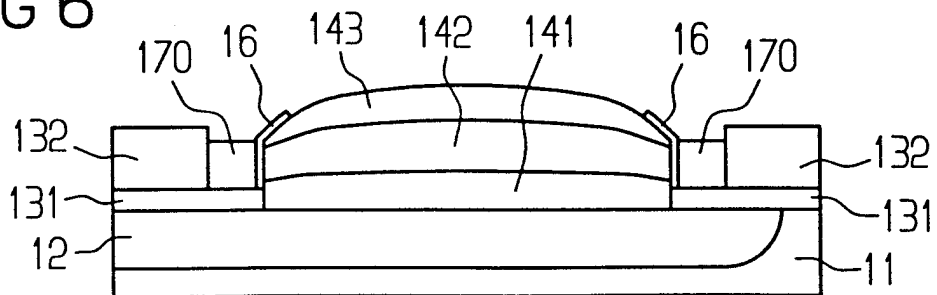


FIG 7

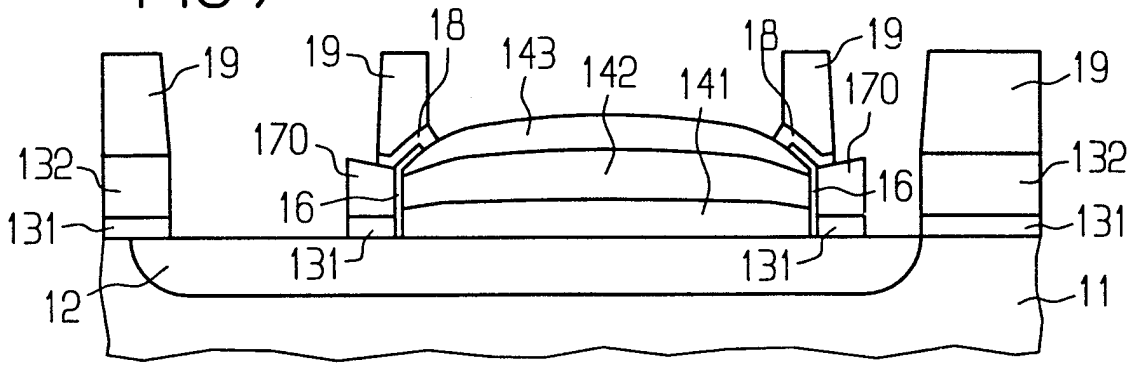


FIG 8

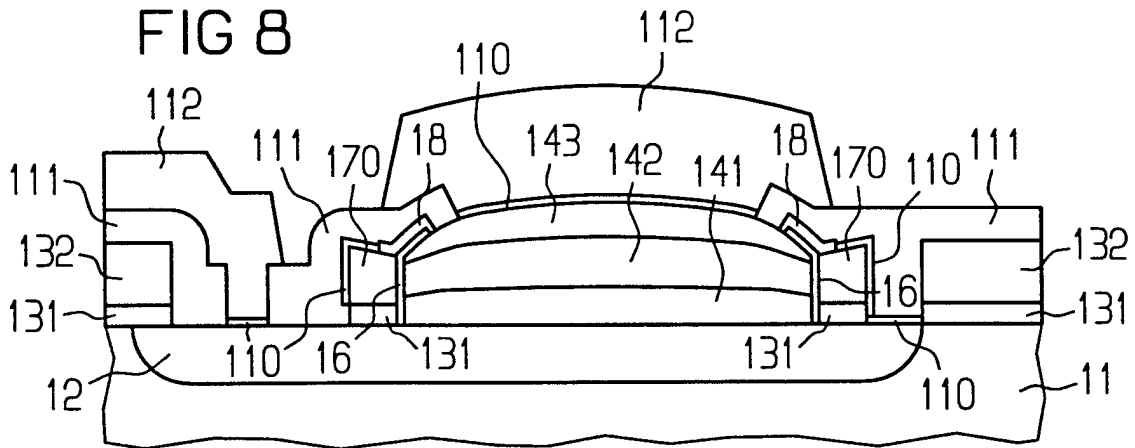


FIG 9

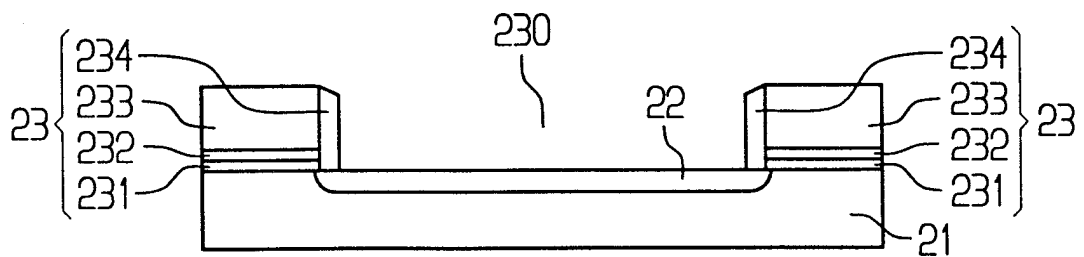


FIG 10

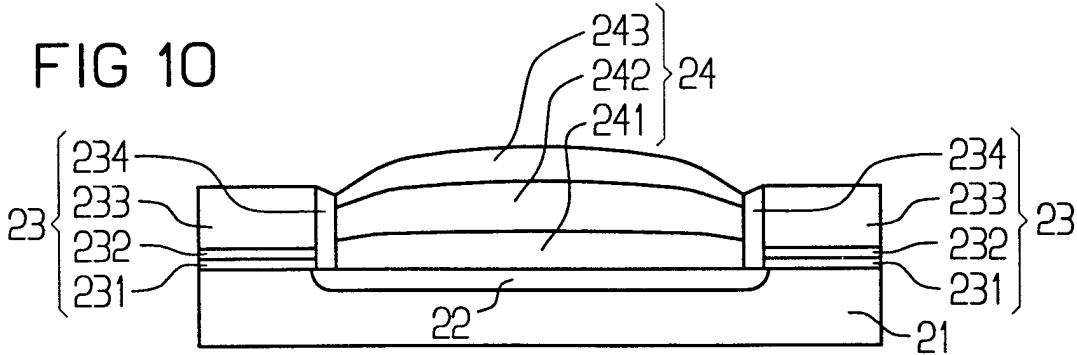


FIG 11

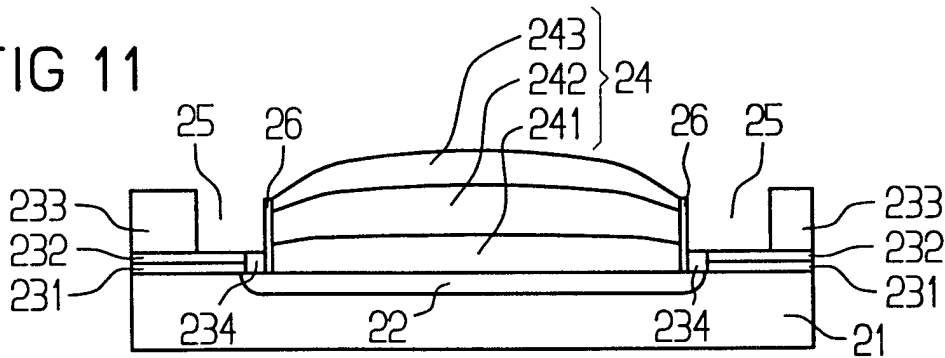


FIG 12

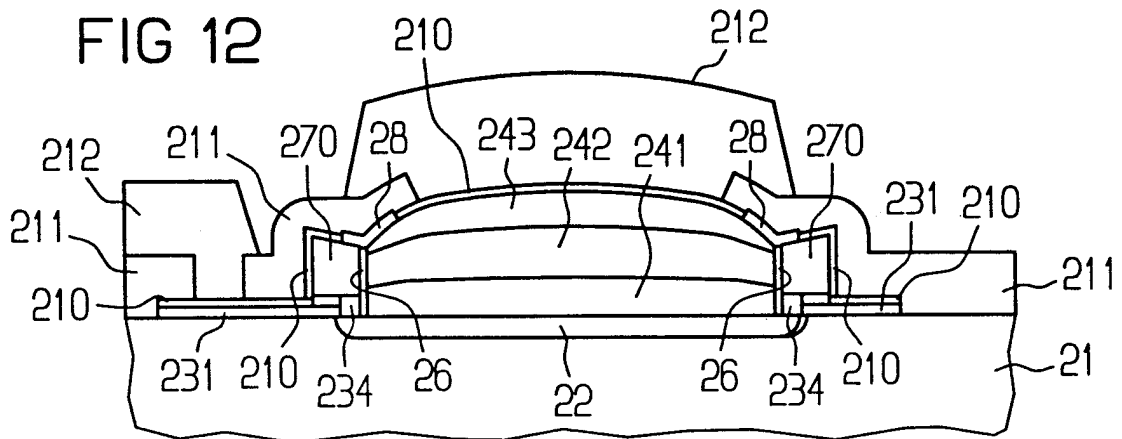


FIG 13

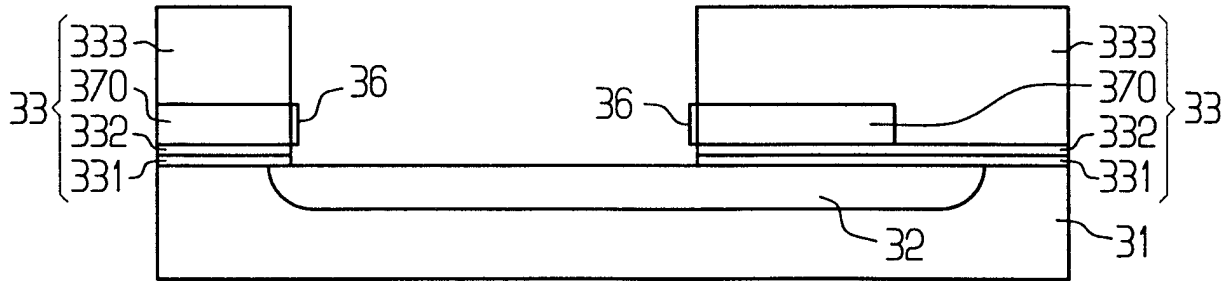


FIG 14

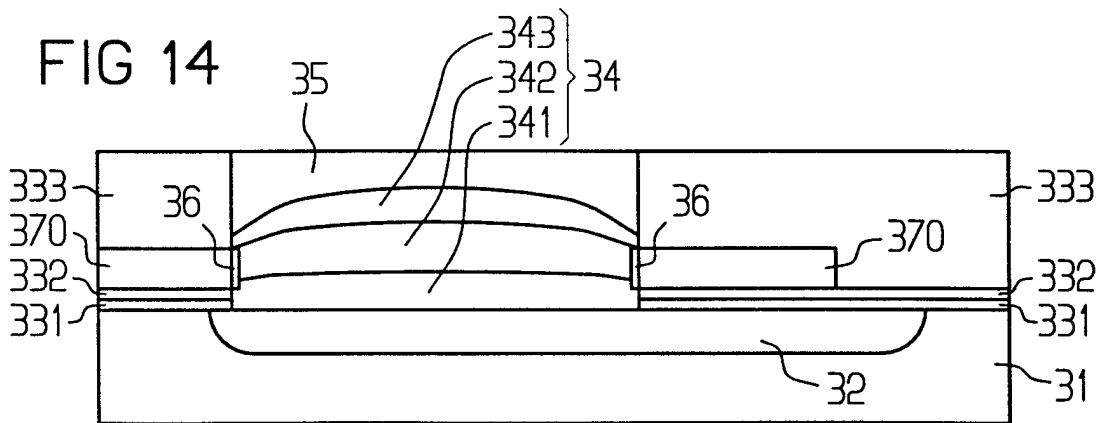


FIG 15

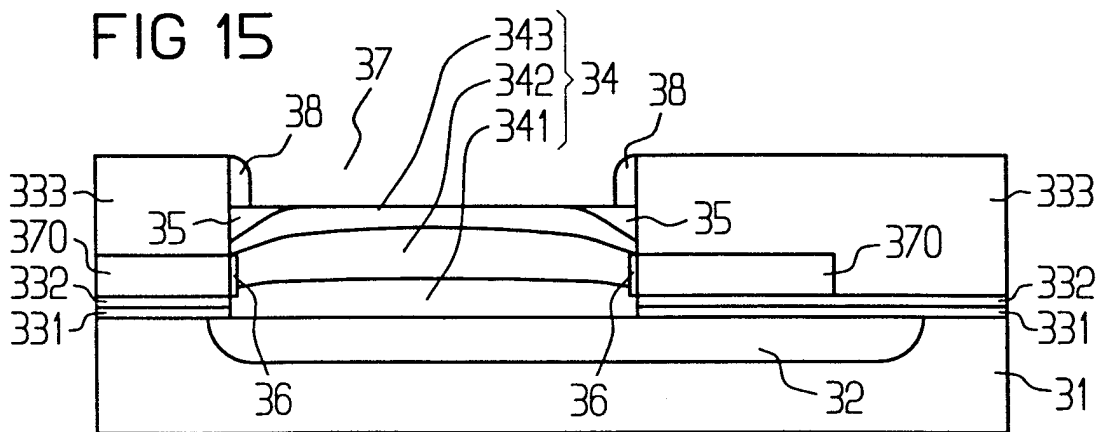


FIG 16

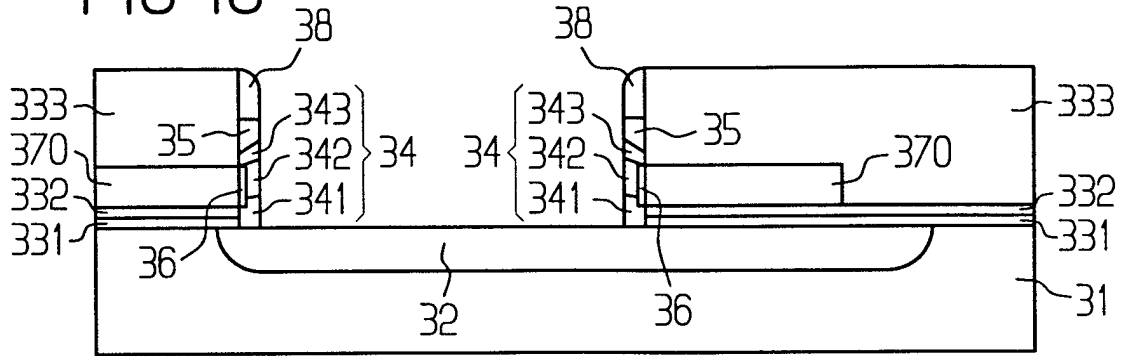
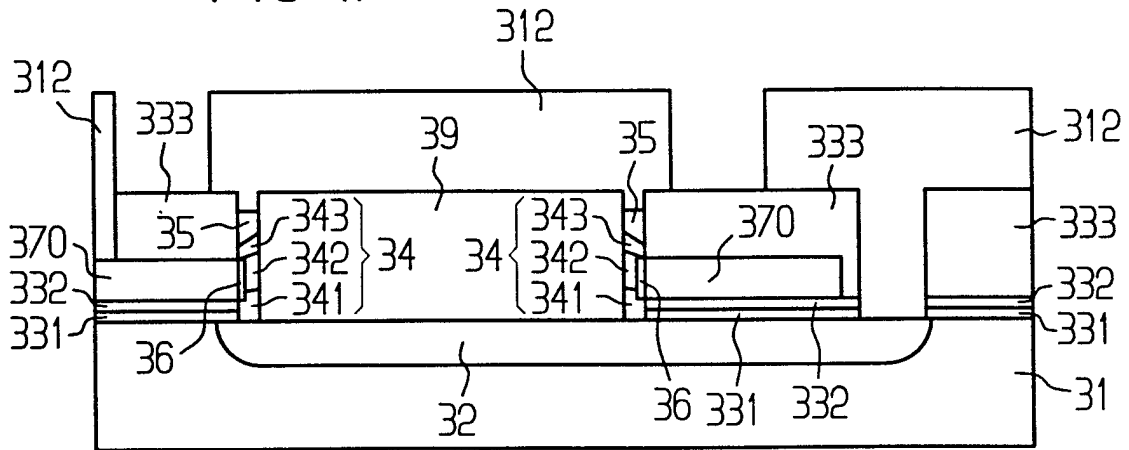


FIG 17



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 98/01405

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/336 H01L29/78

According to International Patent Classification(IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	LOO R ET AL: "Vertical Si p-MOS transistor selectively grown by low pressure chemical vapour deposition" THIN SOLID FILMS, vol. 294, no. 1-2, 15 February 1997, page 267-270 XP004073087	1,2
Y	see the whole document	3-5
Y	US 5 208 172 A (FITCH JON T ET AL) 4 May 1993 see abstract; figures 1-4	3,4
Y	US 5 545 586 A (KOH RISHO) 13 August 1996	5
A	see column 5, line 31 - line 60; figure 2	6,7
	-/--	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

20 July 1998

Date of mailing of the international search report

29/07/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Gélébart, J

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 98/01405

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	BEHAMMER D ET AL: "SELECTIVELY GROWN VERTICAL SI-P MOS TRANSISTER WITH SHORT CHANNEL LENGTHS" ELECTRONICS LETTERS, vol. 32, no. 4, 15 February 1996, page 406/407 XP000558180 see the whole document -----	1,2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 98/01405

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5208172 A	04-05-1993	US 5414289 A US 5451538 A US 5578850 A	09-05-1995 19-09-1995 26-11-1996
US 5545586 A	13-08-1996	JP 4192564 A	10-07-1992

INTERNATIONALER RECHERCHENBERICHT

In nationales Aktenzeichen

PCT/EP 98/01405

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 6 H01L21/336 H01L29/78				
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK				
B. RECHERCHIERTE GEBIETE				
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 6 H01L				
Recherchierte aber nicht zum Mindestprüfstoff gehorende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen				
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)				
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN				
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.		
X	LOO R ET AL: "Vertical Si p-MOS transistor selectively grown by low pressure chemical vapour deposition" THIN SOLID FILMS, Bd. 294, Nr. 1-2, 15. Februar 1997, Seite 267-270 XP004073087 --- Y siehe das ganze Dokument	1,2 3-5		
Y	US 5 208 172 A (FITCH JON T ET AL) 4. Mai 1993 siehe Zusammenfassung; Abbildungen 1-4 --- Y US 5 545 586 A (KOH RISHO) 13. August 1996 A siehe Spalte 5, Zeile 31 - Zeile 60; Abbildung 2 --- -/--	3,4 5 6.7		
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none;"><input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen</td> <td style="width: 50%; border: none;"><input checked="" type="checkbox"/> Siehe Anhang Patentfamilie</td> </tr> </table>			<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie			
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none;"> * Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist </td> <td style="width: 50%; border: none;"> "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist </td> </tr> </table>			* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist	"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist	"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist			
Datum des Abschlusses der internationalen Recherche		Absenddatum des internationalen Recherchenberichts		
20. Juli 1998		29/07/1998		
Name und Postanschrift der Internationalen Recherchenbehörde		Bevollmächtigter Bediensteter		
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl. Fax: (+31-70) 340-3016		Gélébart, J		

INTERNATIONALER RECHERCHENBERICHT

In: Internationales Aktenzeichen

PCT/EP 98/01405

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	<p>BEHAMMER D ET AL: "SELECTIVELY GROWN VERTICAL SI-P MOS TRANSISTER WITH SHORT CHANNEL LENGTHS" ELECTRONICS LETTERS, Bd. 32, Nr. 4, 15.Februar 1996, Seite 406/407 XP000558180 siehe das ganze Dokument -----</p>	1,2

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 98/01405

Im Recherchenbericht - angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5208172 A	04-05-1993	US 5414289 A US 5451538 A US 5578850 A	09-05-1995 19-09-1995 26-11-1996
US 5545586 A	13-08-1996	JP 4192564 A	10-07-1992