

公告本

295709

申請日期	85. 1. 1
案 號	85104329
類 別	H01L 21/31

Int. Cl.⁶

A4
C4

(以上各欄由本局填註)

295709

發明專利說明書

一、發明 名稱	中 文	半導體元件及其製造方法
二、發明 創作人	英 文	SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD
三、申請人	姓 名 (名稱) 國 籍 住、居所 (事務所) 代 表 人 姓 名	1. 宮井羊一 (YOICHI MIYAI) 2. 栗野浩之 (HIROYUKI KURINO) 3. 諸井政幸 (MASAYUKI MOROI) 4. 朴勝司 (KATSUSHI BOKU) 5. 尾形喜廣 (YOSHIHIRO OGATA) 6. 奥本康博 (YASUHIRO OKUMOTO) 1.-3.、5.-6.皆日本；4.韓國 1.日本國302，茨城縣，烏出西1-6-C303 1-6-C303 Nishi, Toride, Ibaraki, Japan 302 2.日本國300-12，茨城縣，牛久，石塚，E-8 E-8, Ishizuka Coop, Ushiku, Ibaraki, Japan 300-12 3.日本國，300茨城縣，土浦板谷-6, 655-30 655-30 Itaya-6, Tsuchiura, Ibaraki, Japan 300 4.日本國300，茨城縣，土浦市櫻花町，4-7-15, 405自由廣場 405 Freedom Plaza, 4-7-15, Sakuramachi, Tsuchiura City, Ibaraki, Japan 300 5.日本國300-12，茨城縣，土浦，上高津，信町，8-21 8-21, Shinmachi, Kamitakatsu, Tsuchiura, Ibaraki, Japan 300-12 6.日本國300，茨城縣，土浦，夫南，2-9-33 2-9-33, Ottominami, Tsuchiura, Ibaraki, Japan 300

裝

訂

線

公告本

295709

申請日期	85. 1. 17
案 號	85104329
類 別	H01L 21/30, 21/31

A4
C4

Int. Cl.

(以上各欄由本局填註)

295709

發明專利說明書

一、發明 名稱	中 文	半導體元件及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD
二、發明 創作人	姓 名  國 籍	
	住、居所	
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉 William E. Hiller

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

C6
D6

本案已向：

日本國(地區) 申請專利，申請日期：西歷 1995 年 2 月 28 日 案號：7(1995)-64903
☐有 ☒無主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(/)

<發明領域>

本發明係關於一種用於製造一個半導體元件方法(特別是諸如包含堆疊細胞電容器的動態 RAM 元件)。

<發明背景>

以一個 COB (細胞在位元線上) 結構來製造用於堆疊動態 RAM 的記憶體細胞是需要大量的流程。通常敘述在下文中的二個主要的方法被使用在一個於字線 (此後稱為 WL) 與位元線 (此後稱為 BL) 之間的交互層絕緣薄膜的形成之後。

第一個主要的方法包括諸如下面 1-9 的步驟。

1. 一個影印石版術步驟用於形成使用於連接 BL 到基片的位元線接觸 (此後稱為 BLCT) ;
2. 一個 BLCT 蝕刻步驟 ;
3. 一個 BL 材料的沉澱步驟 ;
4. 一個 BL 影印石版術步驟 ;
5. 一個 BL 蝕刻步驟 ;
6. 一個交互層絕緣薄膜的形成以從儲藏節點 (此後稱為 SN) 分開 BL ;
7. 一個影印石版術步驟用於形成使用於連接 SN 到基片的儲藏節點接觸 (此後稱為 SNCT) ;
8. 一個 SNCT 蝕刻步驟 ;

五、發明說明(2)

9 · 一個 SN 材料的沉澱步驟 ·

第二個主要的方法是一個方法用於形成一個中介的傳導性層於 BL 和基片之間，於 SN 與基片之間，或於二個之間 BL 和 SN 之間，使用以下的程序 1-15（於呈現在下面的例子，BLPAD 和 SNPAD 兩者被使用）。

1 · 一個影印石版術步驟用於形成一個位元線接觸 1（此後稱為 BLCT1）用於連接 BLPAD 到基片與一個儲藏節點接觸 1（此後稱為 SNCT1）用於連接 SNPAD 到基片；

2 · 一個步驟用於蝕刻 BLCT1 和 SNCT1；

3 · 一個步驟用於置放 BLPAD 和 SNPAD 材料；

4 · 一個影印石版術步驟用於 BLPAD 和 SNPAD；

5 · 一個步驟用於蝕刻 BLPAD 和 SNPAD；

6 · 一個交互層絕緣薄膜的形成以從 BL 分開

BLPAD；

7 · 一個影印石版術步驟用於形成一個位元線接觸

2（此後稱為 BLCT2）用於連接 BLPAD 到 BL；

8 · 一個步驟用於蝕刻 BLCT2；

9 · 一個步驟用於置放 BL 材料；

10 · 一個影印石版術步驟用於 BL；

11 · 一個步驟用於蝕刻 BL；

12 · 一個交互層絕緣薄膜的形成以從 SN 分開 BL；

五、發明說明(3)

13 · 一個影印石版術步驟用於形成一個儲藏節點接觸 2 (此後稱為 SNCT2) 用於連接 SNPAD 到 SN ;

14 · 一個步驟用於蝕刻 SNCT2 ;

15 · 一個步驟用於置放 SN 材料 ·

上述之第一個主要的方法將被參考圖 61-69 說明 ·

如顯示於圖 62 , 一個閘氧化物薄膜 5 被以熱量氧化所形成 , 其是在一個選擇性的場二氧化矽薄膜 2 的形成之後 , 其使用一般知道的 LOCOS 方法在一個基於一個一般知道流程的 p 類型矽基片 1 的主要邊 · 此經由影印石版術被型式以形成字線 WL · 接著此字線 WL 被使用當作一個罩幕以經由離子注入來注射一個 n 類型摻雜劑(例如 , 砷或磷)進入矽基片 1 · n⁺類型半導體地區 (排極與源極) 使用一個自我對齊技術來形成 · 於此方法 , 可獲得一個轉移閘 TR ·

此外 , 一個二氧化矽邊牆(未顯示)被形成在字線 WL 的側邊 , 其使用一個一般知道的邊牆技術其經由蝕刻一個經由 CVD 置放在整個表面的絕緣層 (諸如一個二氧化矽層) · 接著字線 WL 與邊牆被使用為罩幕以經由離子注入注射一個 n 類型摻雜劑到一個先前形成的相對厚深度的一個 n 類型半導體地區以便有一個低的濃度 · n⁺類型排地區 3 與 n⁺類型來源地區 4 (儲存節點) 被使用一個自我對齊技術來形成 · 這是轉移閘 TR 能被形成的另外的

五、發明說明(4)

方法。

接著一個交互層絕緣薄膜 7 (於圖中以單一層 7 來簡化解釋) 經由製成薄版被形成於矽基片 1, 一個二氧化矽鈍化層, 一個四氮化三矽層的表面用於保護在下列的層等等。

接著一個包括一個光阻或多元矽的罩幕 8 被形成在前述的交互層絕緣薄膜 7 的頂端, 然後選擇性暴露並開發以形成一個非罩幕區域 (開口) 8a 用於位元線接觸 BLCT。

接著, 如顯示於圖 63, 罩幕 8 將會被使用於蝕刻交互層絕緣薄膜 7 直到矽基片 1 以形成位元線接觸洞 BLCT。

接著, 如顯示於圖 64, 在其一個罩幕 9 以一個需要的型式被使用於實行蝕刻如顯示於圖 65 來形成諸如那些顯示於圖 66 的位元線 BL 後, 位元線材料 BL' 經由噴射等等被附著。

接著, 如顯示於圖 67, 在其一個罩幕 11 被形成如顯示於圖 68 並被選擇性暴露與開發以形成一個非罩幕區域 11a 用於儲藏節點接觸後, 一個交互層絕緣薄膜 10 被形成以從 SN 分開 BL。

接著, 如顯示於圖 69, 罩幕 11 被選擇性使用於蝕刻交互層絕緣薄膜 10 與 7 直到矽基片 1, 藉以形成一個儲藏節點接觸洞 SNCT。

接著, 如顯示於圖 70, 功能如儲藏節點材料的多元

五、發明說明(5)

矽 12 被附著。接著，實行下列步驟：多元矽層型式，表面氧化，氮化，沉澱，等等，以形成一個誘電性的薄膜 100 與較高的電極 101。於此方法，已有了堆疊電容器。

圖 71-79 舉例說明第一個主要方法的另外例子。

於此例子，SNCT 是自我對齊於 BL。如此，如果那裡有一個氧化物薄膜被使用為交互層絕緣薄膜 7，BL 的外圍被一個氮化物薄膜 20 所遮蓋，其後交互層絕緣薄膜 7 與一個包含一個開口 18a 的單幕 18 在那上面被形成如圖 71。

接著，如顯示於圖 72，位元線接觸洞 BLCT 被形成在交互層絕緣薄膜 7 上。

接著，如顯示於圖 73，位元線材料 BL' 與一個氮化物薄膜 13 被製成薄版以形成一個單幕 19 如顯示於圖 74，其被使用於蝕刻和形成位元線 BL 於需要的型式如顯示於圖 75。

接著，如顯示於圖 76，一個包括氮化物薄膜的邊牆 (14) 被形成在位元線 BL 的側邊，其後一個單幕 21 經過一個影印石版術流程被形成如顯示於圖 77。

接著，如顯示於圖 78，交互層絕緣薄膜 7 被蝕刻以形成一個延伸到矽基片 1 的儲藏節點接觸洞 SNCT。

接著，如顯示於圖 79，一個功能如一個儲藏節點材料的多元矽層 (22) 被附著。

然而，舉例說明圖 62-70 與 71-79 的第一個方法從以下觀點是有問題的。

五、發明說明(6)

(1) 有大量的步驟，因為有二個接觸洞形成處理(用於 **BLCT** 和 **SNCT**)。

(2) 如果 **SNCT** 未自我對齊於 **BL** (圖 62-70)，需要空間以對齊 **SNCT** 到 **BL**。此使得它難以減少細胞的大小尺寸。

(3) 如果 **SNCT** 是自我對齊於 **BL** (圖 71-79)，則於洞形成流程期間必需實行高選擇性的蝕刻法在氧化物薄膜與氮化物薄膜。如此程序需要特別的裝備。此外，一個有高誘電性的常數在包圍 **BL** 的氧化物薄膜的氮化物薄膜的使用增加了 **BL** 的寄生電容。此減少電路的操作速度並容易造成較大的電力消耗。

上述之第二個主要的方法現在將參考圖 80-94 被敘述。

如顯示於圖 80，擴散地區，字線 **WL**，二氧化矽層 **31'**，與邊牆 **30** 被以上述相同方法形成在矽基片 **1** 上。一個單幕 **38** 被形成以產生於個別字線 **WL** 之間的洞。

接著，如顯示於圖 81，位元線接觸洞 **BLCT1** 與 **SNCT** 接觸洞 **SNCT1** 被以蝕刻法來形成。

接著，如顯示於圖 82，附著中介的傳導性層材料 **BLPAD'** 和 **SNPAD'** 用於位元線 **BL** 與儲藏節點 **SN**。

接著，如顯示於圖 83，一個單幕 **30** 被形成和使用來選擇性蝕刻 **PAD** 材料以形成中介的傳導性層 **BLPAD** 和 **SNPAD** 如顯示於圖 84。

接著，如顯示於圖 85，一個交互層絕緣薄膜 **31** 被形

五、發明說明(7)

成和使用顯示於圖 86 的罩幕 32 被選擇性蝕刻直到中介的導體 **BLPAD**。於此方法，一個位元線接觸經過洞 **BLCT2** 被形如顯示於圖 87。

接著，如顯示於圖 88，位元線材料 **BL'** 經由噴射等等被附著。然後使用一個罩幕 (39) 以需要的型式如顯示於圖 89 來蝕刻。於此方法，位元線 **BL** 被形成如顯示於圖 90。

接著，如顯示於圖 91，一個交互層絕緣薄膜 40 被形成以從 **SN** 分開 **BL**，其後一個罩幕 41 被形成如顯示於圖 92。此是選擇性被暴露與開發以形成一個非罩幕區域 (41a) 用於接觸儲藏節點。

接著，如顯示於圖 93，罩幕 41 被選擇性使用於蝕刻交互層絕緣薄膜 40 與 31 以形成一個儲藏節點接觸經過洞 **SNCT2**。

接著，如顯示於圖 94，附著一個功能如一個儲藏節點材料的多元矽層 42。接著多元矽層被型式，而表面氧化等等被實作以形成一個誘電性材料與形成一個較高的電極。於此方法，已有了一個堆疊電容器。

如此，舉例說明於圖 80-94 的第二個方法，其大量的步驟是最顯著的問題。

如上述，到此為止的方法已是現成可用來解決一或二個以下的問題：步驟數目的增加，減少細胞大小尺寸的困難，特性惡化。然而，並沒有方法是現成可用來解決所有這些問題。本發明的目的是提供一種方法可同時

五、發明說明(8)

來解決所有前述的問題。

<發明概要>

較特別地，本發明是關於一種半導體元件與它的製造方法，其中於製造一個包含記憶體細胞的半導體元件期間，於其中在一個有字線的電晶體的一個擴散地區被連接到位元線，而其它擴散地區被連接到一个電容器，包含下列的事物：一個形成一個用於連接到前述的位元線的接觸洞與一個用於連接到前述電容器的接觸洞的步驟；與一個步驟，其當位元線形成材料被型式以形成位元線時，用於連接到接觸洞的前述的接觸洞被充滿一個傳導性的材料。

以本發明的半導體元件製造方法，它是可能來蝕刻一個絕緣薄膜，遮蔽一個包含位元線的表面，因此它依然是一個邊牆在前述的位元線的側邊，而同時除去位於接觸洞最高處用於連接到電容器的前述絕緣薄膜。此外，它是可能來附著一個儲藏節點材料在前述的絕緣薄膜被除去後。

此外，在前述的接觸洞形成之後，當型式位元線形成材料以形成位元線時，用於連接到位元線的接觸洞與用於連接到電容器的接觸洞能被充滿一個傳導性的材料，其後前述的位元線形成材料能被附著。然後它是可能來型式前述的位元線形成材料以形成位元線。

五、發明說明(9)

於此狀況下，在位元線的形成之後，前述的位元線的旁邊與在接觸洞之內用於連接到電容器的傳導性的材料的頂端能被氧化，其後一個形成在整個表面上的絕緣薄膜能被蝕刻以形成在前述位元線側邊的一個較厚邊牆。

此外，在前述的接觸洞的形成之後，當型式位元線形成材料以形成位元線時，用於連接到位元線的接觸洞與用於連接到電容器的接觸洞能被充滿一個傳導性的材料，其後前述的位元線形成材料能被附著。然後它是可能來型式前述的位元線形成材料以形成位元線。接著，一個形成在整個表面上的絕緣薄膜能被蝕刻回去以形成前述的位元線側邊的一個厚邊牆。

於此狀況下，在邊牆的形成之後能附著一個儲藏節點材料。

<圖示簡述>

圖 1 是一個本發明的運用例子的動態 RAM 記憶體細胞製造方法的一個步驟的擴大剖面（沿著圖 17 線 X-X 的剖面；以下相同）。

圖 2 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 3 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

五、發明說明(10)

圖 4 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 5 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 6 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 7 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 8 仍是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 9 是一個用於前述記憶體細胞的製造方法的一個步驟的擴大剖面(沿著圖 17 線 Y-Y 的剖面;以下相同)。

圖 10 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 11 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 12 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 13 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 14 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 15 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

五、發明說明(//)

圖 16 仍是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 17 是前述的記憶體細胞的平面圖。

圖 18 是一個本發明的另外運用例子的動態 RAM 記憶體細胞製造方法的一個步驟的擴大剖面。

圖 19 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 20 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 21 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 22 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 23 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 24 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 25 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 26 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 27 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 28 是一個用於前述記憶體細胞的製造方法的另外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

步驟的擴大剖面。

圖 29 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 30 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 31 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 32 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 33 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 34 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 35 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 36 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 37 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 38 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 39 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 40 是一個用於前述記憶體細胞的製造方法的另外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(／3)

步驟的擴大剖面。

圖 41 仍是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 42 是一個本發明的另外運用例子的動態 RAM 記憶體細胞製造方法的一個步驟的擴大剖面。

圖 43 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 44 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 45 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 46 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 47 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 48 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 49 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 50 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 51 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 52 是一個用於前述記憶體細胞的製造方法的另外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

步驟的擴大剖面。

圖 53 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 54 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 55 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 56 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 57 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 58 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 59 仍是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 60 是一個本發明的另外運用例子的動態 RAM 中的主要的零組件的擴大剖面。

圖 61 仍是一個本發明的另外運用例子的動態 RAM 中的主要的零組件的擴大剖面。

圖 62 是一個傳統比較例子的動態 RAM 記憶體細胞製造方法的一個步驟的擴大剖面。

圖 63 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 64 是一個用於前述記憶體細胞的製造方法的另外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

步驟的擴大剖面。

圖 65 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 66 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 67 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 68 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 69 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 70 仍是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 71 是另一個傳統比較例子的動態 RAM 記憶體細胞製造方法的一個步驟的擴大剖面。

圖 72 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 73 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 74 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 75 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 76 是一個用於前述記憶體細胞的製造方法的另外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

步驟的擴大剖面。

圖 77 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 78 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 79 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 80 是另一個傳統比較例子的動態 RAM 記憶體細胞製造方法的一個步驟的擴大剖面。

圖 81 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 82 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 83 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 84 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 85 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 86 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 87 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 88 是一個用於前述記憶體細胞的製造方法的另外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

步驟的擴大剖面。

圖 89 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 90 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 91 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 92 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 93 是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

圖 94 仍是一個用於前述記憶體細胞的製造方法的另外步驟的擴大剖面。

<實施例敘述>

本發明的實施例將被敘述在下面。

圖 1-17 舉例說明本發明被應用到一個 COB 類型的動態 RAM 的第一個運用例子。圖 1-8 是沿著圖 17 線 X-X 的剖面。圖 9-16 是沿著圖 17 線 Y-Y 的剖面。

目前運用例子用於製造動態 RAM 記憶體細胞的流程現在將被說明。首先，如顯示在圖 1 與 9，擴散地區與字線 WL 被以上述相同的方法形成在矽基片 1 上。

接著，在一個包括二氧化矽的交互層絕緣薄膜 51 被

五、發明說明 (/ 8)

形成在字線的頂端 **WL** 後，一個包括多元矽的單幕 **58** 被附著。非單幕區域（開口）**58A** 和 **58B** 然後被形成在上面以便同時型式一個位元線接觸洞 **BLCT** 與一個儲藏節點接觸洞 **SNCT**。

接著，如顯示在圖 2 與 10，單幕 **58** 被分享用於蝕刻交互層絕緣薄膜 **51** 以便形成位元線接觸洞 **BLCT** 與儲藏節點接觸洞 **SNCT**。前述的接觸洞可同時或分開地被蝕刻。

接著，如顯示在圖 3 與 11，位元線材料 **BL'** 經由噴射等等被附著，且一個二氧化矽絕緣層 **60** 被形成在那上面。

接著，如顯示在圖 4 與 12，包括多元矽的單幕 **59** 被以需要的型式形成並使用於蝕刻以形成位元線。如此，包含二氧化矽層 **60** 的位元線 **BL** 被形成在頂端，而位元線材料 **BL'** 被允許留在接觸洞 **SNCT** 當作一個 **SNCT** 插接點如顯示在圖 5 與 13。

接著，如顯示在圖 6 與 14，交互層絕緣薄膜 **40** 被形成以從 **SN** 分開 **BL**，其後被實作蝕刻回去以便這些位元線 **BL** 的邊被一個邊牆 **54** 所遮蓋如顯示於圖 7 與 15。此外，**SNCT** 插接點被暴露。

接著，如顯示在圖 8 與 16，功能如儲藏節點材料的多元矽 **22** 被附著。接著，經由型式前述的多元矽層彼此毗連的儲藏節點被分開。此外，表面氧化等等被實作以形成誘電性的薄膜 **100** 與較高的電極 **101**。於此方法，已

五、發明說明(19)

有了堆疊電容器·圖 17 舉例說明一個相對應於圖 8 與 16 (位元線 BL 是波形狀) 的佈面·

如此，目前運用例子的方法主要特徵是下列四點·

1 · BLCT 和 SNCT 是同時被型式 (圖 1 與 9) 並使用一個分享罩幕蝕刻 (圖 2) 的事實·

2 · 當 BL 蝕刻被實行時，在 SN 和在 SNCT 之內的基片之間的連接導體 (SNCT PLUG) 是使用形成 BL (圖 5 與 13) 的部份材料來形成的事實·

3 · 當邊牆蝕刻法被實行以使 BL 和 SN 彼此絕緣時，於 SN 和 SNCT PLUG 之間的絕緣薄膜同時被移去的事實·

4 · 功能如 SN 的材料此後馬上被置放的事實·

如此，它可來解決上述第一個方法和第二個方法的多樣問題·

(關於第一個方法的問題)

(1) 只需要一個洞形成流程，因為 BLCT 和 SNCT 是同時被形成·如此，9 個步驟被減少到 8 個步驟·

(2) 甚至如果 SNCT 不是自我對齊 BL，因為在 BL 形成前 SNCT 已完全地被形成，不需要提供一個空間來防止 SNCT 和 BL 彼此接觸·如此，它是可能來減少細胞的大小尺寸·

(3) 如果 SNCT 被造成自我對齊 BL，因為在 BL 形成前 SNCT 已完全地被形成，不需要 SNCT 和 BL 彼此自

五、發明說明 (50)

我對齊。如此，不需要以一個氮化物薄膜涵蓋 BL 的外圍或於洞蝕流程期間對於氧化物薄膜與氮化物薄膜實行高選擇性蝕刻。此外，不需要特別的裝備用於這些步驟。此外，因為不需要使用一個有一個高誘電性常數在 BL 的外圍的氧化物薄膜的氮化物薄膜，BL 的寄生電容不被增加。此外，電路操作的速度不會減少且電力消耗不會增加。

(關於第一個方法的問題)

製造步驟的數目，這是最顯著的問題，被從十五個步驟減少到八個步驟。

另外的效果 1：

如果有一個電容呈現越過鄰接的 BLs，除非使用一個諸如 BL 扭合的技術，於 BLs 之間的內線雜訊將引起儲藏節點的電容的一個有效的減少。然而，如顯示於圖 16，以目前運用例子的細胞，它是可能來減少於鄰接 BLs 之間的絕緣層的數量，因為在 BL 底部的高度位置 P1 配合（或高於）在 SN 底部或在 SN 頂部（與圖 70 比較）的細胞板底部的高度位置 P2。如此，於鄰接 BLs 之間是沒有電容的。

另外的效果 2：

於 BL，SN，或細胞板之間的電容，其包含 BL 電容的一個顯著部份，能經由增加在 BL 頂端的這些氧化物薄膜（60）與 BL（圖 16 區域 B）側邊的邊牆氧化物薄膜

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明 (2/)

(54) 的厚度而被減少。

另外的效果 3：

通常它是需要來設計佈面以便於 BL 蝕刻流程期間，BLCT 和 BL 將有一個合適的重疊數量以避免 BLCT 與 BL 與隨後的基片蝕刻的位置失誤。於目前運用例子，當同時蝕刻 BLCT 和 SNCT 時，SNCT 插接點被允許留下。如此，基片將不被蝕刻縱使 BLCT 和 BL 是位置失誤。為此緣故，所以不需要設計佈面有很大程度的 BLCT 和 BL 的重疊，因此，細胞大小尺寸能被減少。

圖 18-41 舉例說明第二個運用例子，於其中本發明被應用到一個 COB 類型的動態 RAM。圖 18-29 是沿著圖 17 線 X-X 的剖面而圖 30-41 是沿著圖 17 線 Y-Y 的剖面。

用於目前運用例子的動態 RAM 的製造記憶體細胞的流程現在將被說明。首先，如顯示在圖 18 與 30，擴散地區與字線 WL 被以上述相同的方法形成在矽基片 1 上。

接著，在一個包括二氧化矽的交互層絕緣薄膜 51 被形成在字線 WL 的頂端後，一個包括多元矽的單幕 58 被附著。非單幕區域（開口）58A 和 58B 然後形成在那上面以便同時型式一個位元線接觸洞 BLCT 與一個儲藏節點接觸洞 SNCT。

接著，如顯示在圖 19 與 31，單幕 58 被分享用於蝕刻交互層絕緣薄膜 51 以便形成位元線接觸洞 BLCT 與儲藏節點接觸洞 SNCT。前述的接觸洞能同時被蝕刻或分開地被蝕刻。

五、發明說明 (22)

接著，如顯示在圖 20 與 32，位元線材料 **BL'** 經由噴射等等被附著。

接著，如顯示在圖 21 和 33，蝕刻法被實行以蝕刻 **BL** 材料。它被允許選擇性留下在 **BLCT** 之內當作一個 **BLCT** 插接點與在 **SNCT** 之內當作一個 **SNCT** 插接點。

接著，如顯示在圖 22 與 34，在絕緣薄膜 51 稍被蝕刻之後，二氧化矽絕緣薄膜 60 被形成如顯示在圖 23 與 35。應注意於此例子，**SNCT** 插接點與 **BLCT** 插接點被允許突出超出交互層絕緣薄膜如在圖 22 與 34 所顯示。然而，不是絕對需要使用此結構。

接著，如顯示在圖 24 與 36，單幕 59 被以需要的型式形成且被使用於蝕刻以形成位元線。如此，包含二氧化矽層 60 的位元線 **BL** 被形成如顯示在圖 25 與 37。在此時 **SNCT** 插接點的頂端稍突出。

接著，如顯示在圖 26 與 38，表面氧化置放被實行以一個邊牆 54 涵蓋這些位元線 **BL** 的側邊。接著，如顯示在圖 27 與 39，與圖 28 與 40，一個絕緣薄膜 64 被附著到整個表面並蝕刻回來以獲得一個邊牆。應注意經過熱量氧化獲得的氧化物薄膜 54 被形成以除去黏著於不需要區域的多元矽，且以便附著在一個相對高壓經過熱量氧化獲得的一個氧化物薄膜到這些位元線 **BL** 的側邊。

接著，如顯示在圖 29 與 41，功能如一個儲藏節點材料多元矽 22 被附著。接著，實行下列步驟：多元矽層型式，表面氧化等等以形成一個誘電性的薄膜與形成一個

五、發明說明 (23)

較高的電極。於此方法，已有了堆疊電容器。

在目前運用例子，一個分享罩幕被以如先前第一個運用例子的相同方法來使用以形成 **BLCT** 和 **SNCT**。如此，操作上的效果是如同於先前的情況。此外，因為於顯示於圖 22 與 25 的步驟期間，**SNCT** 插接點被允許稍突出用於 **SN** 材料的黏附力，它是可能來防止甚至於顯示於圖 26 的氧化步驟期間的過度的氧化。此外，位元線有一個充分的絕緣包覆因為邊牆被加進於顯示在圖 26-28 的步驟。

圖 42-59 舉例說明本發明被應用到一個 **COB** 類型的動態 **RAM** 的一個第三個運用例子。圖 42-50 是沿著圖 17 線 X-X 的剖面而圖 51-59 是沿著圖 17 線 Y-Y 的剖面。在目前例子的儲藏節點的最後結構是不同於那些顯示在圖 8 與 17 者，此對於工業界人士應是明顯的。

用於目前運用例子的動態 **RAM** 的製造記憶體細胞的流程現在將被說明。首先，如顯示在圖 42 與 51，擴散地區與字線 **WL** 被以上述相同方法形成在矽基片 1 上。此外，一個氮化物薄膜 30' 被形成在字線 **WL** 的頂端。

接著，在一個包括二氧化矽的交互層絕緣薄膜 51 被形成在由氮化物薄膜覆蓋的字線 **WL** 的頂端後，一個包括多元矽的罩幕 58 被附著。接著，非罩幕區域 58A 與 58B 被形成在那上面以同時地型式一個位元線接觸洞 **BLCT** 與一個儲藏節點接觸洞 **SNCT**。

接著，如顯示在圖 43 與 52，罩幕 58 被分享以用於蝕

五、發明說明(24)

刻交互層絕緣薄膜 51 以便形成位元線接觸洞 BLCT 與儲藏節點接觸洞 SNCT。前述的接觸洞可同時被蝕刻或分開地被蝕刻。

接著，如顯示在圖 44 與 53，位元線材料 BL' 經由噴射等等被附著，而一個二氧化矽絕緣層 60 被形成在那上面。

接著，如顯示在圖 45 與 54，單幕 59 被以需要的型式形成且被使用於蝕刻以形成位元線。如此，包含二氧化矽層 60 的位元線 BL 被形成如顯示在圖 46 與 55。在此時，SNCT 插接點傳導性材料被蝕刻。

接著，如顯示在圖 47 與 56，一個絕緣薄膜 64 被附著在整個表面並蝕刻回去以便它留下成為一個位元線 BL 側邊的邊牆，如顯示於圖 48 與 57。於此流程期間，傳導性的材料被暴露環繞位元線 BL 而氮化物薄膜被暴露環繞字線 WL。

接著，如顯示在圖 49 與 58，包括多元矽等等與功能如儲藏節點材料的傳導性材料 70 是薄薄地成長在整個表面。接著，如顯示在圖 50 與 59，包括多元矽等等的傳導性材料被 CMP（化學機構磨光）從位元線 BL 的頂端所移去。

接著實行下列步驟：多元矽層 70 的型式，表面氧化等等以形成誘電性的薄膜 100 與較高的電極 101。於此方法，已有一個堆疊電容器。

在目前運用例子，BLCT 和 SNCT 被以如先前第一個

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明 (75)

運用例子的相同方法來使用一個分享罩幕來形成。如此，操作上的效果是相同的。此外，因為儲藏節點（儲藏電極）被形成在低的位置，在記憶體細胞單位和周邊電路（例如一個感應放大器）之間的等級較不險峻。此外，形成在基片的接觸深度被減少了，使得它較易於形成線路與接觸洞。此外，因為 SNCT 插接點被形成突出如於顯示於圖 48 的步驟，儲藏節點的面積被增加了，如此增加了電容器的靜電電容。

圖 60 舉例說明一個本發明被應用到一個壕溝類型動態 RAM 的第四個運用例子。

在目前例子，一個場板 83，誘電性薄膜 84，與儲藏節點 86 被依照順序附上在一個形成在一個 p 類型矽基片 1 裡面的溝 80 之內，而有一個絕緣薄膜 85 位彼此之間。儲藏節點 86 經過一個多元矽傳導性層 102 被連接到 n⁺類型來源地區 3。應注意 31'，71，72 和 73 表示絕緣薄膜。

傳導性薄膜 102 與位元線 BL 能使用一個相同於那些說明於圖 1-16 關於先前的第一個運用例子的流程來形成。

較特別地，接觸洞 BLCT 和 SNCT 使用一個分享罩幕被形成在絕緣層 71。在位元線材料被附著在整個表面之後，位元線型式被實行。此外，位元線材料被允許留在 SNCT 內當作一個傳導性層（102）來使用。

如此，它是可能來減少步驟數目並使用一個不涉及一個自我對齊系統的流程來形成 BL 與傳導性層 102。

五、發明說明 (26)

本發明的實施例被呈現在上面。基於本發明的技術概念，它是可能來對於前面的應用例子提出較進一步的修正。

譬如，它是可能來造成多樣的變化到呈現在上面的步驟的順序與組合。此外，它是可能來改變這些被使用的型式，材料等等。

如顯示於圖 61，它是可能以一個不同於位元線材料的插接點材料 **PLUG** 來充滿這些位元線 **BL** 的底部。此外，它是可能以分開的步驟（於圖 8，插接點與 **BL** 使用相同材料形成在相同步驟）來形成插接點與 **BL**。

於顯示於圖 3 的步驟，它同時也可能首先以一個不同於位元線材料的傳導性材料來充滿 **SNCT**，然後附著位元線材料和型式位元線。只要一個分享罩幕被使用於形成用於位元線接觸洞與儲藏節點，在洞的配置，記憶體細胞的佈面等等對於前面的例子是沒有限制的。

此外，這些使用於字線，位元線，絕緣薄膜，誘電性薄膜等等的材料不被限制為上面所述。譬如，它是可使用適當地從多元矽，**W-Si**，**W**，**Al**，**Ti**，二氧化矽，四氮化三矽和其它一般知道材料其中選擇的導體或電介質對於工業人士應是清楚的。此外，前述的導體和絕緣體可以包括一個製成薄版的一些層。對於形成方法，包含熱量氧化，氮化，矽化，與沉澱等，它同時也是可能有各種的選擇對於工業人士應是清楚的。此外，這些罩幕 58 和 59 可由一個光阻，氮化物薄膜等等，除了上述多

五、發明說明 (27)

元矽，來構成。

除了前述有堆疊細胞電容器的動態 RAM，本發明能以一個其中前述堆疊細胞電容器是位在一個二氧化矽薄膜的結構來利用，譬如，以前述電容器的延伸並使用當作用於周邊電路組件的線路的較低電極。此外，它是可能改變前述的半導體地區的傳導性類型。此外，本發明能被應用到其它元件與其它半導體記憶體的地方。

如敘述在上面，以本發明，一個用於連接到前述位元線的接觸洞與一個用於連接到前述電容器的接觸洞被形成。接著於位元線形成處理期間，到電容器的接觸洞被充滿位元線形成材料等等。如此，不需要接觸洞自我對齊。此外，不需要於洞之間提供一個過量的空間。此外，縱使形成於位元線型式期間的開口位置失誤，因為接觸洞在電容器側邊被充滿基片，故將不被蝕刻。如此，型式不需要設計來防止這個。此外，它是可能來減少尺寸。此外，假如儲藏節點導體緊接著被形成在邊牆被形成在位元線牆的步驟之後，它是可能顯著地減少記憶體細胞形成步驟的數目。

此外，在設計位元線外圍的薄膜結構時，不需要考慮蝕刻的等級。這是有利於操作速度與位元線的寄生電容。此外，它是可能設定位元線與儲藏節點到相同的高度。如此，於鄰接位元線之間的寄生電容被減少了。

參考數字與符號如在顯示在圖示

五、發明說明(28)

- 1 · 矽基片
- 3 · n⁺類型排地區
- 4 · n⁺類型來源地區
- 22 · 多元矽層 (較低電極)
- 40 , 60 · 絕緣薄膜
- 51 · 交互層絕緣薄膜
- 54 , 64 · 邊牆
- 58 , 59 · 罩幕
- 58A , 58B · 開口
- WL · 字線
- BL · 位元線
- BL' · 位元線材料
- TR · 移轉閘
- SN · 儲藏節點
- BLCT · 位元線接觸 (洞)
- SNCT · 儲藏節點接觸 (洞)
- SNCT PLUG · 儲藏節點接觸插接點

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

四、中文發明摘要（發明之名稱：半導體元件及其製造方法）

一種動態 RAM 的製造方法，其中於一個包含記憶體細胞的動態 RAM 製造期間，其一個擴散地區 3 在一個電晶體 TR 上有字線 WL 被連接到位元線 BL，而其它擴散地區 4 被连接到一個電容器，一個用於連接到位元線 BL 的接觸洞 BLCT 與一個用於连接到電容器的接觸洞 SNCT 是使用一個分享蝕刻罩幕 58 來形成；此外，於位元線 BL 型式流程期間，SNCT 被充滿位元線材料，而在位元線 BL 邊牆形成之後，一個儲藏節點材料被附著。所有以下的問題都能被解決：步驟數目的增加，減少細胞大小尺寸의 困難，特性的惡化。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

四、**英文發明摘要** (發明之名稱: **SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD**)

A dynamic RAM manufacturing method wherein, during the manufacture of a dynamic RAM that contains memory cells in which one diffusion region 3 on a transistor TR with word lines WL is connected to bit lines BL, and the other diffusion region 4 is connected to a capacitor, a contact hole BLCT for connection to the bit lines BL and a contact hole SNCT for connection to the capacitor are formed using a shared etching mask 58; in addition, during the process of bit line BL patterning, the SNCT is filled with the bit line material, and a storage node material is adhered after the formation of the bit line BL side wall. All of the following problems can be solved: an increase in the number of steps, difficulty in reducing cell size, worsening of characteristics.

六、申請專利範圍

1．一種半導體元件製造方法，其中於製造一個包含記憶體細胞的半導體元件期間，其一個擴散地區在一個電晶體有字線被連接到位元線，而其它擴散地區被連接到一个電容器，其包含下列事物：一個於其中一個用於連接到前述的位元線的接觸洞與一個用於連接到前述的電容器的接觸洞被形成的步驟；與一個當位元線形成材料被型式以形成位元線時，用於連接到接觸洞的前述的接觸洞被充滿一個傳導性材料的步驟。

2．如申請專利範圍第1項所敘述之半導體元件製造方法，於其中一個絕緣薄膜，遮蔽包含位元線的表面，被蝕刻但被允許留下當作前述位元線側邊的一個邊牆，而同時位於接觸洞最高處用於連接到電容器的前述的絕緣薄膜被移去。

3．如申請專利範圍第2項所敘述之半導體元件製造方法，於其中在除去絕緣薄膜之後一個儲藏節點材料被附著。

4．一種半導體元件製造方法，於其中在如敘述於申請專利範圍1的接觸洞的形成之後，當型式位元線形成材料以形成位元線時，用於連接到位元線的接觸洞與用於連接到電容器的接觸洞被充滿一個傳導性的材料，此後前述的位元線形成材料被附著；接著前述的位元線形成

六、申請專利範圍

材料被型式以形成位元線。

5．如申請專利範圍第4項所敘述之半導體元件製造方法，於其中在位元線的形成之後，前述的位元線的側邊與在接觸洞之內用於連接到電容器的傳導性材料的頂端被氧化，此後一個形成在整個表面上的絕緣薄膜被蝕刻以便在前述位元線的側邊形成一個較厚的邊牆。

6．一種半導體元件製造方法，於其中在如敘述於申請專利範圍1的接觸洞的形成之後，當型式位元線形成材料以形成位元線時，用於連接到位元線的接觸洞與用於連接到電容器的接觸洞被充滿一個傳導性的材料，此後前述的位元線形成材料被附著；前述的位元線形成材料被型式以形成位元線；而一個形成在整個表面上的絕緣薄膜然後被蝕刻回來以形成前述的位元線側邊的一個厚邊牆。

7．如申請專利範圍第5與6項所敘述之半導體元件製造方法，於其中在邊牆形成之後，一個儲藏節點材料被附著。

(請先閱讀背面之注意事項再填寫本頁)

訂

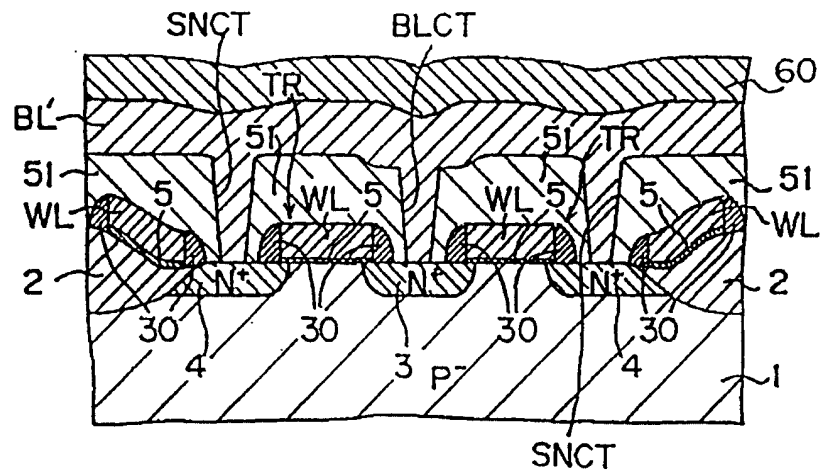


圖 3

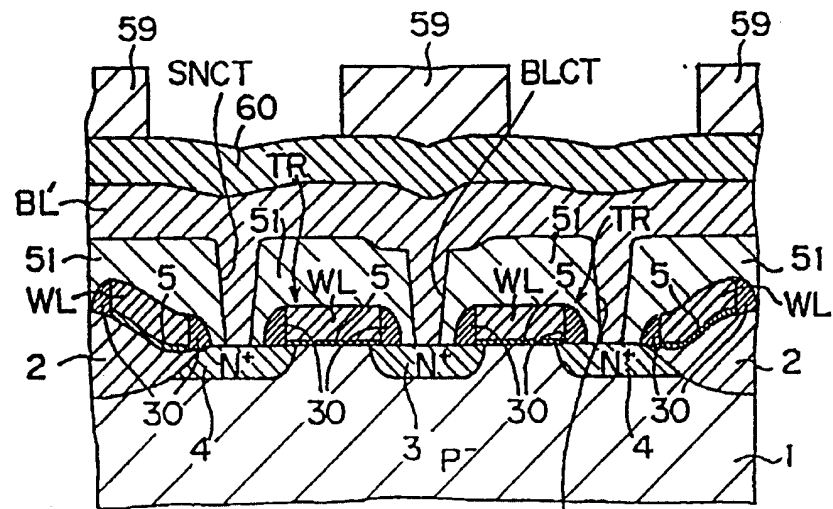
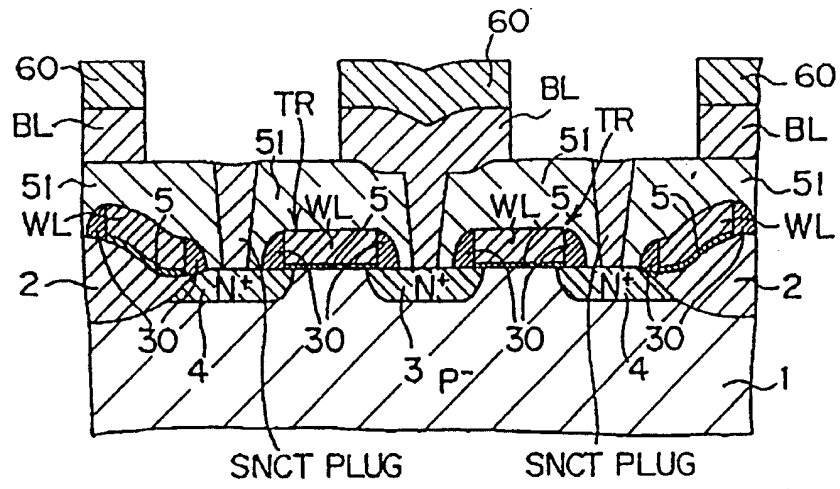
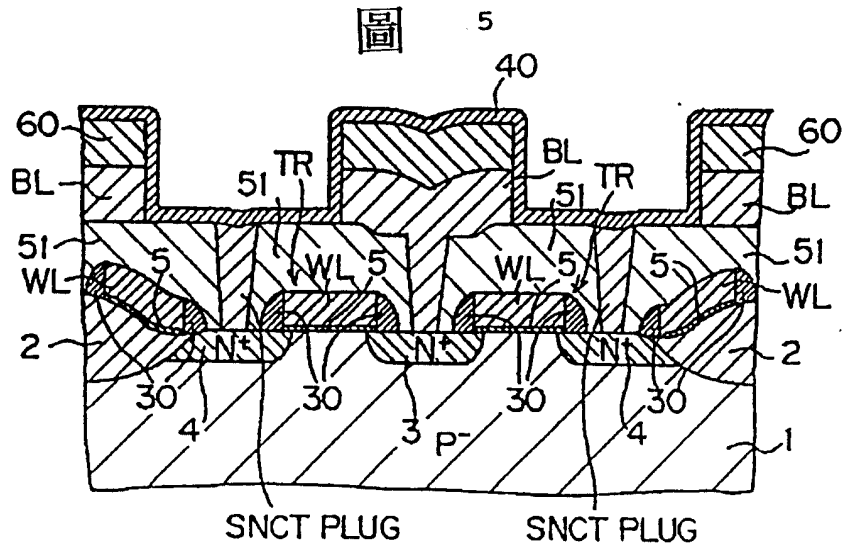


圖 4



圖



圖

6

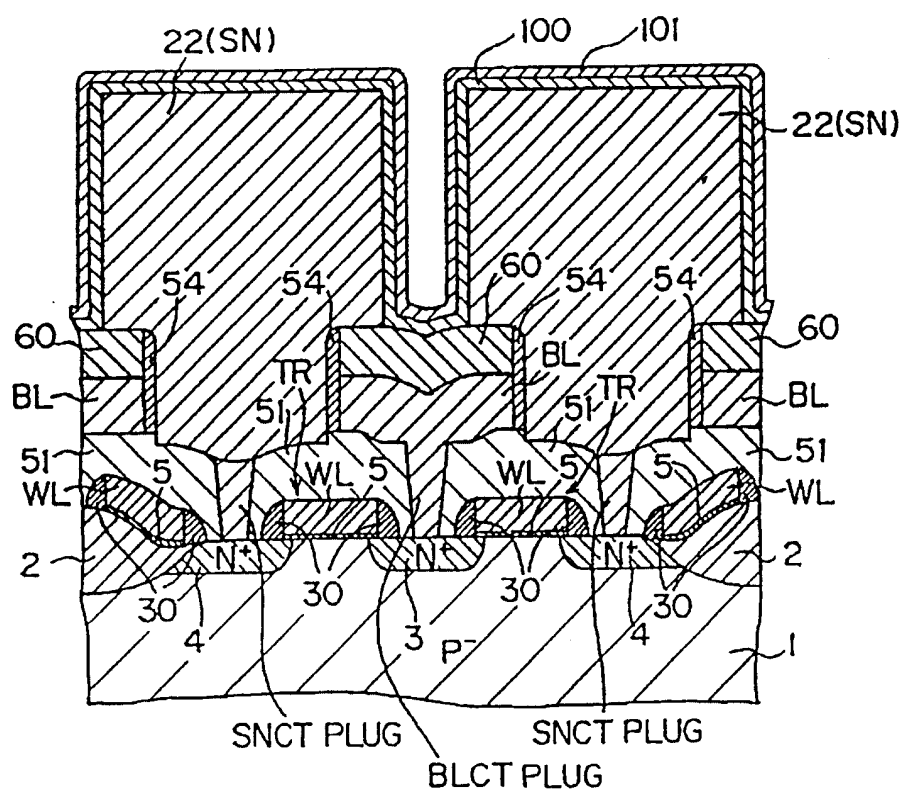


圖 8

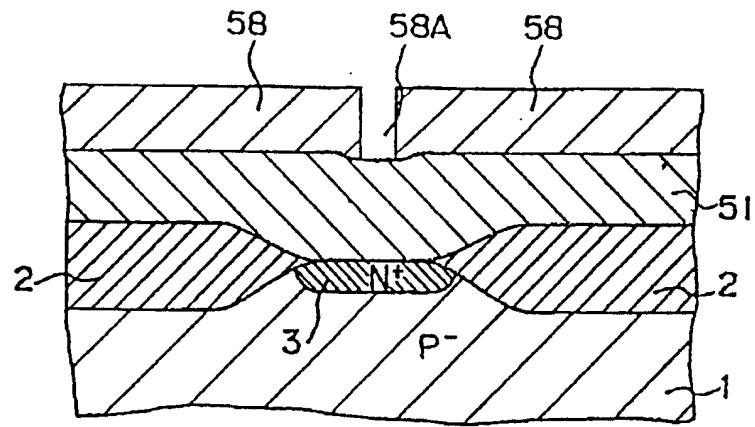


圖 9

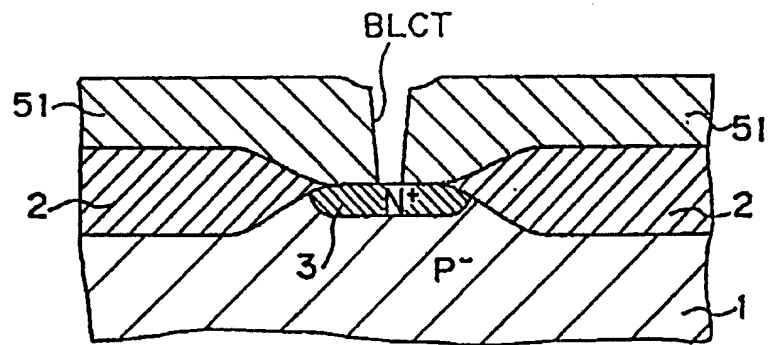


圖 10

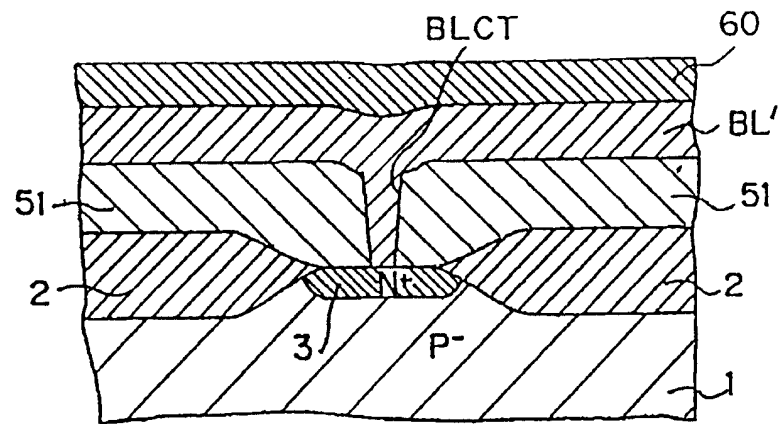


圖 11

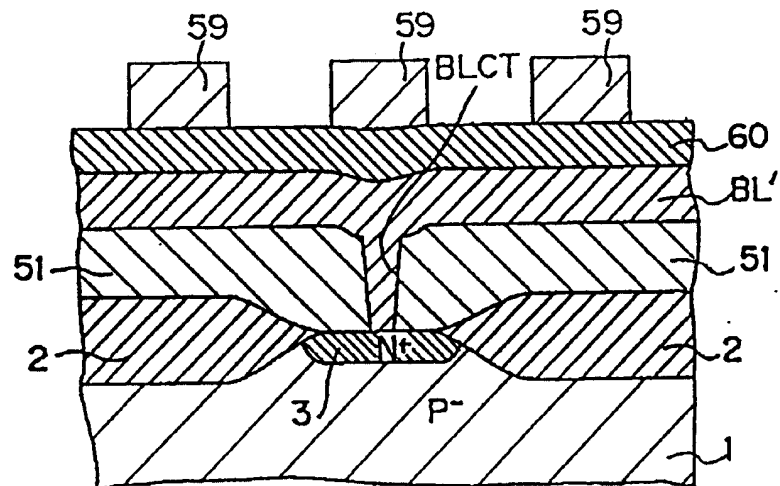


圖 12

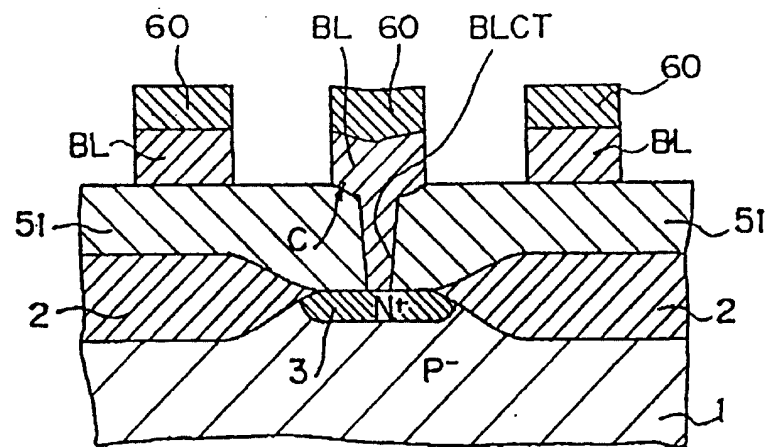


圖 13

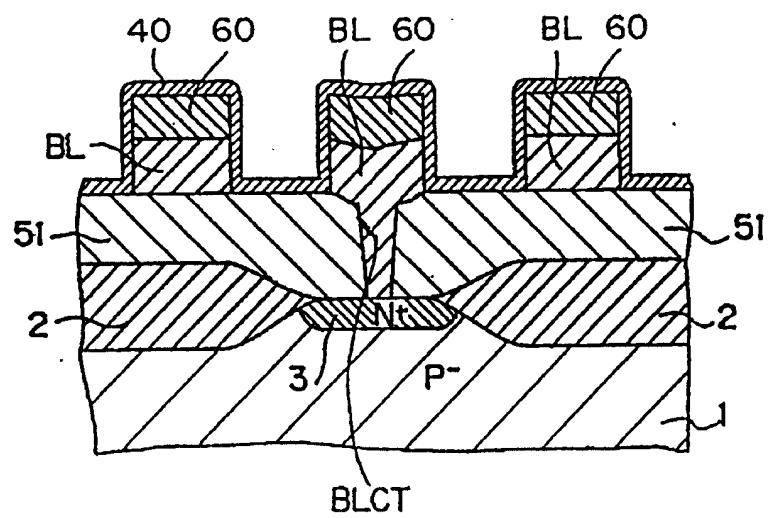
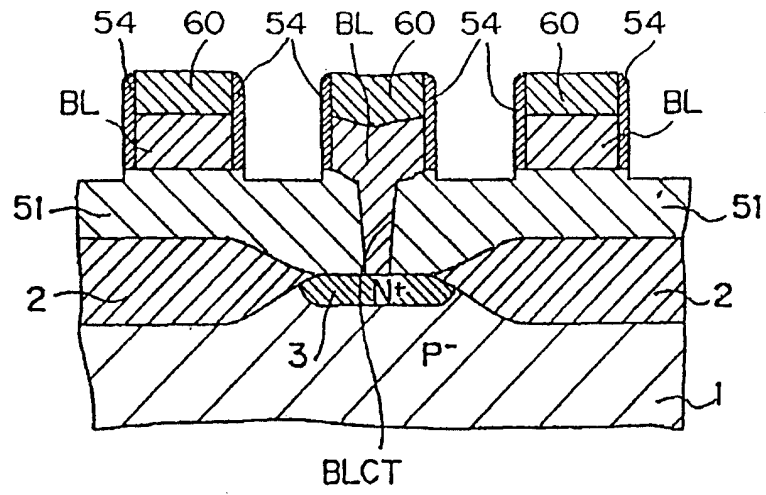
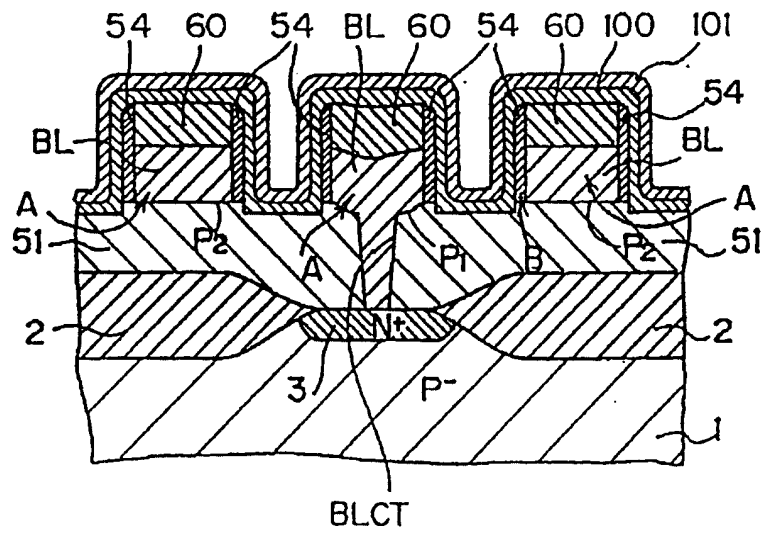


圖 14



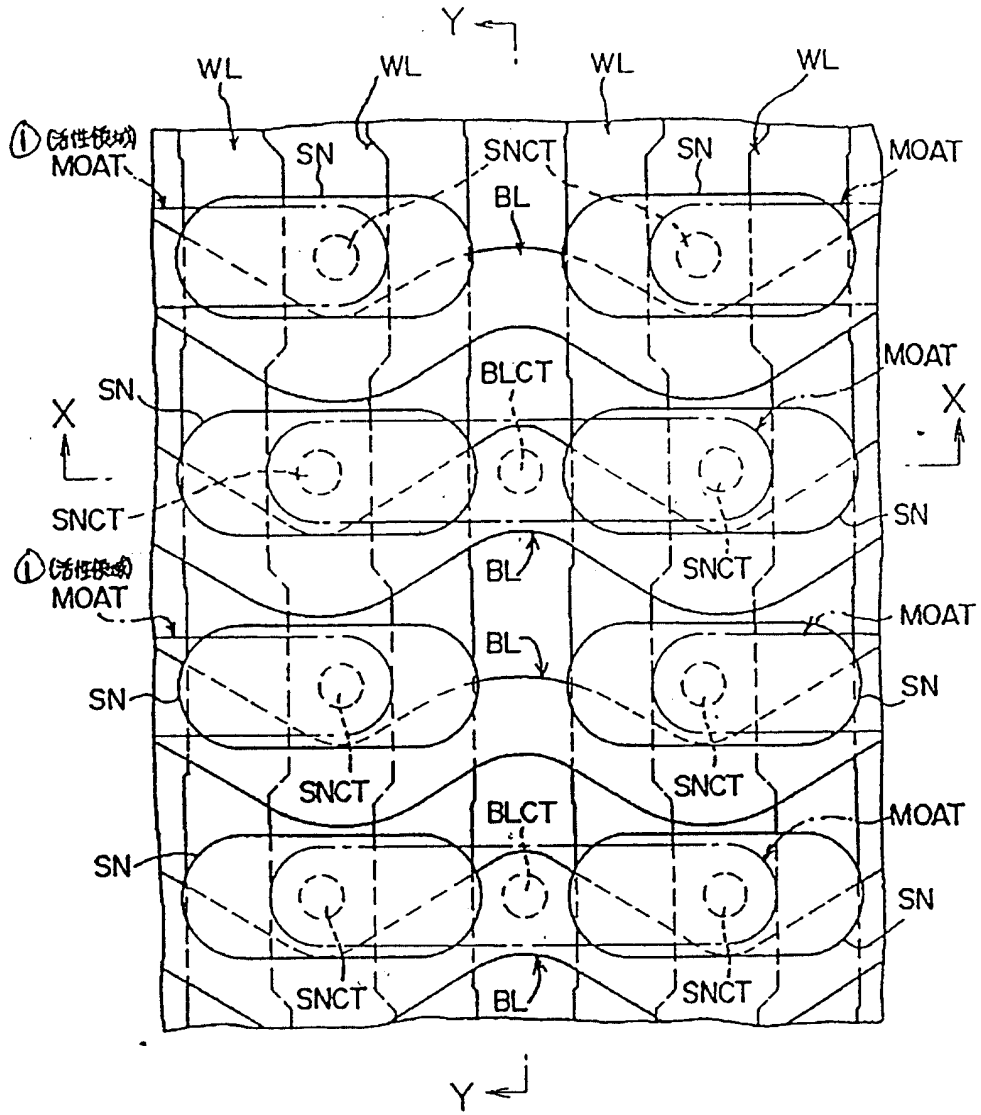
圖

15



圖

16



圖

17

Key: 1 (活性領域)

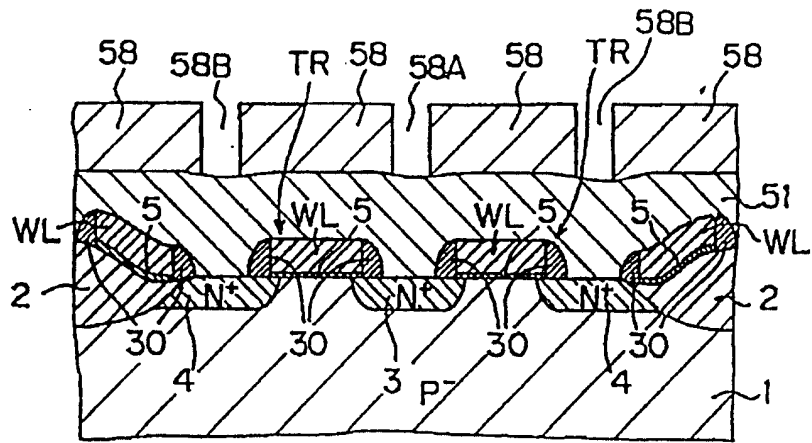


圖 18

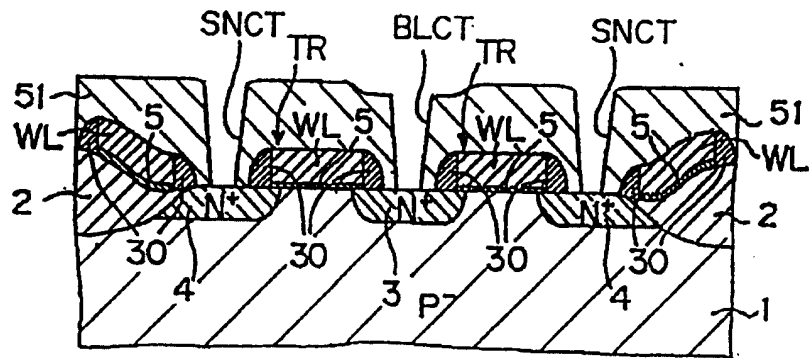


圖 19

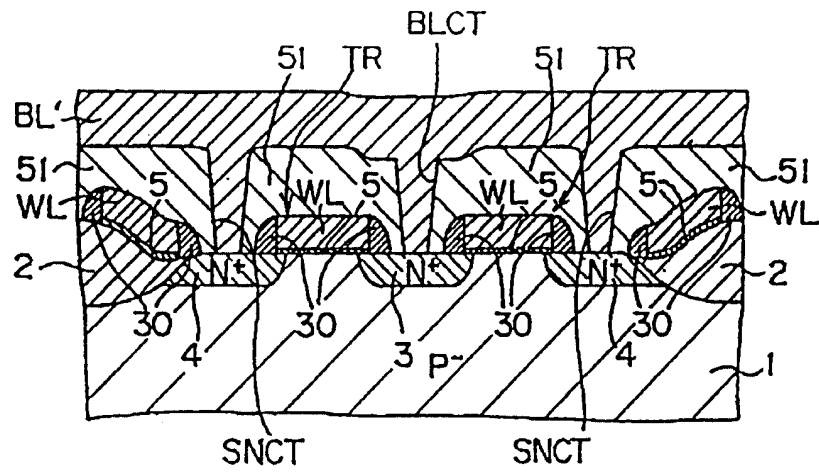


圖 20

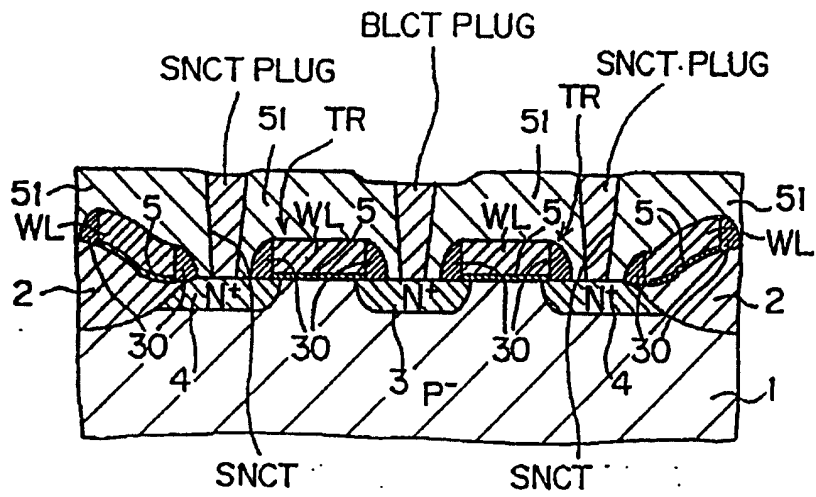


圖 21

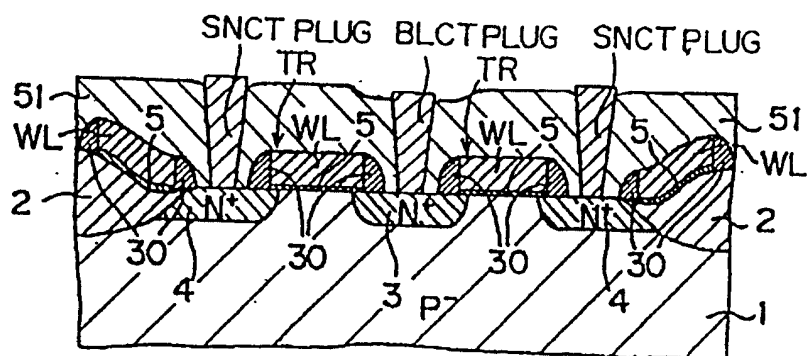


圖 22

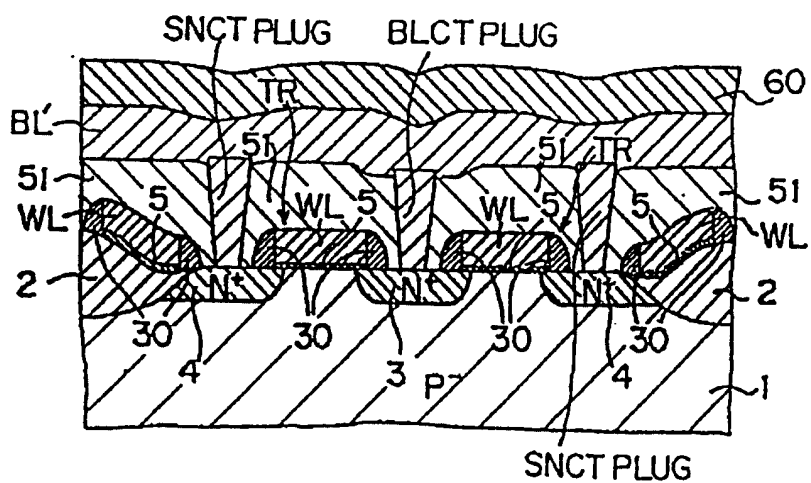


圖 23

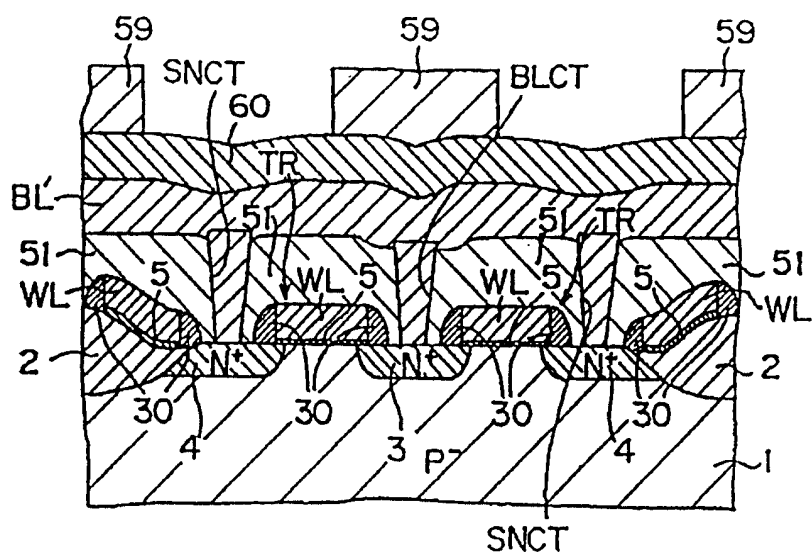


圖 24

BLCT PLUG

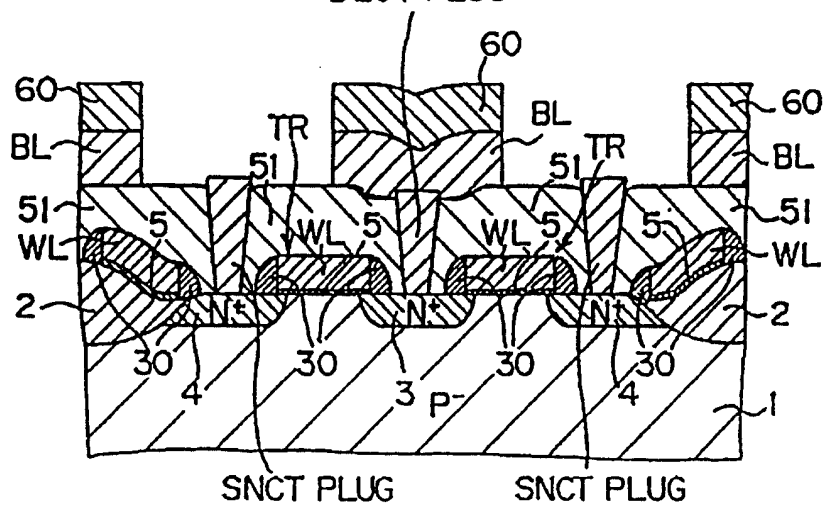
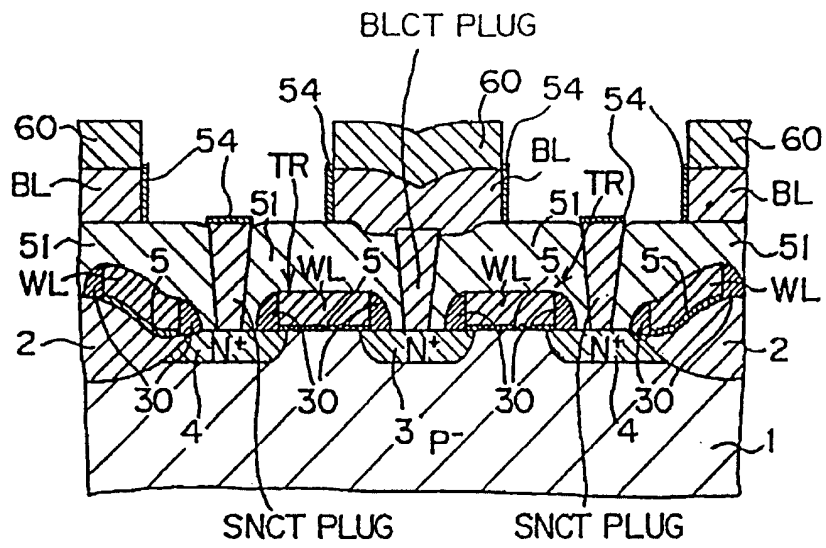
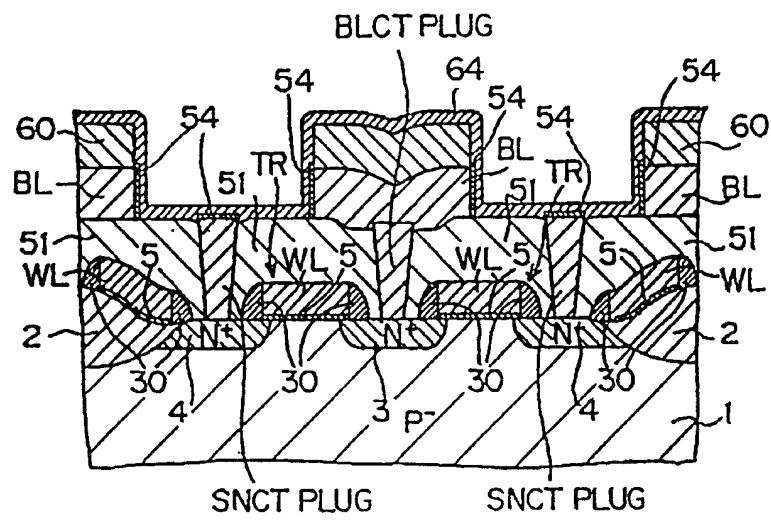


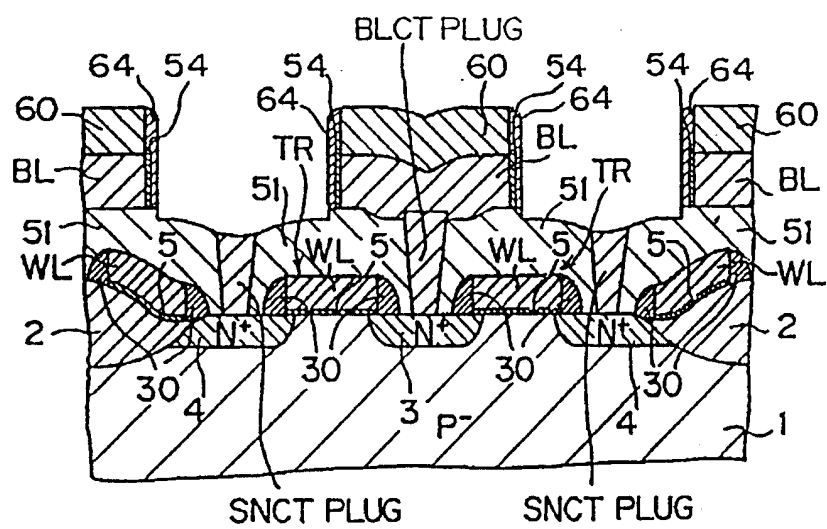
圖 25



26



27



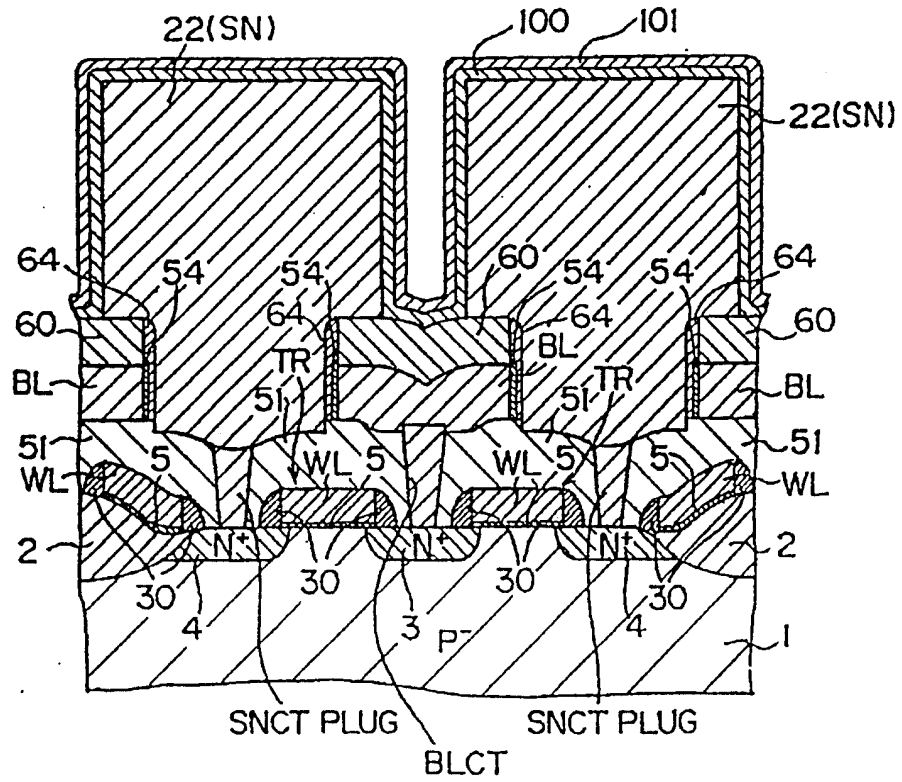


圖 29

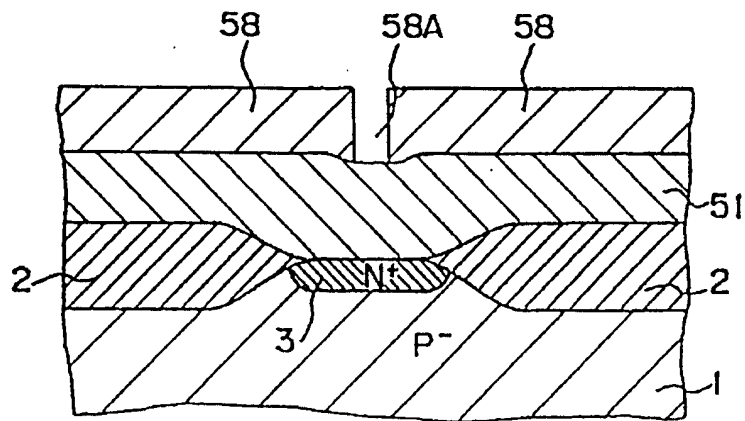


圖 30

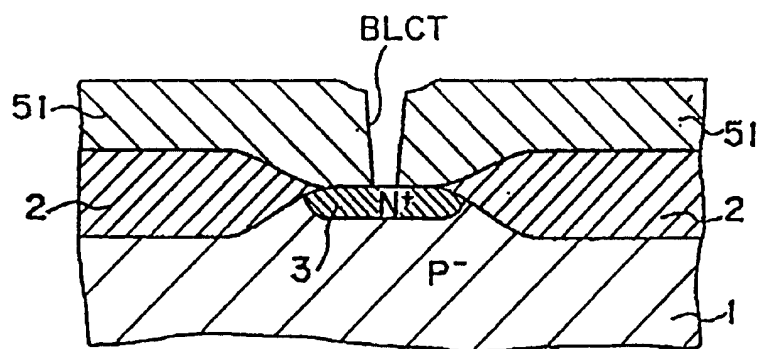


圖 31

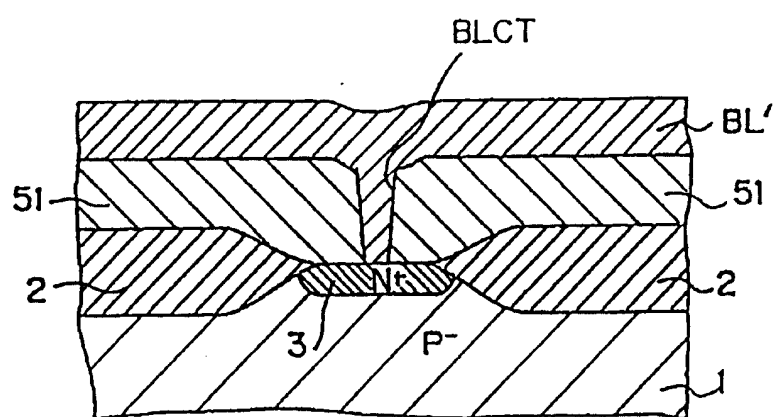


圖 32

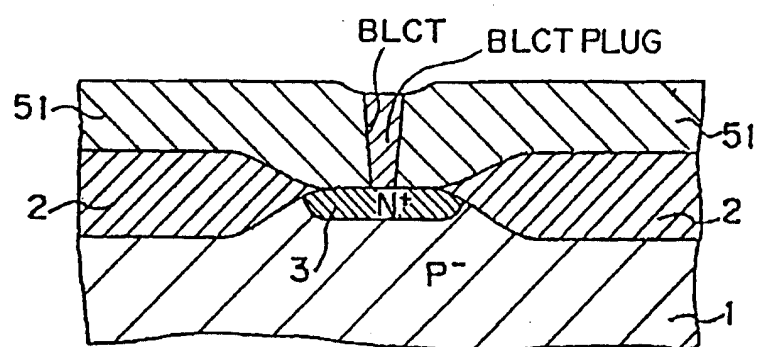


圖 33

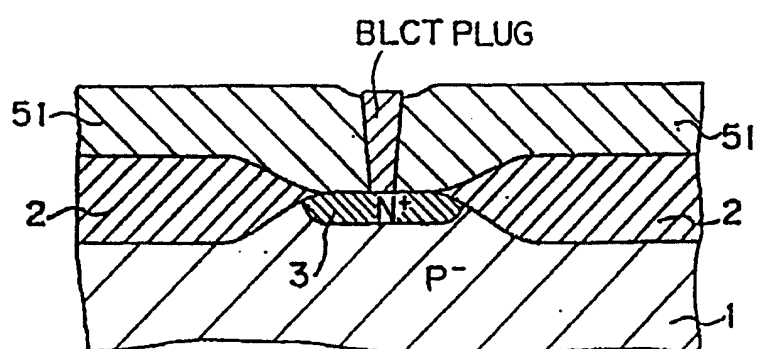


圖 34

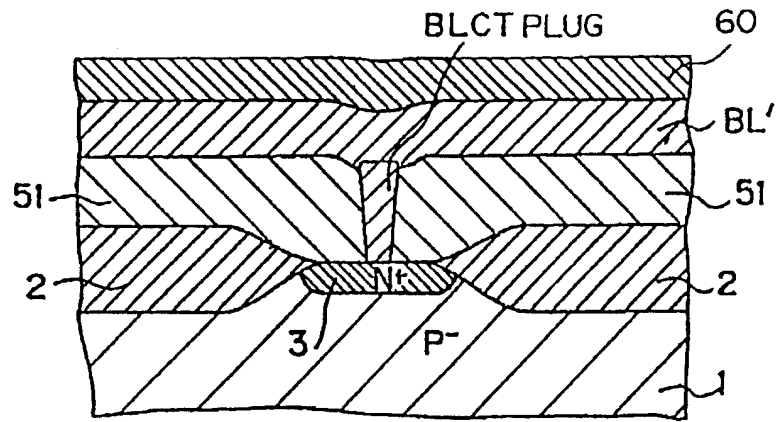


圖 35

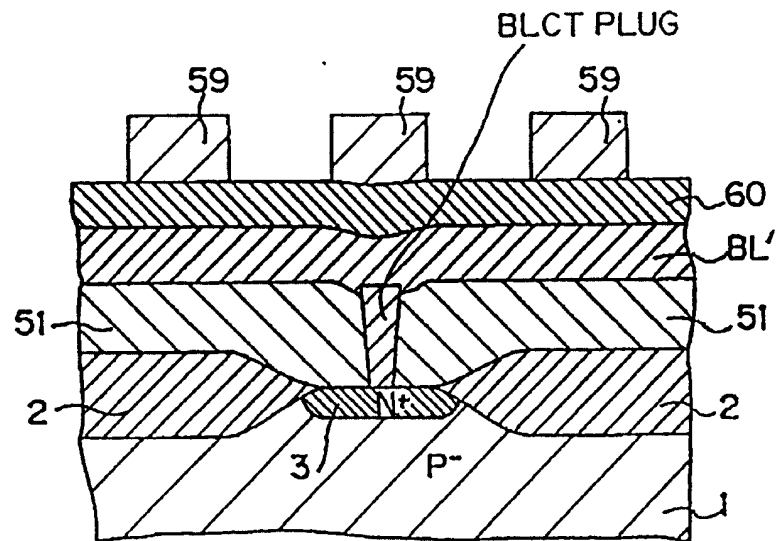


圖 36

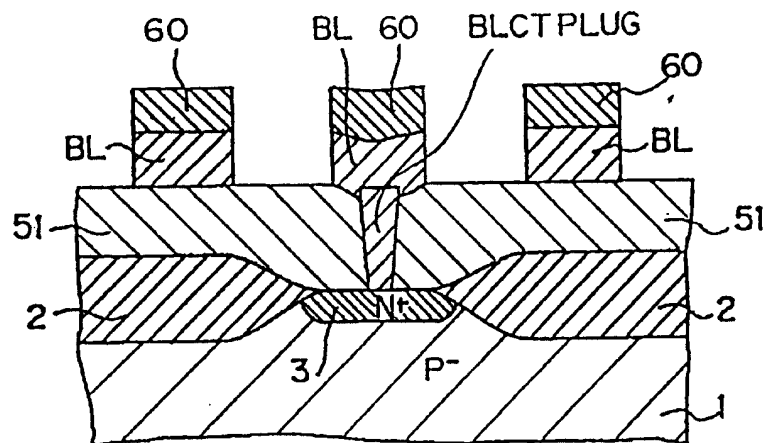


圖 37

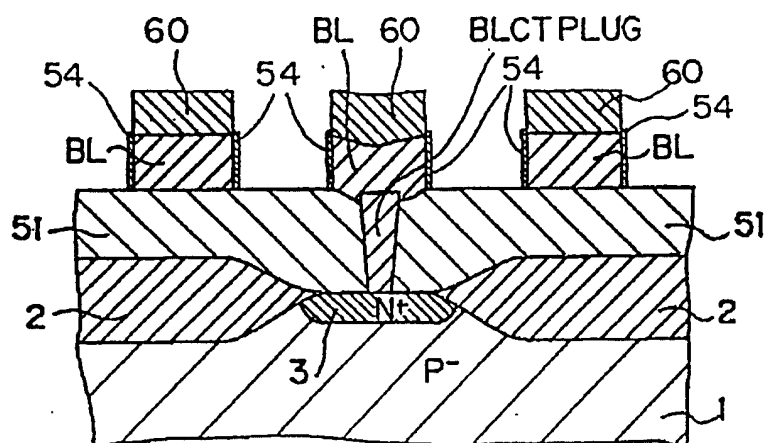
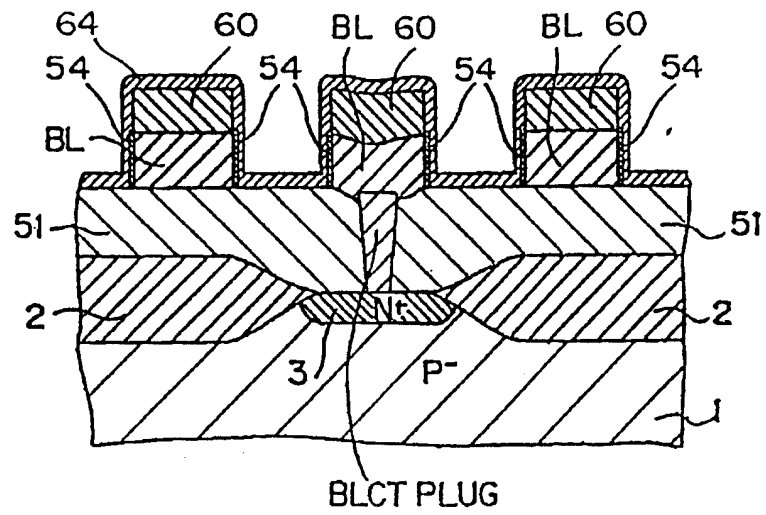
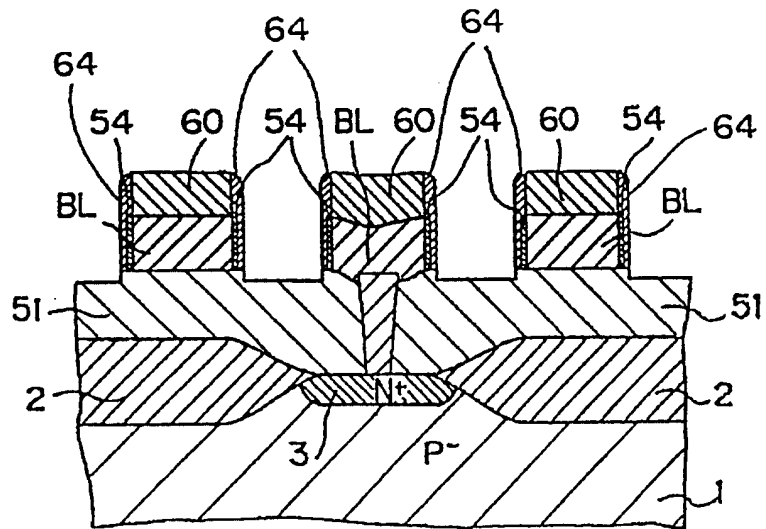


圖 38



圖

39



圖

40

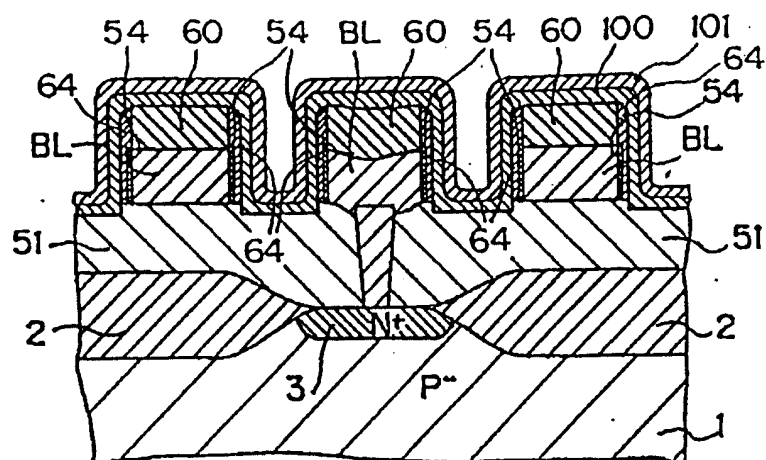


圖 41

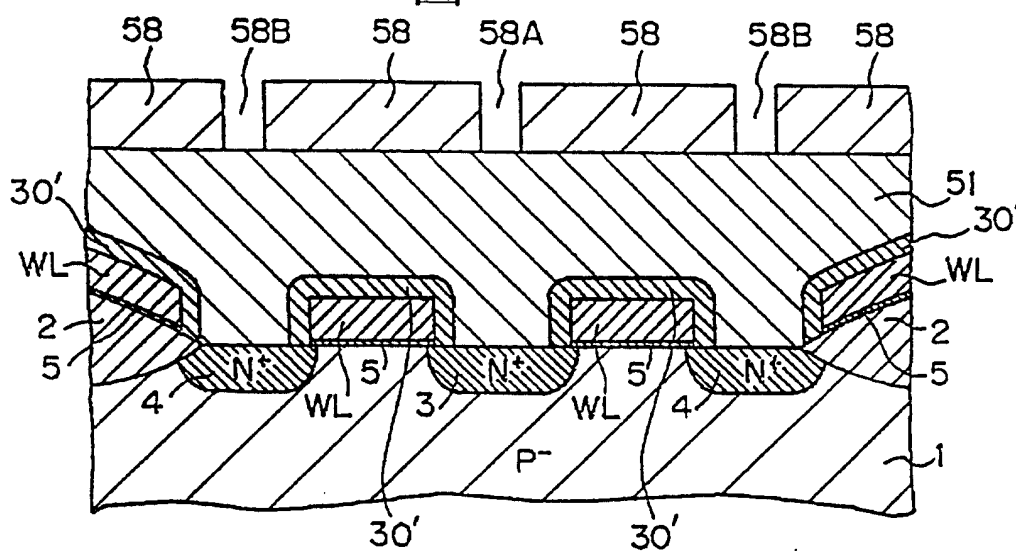


圖 42

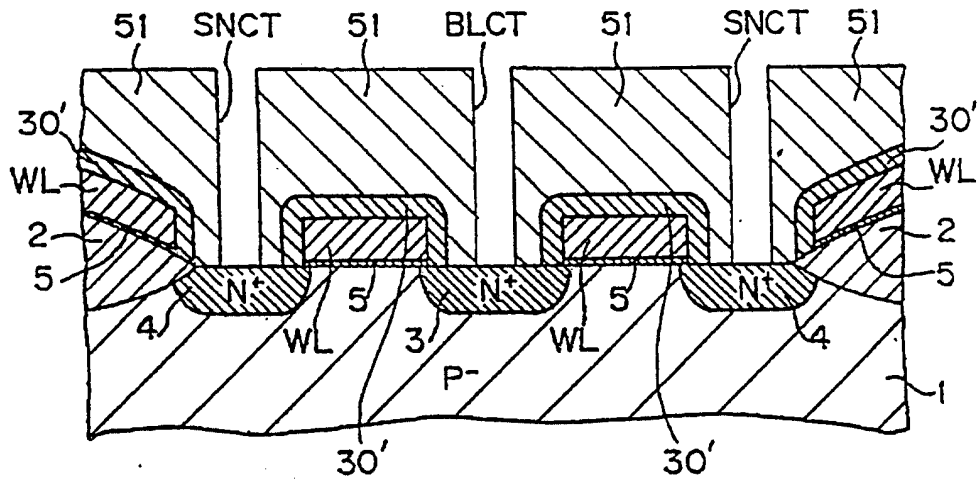


圖 43

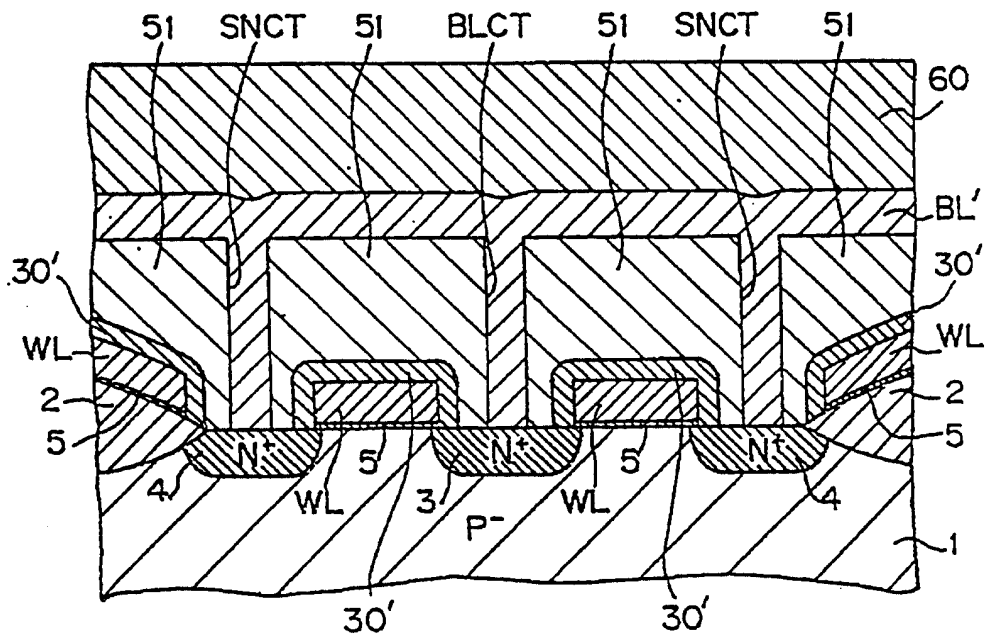


圖 44

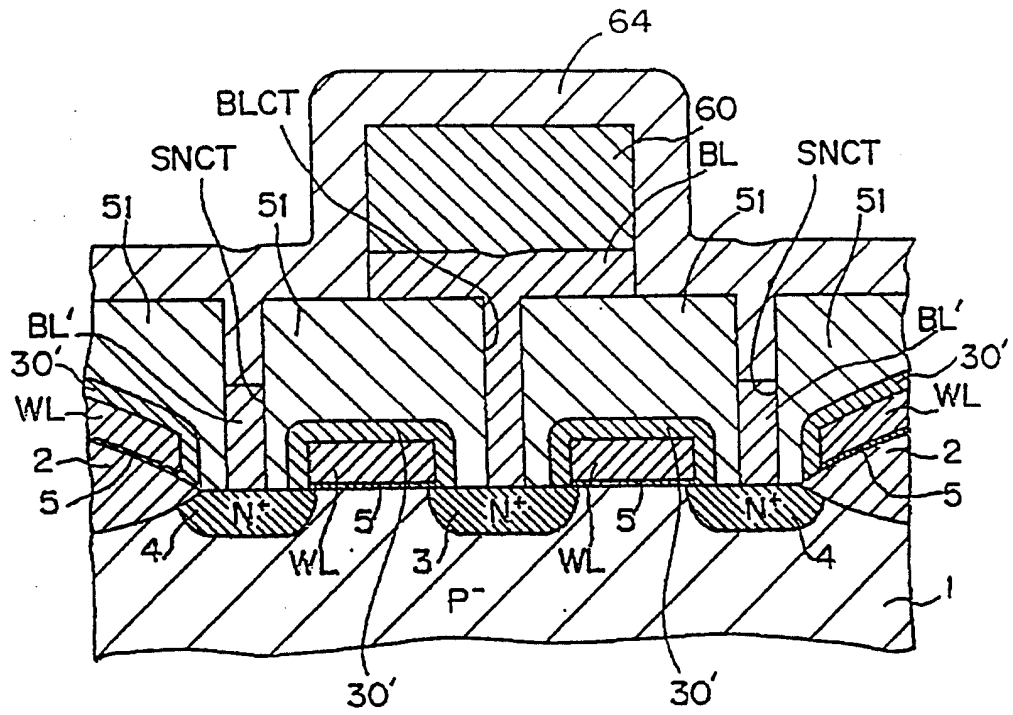


圖 47

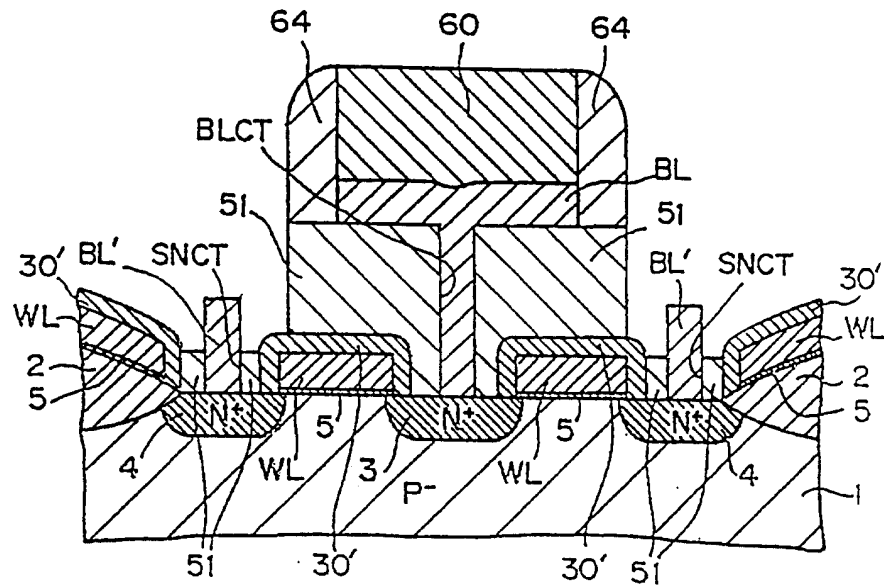


圖 48

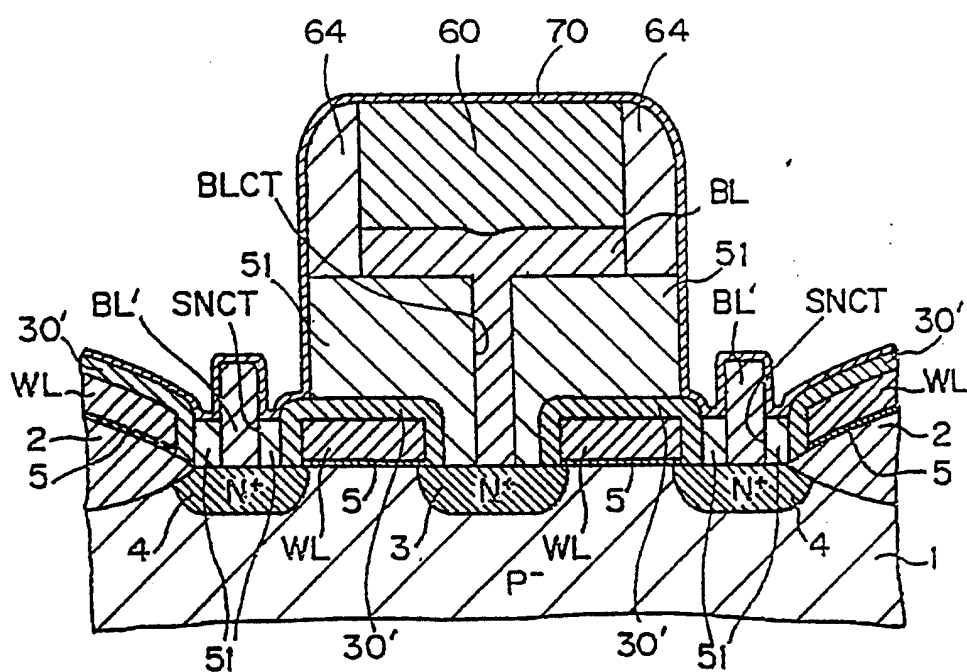


圖 49

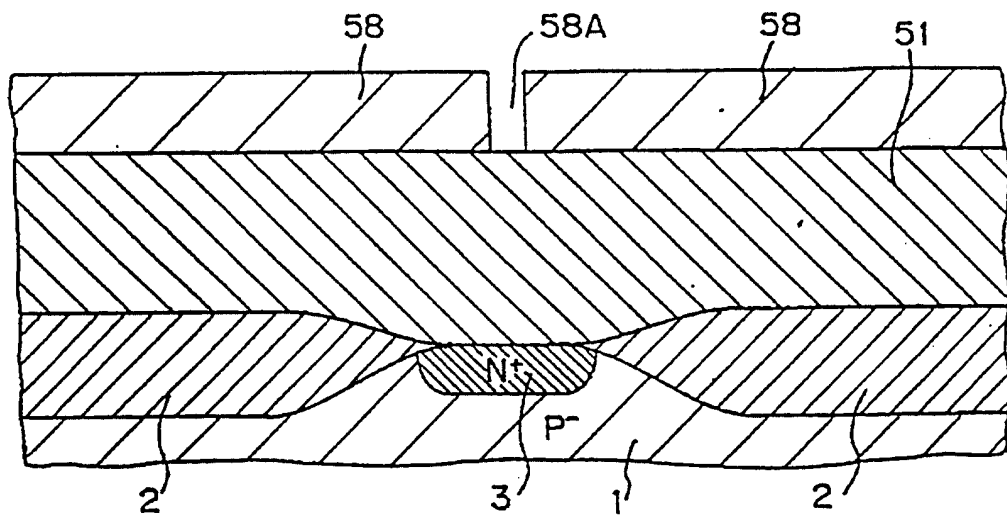


圖 51

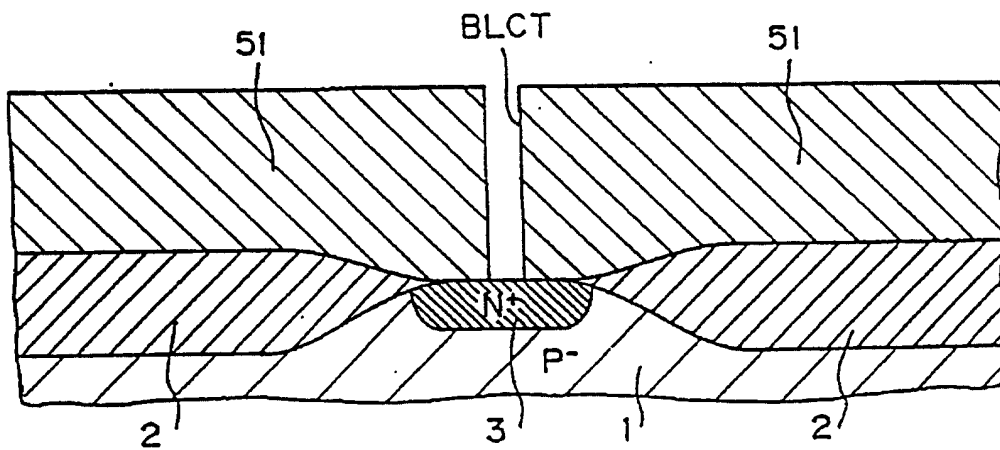
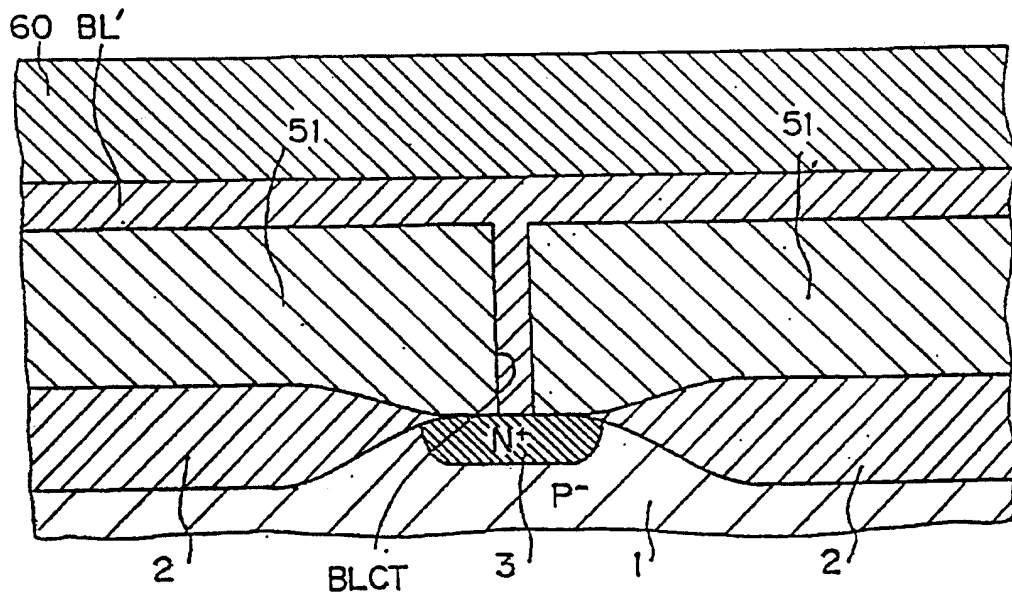
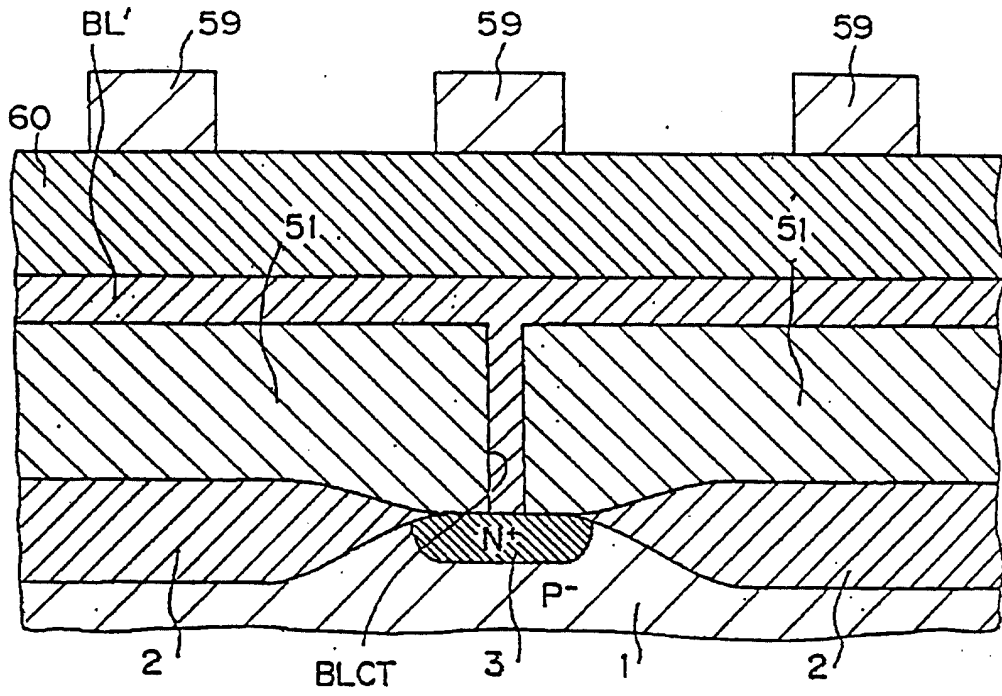


圖 52





圖

54

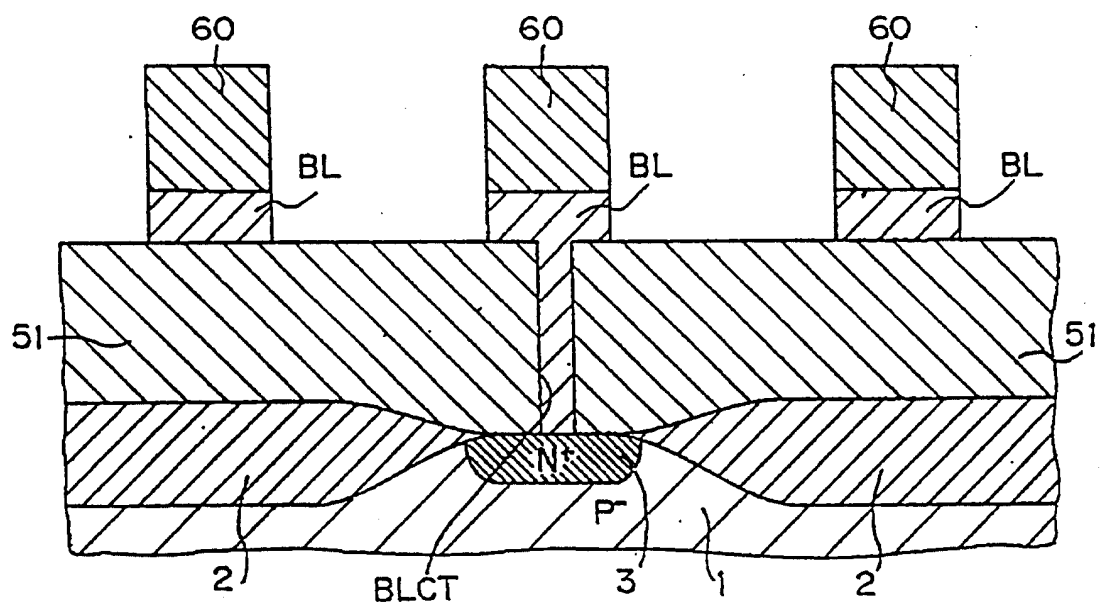


圖 55

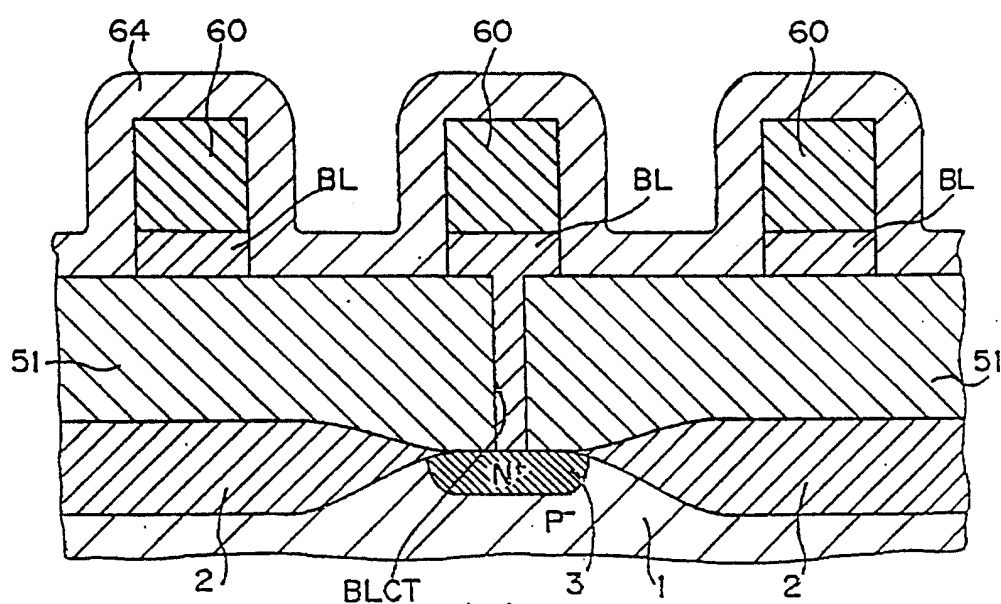


圖 56

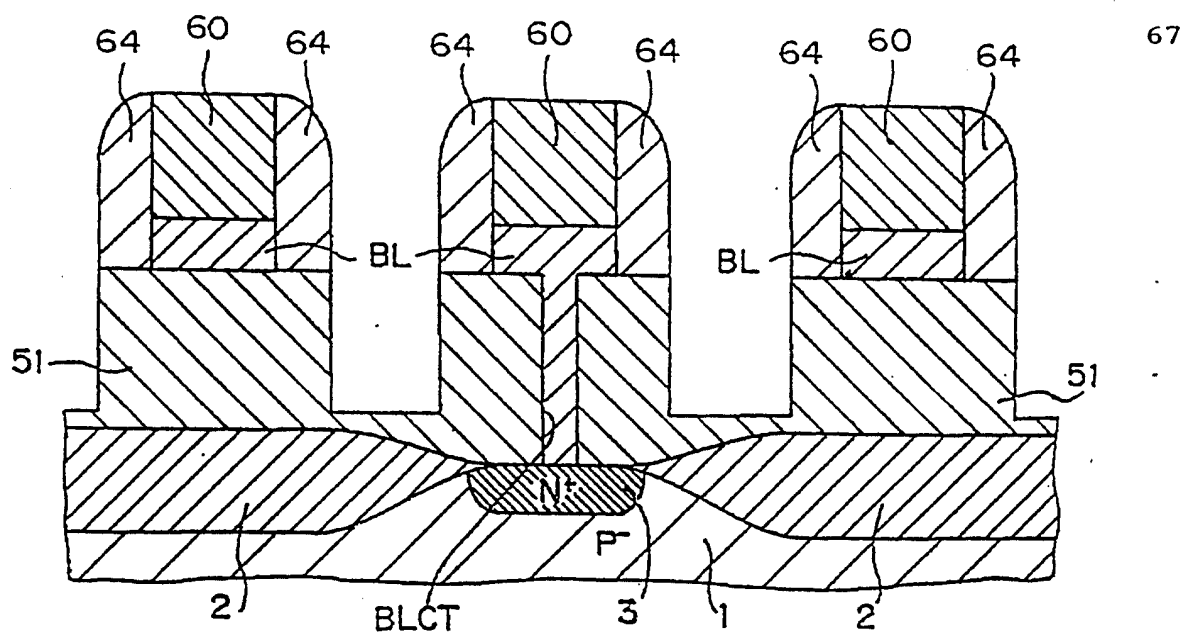


圖 57

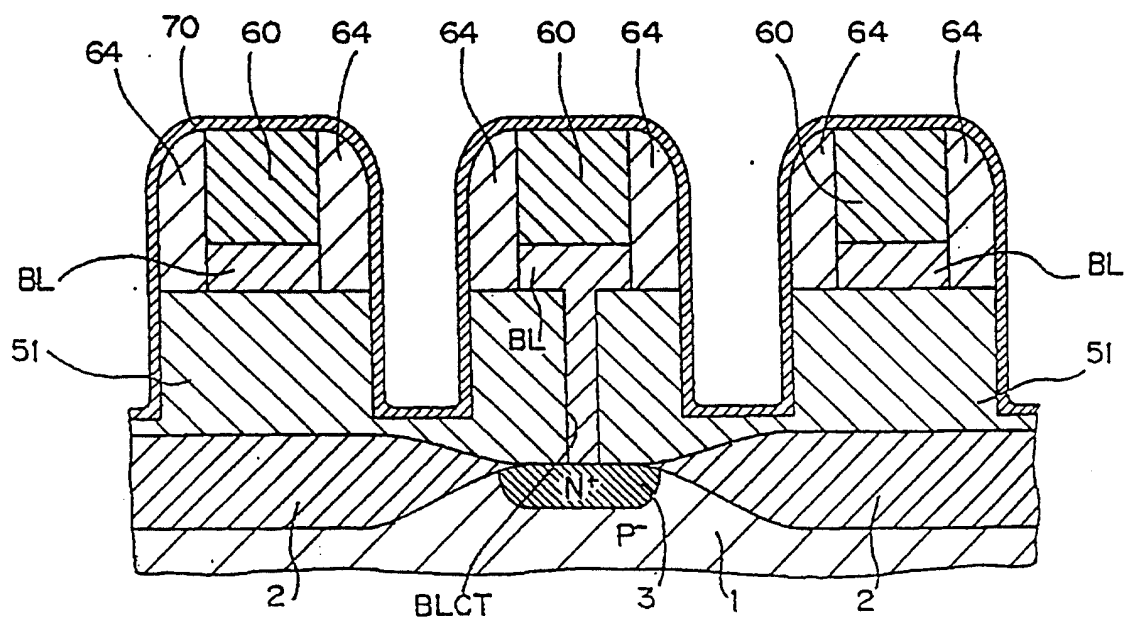
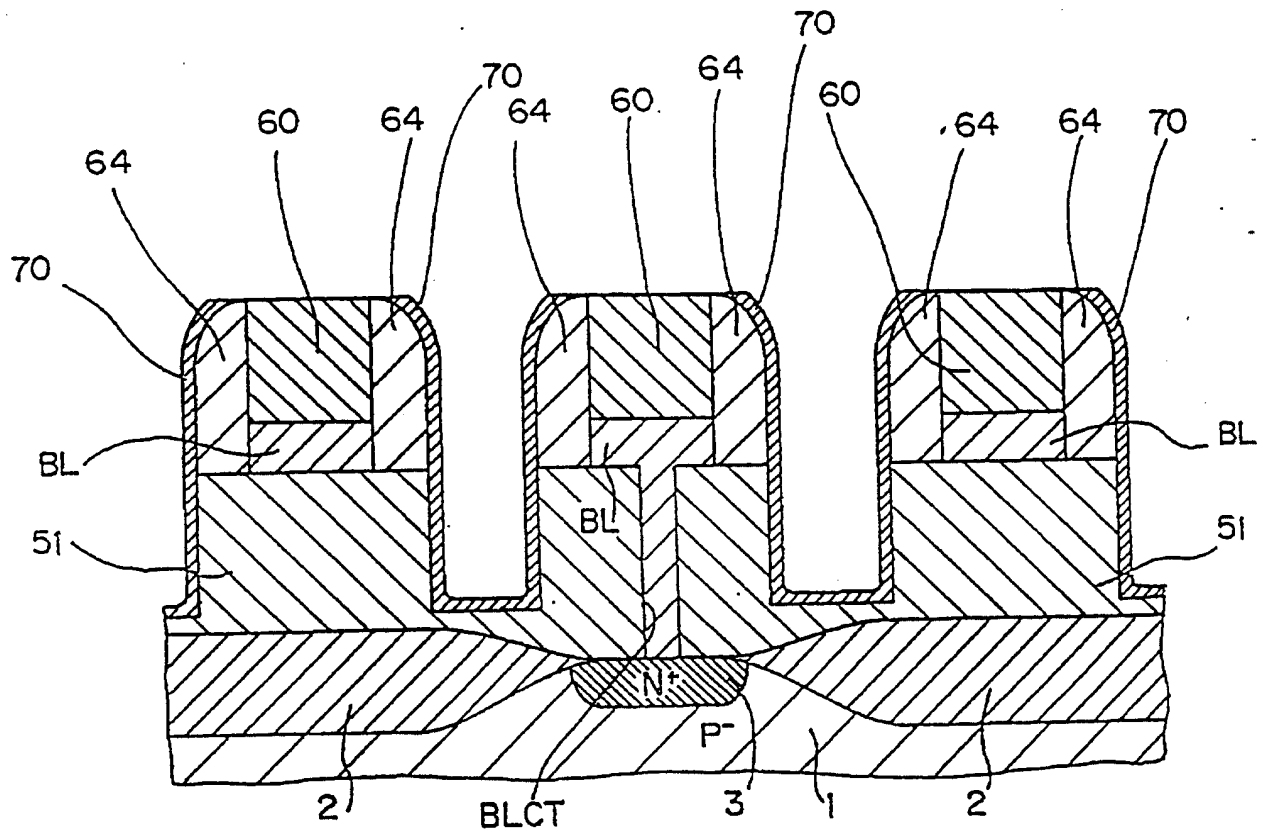


圖 58



59

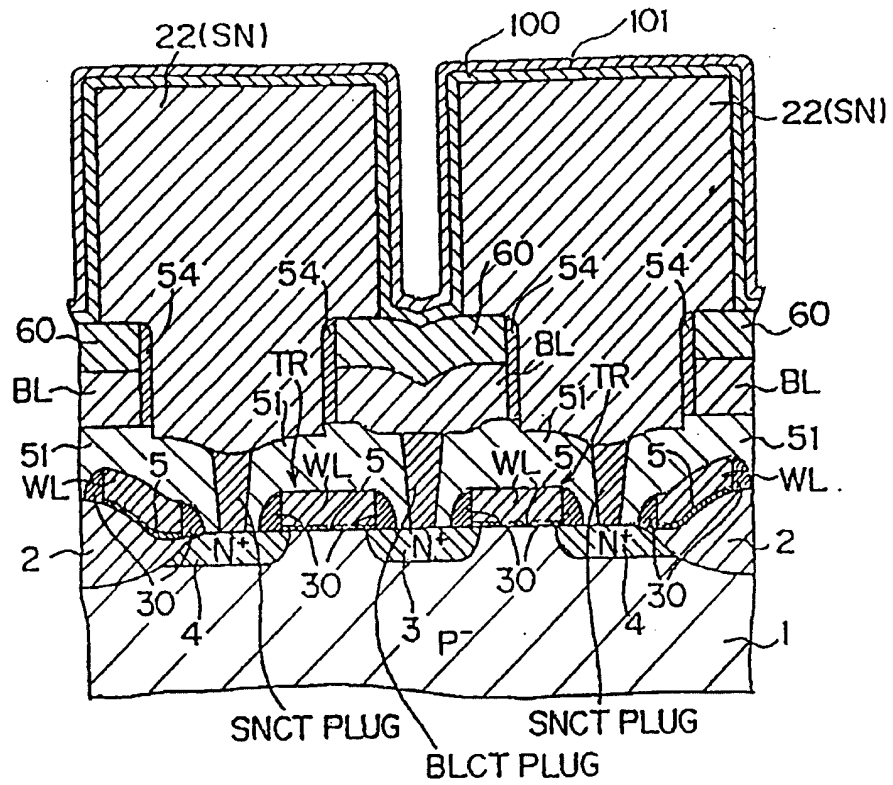


圖 61

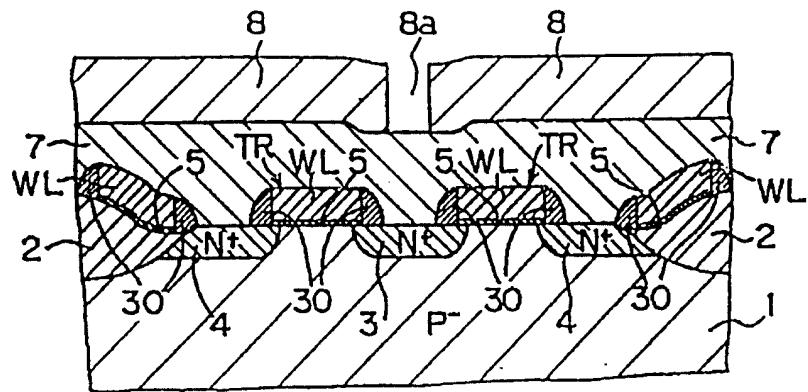


圖 62

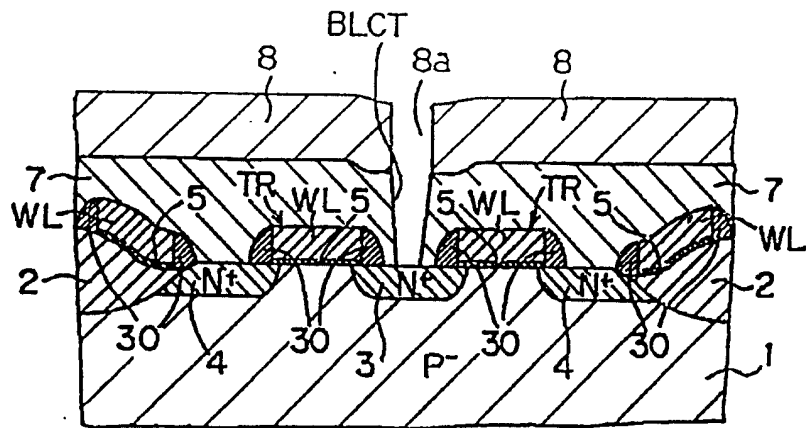


圖 63

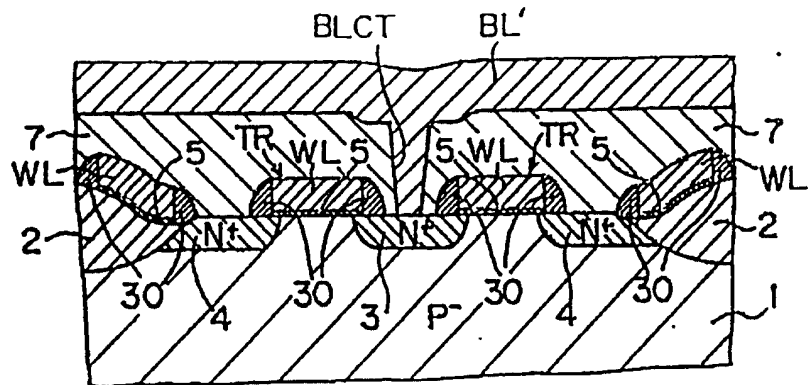


圖 64

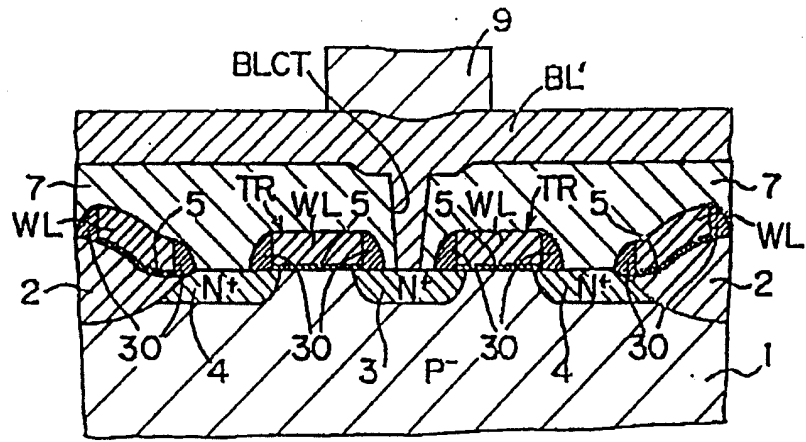


圖 65

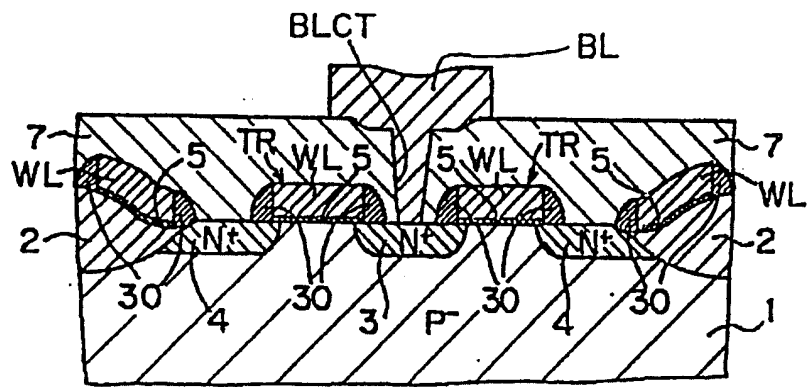


圖 66

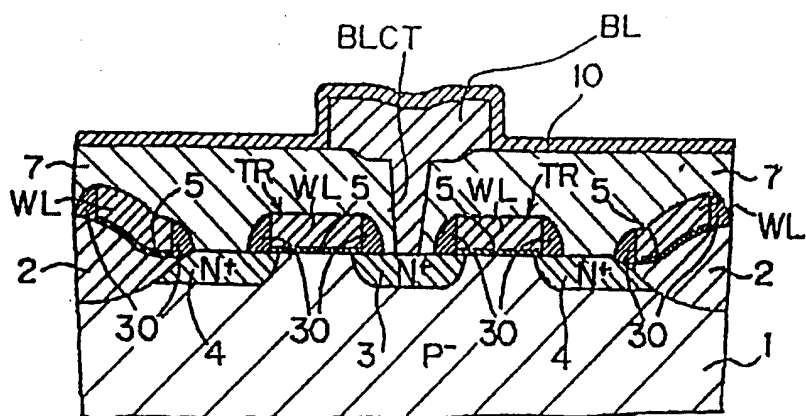


圖 67

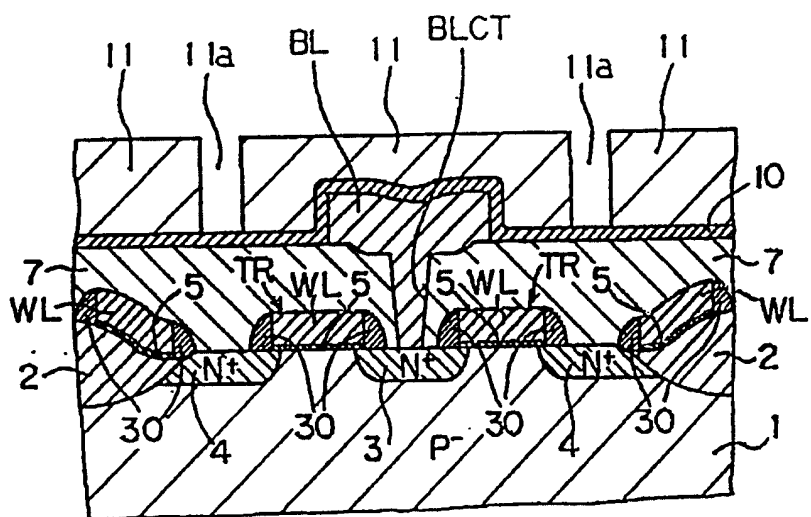
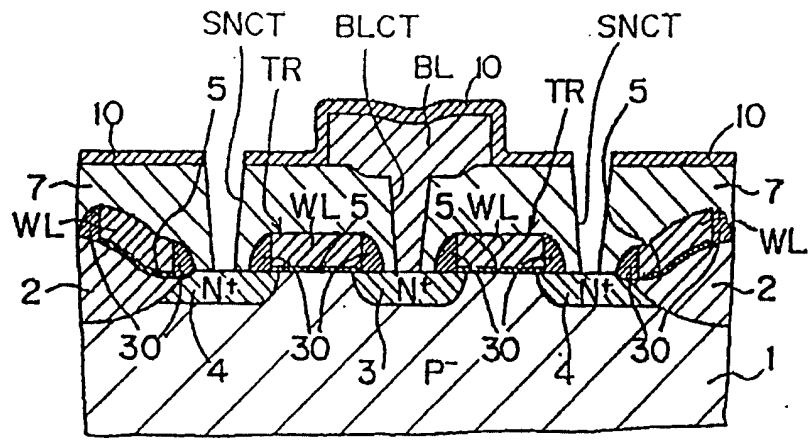
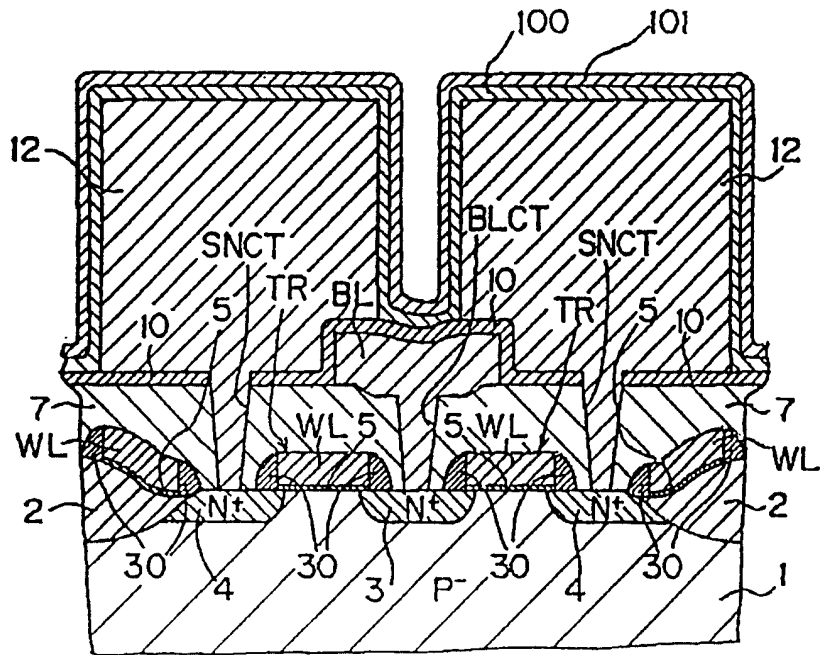


圖 68



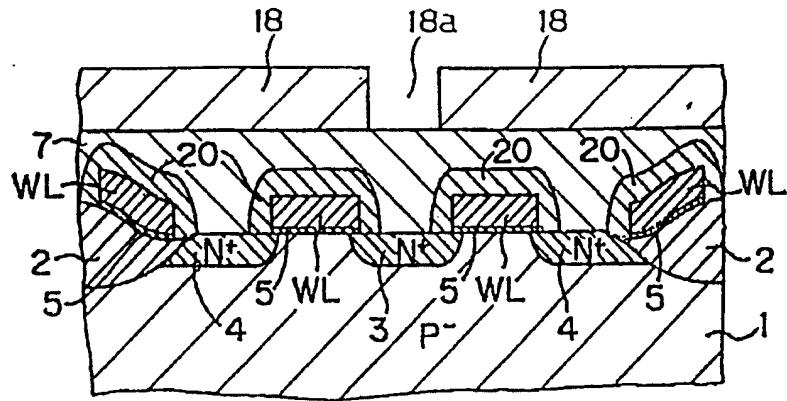
圖

69



圖

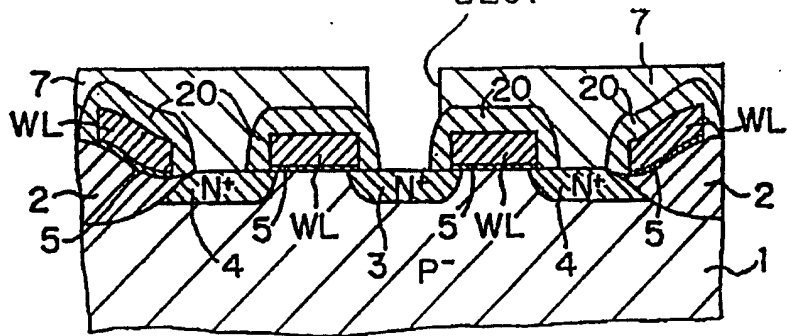
70



圖

71

BLCT



圖

72

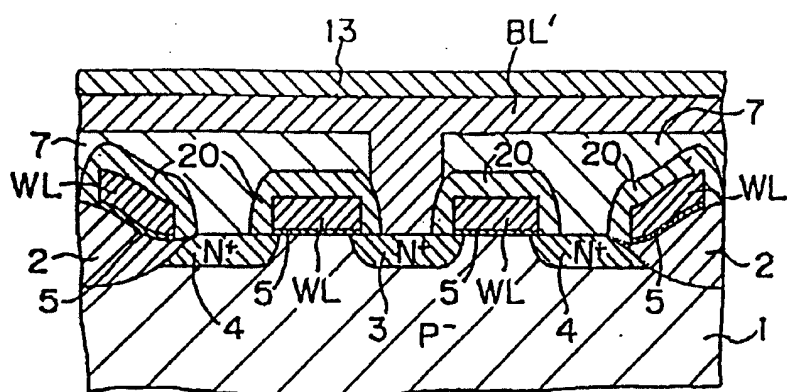


圖 73

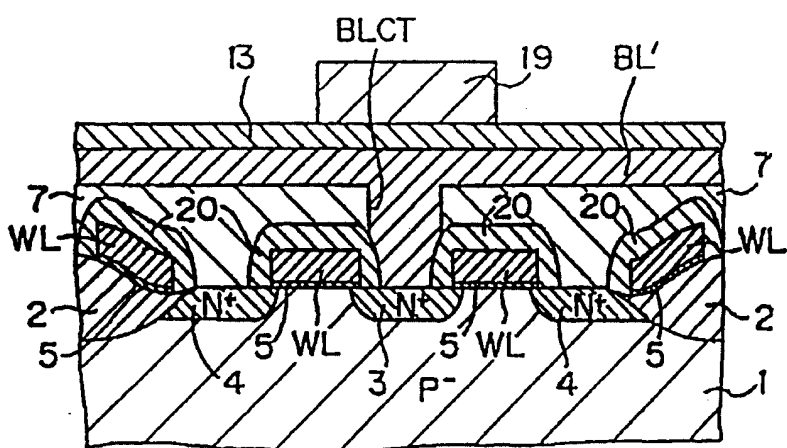


圖 74

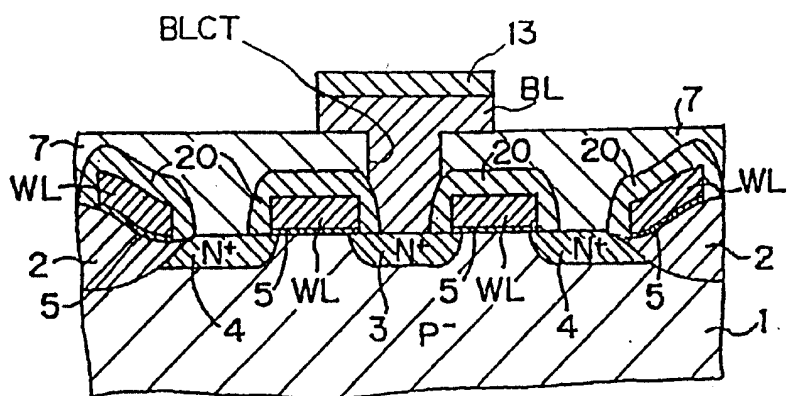


圖 75

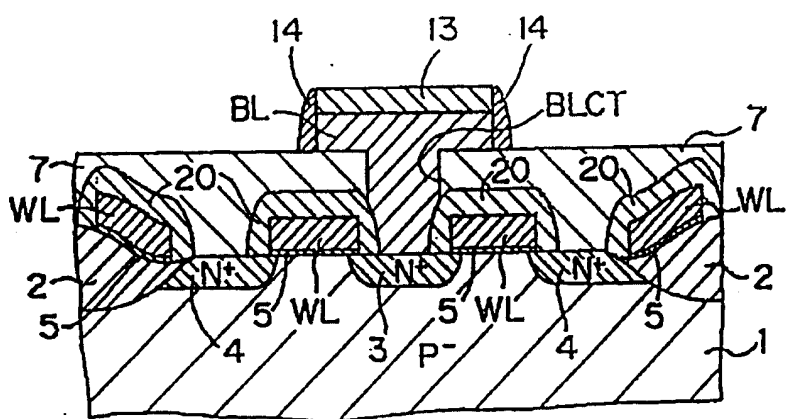


圖 76

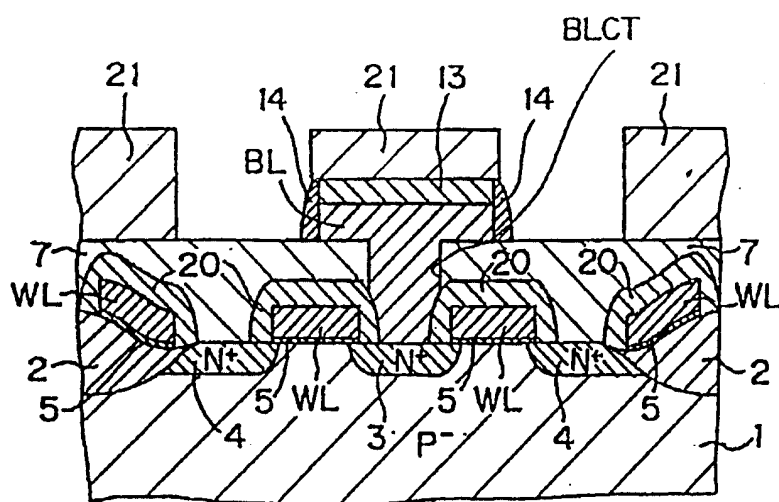


圖 77

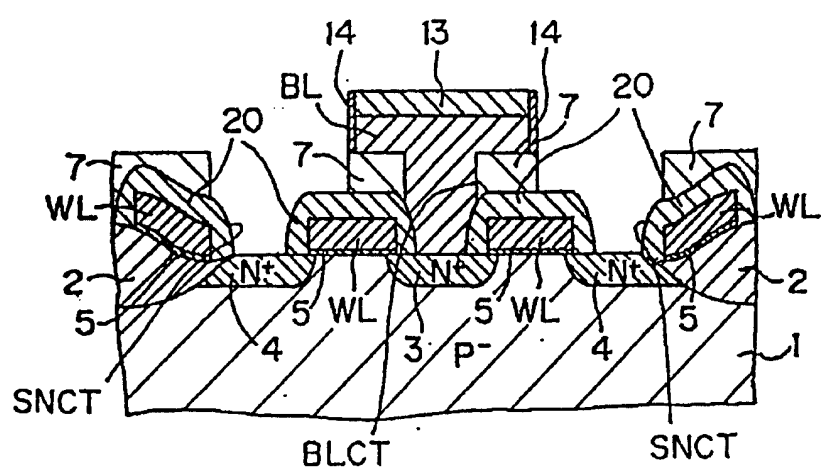


圖 78

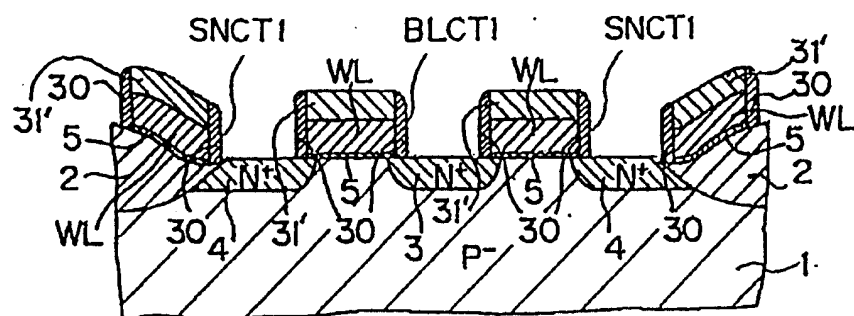


圖 81

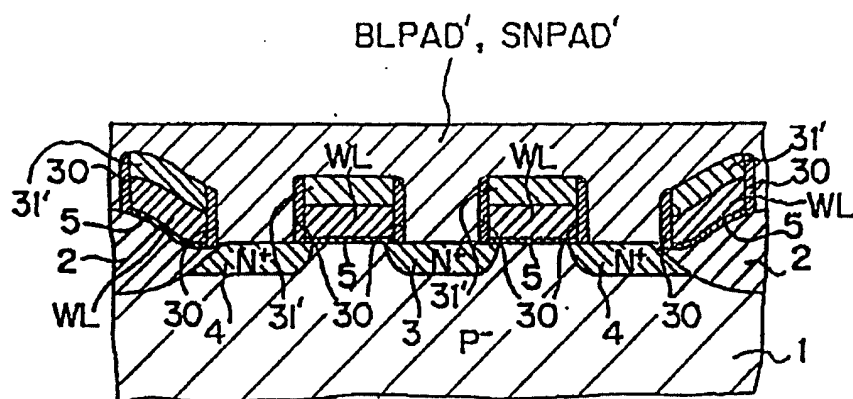


圖 82

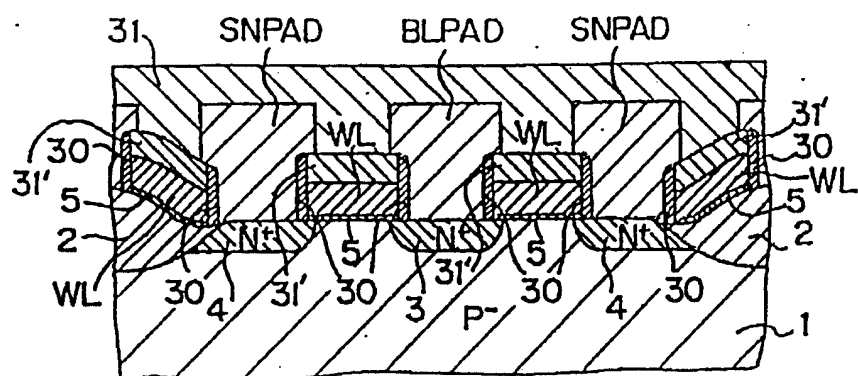


圖 85

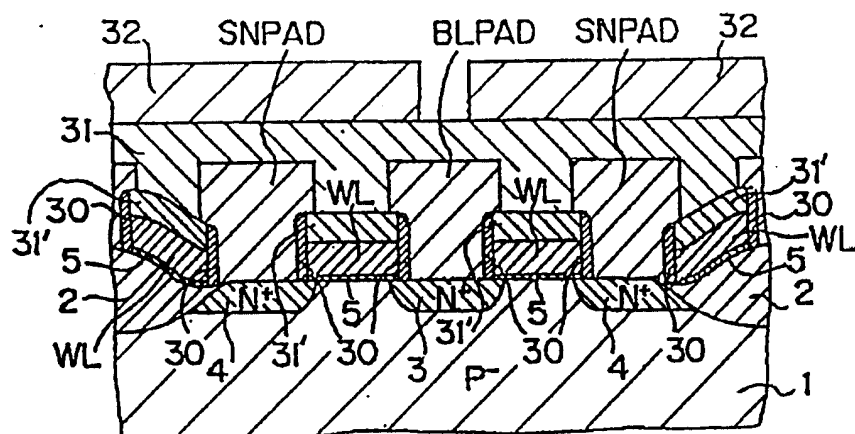


圖 86

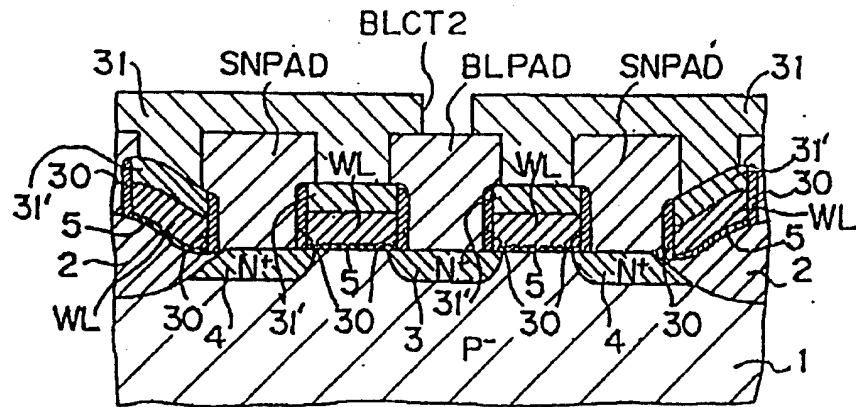


圖 87

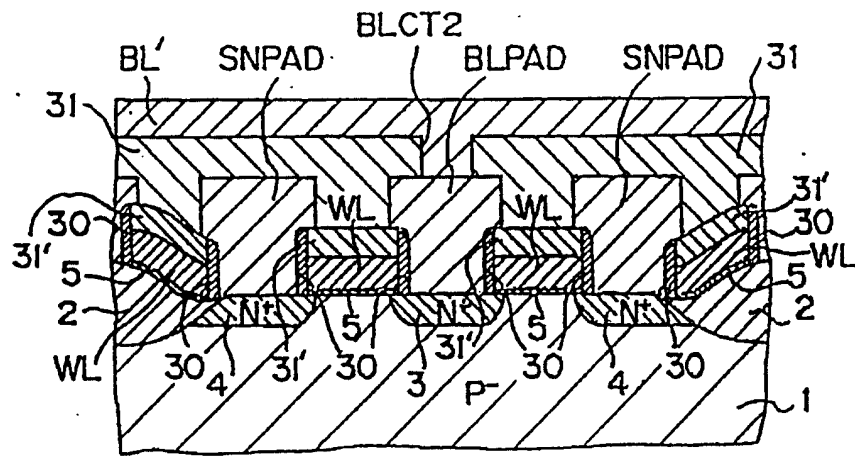


圖 88

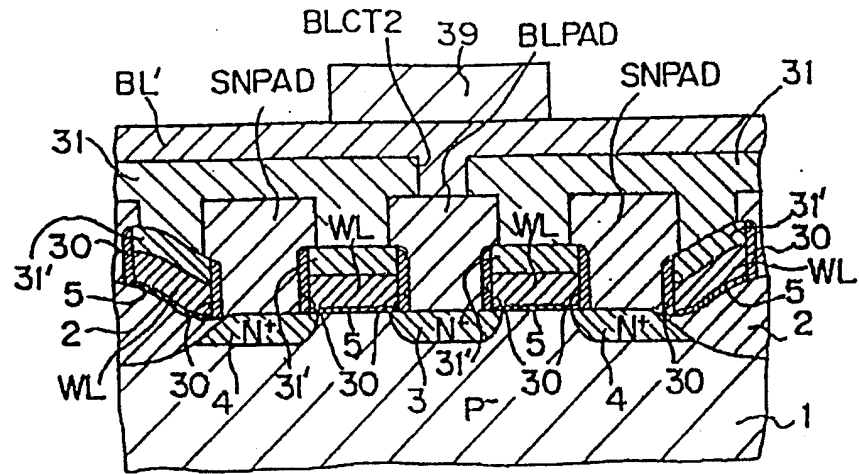


圖 89

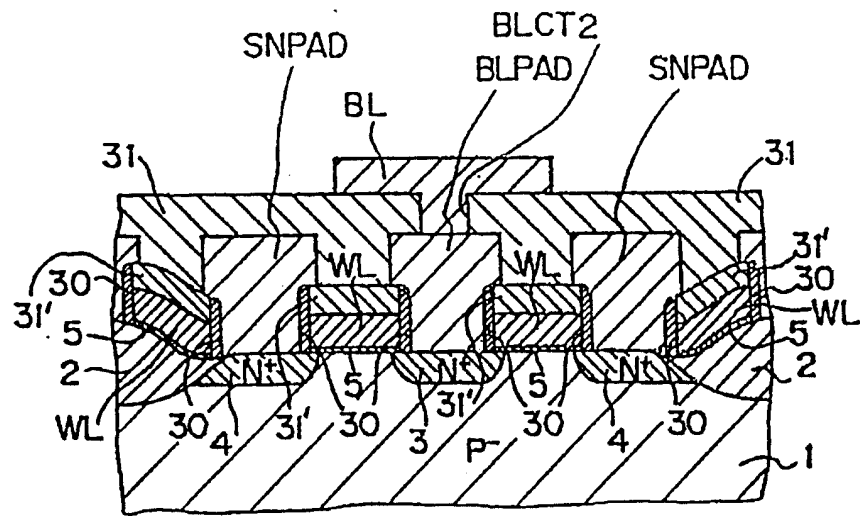


圖 90

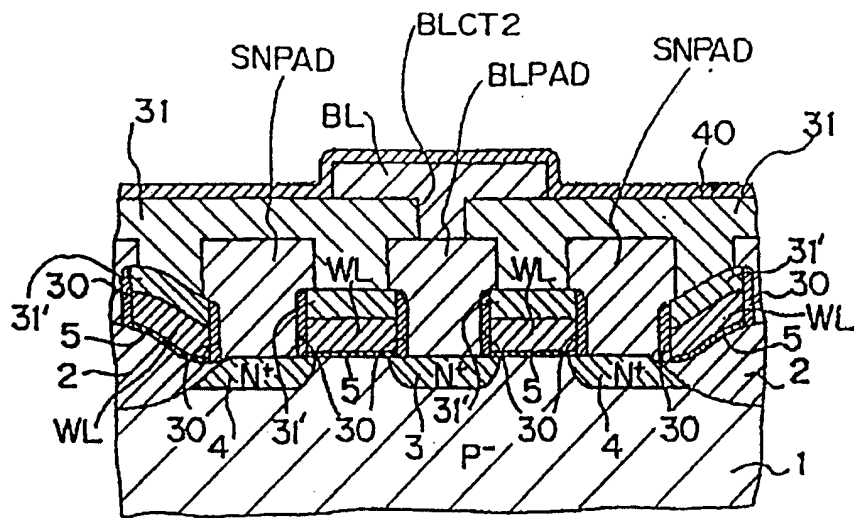


圖 91

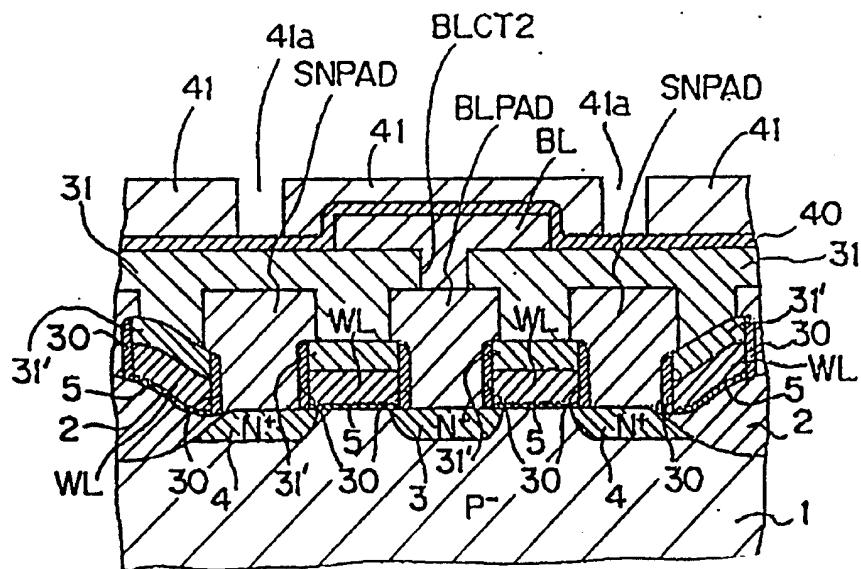
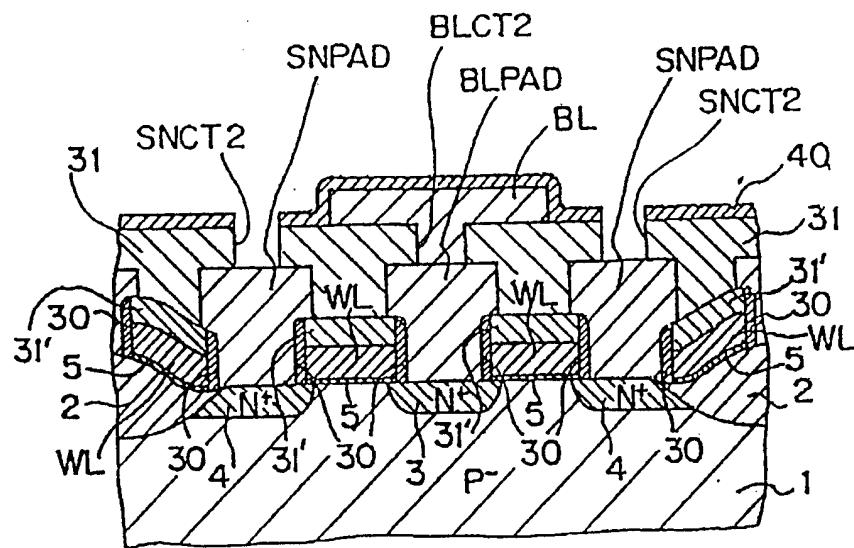
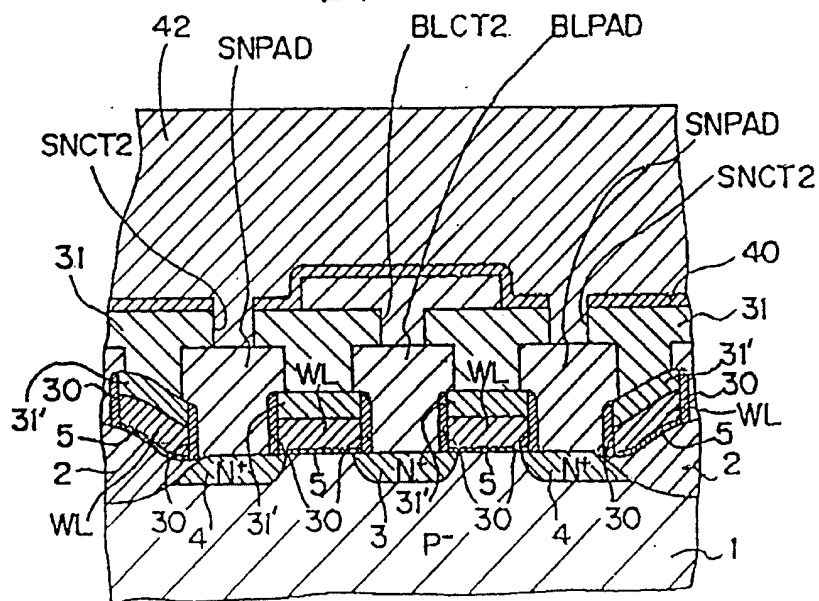


圖 92



圖

93



圖

94