



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0041100
(43) 공개일자 2009년04월28일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2007-0106630

(22) 출원일자 2007년10월23일

심사청구일자 2007년10월23일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

주병권

서울 종로구 평창동 234-24번지 (8/5)

권재홍

서울 성북구 석관동 131-11 4층 석관 1동

(뒷면에 계속)

(74) 대리인

특허법인 신성

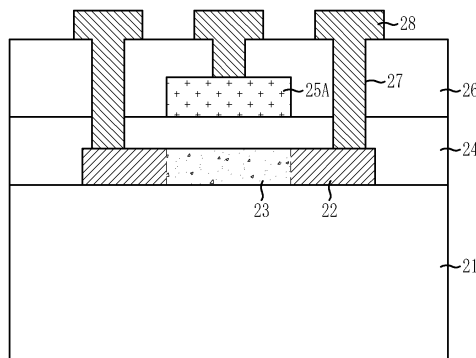
전체 청구항 수 : 총 20 항

(54) 투명 박막 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 박막 트랜지스터의 모든 구성요소가 광이 투과할 수 있는 투광소재로 형성된 투명 박막 트랜지스터 (Transparent Thin Film Transistor, TFET) 및 그 제조방법에 관한 것으로, 이를 위한 본 발명의 투명 박막 트랜지스터는, 기판상에 반도체물질로 형성된 활성층; 상기 활성층의 양측에 접하며 금속화합물로 형성된 소스 및 드레인 전극; 상기 활성층 상에 형성된 게이트절연막 및 상기 게이트절연막 상에 상기 활성층에 대응되도록 형성된 게이트전극을 포함하고, 상기 활성층, 상기 게이트전극, 상기 게이트절연막, 상기 소스 및 드레인 전극이 투광소재로 형성된 것을 특징으로 하며, 상술한 본 발명에 따르면, 발광표시장치의 개구율을 향상시킬 수 있는 효과가 있다.

대표도 - 도2



(72) 발명자

서정훈

서울 마포구 상암동 상암월드컵파크 609동 202호

신상일

서울 동대문구 제기동 1153-16 휴먼플러스 오피스
텔 312호

특허청구의 범위

청구항 1

기관상에 반도체물질로 형성된 활성층;

상기 활성층의 양측에 접하며 금속화합물로 형성된 소스 및 드레인 전극;

상기 활성층 상에 형성된 게이트절연막; 및

상기 게이트절연막 상에 상기 활성층에 대응되도록 형성된 게이트전극을 포함하고,

상기 활성층, 상기 게이트전극, 상기 게이트절연막, 상기 소스 및 드레인 전극이 투광소재로 형성된 투명 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 게이트전극을 포함하는 결과물 전면에 형성된 보호막; 및

상기 보호막 상에 상기 보호막을 관통하는 콘택홀을 통하여 상기 게이트전극, 상기 소스 및 드레인 전극과 전기적으로 연결되도록 형성된 콘택층을 더 포함하고,

상기 보호막 및 상기 콘택층은 투광소재로 형성된 투명 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 게이트전극은 PEDOT-PSS(poly(3,4-ethylenedioxythiophene)-(poly(styrenesulfonate))을 포함하는 투명 박막 트랜지스터.

청구항 4

제2항에 있어서,

상기 게이트절연막과 상기 보호막은 무기절연막 또는 유기절연막을 포함하는 투명 박막 트랜지스터.

청구항 5

제4항에 있어서,

상기 무기절연막은 SOG(Spin On Glass)막 또는 SOD(Spin On Dielectric)막을 포함하는 투명 박막 트랜지스터.

청구항 6

제4항에 있어서,

상기 유기절연막은 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(PI), 폴리아미드(PA), 폴리비닐클로라이드(PVC), 벤조사이틀로부텐(BCB) 폴리비닐알코올(PVA) 및 폴리비닐페놀(PVP) 및 사이클로펜텐(CyPe)으로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 투명 박막 트랜지스터.

청구항 7

제1항에 있어서,

상기 반도체물질은 밴드갭이 3.0eV보다 큰 반도체물질을 포함하는 투명 박막 트랜지스터.

청구항 8

제1항에 있어서,

상기 반도체물질은 ZnO, IGZO, ZnSnO₃, ZnSnO₄, ZnInO, (Zn, Mg)O, SnO₂, CdSnO, GaSnO, TlSnO, InGaZnO, CuAlO, SrCuO, LaCuOS, GaN, InGaN, AlGaN, InGaAlN, SiC 및 다이아몬드(diamond)로 이루어진 그룹으로부터 선

택된 어느 하나를 포함하는 투명 박막 트랜지스터.

청구항 9

제1항에 있어서,

상기 소스 및 드레인 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 반투명금속막으로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 투명 박막 트랜지스터.

청구항 10

기판상에 반도체물질층을 이용하여 활성층을 형성하는 단계;

상기 활성층 양측에 접하도록 금속화합물을 이용하여 소스 및 드레인 전극을 형성하는 단계;

상기 활성층 상에 게이트절연막을 형성하는 단계; 및

상기 게이트절연막 상에 상기 활성층에 대응하도록 게이트전극을 형성하는 단계를 포함하고,

상기 활성층, 상기 게이트전극, 상기 게이트절연막, 상기 소스 및 드레인 전극을 투광소재로 형성하는 투명 박막 트랜지스터 제조방법.

청구항 11

제10항에 있어서,

상기 게이트전극을 포함하는 결과물 전면에 보호막을 형성하는 단계;

상기 보호막을 선택적으로 식각하여 상기 게이트전극, 상기 소스 및 드레인 전극을 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 매립하여 상기 게이트전극, 상기 소스 및 드레인 전극을 전기적으로 연결하는 콘택층을 형성하는 단계를 더 포함하고,

상기 보호막 및 상기 콘택층은 투광소재로 형성하는 투명 박막 트랜지스터 제조방법.

청구항 12

제11항에 있어서,

상기 활성층, 상기 게이트절연막, 상기 게이트전극 및 상기 보호막은 스핀코팅법(spin coating)으로 형성하는 투명 박막 트랜지스터의 제조방법.

청구항 13

제11항에 있어서,

상기 활성층, 상기 게이트절연막, 상기 게이트전극 및 상기 보호막은 슬릿코팅법(slot coating), 드롭캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 및 임프린트법(imprint)으로 이루어진 그룹으로부터 선택된 어느 한 방법을 사용하여 형성하는 투명 박막 트랜지스터 제조방법.

청구항 14

제10항에 있어서,

상기 게이트전극은 PEDOT-PSS로 형성하는 투명 박막 트랜지스터의 제조방법.

청구항 15

제11항에 있어서,

상기 게이트절연막과 상기 보호막은 무기절연막 또는 유기절연막으로 형성하는 투명 박막 트랜지스터 제조방법.

청구항 16

제15항에 있어서,

상기 무기절연막은 SOG막 또는 SOD막으로 형성하는 투명 박막 트랜지스터 제조방법.

청구항 17

제15항에 있어서,

상기 유기절연막은 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(PI), 폴리아미드(PA), 폴리비닐클로라이드(PVC), 벤조사이틀로부텐(BCB), 폴리비닐알코올(PVA) 및 폴리비닐페놀(PVP) 및 사이클로펜텐(CyPe)으로 이루어진 그룹으로부터 선택된 어느 하나로 형성하는 투명 박막 트랜지스터 제조방법.

청구항 18

제10항에 있어서,

상기 반도체물질은 밴드갭이 3.0eV보다 큰 반도체물질을 이용하는 투명 박막 트랜지스터 제조방법.

청구항 19

제10항에 있어서,

반도체물질은 ZnO, IGZO, ZnSnO₃, ZnSnO₄, ZnInO, (Zn, Mg)O, SnO₂, CdSnO, GaSnO, TlSnO, InGaZnO, CuAlO, SrCuO, LaCuOS, GaN, InGaN, AlGaIn, InGaAlN, SiC 및 다이아몬드(diamond)로 이루어진 그룹으로부터 선택된 어느 하나로 형성하는 투명 박막 트랜지스터 제조방법.

청구항 20

제10항에 있어서,

상기 소스 및 드레인 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 반투명금속막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성하는 투명 박막 트랜지스터 제조방법.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 박막 트랜지스터 및 그 제조방법에 관한 것으로, 더욱 상세하게는 박막 트랜지스터의 모든 구성요소가 광이 투과할 수 있는 투광소재로 형성된 투명 박막 트랜지스터(Transparent Thin Film Transistor, TFET) 및 그 제조방법에 관한 것이다.

<2>

배경 기술

<3> 최근, 박막 트랜지스터(Thin Film Transistor, TFT)는 유기발광표시장치(Organic Light Emitting Display, OLED) 또는 액정표시장치(Liquid Crystal Display, LCD)와 같은 표시장치에서 각각의 화소(pixel)를 동작시키는 스위칭 소자로써 광범위하게 사용되고 있다. 이에 따라 박막 트랜지스터의 제조에 많은 관심이 기울여지고 있으며, 더 효율적인 동작특성을 갖는 박막 트랜지스터 및 그 제조방법들이 고안되고 있다.

<4> 도 1은 종래기술에 따른 탑게이트(top gate) 구조를 갖는 박막 트랜지스터를 도시한 단면도이다.

<5> 도 1을 참조하여 종래기술에 따른 탑게이트 구조를 갖는 박막 트랜지스터의 제조방법을 살펴보면, 기관(11)상에

활성층(12)을 형성한 후, 활성층(12) 상에는 게이트절연막(13)을 형성한다. 다음으로, 게이트절연막(13) 상에는 게이트전극(14)을 형성한 후, 게이트전극(14)이 형성된 결과물 전면에 증간절연막(15)을 형성하고, 증간절연막(15) 상에는 증간절연막(15)을 관통하는 콘택홀(16)을 통하여 활성층(12)의 양측과 각각 전기적으로 연결된 소스 및 드레인 전극(17)을 형성한다.

- <6> 여기서, 활성층(12)은 일반적으로 비정질실리콘(amorphous Si) 또는 폴리실리콘(poly Si)을 이용하여 형성되며, 활성층(12)은 정공(hole) 또는 전자(electron)와 같은 캐리어(carrier)들이 이동할 수 있는 통로인 채널영역으로 작용한다.
- <7> 그러나, 종래기술에 따른 박막 트랜지스터를 표시장치의 스위칭 소자로 이용할 경우, 활성층(12)으로 사용된 비정질실리콘 또는 폴리실리콘이 광을 투과시키는 않는 불투명한 물질이기 때문에 채널의 폭을 증가시키는데 한계가 있다. 이는 채널의 폭을 증가시킬 경우 표시장치의 개구율이 감소하여 표시장치의 발광효율이 감소하기 때문이다. 이에 따라, 활성층(12)에 많은 양의 전류가 흐르지 못하는 문제점이 발생한다.
- <8> 이를 해결하기 위하여 박막 트랜지스터에 높은 전압을 인가할 경우, 고전압에 의하여 박막 트랜지스터가 쉽게 열화되고, 소비전력이 증가하는 문제점이 발생한다. 특히, 상술한 문제점은 유기발광표시장치에서 더욱 심각해 나타난다.
- <9> 또한, 종래기술에 따른 박막 트랜지스터를 액정표시장치에 사용할 경우, 활성층(12)은 가시광영역(380nm ~ 770nm)에서 광전도성, 즉, 활성층(12)에 광이 조사되면 활성층(12)이 광에 반응하여 캐리어 즉, 광전류(photo current)가 생성된다. 이러한 광전류는 박막 트랜지스터가 오프(off) 상태로 제어되어있음에도 불구하고, 활성층(12)의 저항을 감소시켜 오프-누설전류(off-leakage current)를 발생시키는 문제점이 있다.
- <10> 또한, 이러한 문제점은 탑게이트를 갖는 박막 트랜지스터에 한정되는 것이 아니며, 다른 유형 예컨대, 바텀게이트(bottom gate)를 갖는 박막 트랜지스터에서도 동일하게 발생하는 문제점이다.

발명의 내용

해결 하고자하는 과제

- <11> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 박막 트랜지스터의 활성층을 투명한 물질로 형성하여 표시장치의 개구율 향상 및 박막 트랜지스터의 채널 폭을 향상시킬 수 있는 투명 박막 트랜지스터 및 그 제조방법을 제공하는데 그 목적이 있다.
- <12> 또한, 본 발명은 활성층과 더불어서 박막 트랜지스터를 구성하는 게이트절연막, 게이트전극, 소스 및 드레인 전극을 투명한 물질로 형성하여 표시장치의 개구율 및 박막 트랜지스터의 채널 폭을 더욱 향상시킬 수 있는 투명 박막 트랜지스터 및 그 제조방법을 제공하는데 그 목적이 있다.
- <13> 또한, 본 발명은 투명 박막 트랜지스터를 제조하는데 있어서, 공정과정을 단순화시키고, 대량생산을 통하여 생산비용을 절감할 수 있는 투명 박막 트랜지스터 및 그 제조방법을 제공하는 데 다른 목적이 있다.

과제 해결수단

- <14> 상기 목적을 달성하기 위한 일 측면에 따른 본 발명의 투명 박막 트랜지스터는, 기판상에 반도체물질로 형성된 활성층; 상기 활성층의 양측에 접하며 금속화합물로 형성된 소스 및 드레인 전극; 상기 활성층 상에 형성된 게이트절연막 및 상기 게이트절연막 상에 상기 활성층에 대응되도록 형성된 게이트전극을 포함하고, 상기 활성층, 상기 게이트전극, 상기 게이트절연막, 상기 소스 및 드레인 전극이 투광소재로 형성된 것을 특징으로 한다.
- <15> 또한, 본 발명의 투명 박막 트랜지스터는 상기 게이트전극을 포함하는 결과물 전면에 형성된 보호막 및 상기 보호막 상에 상기 보호막을 관통하는 콘택홀을 통하여 상기 게이트전극, 상기 소스 및 드레인 전극과 전기적으로 연결되도록 형성된 콘택층을 더 포함할 수 있다. 이때, 상기 보호막 및 상기 콘택층은 투광소재로 형성한다.
- <16> 상기 게이트전극은 PEDOT-PSS(poly(3,4-ethylenedioxythiophene)-(poly(styrenesulfonate))을 포함할 수 있다.
- <17> 상기 게이트절연막과 상기 보호막은 무기절연막 또는 유기절연막을 포함할 수 있으며, 상기 무기절연막은 SOG(Spin On Glass)막 또는 SOD(Spin On Dielectric)막을 포함할 수 있고, 상기 유기절연막은 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(PI), 폴리아미드(PA), 폴리비닐클로라이드(PVC), 벤조사이클로부텐(BCB), 사이클로펜텐(CyPe), 폴리비닐알코올(PVA) 및 폴리비닐페놀(PVP)로 이루어진 그룹으로부터 선택된 어느

하나를 포함할 수 있다.

- <18> 상기 활성층을 구성하는 상기 반도체물질은 밴드갭이 3.0eV보다 큰 반도체물질을 포함할 수 있으며, 상기 반도체물질로 ZnO, IGZO, ZnSnO₃, ZnSnO₄, ZnInO, (Zn, Mg)O, SnO₂, CdSnO, GaSnO, TlSnO, InGaZnO, CuAlO, SrCuO, LaCuOS, GaN, InGaN, AlGaN, InGaAlN, SiC 및 다이아몬드(diamond)로 이루어진 그룹으로부터 선택된 어느 하나를 포함할 수 있다.
- <19> 상기 소스 및 드레인 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 반투명금속막으로 이루어진 그룹으로부터 선택된 어느 하나를 포함할 수 있다.
- <20> 상기 목적을 달성하기 위한 다른 일 측면에 따른 본 발명의 투명 박막 트랜지스터의 제조방법은, 기판상에 반도체물질을 이용하여 활성층을 형성하는 단계; 상기 활성층 양측에 접하도록 금속화합물을 이용하여 소스 및 드레인 전극을 형성하는 단계; 상기 활성층 상에 게이트절연막을 형성하는 단계 및 상기 게이트절연막 상에 상기 활성층에 대응하도록 게이트전극을 형성하는 단계를 포함하고, 상기 활성층, 상기 게이트전극, 상기 게이트절연막, 상기 소스 및 드레인 전극을 투광소재로 형성하는 것을 특징으로 한다.
- <21> 또한, 본 발명은 상기 게이트전극을 포함하는 결과물 전면에 보호막을 형성하는 단계; 상기 보호막을 선택적으로 식각하여 상기 게이트전극, 상기 소스 및 드레인 전극을 노출시키는 콘택홀을 형성하는 단계 및 상기 콘택홀을 매립하여 상기 게이트전극, 상기 소스 및 드레인 전극을 전기적으로 연결하는 콘택층을 형성하는 단계를 더 포함할 수 있으며, 상기 보호막 및 상기 콘택층은 투광소재로 형성하는 것을 특징으로 한다.
- <22> 상기 활성층, 상기 게이트절연막, 상기 게이트전극 및 상기 보호막은 스핀코팅법(spin coating)으로 형성할 수 있으며, 이외에도 슬릿코팅법(slit coating), 드롭캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 및 임프린트법(imprint)으로 이루어진 그룹으로부터 선택된 어느 한 방법을 사용하여 형성할 수 있다.
- <23> 상기 게이트전극은 PEDOT-PSS로 형성할 수 있으며, 상기 게이트절연막과 상기 보호막은 무기절연막 또는 유기절연막으로 형성할 수 있다. 이때, 상기 무기절연막은 SOG막 또는 SOD막으로 형성할 수 있으며, 상기 유기절연막은 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(PI), 폴리아미드(PA), 폴리비닐클로라이드(PVC), 벤조사이클로부텐(BCB), 사이클로펜텐(CyPe), 폴리비닐알코올(PVA) 및 폴리비닐페놀(PVP)로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.
- <24> 상기 활성층을 구성하는 상기 반도체물질은 밴드갭이 3.0eV보다 큰 반도체물질을 이용할 수 있으며, 이러한 반도체물질로는 ZnO, IGZO, ZnSnO₃, ZnSnO₄, ZnInO, (Zn, Mg)O, SnO₂, CdSnO, GaSnO, TlSnO, InGaZnO, CuAlO, SrCuO, LaCuOS, GaN, InGaN, AlGaN, InGaAlN, SiC 및 다이아몬드(diamond)로 이루어진 그룹으로부터 선택된 어느 하나를 이용할 수 있다.
- <25> 상기 소스 및 드레인 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 반투명금속막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.

효 과

- <26> 본 발명은 광이 투과할 수 있는 투명한 활성층을 포함하는 투명 박막 트랜지스터를 제공한다. 따라서, 본 발명의 투명 박막 트랜지스터를 표시장치의 스위칭 소자에 적용할 경우, 표시장치의 개구율을 향상시킬 수 있는 효과가 있다. 또한, 표시장치의 디자인률을 완하시킬 수 있으며, 해상도를 증가시킬 수 있는 효과가 있다.
- <27> 또한, 본 발명의 투명 박막 트랜지스터는 채널의 폭을 향상시킬 수 있으며, 이를 통하여 소비전력을 감소시킬 수 있는 효과가 있다. 특히, 본 발명의 투명 박막 트랜지스터를 유기발광표시장치에 적용할 경우, 채널의 폭을 넓혀 고전압에 의한 소자의 열화를 방지하면서 고해상도의 영상을 구현할 수 있는 효과가 있다.
- <28> 또한, 본 발명은 투광소재를 사용하여 활성층을 형성함으로써, 활성층의 광전도성으로 인한 오프-누설전류의 생성을 억제하여 보다 효과적으로 소비전력을 절감할 수 있는 효과가 있다.
- <29> 또한, 본 발명은 투명한 활성층과 더불어 박막 트랜지스터를 구성하는 게이트절연막, 게이트전극, 소스 및 드레인 전극을 광이 투과할 수 있는 투광소재로 형성함으로써, 표시장치의 개구율 및 박막 트랜지스터의 채널 폭

을 더욱 향상시킬 수 있는 효과가 있다.

<30> 또한, 본 발명은 활성층과 소스 및 드레인 전극을 일함수가 서로 다른 물질로 형성함으로써, 이들 사이의 전하 주입장벽(carrier injection barrier)을 조절하여 박막 트랜지스터의 전기적인 특성을 향상시킬 수 있는 효과가 있다.

<31> 또한, 본 발명은 게이트절연막, 게이트전극 및 보호막을 스핀코팅법(spin coating)과 같은 용액공정(solution process)을 기반으로 형성함으로써, 공정상의 안정성을 확보할 수 있고, 공정과정을 단순화시킬 수 있는 효과가 있다. 또한, 반도체 소자의 생산성을 향상 및 생산비용을 절감할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<32> 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부도면을 참조하여 설명하기로 한다.

<33> 후술한 본 발명의 실시예에서는 박막 트랜지스터를 구성하는 활성층, 게이트전극, 게이트절연막, 소스 및 드레인 전극을 각각 광이 투과할 수 있는 투광소재로 형성된 투명 박막 트랜지스터를 제공한다. 또한, 본 발명의 투명 박막 트랜지스터를 제조함에 있어서, 공정과정을 단순화하고, 반도체 소자의 생산성 향상 및 생산비용을 절감할 수 있는 용액공정(solution process)을 기반으로 하는 투명 박막 트랜지스터 제조방법을 제공한다.

<34> 도 2는 본 발명의 실시예에 따른 탑게이트(top gate) 구조를 갖는 투명 박막 트랜지스터를 도시한 단면도이다.

<35> 도 2에 도시된 바와 같이, 기판(21)상에 반도체물질로 형성된 활성층(23), 활성층(23)의 양측에 접하도록 금속 화합물로 형성된 소스 및 드레인 전극(22), 활성층(23) 상에 형성된 게이트절연막(24) 및 게이트절연막(24) 상에 형성된 게이트전극(25A)을 포함한다. 이때, 활성층(23), 게이트전극(25A), 게이트절연막(24), 소스 및 드레인 전극(22)은 광을 투과할 수 있는 투명한 물질 즉, 투광소재로 형성한다.

<36> 기판(21)은 유리, 플라스틱 소재 또는 실리콘과 같은 절연특성을 갖는 물질은 모두 사용할 수 있다. 여기서, 본 발명의 투명 박막 트랜지스터를 표시장치에 적용할 경우, 기판(21)은 광을 투과시킬 수 있고, 가격이 저렴한 유리 또는 플라스틱 소재로 형성하는 것이 바람직하다. 특히, 본 발명의 투명 박막 트랜지스터를 플렉서블(flexible) 표시장치에 적용할 경우, 기판(21)은 유연성을 갖는 플라스틱 소재로 형성하는 것이 바람직하다. 이때, 플라스틱 소재로는 폴리탄산에스테르(PolyCarbonate, PC), 폴리메틸메타크릴레이트(PolyMethylMetaAcrylate, PMMA), 폴리디메틸실록산(PolyDiMethylSiloxane; PDMS), 폴리에테르이미드(Polyetherimide, PEI), 폴리에테르에테르케톤(polyetheretherketone, PEEK), 폴리아미드(Polyimide, PI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테르이미드(Polyetherimide, PEI), 폴리에스테르(Polyester, PET), 폴리에틸렌나프탈레이트(polyethylenenaphthalate, PEN) 및 환형올레핀공중합체(Cyclic Olefin Copolymer, COC)로 이루어진 그룹에서 선택된 어느 하나를 사용할 수 있다.

<37> 활성층(23)은 정공(hole) 또는 전자(electron)와 같은 캐리어(carrier)들이 이동하는 통로인 채널영역으로 작용하며, 투명한 전도성 물질을 사용하여 100nm ~ 300nm 범위의 두께를 갖도록 형성할 수 있다.

<38> 여기서, 활성층(23)을 구성하는 투명한 전도성 물질로는 밴드갭이 3.0eV 이상인 광대역 반도체 물질을 사용하는 것이 바람직하며, 이러한 광대역 반도체 물질로 ZnO, IGZO, ZnSnO₃, ZnSnO₄, ZnInO, (Zn, Mg)O, SnO₂, CdSnO, GaSnO, TlSnO, InGaZnO, CuAlO, SrCuO 또는 LaCuOS와 같은 산화물, GaN, InGaN, AlGaN 또는 InGaAlN과 같은 질화물 및 SiC 또는 다이아몬드(diamond)와 같은 탄화물로 이루어진 그룹으로부터 선택된 어느 하나를 사용할 수 있다. 특히, 활성층(23)을 ZnO를 사용하여 형성할 경우, 스핀코팅법(spin coating)을 사용하여 활성층(23)을 형성할 수 있기 때문에 상술한 다른 반도체물질들에 비하여 공정과정을 단순화하고 생산비용을 절감할 수 있는 장점이 있다.

<39> 소스 및 드레인 전극(22)은 투명한 도전성 물질로 형성할 수 있다. 바람직하게는 활성층(23)과 소스 및 드레인 전극(22) 사이의 전하주입장벽(carrier injection barrier)을 조절하여 박막 트랜지스터의 전기적인 특성을 향상시킬 수 있도록 활성층(23)을 구성하는 물질과 일함수(work function)가 서로 다른 물질 예컨대, 금속화합물을 이용하여 형성하는 것이 좋다. 따라서, 소스 및 드레인 전극(22)은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 반투명 금속막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있으며, 100nm ~ 300nm 범위의 두께를 갖도록 형성할 수 있다.

- <40> 또한, 소스 및 드레인 전극(22)이 활성층(23)의 양측 가장자리 일부를 덮도록 형성할 수 있다. 이는 활성층(23)과 소스 및 드레인 전극(22) 사이의 접촉면적을 증가시킴으로써, 둘 사이의 전기적인 특성을 더욱 향상시킬 수 있기 때문이다.
- <41> 게이트절연막(24)은 용액공정(solution process)을 기반으로 제작할 수 있는 절연성을 갖는 투명한 물질 예컨대, 실록산(siloxane), 실라젠(silazane) 및 실리케이트(silicate)로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 SOG(Spin On Glass)막 또는 폴리실라잔(polysilazane)을 포함하는 SOD(Spin On Dielectric)막과 같은 무기절연막으로 형성할 수 있다.
- <42> 또한, 게이트절연막(24)은 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(polyimide, PI), 폴리아미드(Polyamide, PA), 폴리비닐클로라이드(Polyvinyl chloride, PVC), 벤조사이클로부텐(benzocyclobutene, BCB), 폴리비닐알코올((polyvinyl alcohol, PVA) 및 폴리비닐페놀(polyvinylphenol, PVP) 또는 사이클로펜텐(cyclopentene, CyPe)과 같은 유기절연막으로 형성할 수도 있다.
- <43> 또한, 게이트절연막(24)은 800nm ~ 900nm 범위의 두께를 갖도록 활성층(23) 상에만 형성하거나, 공정과정에서 발생할 수 있는 게이트전극(25A)과 소스 및 드레인 전극(22) 사이의 단락현상을 효과적으로 방지하기 위해 활성층(23)과 소스 및 드레인 전극(22)을 모두 덮도록 형성할 수도 있다.
- <44> 게이트전극(25A)은 100nm ~ 200nm 범위의 두께를 갖도록 투명한 전도성 물질 예컨대, 활성층(23) 또는 소스 및 드레인 전극(22)을 구성하는 물질과 동일한 물질을 사용하여 형성할 수 있으며, 바람직하게는 용액공정을 기반으로 제작할 수 있는 투명한 전도성 물질 예컨대, PEDOT-PSS(poly(3,4-ethylenedioxythiophene)-(poly(styrenesulfonate))를 사용하여 형성하는 것이 좋다.
- <45> 또한, 본 발명의 실시예에 따른 투명 박막 트랜지스터는 게이트전극(25A)을 포함하는 결과물 전면에서 투광소재로 형성된 보호막(26) 및 보호막(26) 상에 보호막(26)을 관통하는 콘택홀(27)을 통하여 게이트전극(25A), 소스 및 드레인 전극(22)과 전기적으로 연결되도록 투광소재로 형성된 콘택층(28)을 더 포함할 수 있다.
- <46> 보호막(26)은 절연성을 갖는 투명한 물질 예컨대, 실록산(siloxane), 실라젠(silazane) 및 실리케이트(silicate)로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 SOG(Spin On Glass)막 또는 폴리실라잔(polysilazane)을 포함하는 SOD(Spin On Dielectric)막과 같은 무기절연막으로 형성하거나, 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(polyimide, PI), 폴리아미드(Polyamide, PA), 폴리비닐클로라이드(Polyvinyl chloride, PVC), 벤조사이클로부텐(benzocyclobutene, BCB), 폴리비닐알코올((polyvinyl alcohol, PVA) 및 폴리비닐페놀(polyvinylphenol, PVP) 또는 사이클로펜텐(cyclopentene, CyPe)과 같은 유기절연막으로 형성할 수 있다.
- <47> 이때, 바람직하게는 공정상의 편의를 위하여 보호막(26)은 게이트절연막(24)과 동일한 물질로 형성하는 것이 좋다.
- <48> 콘택층(28)은 투명한 전도성 물질 예컨대, ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 반투명금속막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다. 이외에도, 활성층(23) 또는 게이트전극(25A)을 구성하는 물질과 동일한 물질로 형성할 수도 있다. 바람직하게는 게이트전극(25A), 소스 및 드레인 전극(22) 사이의 접촉특성을 향상시키기 위하여 복수회의 공정을 통해 콘택층(28)은 전기적으로 연결되는 부분과 서로 동일한 물질로 형성하는 것이 좋다.
- <49> 이와 같이, 본 발명은 광이 투과할 수 있는 투명한 활성층(23)을 포함하는 투명 박막 트랜지스터를 제공한다. 따라서, 본 발명의 투명 박막 트랜지스터를 표시장치의 스위칭 소자에 적용할 경우, 표시장치의 개구율을 향상시킬 수 있고, 표시장치의 디자인률을 완하시킬 수 있으며, 해상도를 증가시킬 수 있다.
- <50> 또한, 본 발명은 투광소재를 사용하여 활성층(23)을 형성함으로써, 채널의 폭을 향상시킬 수 있으며, 이를 통하여 소비전력을 감소시킬 수 있다. 특히, 본 발명의 투명 박막 트랜지스터를 유기발광표시장치에 적용할 경우, 채널의 폭을 넓혀 고전압에 의한 소자의 열화를 방지하면서 고해상도의 영상을 구현할 수 있다.
- <51> 또한, 본 발명은 투광소재를 사용하여 활성층(23)을 형성함으로써, 활성층(23)의 광전도성으로 인한 오프-누설 전류의 생성을 억제하여 보다 효과적으로 소비전력을 감소시킬 수 있다.
- <52> 또한, 본 발명은 투명한 활성층(23)과 더불어서 박막 트랜지스터를 구성하는 게이트절연막(24), 게이트전극(25A), 소스 및 드레인 전극(22)을 광이 투과할 수 있는 투광소재로 형성함으로써, 표시장치의 개구율 및 박막

트랜지스터의 채널 폭을 더욱 향상시킬 수 있다.

- <53> 또한, 본 발명은 활성층(23)과 소스 및 드레인 전극(22)을 일함수가 서로 다른 물질로 형성함으로써, 이들 사이의 전하주입장벽(carrier injection barrier)을 조절하여 박막 트랜지스터의 전기적인 특성을 향상시킬 수 있다.
- <54> 도 3a 내지 도 3e는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 제조방법을 도시한 공정단면도이다.
- <55> 도 3a에 도시된 바와 같이, 기판(21)상에 활성층(23)을 형성한다. 이때, 활성층(23)은 투명한 전도성 물질 예컨대, 밴드갭이 3.0eV보다 큰 광대역 반도체 물질을 사용하여 형성하는 것이 바람직하며, 이러한 광대역 반도체 물질로 ZnO, IGZO, ZnSnO₃, ZnSnO₄, ZnInO, (Zn, Mg)O, SnO₂, CdSnO, GaSnO, TlSnO, InGaZnO, CuAlO, SrCuO 또는 LaCuOS와 같은 산화물, GaN, InGaN, AlGaN 또는 InGaAlN과 같은 질화물 및 SiC 또는 다이아몬드(diamond)와 같은 탄화물로 이루어진 그룹으로부터 선택된 어느 하나를 사용할 수 있다.
- <56> 또한, 활성층(23)은 스퍼터링법(sputtering), 화학기상증착법(Chemical Vapor Deposition, CVD), 펄스레이저증착법(Pulse Laser Deposition, PLD), 원자층증착법(Atomic Layer Deposition, ALD) 및 분자빔증착법(Molecular Beam Epitaxy, MBE)으로 이루어진 그룹으로부터 선택된 어느 한 방법을 사용하여 100nm ~ 300nm 범위의 두께를 갖도록 형성할 수 있다.
- <57> 이외에도, 활성층(23)을 ZnO를 사용하여 형성할 경우, 상술한 증착방법 대신에 스핀코팅법(spin coating)을 사용하여 형성할 수 있다. ZnO 박막을 스핀코팅법을 사용하여 형성하는 방법에 대하여 다양한 방법들이 공지되어 있으므로 여기서는 자세한 설명을 생략한다.
- <58> 한편, 기판(21)은 유리, 플라스틱 소재 또는 실리콘과 같은 절연특성을 갖는 물질은 모두 사용할 수 있으며, 본 발명의 투명 박막 트랜지스터를 표시장치에 적용할 경우, 기판(21)은 광을 통과시킬 수 있고, 가격이 저렴한 유리 또는 플라스틱 소재로 형성하는 것이 바람직하다. 특히, 본 발명의 투명 박막 트랜지스터를 플렉서블(flexible) 표시장치에 적용할 경우, 기판(21)은 유연성을 갖는 플라스틱 소재로 형성하는 것이 바람직하다. 이때, 플라스틱 소재로는 폴리탄산에스테르(PolyCarbonate, PC), 폴리메틸메타크릴레이트(PolyMethylMetaAcrylate, PMMA), 폴리디메틸실록산(PolyDiMethylSiloxane; PDMS), 폴리에테리미드(Polyetherimide, PEI), 폴리에테르에테르케톤(polyetheretherketone, PEEK), 폴리이미드(Polyimide, PI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테리미드(Polyetherimide, PEI), 폴리에스테르(Polyester, PET), 폴리에틸렌나프탈레이트(polyethylenenaphthalate, PEN) 및 환형올레핀공중합체(Cyclic Olefin Copolymer, COC)로 이루어진 그룹에서 선택된 어느 하나를 사용할 수 있다.
- <59> 다음으로, 기판(21)상에 활성층(23) 양측에 접하도록 소스 및 드레인 전극(22)을 형성한다. 이때, 소스 및 드레인 전극(22)은 활성층(23)이 형성된 전면에 소스 및 드레인 전극용 도전막을 증착한 후, 패터닝하여 형성하는 방법 또는 소스 및 드레인 전극(22)이 형성될 영역이 오픈된 감광막패턴을 형성한 후, 소스 및 드레인 전극용 도전막을 증착한 다음 감광막패턴을 제거하여 소스 및 드레인 전극(22)을 형성하는 리프트오프법(lift off)을 사용하여 형성할 수 있다.
- <60> 또한, 소스 및 드레인 전극(22)은 투명한 도전성 물질 예컨대, 활성층(23)을 구성하는 반도체물질을 사용하여 형성할 수 있으며, 바람직하게는 활성층(23)과 소스 및 드레인 전극(22) 사이의 전하주입장벽(carrier injection barrier)을 조절하여 박막 트랜지스터의 전기적인 특성을 향상시킬 수 있도록 활성층(23)을 구성하는 물질과 일함수(work function)가 서로 다른 물질 예컨대, 금속화합물을 이용하여 형성하는 것이 좋다. 따라서, 소스 및 드레인 전극(22)은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 반투명금속막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있으며, 100nm ~ 300nm 범위의 두께를 갖도록 형성할 수 있다.
- <61> 또한, 소스 및 드레인 전극(22)이 활성층(23)의 양측 가장자리 일부를 덮도록 형성할 수도 있다. 이는 활성층(23)과 소스 및 드레인 전극(22) 사이의 접촉면적을 증가시킴으로써, 둘 사이의 전기적인 특성을 향상시킬 수 있기 때문이다.
- <62> 도 3b에 도시된 바와 같이, 활성층(23), 소스 및 드레인 전극(22)을 덮도록 게이트절연막(24)을 형성한다. 이때, 활성층(23), 소스 및 드레인(22)을 덮도록 게이트절연막(24)을 형성하는 이유는 후속 공정과정에서 발생할 수 있는 게이트전극(25A)과 소스 및 드레인 전극(22) 사이의 단락현상을 방지하기 위함이다.
- <63> 여기서, 게이트절연막(24)은 종래의 화학기상증착법 또는 물리기상증착법(Physical Vapor Deposition, PVD)에

비하여 성막공정이 단순하고, 대면적으로 박막을 형성할 수 있는 용액공정 기반의 스핀코팅법(spin coating), 슬릿코팅법(slit coating), 드롭캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 및 임프린트법(imprint)으로 이루어진 그룹으로부터 선택된 어느 한 방법을 사용하여 800nm ~ 900nm 범위의 두께를 갖도록 형성할 수 있다.

<64> 또한, 게이트절연막(24)은 상술한 공정방법을 사용하여 형성할 수 있는 절연성이 있는 투명한 물질 예컨대, 실록산(siloxane), 실라젠(silozne) 및 실리케이트(silicate)로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 SOG(Spin On Glass)막 또는 폴리실라잔(polysilazane)을 포함하는 SOD(Spin On Dielectric)막과 같은 무기절연막으로 형성하거나, 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(polyimide, PI), 폴리아미드(Polyamide, PA), 폴리비닐클로라이드(Polyvinyl chloride, PVC), 벤조사이클로부텐(benzocyclobutene, BCB), 폴리비닐알코올(polyvinylalcohol, PVA) 및 폴리비닐페놀(polyvinylphenol, PVP) 또는 사이클로펜텐(cyclopentene, CyPe)과 같은 유기절연막으로 형성할 수도 있다.

<65> 한편, 경우에 따라서, 게이트절연막(24)은 활성층(23)만 덮도록 형성하거나, 활성층(23) 및 활성층(23)과 접하는 소스 및 드레인 전극(22)의 일부를 덮도록 형성할 수도 있다.

<66> 도 3c에 도시된 바와 같이, 게이트절연막(24) 상에 게이트전극용 도전막(25)을 형성한다. 이때, 게이트전극용 도전막(25)은 투명한 전도성 물질 예컨대, 상술한 활성층(23), 소스 및 드레인 전극(22)과 동일한 물질을 사용하여 형성할 수 있으며, 바람직하게는 용액공정을 기반으로 형성할 수 있는 투명한 전도성 물질 예컨대, PEDOT-PSS(poly(3,4-ethylenedioxythiophene)-(poly(styrenesulfonate))를 사용하여 형성하는 것이 좋다. 이는 상술한 활성층(23), 소스 및 드레인 전극(22)과 동일한 물질을 사용하여 게이트전극용 도전막(25)을 형성할 경우, 화학 기상증착법 또는 물리기상증착법과 같은 성막방법을 사용하게 되는데, 이로 인하여 본 발명의 투명 박막 트랜지스터의 전기적인 특성 열화, 생산성 저하 및 생산비용이 증가할 우려가 있기 때문이다.

<67> 구체적으로, 화학기상증착법 또는 물리기상증착법을 사용하여 게이트전극용 도전막(25)을 형성할 경우, 성막과정에서 고진공상태를 필요로하기 때문에 진공상태를 유지하기 위하여 많이 공정시간 및 공정비용이 소모되며, 공정장비의 한계로 인하여 대면적의 박막을 형성하기 어렵다.

<68> 또한, 화학기상증착법을 사용할 경우, 반응가스의 반응성을 향상시키기 위하여 고온 예컨대, 600℃ 이상의 온도를 필요로하는데 이로 인하여 게이트전극용 도전막(25)의 하부구조물 예컨대, 기판(21), 게이트절연막(24), 활성층(23), 소스 및 드레인 전극(22)의 구조적 변형 또는 불순물확산으로 인하여 박막 트랜지스터의 전기적인 특성이 열화될 우려가 있다.

<69> 또한, 물리기상증착법을 사용할 경우, 성막공정간에 게이트전극용 도전막(25)의 하부구조물 특히, 게이트절연막(24)에 전달되는 물리적인 충격으로 게이트절연막(24)이 손상될 우려가 있으며, 이로 인하여 본 발명의 투명 박막 트랜지스터의 전기적인 특성이 열화될 수 있다.

<70> 따라서, 공정과정을 단순화시킬 수 있고, 대면적의 박막을 형성할 수 있으며, 하부구조물에 대한 안정성을 확보할 수 있는 용액공정 기반의 스핀코팅법, 슬릿코팅법, 드롭캐스팅법, 딥캐스팅법, 잉크젯법, 프린팅법 및 임프린트법으로 이루어진 그룹으로부터 선택된 어느 한 방법을 사용하여 형성할 수 있는 투명한 전도성 물질 예컨대, PEDOT-PSS(poly(3,4-ethylenedioxythiophene)-(poly(styrenesulfonate))를 사용하여 게이트전극용 도전막(25) 형성하는 것이 바람직하다.

<71> 도 3d에 도시된 바와 같이, 게이트전극용 도전막(25)을 선택적으로 식각하여 활성층(23)과 대응하도록 게이트전극(25A)을 형성한다. 이때, 외부전극과의 전기적인 연결을 위하여 게이트전극(25A)을 형성하기 위한 식각공정시 소스 및 드레인 전극(22) 상에 형성된 게이트절연막(24)을 함께 제거할 수도 있다.

<72> 다음으로, 게이트전극(25A)을 포함하는 결과물 전면에 보호막(26)을 형성한다. 보호막(26)은 용액공정 기반의 스핀코팅법, 슬릿코팅법, 드롭캐스팅법, 딥캐스팅법, 잉크젯법, 프린팅법 및 임프린트법으로 이루어진 그룹으로부터 선택된 어느 한 방법을 사용하여 절연성이 있는 투명한 물질 예컨대, 실록산(siloxane), 실라젠(silozne) 및 실리케이트(silicate)로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 SOG(Spin On Glass)막 또는 폴리실라잔(polysilazane)을 포함하는 SOD(Spin On Dielectric)막과 같은 무기절연막으로 형성하거나, 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(polyimide, PI), 폴리아미드(Polyamide, PA), 폴리비닐클로라이드(Polyvinyl chloride, PVC), 벤조사이클로부텐(benzocyclobutene, BCB), 폴리비닐알코올(polyvinylalcohol, PVA), 폴리비닐페놀(polyvinylphenol, PVP) 또는 사이클로펜텐(cyclopentene, CyPe)과 같은 유기절연막으로 형성할 수 있다.

- <73> 도 3e에 도시된 바와 같이, 보호막(26)상에 감광막패턴을 형성한 후, 감광막패턴을 식각장벽(etch barrier)으로 보호막(26) 및 게이트절연막(24)을 식각하여 게이트전극(25A), 소스 및 드레인 전극(22)을 노출시키는 콘택홀(27)을 형성한다. 이때, 콘택홀(27)간의 깊이가 서로 다르기 때문에 콘택홀(27)을 형성하기 위한 식각공정을 복수회 진행할 수도 있다. 또한, 보호막(26)과 게이트절연막(24)을 구성하는 물질이 서로 다를 경우, 콘택홀(27)을 형성하기 위한 식각공정을 복수회 진행할 수 있다.
- <74> 다음으로, 보호막(26) 상에 콘택홀(27)을 통하여 게이트전극(25A), 소스 및 드레인 전극(22)을 외부전극과 연결하는 콘택층(28)을 형성한다. 이때, 콘택층(28)은 활성층(23), 게이트전극(25A) 또는 소스 및 드레인 전극(22)을 구성하는 물질을 사용하여 형성할 수 있으며, 바람직하게는 콘택층(28)과 게이트전극(25A), 소스 및 드레인 전극(22) 사이의 우수한 접촉특성을 얻기 위하여 각각 연결되는 부분과 동일한 물질을 사용하여 형성하는 것이 좋다.
- <75> 이와 같이, 본 발명은 게이트절연막(24), 게이트전극(25A) 및 보호막(26)을 스핀코팅법(spin coating)과 같은 용액공정(solution process)을 기반으로 형성함으로써, 공정상의 안정성을 확보할 수 있고, 공정과정을 단순화시킬 수 있다. 또한, 반도체 소자의 생산성을 향상 및 생산비용을 절감할 수 있다.
- <76> 또한, 활성층(23)을 ZnO로 형성할 경우, 용액공정을 기반으로 활성층(23)을 형성할 수 있기 때문에 반도체 소자의 생산성을 더욱 향상시키고 동시에 생산비용을 더욱 절감할 수 있다.
- <77> 도 4는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 광 투과율을 나타낸 그래프이다.
- <78> 도 4를 참조하면, 광 투과율 측정실험에 사용한 본 발명의 실시예에 따른 투명 박막 트랜지스터는 100nm 두께의 ITO로 형성된 소스 및 드레인 전극, 200nm 두께의 ZnO로 형성된 활성층, 900nm 두께의 SOG막으로 형성된 게이트절연막, 130nm 두께로 PEDOT-PSS로 형성된 게이트전극을 포함한다. 여기서, 발광표시장치에서 사용되는 가시광선영역 예컨대, 550nm ~ 700nm 범위의 파장에서의 투과율 평균값을 살펴보면, 본 발명의 실시예에 따른 투명 박막 트랜지스터는 67.4%, 게이트전극은 79.8%, 소스 및 드레인 전극은 85.5%, 게이트절연막은 93.8%, 활성층은 80.5%의 투과율을 갖는 것을 확인할 수 있다.
- <79> 도 5는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 게이트전압(Gate Voltage)에 따른 드레인 전류(Drain Current)를 측정한 그래프이다.
- <80> 도 5를 참조하면, 본 발명의 실시예에 따른 투명 박막 트랜지스터의 전계효과 이동도는 $25.02 \text{ cm}^2/\text{Vs}$, 문턱전압(threshold voltage)은 9.25V, 서브쓰레쉬홀드 스윙(subthreshold swing)은 1.03V/decade 및 전류점멸비는 10^4 보다 큰 것으로 확인되었다.
- <81> 상술한 본 발명의 실시예들에서는 탑게이트(top gate) 구조를 갖는 스테거드(staggered)형 투명 박막 트랜지스터 및 그 제조방법에 대하여 설명하였으나, 본 발명은 이외에도 탑게이트 구조를 갖는 코플라나(coplanar)형, 바텀게이트(bottom gate) 구조를 갖는 역스테거드(inverted staggered)형 또는 역코플라나(inverted coplanar)형 투명 박막 트랜지스터에도 동일하게 적용할 수 있다.
- <82> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

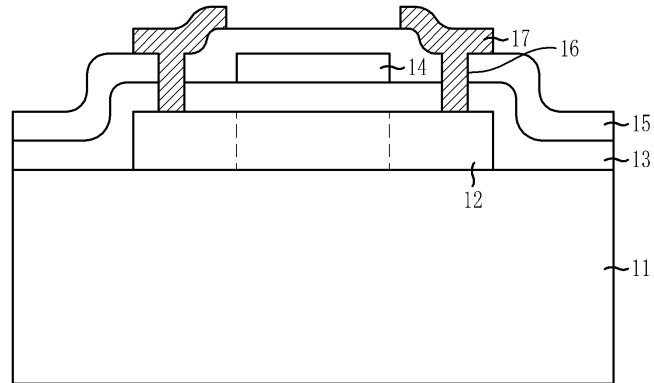
도면의 간단한 설명

- <83> 도 1은 종래기술에 따른 탑게이트(top gate) 구조를 갖는 박막 트랜지스터를 도시한 단면도.
- <84> 도 2는 본 발명의 실시예에 따른 탑게이트(top gate) 구조를 갖는 투명 박막트랜지스터를 도시한 단면도.
- <85> 도 3a 내지 도 3e는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 제조방법을 도시한 공정단면도.
- <86> 도 4는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 광 투과율을 나타낸 그래프.
- <87> 도 5는 본 발명의 실시예에 따른 투명 박막 트랜지스터의 게이트전압(Gate Voltage, V_g)에 따른 드레인 전류(Drain Current, I_d)를 측정한 그래프.
- <88> *도면 주요 부분에 대한 부호 설명*

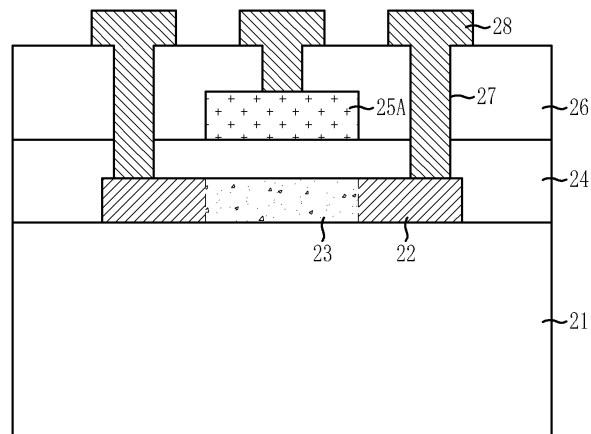
- | | | |
|------|-------------|------------------|
| <89> | 21 : 기판 | 22 : 소스 및 드레인 전극 |
| <90> | 23 : 활성층 | 24 : 게이트절연막 |
| <91> | 25A : 게이트전극 | 26 : 보호막 |
| <92> | 27 : 콘택홀 | 28 : 콘택층 |

도면

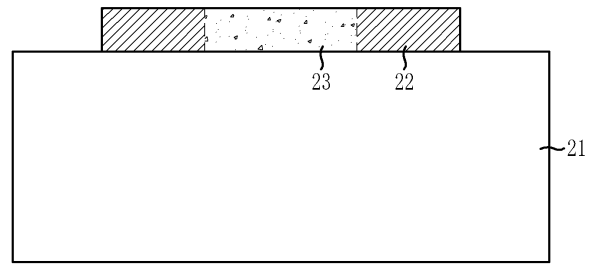
도면1



도면2

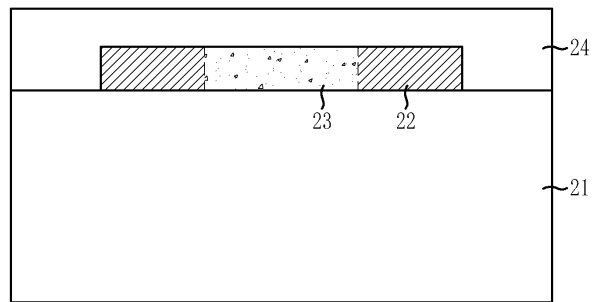


도면3a



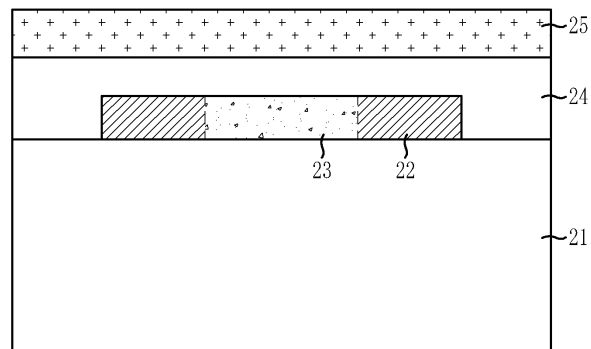
도면3b

spin coating

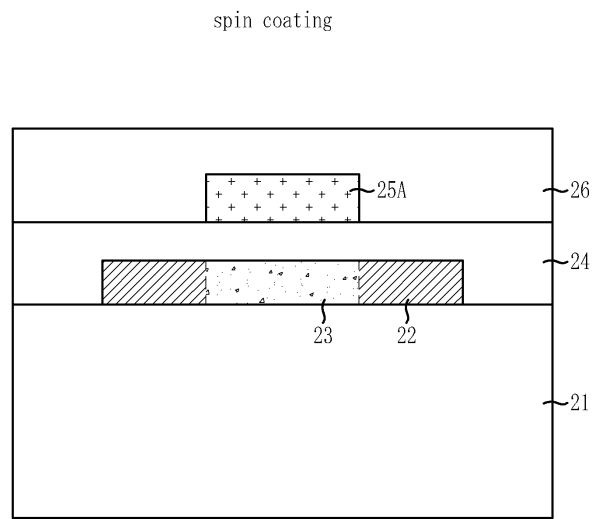


도면3c

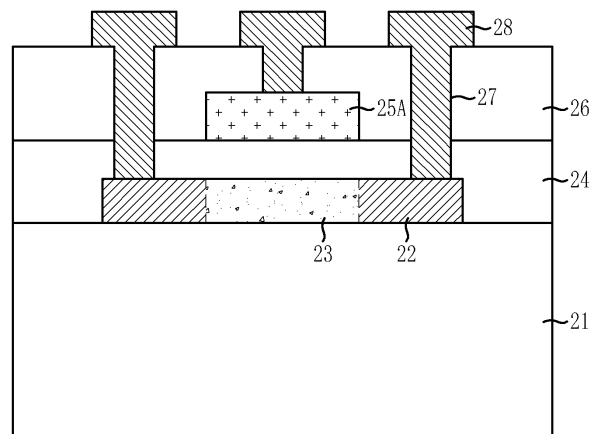
spin coating



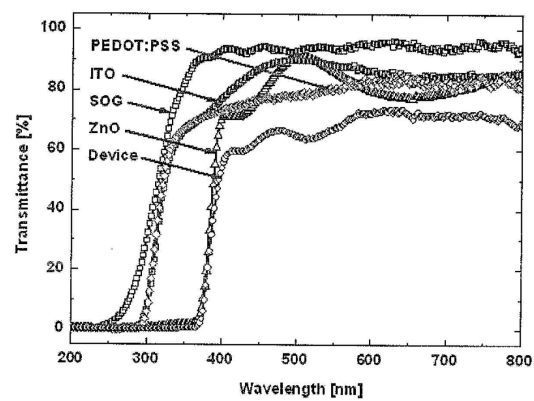
도면3d



도면3e



도면4



도면5

