СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1674264 A1

(51)5 G 11 C 19/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

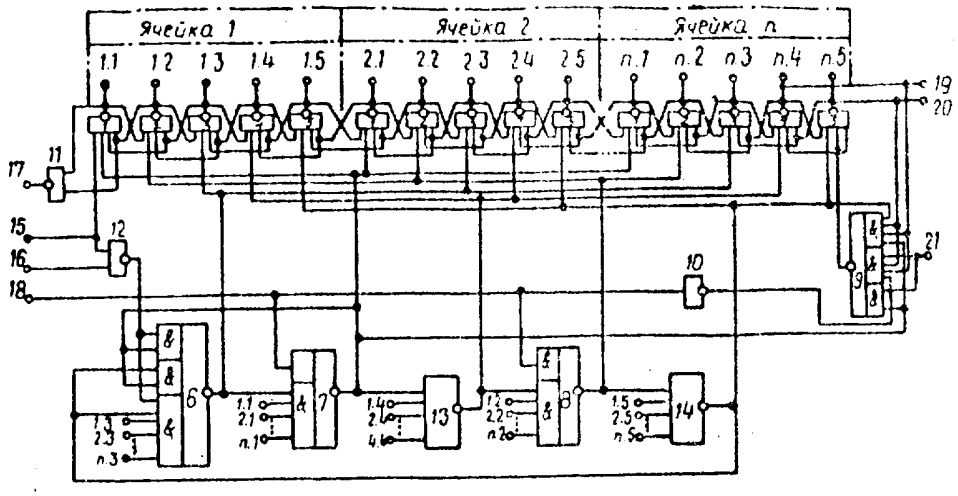
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4704696/24
(22) 14.06.89
(46) 30.08.91. Бюл. № 32
(71) Ленинградский электротехнический институт им.В.И.Ульянова (Ленина)
(72) В.И.Варшавский, Н.М.Кравченко, В.Б.Мараховский и В.М.Яккер
(53) 681.327.66(088.8)
(56) Букреев И.Н. и др. Микроэлектронные схемы цифровых устройств. – М.: Сов. радио, 1973, с.113.

Авторское свидетельство СССР № 734809, кл. G 11 C 19/00, 1980.

(54) ПОСЛЕДОВАТЕЛЬНЫЙ РЕГИСТР

(57) Изобретение относится к вычислительной технике. Целью изобретения является расширение области применения за счет использования регистра как в синхронном, так и в самосинхронном режимах работы. Поставленная цель достигается за счет введения в последовательный регистр четырех элементов И-ИЛИ-НЕ 6–9, элемента НЕ 10, четырех дополнительных элементов И-НЕ 11–14, а в каждую ячейку памяти введен пятый элемент И-НЕ 5, соединенный триггерными связями с элементом И-НЕ 4 данной ячейки памяти и элементом И-НЕ 1 последующей ячейки. С помощью элементов 6, 7, 13, 8 и 14 осуществляется синхронизация работы регистра в синхронном режиме. Элементы 9–12 осуществляют связь регистра с источником и приемником информации. 4 ил.



Фиг.1

(19) SU (11) 1674264 A1

Изобретение относится к вычислительной технике и может быть использовано при построении устройств хранения информации.

Целью изобретения является расширение области применения регистра за счет использования как в синхронном, так и в асинхронном режимах работы.

На фиг. 1 приведена схема регистра; на фиг. 2 – временные диаграммы работы регистра в самосинхронном режиме; на фиг. 3 показан пример использования регистра, работающего в синхронном режиме; на фиг. 4 приведены временные диаграммы для этого режима.

Регистр содержит n ячеек памяти, каждая из которых состоит из пяти элементов И-НЕ 1–5, четыре элемента И-ИЛИ-НЕ 6–9, элемент НЕ 10 и четыре дополнительных элемента И-НЕ 11–14. На фиг. 1 показаны также прямой 15 и инверсный 16 информационные входы регистра, управляющий выход 17 записи, вход 18 начальной установки, прямой 19 и инверсный 20 информационные выходы регистра, управляющий вход 21 считывания.

Последовательный регистр работает следующим образом.

В исходный момент времени (до начала или после завершения очередного сдвига) i-я ячейка (i = 1, 2, ..., n) находится в одном из двух состояний (значения выходов ее элементов 1, 2, 3, 4 и 5): 11101 или 11110. При этом для ячеек с четными номерами состояние 11101 соответствует единице, а состояние 11110 – нулю, а для ячеек с нечетными номерами – наоборот (11101 – нуль, 11110 – единица), тем самым значение разряда сдвигаемого кода в исходный момент времени однозначно определяется состоянием выходов 4, 5 ячейки регистра.

Сдвиг информации в регистре происходит в две фазы и обеспечивается последовательным изменением управляющих сигналов при переключении элементов 6, 7, 13, 8 и 14. Перед началом первой фазы на выходах элементов 6, 13, 14 установлена "1", на выходах элементов 7, 8 – "0". Первая фаза заключается в последовательном переключении элементов 6, 7, 13, 8, 14 (на выходах 6, 13, 14 устанавливается "0", на выходах 7, 8 – "1"). При этом происходит перепись информации с выходов элементов 4, 5 i-й ячейки на выходы элементов 1, 2 i+1-й ячейки (i = 1, 2, ..., n-1), а элементы 3–5 каждой ячейки устанавливаются в состояние 111. Вторая фаза, в результате которой элементы 6, 7, 13, 8, 14 устанавливаются в исходное состояние, завершается перепись информации с выходов элементов 1, 2 на выходы элементов 4, 5. При этом элементы 1–3 каждой ячейки устанавливаются в состояние 111.

Взаимодействие источника информации с регистром происходит следующим образом.

Приняв "0" с выхода 16 регистра, источник информации может подать очередной разряд сдвигаемого кода на его входы 15 и 16, т.е. установить на одном из них "0". При этом на выходе элемента 12 установится "1", разрешающая выполнение первой фазы сдвига.

Появление "1" на выходе элемента 7 разрешает запись входной информации в первую ячейку регистра.

При единичном значении на входе 15 регистра на выходе элемента 1 первой ячейки устанавливается "0", а на выходе 17 регистра – "1".

При нулевом значении на входе 15 состояние элемента 1 первой ячейки не изменяется, а после установки "1" на выходе элемента 8 переключается элемент 2 первой ячейки и на выходе 17 также устанавливается "1".

Приняв "1" с выхода 17 регистра, источник информации может снова установить на входах 15 и 16 регистра единичные значения (при этом на выходе элемента 12 устанавливается "0", разрешающий выполнение второй фазы сдвига), т.е. снять информацию с этих входов и т.д.

Взаимодействие приемника информации с регистром происходит следующим образом.

Когда на управляющем входе 21 регистра имеется значение "1", на выходе элемента 9 установлен "0", блокирующий перепись информации в последней ячейке, на выходах ее элементов 4 и 5 установлена "1". Для того, чтобы считать информацию из регистра, приемник должен установить на управляющем входе 21 значение "0", которое разрешит перепись в последней ячейке, установив на выходе элемента 9 "1".

Получив информацию с выходов 19, 20 регистра, приемник может снова установить "1" на его управляющем входе 21 и т.д.

Для подготовки регистра к работе источник информации устанавливает на информационных входах 15, 16 и входе 18 начальной установки регистра единичные значения. При этом на выходах элементов 12, 7, 8, 10 устанавливается "0", на выходах элементов 6, 13, 14, 9 – "1", ячейки регистра устанавливаются в исходное состояние (11101 или 11110).

После завершения установки регистра в исходное состояние источник информации

устанавливает на входе 18 начальной установки "0", при этом на выходе элемента 10 устанавливается "1". Завершение начальной установки регистра не индицируется, поэтому длительность сигнала начальной установки должна быть не менее 4 τ – максимального времени завершения переходных процессов при начальной установке (τ – время переключения элемента).

Для пояснения работы регистра в самосинхронном режиме на фиг. 2 приведены временные диаграммы для 3-разрядного регистра. Предполагается, что задержки элементов одинаковы и равны τ . В результате записана информация 101, т.е. состояние ячеек 1–3 регистра соответственно 11110, 11110, 11110. В качестве входной информации источник последовательно записывает разряды "0", "0" (что соответствует состоянию входов 15, 16 – 01).

Приемник информации соответственно читает из регистра разряды "1", "0" (что соответствует состоянию выходов регистра 19 и 20 – 10 и 01).

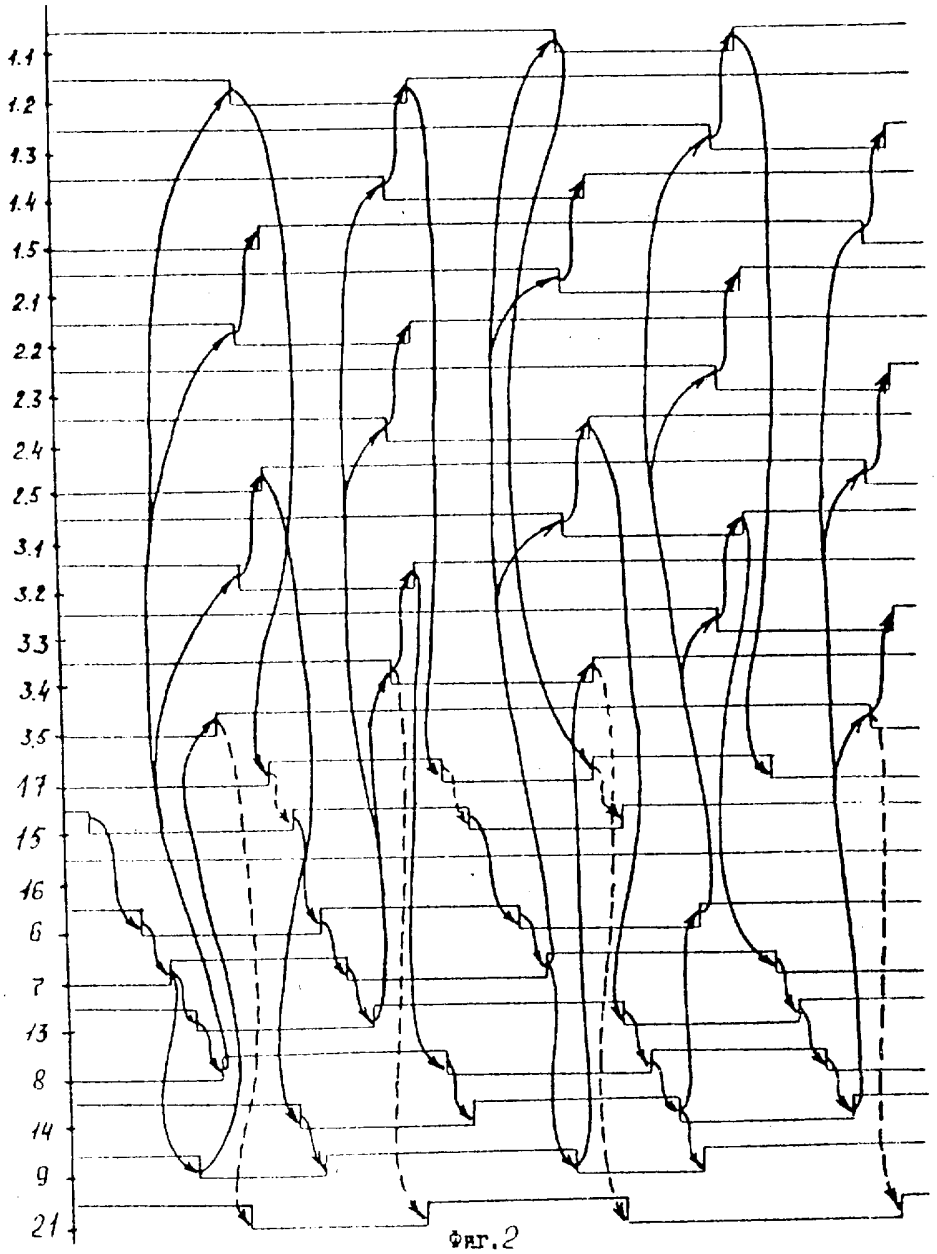
Пунктирными стрелками показана последовательность изменения сигналов при взаимодействии регистра с источником и приемником информации. В целях наглядности показаны стрелками не все причинные связи срабатывания элементов 6, 7, 13, 8, 21, а лишь одна из них, не показано также изменение сигнала на выходе элемента 12 (оно однозначно определяется состоянием входов 15, 16 регистра).

На фиг. 4 приведены временные диаграммы работы регистра в синхронном режиме (фиг. 3). В синхронном режиме согласованная работа источника и приемника информации обеспечивается тактовым генератором. Максимальное время сдвига в каждой фазе работы регистра составляет 10τ . Таким образом, полный цикл сдвига на 1 разряд осуществляется максимально за 20τ . Исходя из этого длительность тактового импульса должна быть выбрана не менее 10τ, а его период – не менее 20τ . Пунктиром на диаграммах показано состояние выхода 17 и выходов 19, 30 регистра. Заштрихованные области соответствуют рабочему состоянию (10 или 01) на входах 15, 16 и выходах 19, 20 регистра. Выход 17 в синхронном режиме не используется, но его состояние можно анализировать при контроле работоспособности регистра.

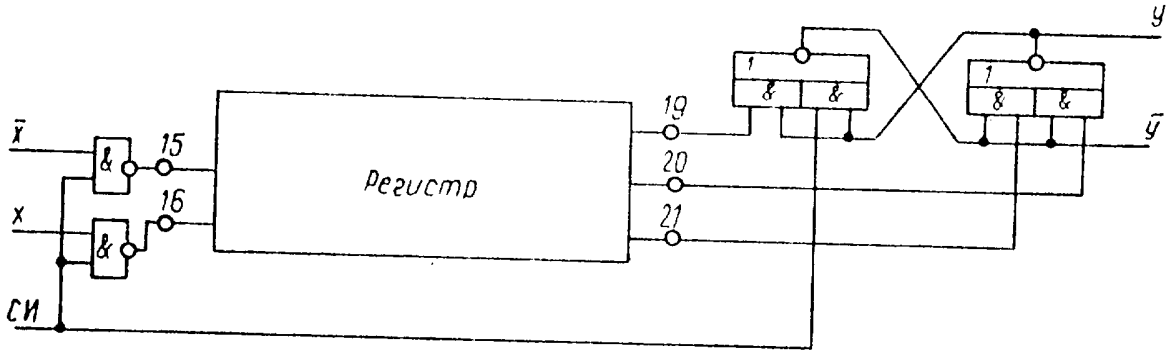
Формула изобретения

Последовательный регистр, содержащий ячейки памяти, каждая из которых состоит из четырех элементов И-НЕ, причем выход каждого элемента И-НЕ, кроме четвертого, соединен с первым входом последующего элемента И-НЕ данной ячейки памяти, а выход каждого элемента И-НЕ, кроме первого, соединен с вторым входом предыдущего элемента И-НЕ данной ячейки памяти, первый вход первого элемента И-НЕ первой ячейки памяти является прямым информационным входом регистра, выход четвертого элемента И-НЕ последней ячейки памяти является прямым информационным выходом регистра, о т л и ч а ю щ и й с я тем, что, с целью расширения области применения регистра за счет использования как в синхронном, так и в самосинхронном режимах, в него введены четыре дополнительных элемента И-НЕ, элемент НЕ и четыре элемента И-ИЛИ-НЕ, а в каждую ячейку памяти введен пятый элемент И-НЕ, выход и первый вход которого соединены соответственно с вторым входом и выходом четвертого элемента И-НЕ данной ячейки памяти, выход и первый вход первого элемента И-НЕ каждой ячейки памяти, кроме первой, соединены соответственно с вторым входом и выходом пятого элемента предыдущей ячейки памяти, третий вход каждого элемента И-НЕ, кроме пятого, каждой ячейки памяти соединен с вторым входом последующего элемента И-НЕ данной ячейки памяти, третий вход пятого элемента И-НЕ каждой ячейки памяти, кроме последней, соединен с третьим входом первого элемента И-НЕ последующей ячейки памяти, выход четвертого элемента И-ИЛИ-НЕ соединен с вторым и третьим входами пятого элемента И-НЕ последней ячейки памяти, выход которого является инверсным информационным выходом регистра, выходы первого и второго элементов И-НЕ первой ячейки памяти соединены с входами первого дополнительного элемента И-НЕ, выход которого является управляющим выходом записи регистра, выход четвертого дополнительного элемента И-НЕ соединен с первыми входами первой и второй групп первого элемента И-ИЛИ-НЕ, первый вход третьей группы и второй вход второй группы которого соединены с выходами второго элемента И-ИЛИ-НЕ, а вторые входы первой и третьей групп – с выходом второго дополнительного элемента И-НЕ, первый вход которого соединен с первым входом первого элемента И-НЕ первой ячейки памяти, а второй вход является инверсным информационным входом регистра, выход первого элемента И-ИЛИ-НЕ соединен с первым входом первой группы второго элемента И-ИЛИ-НЕ, выход которого соединен с первым входом третьего дополнительного элемента И-НЕ, выход

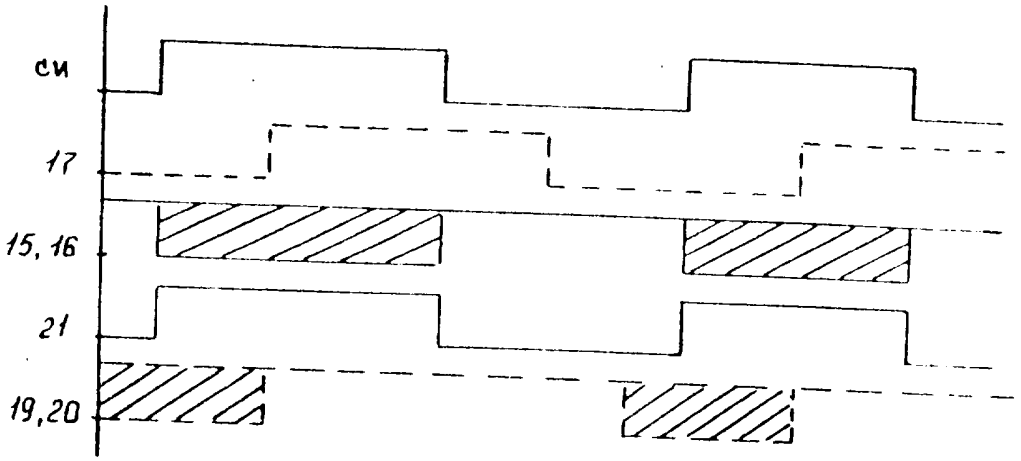
которого соединен с первым входом первой группы третьего элемента И-ИЛИ-НЕ, выход которого соединен с первым входом четвертого дополнительного элемента И-НЕ, выходы второго, третьего и первого элементов И-ИЛИ-НЕ и третьего и четвертого дополнительных элементов И-НЕ соединены соответственно с четвертыми входами первых, вторых, третьих, четвертых и пятых элементов И-НЕ каждой ячейки памяти, выходы которых соединены соответственно с другими входами первых групп второго, третьего и первого элементов И-ИЛИ-НЕ и третьего и четвертого дополнительных элементов И-НЕ, выходы четвертого и пятого элементов И-НЕ последней ячейки памяти соединены соответственно с первым и вторым входами первой и второй групп четвертого элемента И-ИЛИ-НЕ, третьи входы которых соединены соответственно с выходом четвертого дополнительного элемента И-НЕ и с выходом элемента НЕ, вход которого и первые входы вторых групп второго и третьего элементов И-ИЛИ-НЕ являются входом начальной установки регистра, выход второго элемента И-ИЛИ-НЕ соединен с первым входом третьей группы и четвертым входом первой группы четвертого элемента И-ИЛИ-НЕ, второй вход третьей группы и четвертый вход второй группы которого являются управляющим входом считывания регистра.



Фиг.2



Фиг. 3



Фиг. 4

Составитель А. Дерюгин
Редактор А. Маковская Техред М.Моргентал Корректор О. Кравцова

Заказ 2930 Тираж 328 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101