(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 215340919 U
(45)授权公告日 2021.12.28

(21)申请号 202120891151.6

(22)申请日 2021.04.26

(73)专利权人 上海领存信息技术有限公司
地址 201100 上海市闵行区中春路7001号6幢5楼503室、505室

(72)发明人 夏显成 何云龙

(74)专利代理机构 深圳市恒申知识产权事务所(普通合伙) 44312
代理人 廖厚琪

(51)Int.Cl.
G06F 1/18(2006.01)

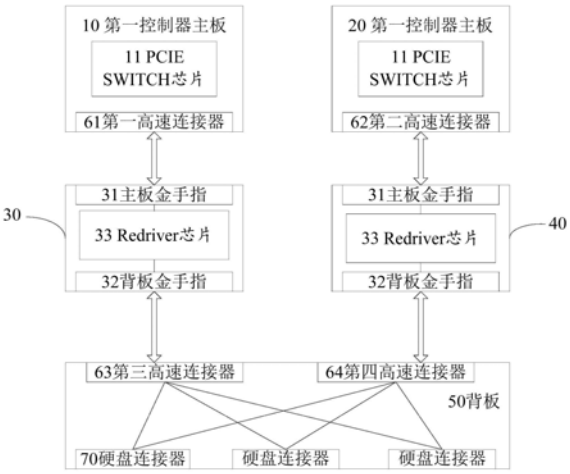
权利要求书1页 说明书5页 附图3页

(54)实用新型名称

支持双控模式的硬盘背板结构及存储服务器

(57)摘要

本实用新型公开了一种支持双控模式的硬盘背板结构及存储服务器，其中，该硬盘背板结构包括：第一控制器主板、第一转接板、第二控制器主板、第二转接板以及背板；所述第一控制器主板用于基于第一控制模式产生N路PCIE×2信号；所述第一转接板与第一控制器主板连接，用于对N路PCIE×2信号进行转接；所述背板与第一转接板连接，所述背板具有用于与多个外部硬盘连接的硬盘接口，用于将N路PCIE×2信号通过硬盘接口分配至N个外部硬盘；所述第二控制器主板通过第二转接板与背板连接。本实用新型通过采用转接板实现控制器主板与背板连接，不仅能够节省控制器主板和背板的空间，还能够方便维护。



CN 215340919 U

1.一种支持双控模式的硬盘背板结构,其特征在于,所述支持双控模式的硬盘背板结构包括:第一控制器主板、第一转接板、第二控制器主板、第二转接板以及背板;

所述第一控制器主板用于基于第一控制模式产生N路PCIE×2信号;所述第一转接板与第一控制器主板连接,用于对N路PCIE×2信号进行转接;所述背板与第一转接板连接,所述背板具有用于与多个外部硬盘连接的硬盘接口,用于将N路PCIE×2信号通过硬盘接口分配至N个外部硬盘;

所述第二控制器主板用于基于第二控制模式产生N路PCIE×2信号;所述第二转接板与第二控制器主板连接,用于对N路PCIE×2信号进行转接;所述背板与第二转接板连接,用于将N路PCIE×2信号通过硬盘接口分配至N个外部硬盘,其中,N为大于或等于1的整数。

2.如权利要求1所述的支持双控模式的硬盘背板结构,其特征在于,所述支持双控模式的硬盘背板结构还包括第一高速连接器、第二高速连接器、第三高速连接器及第四高速连接器;所述第一转接板及第二转接板均具有主板连接端子、背板连接端子;

所述第一高速连接器安装于第一控制器主板上,且所述第一控制器主板通过第一高速连接器与第一转接板的主板连接端子连接;所述第二高速连接器安装于第二控制器主板上,且所述第二控制器主板通过第二高速连接器与第二转接板的主板连接端子连接;所述第三高速连接器和第四高速连接器均安装于背板上,且所述第三高速连接器与第一转接板的背板连接端子连接,所述第四高速连接器与第二转接板的背板连接端子连接。

3.如权利要求2所述的支持双控模式的硬盘背板结构,其特征在于,所述第一控制器主板、第二控制器主板均安装有PCIE SWITCH芯片,所述PCIE SWITCH芯片用于生成N路PCIE×2信号。

4.如权利要求2所述的支持双控模式的硬盘背板结构,其特征在于,所述第一转接板及第二转接板均包括基板、Redriver芯片,所述Redriver芯片均设置于基板,且所述Redriver芯片分别与主板连接端子及背板连接端子连接。

5.如权利要求4所述的支持双控模式的硬盘背板结构,其特征在于,所述主板连接端子为焊接于基板上的主板金手指,和/或

所述背板连接端子为焊接于基板上的背板金手指。

6.如权利要求1所述的支持双控模式的硬盘背板结构,其特征在于,所述背板上安装有用于将一路PCIE clk信号分成N路PCIE clk信号的时钟缓冲器,及用于将一路PCIEreset信号分成N路PCIEreset信号的逻辑缓冲器,所述时钟缓冲器及逻辑缓冲器的输入端均择一与第三高速连接器及第四高速连接器连接,所述时钟缓冲器及逻辑缓冲器的输出端分别与N个硬盘接口连接。

7.如权利要求6所述的支持双控模式的硬盘背板结构,其特征在于,所述背板还包括CPLD芯片及异常指示灯,所述CPLD芯片与异常指示灯连接。

8.如权利要求7所述的支持双控模式的硬盘背板结构,其特征在于,所述时钟缓冲器及逻辑缓冲器均集成设置于CPLD芯片上。

9.如权利要求1所述的支持双控模式的硬盘背板结构,其特征在于,还包括与硬盘接口连接的硬盘连接器,所述硬盘连接器用于与外部硬盘连接。

10.一种存储服务器,其特征在于,包括N个硬盘,以及分别与N个硬盘连接的硬盘背板结构,其中,所述硬盘背板结构为如权利要求1-9任一项所述的支持双控模式的硬盘背板结构。

支持双控模式的硬盘背板结构及存储服务器

技术领域

[0001] 本实用新型涉及存储服务器技术领域，具体地说是一种支持双控模式的硬盘背板结构及存储服务器。

背景技术

[0002] 随着科技的发展和信息化建设的不断深入，各种数据量爆发增长，对数据存储的性能要求越来越高，存储硬盘从SATA/SAS发展到现在的NVME(Non-Volatile Memory Express)，读写速率得到大幅的提升。NVME硬盘是基于PCIE接口附加的非易失存储器，利用底层媒介的并行性以及低延迟的数据路径，类似于高性能处理器体系结构，使得NVME高速存储阵列可以满足用户的高速访问，市场上存储服务器对配置NVME硬盘的需求也越来越多。

[0003] 存储服务器的可靠性要求较高，在中高端存储服务器中一般采用双控制器冗余设计，当其中一个控制器发生故障时，可以从另一个控制器中恢复出数据，两个控制器的缓存数据是相互备份的，从而保证数据不丢失。同时随着存储容量的增加，需要支持的硬盘位也越来越多，通常2U服务器最大可以支持24块2.5寸NVME硬盘。为实现24盘位支持双控模式的背板，需要提供48路PCIE×2信号链路到主板，其中24路PCIE×2连到控制器A，另外24路PCIE×2连到控制器B。

[0004] 如果使用OCulink x8或者SLIM SAS x8线缆来传输信号，则背板上需要12个OCulink或SLIM SAS连接器，主板A和主板B上则各自需要6个连接器，这样会占用很多主板空间，会导致应用不够灵活，维护起来也不方便。

[0005] 为此，有必要对上述的硬盘背板连接结构进行改进。

实用新型内容

[0006] 为解决上述至少一技术问题，本实用新型的主要目的是提供一种支持双控模式的硬盘背板结构及存储服务器。

[0007] 为实现上述目的，本实用新型采用的一个技术方案为：提供一种支持双控模式的硬盘背板结构，包括：第一控制器主板、第一转接板、第二控制器主板、第二转接板以及背板；

[0008] 所述第一控制器主板用于基于第一控制模式产生N路PCIE×2信号；所述第一转接板与第一控制器主板连接，用于对N路PCIE×2信号进行转接；所述背板与第一转接板连接，所述背板具有用于与多个外部硬盘连接的硬盘接口，用于将N路PCIE×2信号通过硬盘接口分配至N个外部硬盘；

[0009] 所述第二控制器主板用于基于第二控制模式产生N路PCIE×2信号；所述第二转接板与第二控制器主板连接，用于对N路PCIE×2信号进行转接；所述背板与第二转接板连接，用于将N路PCIE×2信号通过硬盘接口分配至N个外部硬盘，其中，N为大于或等于1的整数。

[0010] 其中，所述支持双控模式的硬盘背板结构还包括第一高速连接器、第二高速连接

器、第三高速连接器及第四高速连接器;所述第一转接板及第二转接板均具有主板连接端子、背板连接端子;

[0011] 所述第一高速连接器安装于第一控制器主板上,且所述第一控制器主板通过第一高速连接器与第一转接板的主板连接端子连接;所述第二高速连接器安装于第二控制器主板上,且所述第二主控器主板通过第二高速连接器与第二转接板的主板连接端子连接;所述第三高速连接器和第四高速连接器均安装于背板上,且所述第三高速连接器与第一转接板的背板连接端子连接,所述第四高速连接器与第二转接板的背板连接端子连接。

[0012] 其中,所述第一控制器主板、第二控制器主板均安装有PCIE SWITCH芯片,所述PCIE SWITCH芯片用于生成N路PCIE×2信号。

[0013] 其中,所述第一转接板及第二转接板均包括基板、Redriver芯片,所述Redriver芯片均设置于基板,且所述Redriver芯片分别与主板连接端子及背板连接端子连接。

[0014] 其中,所述主板连接端子为焊接于基板上的主板金手指,和/或

[0015] 所述背板连接端子为焊接于基板上的背板金手指。

[0016] 其中,所述背板上安装有用于将一路PCIE clk信号分成N路PCIE clk信号的时钟缓冲器,及用于将一路PCIE reset信号分成N路PCIE reset信号的逻辑缓冲器,所述时钟缓冲器及逻辑缓冲器的输入端均择一与第三高速连接器及第四高速连接器连接,所述时钟缓冲器及逻辑缓冲器的输出端分别与N个硬盘接口连接。

[0017] 其中,所述背板还包括CPLD芯片及异常指示灯,所述CPLD芯片与异常指示灯连接。

[0018] 其中,所述时钟缓冲器及逻辑缓冲器均集成设置于CPLD芯片上。

[0019] 其中,还包括与硬盘接口连接的硬盘连接器,所述硬盘连接器用于与外部硬盘连接。

[0020] 为实现上述目的,本方案采用的第二个技术方案为:提供一种存储服务器,包括N个硬盘,以及分别与N个硬盘连接的硬盘背板结构,其中,所述硬盘背板结构为上述的支持双控模式的硬盘背板结构。

[0021] 本实用新型的有益效果在于:本方案主要包括:第一控制器主板、第一转接板、第二控制器主板、第二转接板以及背板,主要采用第一转接板实现第一控制器主板与背板的电连接,采用第二转接板实现第二控制器主板与背板的电连接,如此,通过第一转接板及第二转接板代替多个连接器连接,能够节省控制器主板和背板的空间,保证连接的可靠性;拆除时,只需整体拆卸第一转接板及第二转接板,便于维护。

附图说明

[0022] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图示出的结构获得其他的附图。

[0023] 图1为本实用新型一实施例支持双控模式的硬盘背板结构的结构示意图;

[0024] 图2为本实用新型中第一转接板的结构示意图;

[0025] 图3为本实用新型中背板的结构示意图;

[0026] 图4为本实用新型中硬盘连接器与外部硬盘的连接结构示意图;

[0027] 图5为本实用新型中存储服务器的结构示意图。

[0028] 本实用新型目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。

具体实施方式

[0029] 下面将结合本实用新型实施例中的附图，对本实用新型实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本实用新型的一部分实施例，而不是全部的实施例。基于本实用新型中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本实用新型保护的范围。

[0030] 需要说明，本实用新型中涉及“第一”、“第二”等的描述仅用于描述目的，而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。另外，各个实施例之间的技术方案可以相互结合，但是必须是以本领域普通技术人员能够实现为基础，当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在，也不在本实用新型要求的保护范围之内。

[0031] 区别于现有技术中主板与背板之间的连接通常为采用6个连接器，导致占用的主板空间较多，应用不够灵活，不方便用户维护的问题，本实用新型提供了一种支持双控模式的硬盘背板结构，旨在解决至少一上述技术问题。该支持双控模式的硬盘背板结构的具体结构，请参照下述的实施例。

[0032] 请参照图1至图4，图1为本实用新型一实施例支持双控模式的硬盘背板结构的结构示意图；图2为本实用新型中第一转接板的结构示意图；图3为本实用新型中背板的结构示意图；图4为本实用新型中硬盘连接器与外部硬盘的连接结构示意图。在本实用新型实施例中，该支持双控模式的硬盘背板结构，包括：第一控制器主板10、第一转接板30、第二控制器主板20、第二转接板40以及背板50。

[0033] 具体的，所述第一控制器主板10用于基于第一控制模式产生N路PCIE×2信号；所述第一转接板30与第一控制器主板10连接，用于对N路PCIE×2信号进行转接；所述背板50与第一转接板30连接，所述背板50具有用于与多个外部硬盘连接的硬盘接口，用于将N路PCIE×2信号通过硬盘接口分配至N个外部硬盘。

[0034] 具体的，所述第二控制器主板20用于基于第二控制模式产生N路PCIE×2信号；所述第二转接板40与第二控制器主板20连接，用于对N路PCIE×2信号进行转接；所述背板50与第二转接板40连接，用于将N路PCIE×2信号通过硬盘接口分配至N个外部硬盘，其中，N为大于或等于1的整数。

[0035] 本实施例中，上述的硬盘背板结构可以支持24个盘位，也即，通过上述的硬盘背板结构可以连接24个外部硬盘。具体的，该硬盘背板结构主要包括第一控制器主板10、第二控制器主板20、第一转接板30、第二转接板40以及背板50，其中，第一控制器主板10、第一转接板30及背板50能够通过第一控制模式控制与外部硬盘的连接，第二控制器主板20、第二转接板40及背板50能够通过第二控制模式控制与外部硬盘的连接，也即，通过第一控制器主板10及第二控制器主板20可以独立访问同一外部硬盘。其中，上述的外部硬盘具体为NVME硬盘。上述的背板50还具有将12V电源提供给控制器主板及转接板。此外，第一转接板30安装于第一控制器主板10上，第二转接板40安装于第二控制器主板20上，拆除时，只需整体拆

卸第一转接板30及第二转接板40，便于维护。

[0036] 具体的，第一控制器主板10用于基于第一控制模式产生N路PCIE×2信号。第一转接板30用于对N路PCIE×2信号进行转接，其主要是建立第一控制器主板10和背板50之间的高速信号、低速信号、12V供电电源等的互联，将PCIE×2信号从第一控制器主板10连接到背板50上，并且需要补偿因高速信号走线过长而导致的衰减。背板50具有N个硬盘接口，用于将N路PCIE×2信号通过硬盘接口分配至N个外部硬盘。硬盘接口可以通过配置引脚的方式将NVME接口设置成可支持双控制的方式来提升存储服务器的可靠性指标，配置成双口模式以后，PCIE x4信号就分成2个独立的PCIE x2信号，分别连到两个独立的控制器，实现1+1双冗余模式，也即通过第一控制器主板10及第二控制器主板20可以独立访问同一外部硬盘。

[0037] 在基于前述实施例的基础上，所述支持双控模式的硬盘背板结构还包括第一高速连接器61、第二高速连接器62、第三高速连接器63、第四高速连接器64；所述第一转接板30及第二转接板40均具有主板连接端子、背板连接端子。

[0038] 具体的，所述第一高速连接器61安装于第一控制器主板10上，且所述第一控制器主板10通过第一高速连接器61与第一转接板30的主板连接端子连接；所述第二高速连接器62安装于第二控制器主板20上，且所述第二主控器主板通过第二高速连接器62与第二转接板40的主板连接端子连接；所述第三高速连接器63和第四高速连接器64均安装于背板50上，且所述第三高速连接器63与第一转接板30的背板连接端子连接，所述第四高速连接器64与第二转接板40的背板连接端子连接。

[0039] 本实施例中，为了提高第一控制器主板10、第一转接板30及背板50，以及第二控制器主板20、第二转接板40及背板50之间连接的可靠性及数据传输速率，本方案还采用了第一至第四高速连接器64，能够大大提高数据的传输速率。另外，第一高速连接器61安装于第一控制器主板10上，第二高速连接器62安装于第二控制器主板20上，如此，还能方便拆装，同时占用的控制器主板空间较少。第三高速连接器63及第四高速连接器64均安装于背板50，便于拆装，还能够保证数据传输的速率。

[0040] 进一步的，所述第一控制器主板10、第二控制器主板20均安装有PCIE SWITCH芯片11，所述PCIE SWITCH芯片11用于生成N路PCIE×2信号。

[0041] 目前，从第一控制器主板10或第二控制器主板20出来的PCIE信号一般为x16或x24 lane，port数量远远不够，为实现24盘×2lane的NVME盘互联，需要加PCIE SWITCH芯片对通道进行扩展。PCIE SWITCH芯片11可以选用PM85系列，其最多支持96lane、48port的PCIE信号，非常适合扩展NVME SSD。从PCIE SWITCH芯片11出来的24路×2PCIE信号通过第一转接板30或第二转接板40、背板50连到24路外部硬盘，每个硬盘只需要一路PCIE×2信号即可实现双控模式。

[0042] 请继续参照图2，在一具体的实施例中，所述第一转接板30及第二转接板40均包括基板、Redriver芯片33，所述Redriver芯片33均设置于基板，且所述Redriver芯片33分别与主板连接端子及背板连接端子连接。

[0043] 上述的Redriver芯片33用于提高高速信号的信号质量，通过使用均衡、预加重技术调整与补偿传输端信道上的损失，并在接收端上恢复出信号，减小误码率，满足信号完整性要求。Redriver芯片33的信号具体为VSC7111，通过VSC7111做均衡补偿和预加重以后，再将PCIE信号分别扇出到背板50上，进而通过背板50的硬盘接口连接外部硬盘，从而实现

PCIE SWITCH芯片11到外部硬盘之间的逻辑映射。由于外部硬盘是双控制器模式，转接板也需要两个独立的通道实现控制器主板和背板50的互联。

[0044] 进一步的，所述主板连接端子为焊接于基板上的主板金手指31，和/或

[0045] 所述背板50连接端子为焊接于基板上的背板金手指32。上述的PCIE信号包括高速信号及低速信号，其中，高速信号通过高速连接器进行信号传输，低速信号通过上述的主板金手指31与背板金手指32进行信号传输。该低速信号包括PCIE reset信号和PCIE clk信号等。

[0046] 请参照图3，在一具体的实施例中，所述背板50上安装有用于将一路PCIE clk信号分成N路PCIE clk信号的时钟缓冲器90，及用于将一路PCIE reset信号分成N路PCIE reset信号的逻辑缓冲器，所述时钟缓冲器90及逻辑缓冲器的输入端均择一与第三高速连接器63及第四高速连接器64连接，所述时钟缓冲器90及逻辑缓冲器的输出端分别与N个硬盘接口连接。

[0047] 本实施例中，由于从第一控制器主板10或第二控制器主板20过来的PCIE clk信号只有1路，需要在背板50上添加时钟缓冲器90，本方案选择了4颗9ZXL1550将两个控制器主板各自的1路100M时钟信号扇出成各自的24路时钟分别给到24路外部硬盘。同样，从每个控制器主板过来的PCIE reset信号也只有1路，为此需要在背板50上增加逻辑缓冲器将复位信号分发给24个外部硬盘。

[0048] 在一具体的实施例中，所述背板50还包括CPLD芯片及异常指示灯，所述CPLD芯片与异常指示灯连接。本方案中，增加一个CPLD芯片来做硬盘状态指示灯的逻辑控制，当监测到外部硬盘状态出现异常(硬盘不在位)时，驱动异常指示灯向用户告警。该异常指示灯为LED灯。LED灯的具体颜色可以根据实际的要求来设计。具体的，所述时钟缓冲器90及逻辑缓冲器集成设置于CPLD芯片上，如此，能够节省设计空间，有利于产品的小型化设计。

[0049] 请参照图4，在一具体的实施例中，该硬盘背板结构还包括与硬盘接口连接的硬盘连接器70，所述硬盘连接器70用于与外部硬盘连接。硬盘连接器70的具体型号为SFF-8639，该硬盘连接器70包括dualporten引脚，ifdet#引脚，present#引脚等。具体连接时，dualporten引脚拉低，ifdet#引脚能够检测硬盘是否在位。背板50上的异常指示灯可通过识别SFF-8639上的ifdet#引脚的信号电平状态来检测，通过读取硬盘状态信息来确定其是否处于正常工作状态，出现异常时控制异常指示灯给用户做告警。如果ifdet#引脚的信号电平为低电平，则确定硬盘在位；如果ifdet#引脚的信号电平为高电平，则确定硬盘不在位。

[0050] 请参照图5，图5为本实用新型中存储服务器的结构示意图。在本实用新型的实施例中，该存储服务器，包括N个硬盘80，以及分别与N个硬盘80连接的硬盘背板结构，其中，所述硬盘背板结构为上述的支持双控模式的硬盘背板结构。其中，上述的硬盘80为NVME硬盘。该支持双控模式的硬盘背板结构的具体结构请参照上述的实施例，此处不再赘述。由于本方案的存储服务器采用了上述的支持双控模式的硬盘背板结构，故具有支持双控模式的硬盘背板结构的所有优点和效果。

[0051] 以上所述仅为本实用新型的优选实施例，并非因此限制本实用新型的专利范围，凡是在本实用新型的技术方案构思下，利用本实用新型说明书及附图内容所作的等效结构变换，或直接/间接运用在其他相关的技术领域均包括在本实用新型的专利保护范围内。

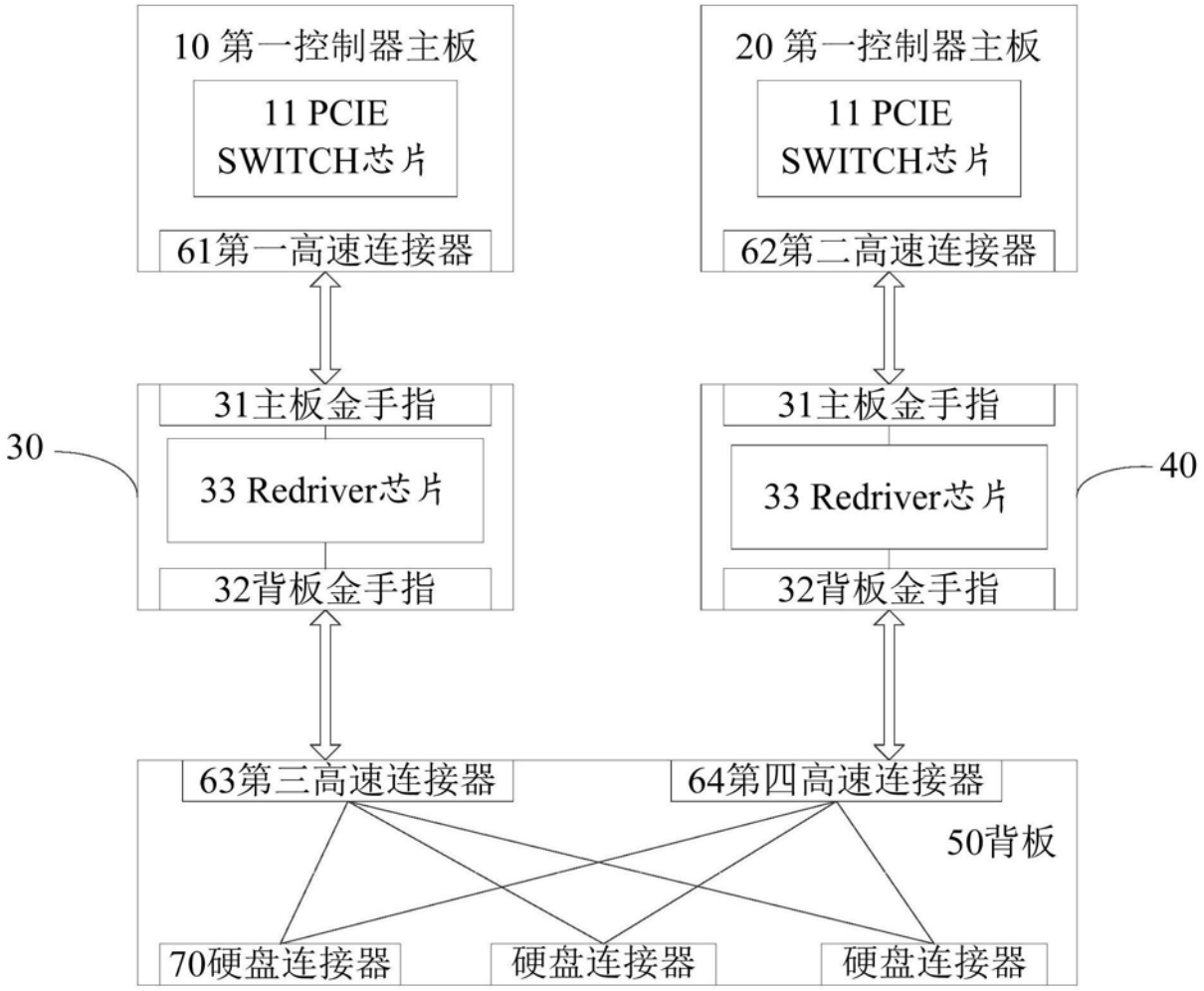

10 第一控制器主板
11 PCIE SWITCH芯片
61第一高速连接器
20 第一控制器主板
11 PCIE SWITCH芯片
62第二高速连接器
30
31主板金手指
33 Redriver芯片
32背板金手指
40
31主板金手指
33 Redriver芯片
32背板金手指
63第三高速连接器
64第四高速连接器
50背板
70硬盘连接器
硬盘连接器
硬盘连接器

图1

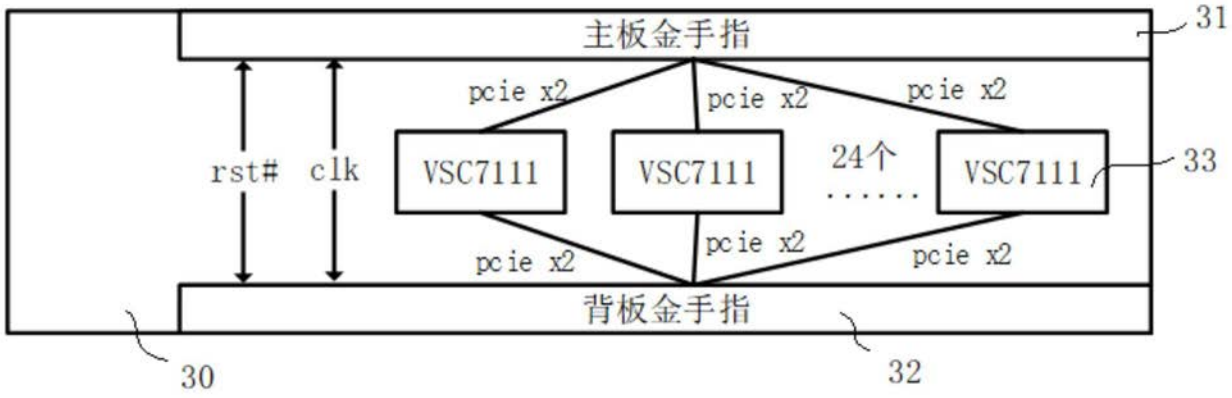

主板金手指
31
pcie x2
pcie x2
pcie x2
rst#
clk
VSC7111
VSC7111
24个
.....
VSC7111
33
pcie x2
pcie x2
pcie x2
背板金手指
30
32

图2

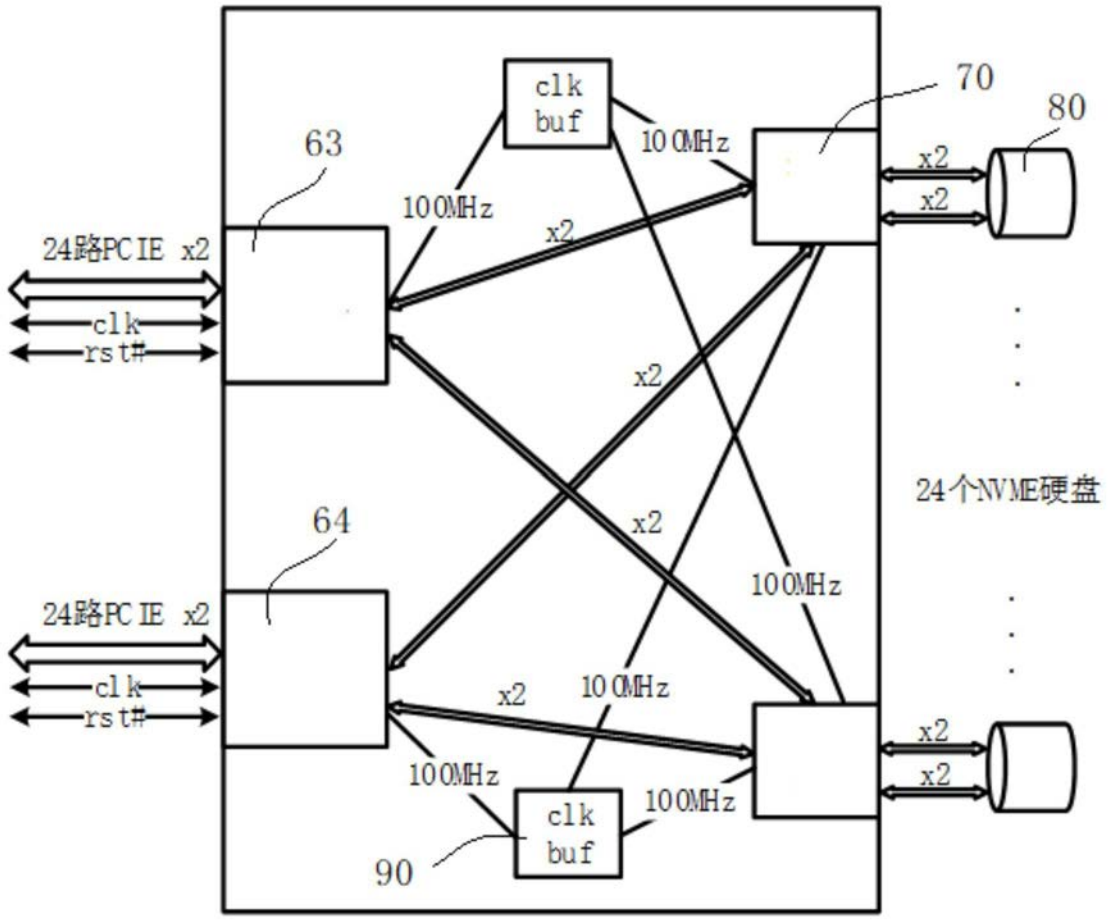

clk
buf
100MHz
70
80
63
x2
24路PCIE x2
clk
rst#
24个NVME硬盘
64
90

图3

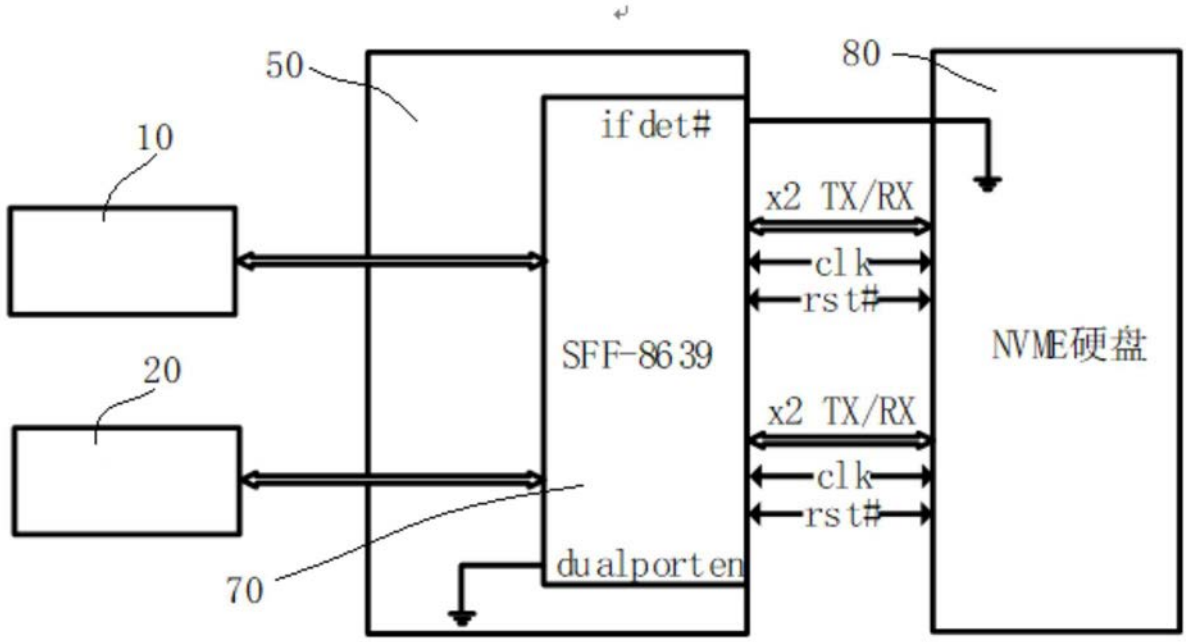

50
80
10
ifdet#
x2 TX/RX
clk
rst#
SFF-8639
NVME硬盘
20
dualporten
70

图4

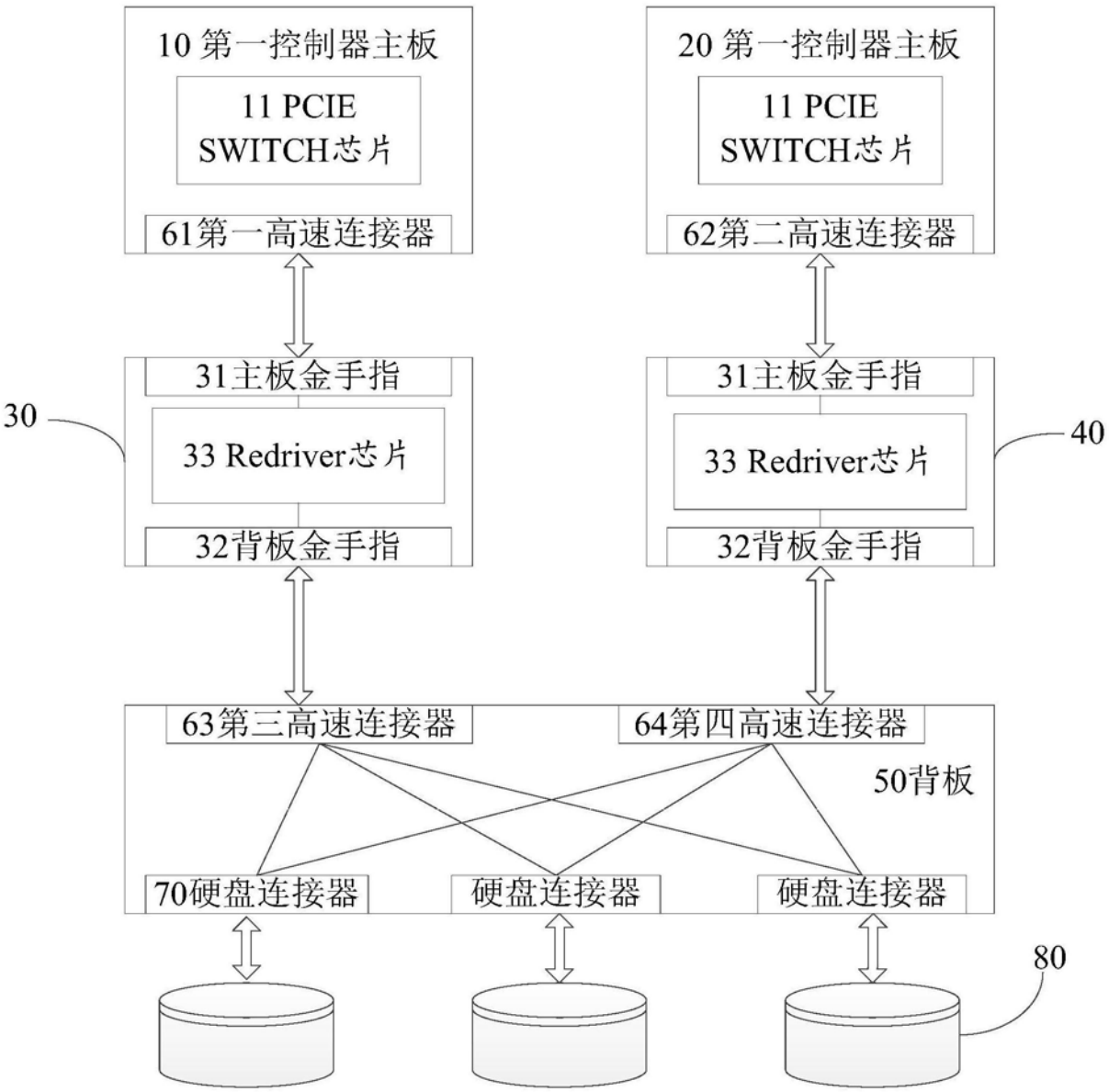

10 第一控制器主板
11 PCIE SWITCH芯片
61第一高速连接器
20 第一控制器主板
11 PCIE SWITCH芯片
62第二高速连接器
31主板金手指
33 Redriver芯片
32背板金手指
30
31主板金手指
33 Redriver芯片
32背板金手指
40
63第三高速连接器
64第四高速连接器
50背板
70硬盘连接器
硬盘连接器
硬盘连接器
80

图5