世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5
G11C 11/34

A1

(11) 国際公開番号 WO 95/02884

(43) 国際公開日 1995年1月26日(26.01.95)

(21) 国際出願番号 PCT/JP94/00928
(22) 国際出願日 1994年6月8日(08. 06. 94)

(30) 優先権データ
特願平5/172956 1993年7月13日(13. 07. 93) JP
特願平6/102717 1994年5月17日(17. 05. 94) JP

(71) 出願人(米国を除くすべての指定国について)
日本鋼管株式会社(NKK CORPORATION)〔JP/JP〕
〒100 東京都千代田区丸の内一丁目1番2号 Tokyo, (JP)
(72) 発明者;および
(75) 発明者/出願人(米国についてのみ)
後藤 寛(GOTOU, Hiroshi)〔JP/JP〕
近藤 衛(KONNDOU, Mamoru)〔JP/JP〕
阿部啓史(ABE, Hirofumi)〔JP/JP〕
〒100 東京都千代田区丸の内一丁目1番2号
日本鋼管株式会社内 Tokyo, (JP)
(74) 代理人
弁理士 瀧野秀雄, 外(TAKINO, Hideo et al.)
〒150 東京都渋谷区恵比寿2丁目36番13号
広尾SKビル4階 Tokyo, (JP)

(81) 指定国
DE, GB, KR, US.

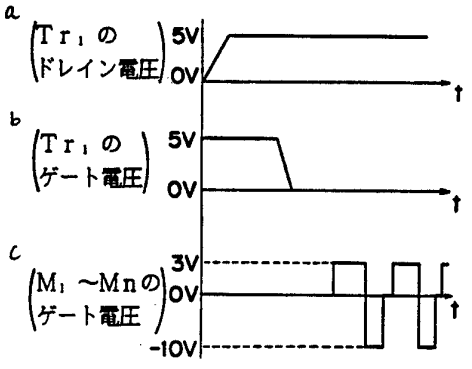
添付公開書類 国際調査報告書

(54) Title : MEMORY ELEMENT, MONVOLATILE MEMORY, NONVOLATILE STORAGE DEVICE, AND METHOD FOR STORING INFORMATION BY USE OF THE STORAGE DEVICE

(54) 発明の名称 記憶素子、不揮発性メモリ、不揮発性記憶装置及びそれを用いた情報記憶方法

(57) Abstract

A DRAM having a special mode, a nonvolatile memory cell having the DRAM therein, and a nonvolatile semiconductor storage device having a structure like a DRAM and capable of writing and erasing data with a high precision. There are provided a sub-bit line BL_{s1} connected to the main bit line BL_1 through a selecting transistor Tr_1, and nonvolatile cells (memory transistors) M_1 to M_n of drain electrodes are connected to the sub-bit line BL_{s1}. Writing and erasing are executed by applying an a.c. voltage from an a.c. pulse generator to the control gate of each of the nonvolatile memory cells M_1 to M_n. A DRAM cell is made up of a capacitor element formed by the parasitic capacitance of a sub-bit line BL_{s1} and the drain electrodes of the nonvolatile memories M_1 to M_n connected to the sub-bit line BL_{s1}, and the selecting transistor Tr_1. An arbitrary nonvolatile memory cell Mk is connected to the memory node N of the DRAM cell. Thus, the nonvolatile memory cell having the DRAM function and the nonvolatile storage device are constituted. The DRAM cell unit functions independently, and the DRAM cell unit accumulates data temporarily. The data are transferred to the nonvolatile memory cell Mk, hence improving the writing speed, decreasing the size of the apparatus, and executing highly reliable writing and erasing.



a ... drain voltage for Tr_1

b ... gate voltage for Tr_1

c ... gate voltage for M_1 to M_n

(57) 要約

特殊な形態のＤＲＡＭとこれを組み込んだ不揮発性メモリセル、及びＤＲＡＭ的構成を有するとともに、精度の高い書き込み・消去動作をなし得る不揮発性半導体記憶装置を提供することを目的とする。

主ビット線BL_1に選択用トランジスタT_{r1}を介して接続した副ビット線BL_{s1}と、副ビット線BL_{s1}にドレイン電極を接続した不揮発性メモリセル（メモリトランジスタ）M_1～M_nとを有し、不揮発性メモリセルM_1～M_nの制御ゲートに交流パルス発生回路から交流電圧が印加されて書き込み・消去がなされ、副ビット線BL_{s1}及びこれに接続される不揮発性メモリM_1～M_nのドレイン電極が有する寄生容量による容量素子と選択トランジスタT_{r1}とによりＤＲＡＭセルを構成し、ＤＲＡＭセルの記憶ノードＮに任意の不揮発性メモリセルMk が接続することでＤＲＡＭの機能を内蔵した不揮発性メモリセル及び不揮発性記憶装置を構成し、ＤＲＡＭセル部分が独立に機能するとともに、ＤＲＡＭセル部分で一時的にデータを蓄積し、そのデータを不揮発性メモリセルMk に転送して、書き込み速度の改善、装置の小型化、信頼性の高い書き込み・消去を行う。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AM アルメニア
AT オーストリア
AU オーストラリア
BB バルバドス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CF 中央アフリカ共和国
CG コンゴー
CH スイス
CI コート・ジボアール
CM カメルーン
CN 中国
CZ チェッコ共和国
DE ドイツ
DK デンマーク
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB イギリス
GE グルジア
GN ギニア
GR ギリシャ
HU ハンガリー
IE アイルランド
IT イタリー
JP 日本
KE ケニア
KG キルギスタン
KP 朝鮮民主主義人民共和国
KR 大韓民国
KZ カザフスタン
LI リヒテンシュタイン
LK スリランカ
LT リトアニア
LR リベリア
LU ルクセンブルグ
LV ラトヴィア
MC モナコ
MD モルドバ
MG マダガスカル
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノルウェー
NZ ニュージーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア連邦
SD スーダン
SE スウェーデン
SI スロヴェニア
SK スロヴァキア共和国
SN セネガル
SZ スワジランド
TD チャード
TG トーゴ
TJ タジキスタン
TT トリニダード・トバゴ
UA ウクライナ
US 米国
UZ ウズベキスタン共和国
VN ヴィエトナム

明　細　書

記憶素子、不揮発性メモリ、不揮発性記憶装置及びそれを用いた情報記憶方法

発明の詳細な説明

〔産業上の利用分野〕

本発明は、電気的に消去・書き込み可能な不揮発性記憶装置及びその記憶方法に関し、特に、ビット線及びこれに電気的に接続する部分が有する寄生容量を記憶用容量素子として積極的に用いたＤＲＡＭ（ダイナミック・ランダム・アクセス・メモリ）的機能並びにその記憶用容量素子を同時に利用した書き込み・消去機能を内在する不揮発性記憶装置に係るものである。

〔従来の技術〕

ＥＥＰＲＯＭ（電気的消去・書き込み可能な不揮発性読み出し専用メモリ）やＵＶＥＰＲＯＭ（紫外線による消去・書き込み可能な不揮発性読み出し専用メモリ）に代表される浮遊ゲート型の不揮発性記憶装置は、データの消去や書き込みを行うに当たり、ホット・エレクトロンやトンネル電流を用いて、浮遊ゲートからの電子の引き抜きや浮遊ゲートへの電子の注入を行っている関係上、原理的にデータの消去や書き込みに要する時間が、ＤＲＡＭやＳＲＡＭ（スタティック・ランダム・アクセス・メモリ）に比べて、長いという問題を有している。

尚、本願では、特記しない限り、便宜的に浮遊ゲートからの電子の引き抜きはデータの書き込みに、浮遊ゲートへの電子の注入はデータの消去に対応するものとする。

この問題を解決するために種々の方式が提案されているが、その一例として、浮遊ゲート型の不揮発性記憶装置の系外にＳＲＡＭやＤＲＡＭで構成したバッファ・メモリを設けるという方式がある。即ち、図１０に示すように、ＣＰＵ（中央制御装置）２０からのデータがバッファメモリ（ＲＡＭ）２１に一旦格納された後に、浮遊ゲート型の不揮発性半導体記憶装置（ＥＥＰＲＯＭ）２２に比較的低速で書き込むことを可能として、メモリ装置全体として書き込み時間の短縮化

を図っている。

一方、従来の浮遊ゲート型の不揮発性記憶装置のデータの消去・書き込み動作を大別すると、①ホット・エレクトロンによる書き込み、トンネル電流による消去の方式と、②トンネル電流による書き込み、トンネル電流による消去の方式とに分けられる。前者の典型例は、電気的一括消去型の所謂フラッシュＥＥＰＲＯＭであり、後者の典型例であるＮＡＮＤ型ＥＥＰＲＯＭである。何れの範疇にも属さないものとして、③ホット・エレクトロンによる書き込み、紫外線照射による消去の方式を採るＵＶＥＰＲＯＭが挙げられる。

図１１は、各方式を採用する典型的な不揮発性記憶装置に関するメモリセル乃至はメモリセルを構成するトランジスタ（以下、メモリトランジスタと呼ぶ）の閾値電圧V_{TH}（縦軸）とその閾値電圧V_{TH}の発生頻度（横軸）との関係を示している。同図（ａ）～（ｄ）は、フラッシュＥＥＰＲＯＭ（ａ），（ｂ）、ＮＡＮＤ型ＥＥＰＲＯＭ（ｃ）及びＵＶＥＰＲＯＭ（ｄ）に対応している。

この図では、メモリトランジスタの浮遊ゲートに電荷が蓄積されることで、メモリトラジスタの閾値電圧が大きな値になり、当該メモリトランジスタのドレイン電流が流れないか若しくは流れにくくなっている状態、即ち、メモリセルにデータが書き込まれた状態を“０”データとして表記している。又、浮遊ゲートから電荷が放出されることで、当該メモリトランジスタの閾値電圧が小さな値になり、このメモリトランジスタのドレイン電流が流れるか若しくは流れ易くなっている状態、即ち、メモリセルからデータが消去された状態を“１”データとして表示している。

図１１から分かるように、書き込み後及び消去後の閾値電圧の分布は、ＵＶＥＰＲＯＭの消去の場合を除く何れの方式においてもばらつきが大きい。ホット・エレクトロンやトンネル電流は、チャネル長、チャネル幅、トンネル絶縁膜の膜厚やその均一性、ドレイン電圧や制御ゲートの電圧などに非常に敏感であり、これらの変動がメモリトランジスタの閾値電圧の変動を招来するからである。

従来の半導体不揮発性記憶装置では、上述に示したように、メモリトランジス

タの閾値電圧がばらつくことから、書き込みや消去の信頼性を改善するために、閾値電圧の分布を改善する必要があった。この問題を解決する代表的な方法としては、装置内に特殊な論理回路を設けて、広がっている閾値電圧の分布を所望の範囲に収束せる方法である（例えば、K.N.Kynette et al., "An In-System Reprogrammable 32k×8 CMOS Flash Memory, IEEE J. Solid-State Circuits", Vol.23, No.5, pp.595-598, Dec. 1992 ）。この方法では、総てのメモリセルが完全に“0”データ状態になる迄、各メモリセルに対して、浮遊ゲートに電荷を蓄積して“0”データ状態にする操作と、“0”データが書き込まれたか否かを確認するための読み出し操作（ベリファイ動作）とを交互に繰り返す。総てのメモリセルが“0”データ状態になった後に、データの一括消去を行い、総てのメモリセルを“1”データ状態にする。即ち、消去前の書き込みが行われて、過剰消去を防止している。

又、図１２は、特開昭６４－４６２９７号（発明者：ウインストン・ケイ・エム・リー，出願人：インテル・コーポレーション）に開示された不揮発性メモリセルの消去を自己制御する装置に関する。図１２（ａ），（ｂ）には、特別な帰還増幅回路１３や比較器１５を不揮発性メモリセル１０のドレイン電極Ｄと制御ゲート１１との間に設けて消去電圧を制御することにより、浮遊ゲートの最終的な電位、即ち、メモリトランジスタの閾値電圧を目的値又は目的範囲に調整する手法が提案されている。

更に、ばらついている閾値電圧を有するメモリトランジスタの浮遊ゲートにホットホールを注入して、閾値電圧を収束させるという方式も提案されている（S. Yamada et al., "A Self-Convergence Erasing Scheme for a Simple Stacked Gate Flash EEPROM", IEDM Tech. Dig., pp.307-310, Dec.1991 ）。

〔発明が解決しようとする課題〕

しかしながら、上記の従来技術においては、それぞれ次のような問題がある。先ず、不揮発性記憶装置の系外にバッファ・メモリを設けることで書き込み時間を改善する従来技術では、装置系全体として大きくなり且つ複雑になる。

又、個々のメモリトランジスタの閾値を修正するための論理回路や帰還増幅回路等を設けて閾値電圧を所望の範囲に収束させる従来技術でも、やはり回路が大きく且つ複雑になる。しかも、メモリトランジスタの閾値電圧の分布を改善する論理回路における、消去を完了する迄に書き込みとベリファイを繰り返すという動作フロー故に、かなり複雑である点は否定できないし、その一連の動作の中でも特に書き込みに時間を要し、結果的に一括消去が完了する迄に時間がかかる問題が生ずる。

更に、ホットホールを浮遊ゲートに注入する方式では、ホットホール電流がトンネル電流やホットエレクトロン電流に比べて微小（10^{-5}倍以下）である為、時間がかかるという欠点がある。

本発明は、上述のような問題点に鑑みなされたものであり、新たなＤＲＡＭ構成の記憶素子及びＤＲＡＭ構成と浮遊ゲート型不揮発性メモリセルとが結合された不揮発性メモリを提案するとともに、装置系全体として構造が簡易で小型であり、書き込みに時間を要さないＤＲＡＭ的機能を内蔵する不揮発性記憶装置及びその記憶方法を提供することを目的とする。

又、本発明の他の目的は、上記ＤＲＡＭ的機能の要部構成を利用して、併せてメモリセルの閾値電圧を所望範囲に収束させて、消去時間を大幅に短縮することができる簡易で汎用的な不揮発性記憶装置及びその記憶方法を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために本発明に係る記憶素子は、トランジスタと、そのトランジスタが電気的に接続する配線及びその配線に電気的に接続する部分が有する寄生容量で構成されるキャパシタとで構成される記憶素子を備えている。

本発明に係る不揮発性メモリは、トランジスタとキャパシタで構成される第１の記憶素子の記憶ノードに電気的に接続する、制御ゲート及び浮遊ゲートを備える第２の記憶素子とで構成される不揮発性メモリである。この不揮発性メモリにおいては、第１の記憶素子のキャパシタを配線及びそれに接続する部分が有する

寄生容量で構成するのが好ましい。

本発明に係る第１の不揮発性記憶装置は、制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセル、この不揮発性メモリセルが接続するビット線、このビット線を選択する選択スイッチ素子及びビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子を備えている。

この第１の装置では、不揮発性メモリセル乃至これを構成するトランジスタの制御ゲートに例えば正負の振動を有する交流電圧を印加する手段を有するのが好適である。この交流電圧は、初期の閾値が４Ｖ以上の不揮発性メモリセルの制御ゲートに印加するのが好ましい。又、この交流電圧の正のピーク電圧がメモリセルの初期の閾値よりも小さいか、交流電圧の負のピーク電圧が－１０Ｖ以下であることが望ましい。又、この装置では、ビット線が選択スイッチ素子を介して主ビット線に接続していても良い。容量素子は、電荷を蓄積することでデータ乃至は情報の一時的な蓄積を行うが、寄生容量分に加えて、不揮発性メモリセルと並列にビット線に接続するよう配置した別の容量素子をこの寄生容量とともに用いて、電荷の蓄積を行うようにしても良い。

本発明に係る第２の装置は、主ビット線、制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセル、この不揮発性メモリセルが接続する副ビット線、主ビット線と副ビット線とを接続する選択スイッチ素子、副ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子及びこの容量素子に蓄積されたデータをその不揮発性メモリセルに転送する転送手段を備えている。

この第２の装置は、更に容量素子に蓄積されたデータを維持するリフレッシュ手段又はこのリフレッシュ手段と転送手段の動作を交互に行わせる制御手段を備えていても良い。

上記目的を達成するために本発明に係る第１の記憶方法は、ビット線を有する不揮発性記憶装置を用いるもので、ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される記憶素子を用いてデータの一時的な蓄積を行う方法

である。この方法では、複数のビット線に電荷を同時に蓄積してデータの一時的な蓄積を行っても良い。

本発明に係る第２の記憶方法は、制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセルと、この不揮発性メモリセルが接続されるビット線とを有する不揮発性記憶装置を用いるもので、ビット線を予め正電位にして、ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子によるデータの書き込みを行い、そのデータを、制御ゲートの電位を変化させて不揮発性メモリセルに転送する方法である。

本発明に係る第３の記憶方法は、制御ゲート及び浮遊ゲートを備える不揮発性メモリセルを接続するビット線を有する不揮発性記憶装置を用いるもので、この不揮発性メモリセルの制御ゲートに例えば正負に振動する交流電圧を印加し、ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子に一時的に蓄積されたデータを消去する方法である。

本発明に係る第４の記憶方法は、制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセル、この不揮発性メモリセルが接続するビット線及びビット線を選択する選択スイッチ素子を有する不揮発性記憶装置を用いるもので、ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子に蓄積されている情報のリフレッシュと不揮発性メモリセルへの転送とを交互に行って、リフレッシュ期間と転送期間とが重ならないようにする方法である。

〔作用〕

本発明に係る記憶素子によれば、配線及びそれに電気的に接続する寄生容量を利用した新しいＤＲＡＭ型記憶素子を実現できる。

又、本発明に係る不揮発性メモリによれば、ＤＲＡＭ型記憶素子と浮遊ゲート型不揮発性メモリセルという異種の記憶素子を結合した新しいメモリを実現できる。特に、前者のＤＲＡＭ型記憶素子の容量素子乃至キャパシタを配線及びそれに結合する部分の有する寄生容量にするようにする点も特徴的であり、本発明に

係る第１の情報記憶方法とも共通するように、不揮発性メモリでありながら容量素子がデータの蓄積を行うというＤＲＡＭ的な機能も併有させることができる。

本発明に係る第１の不揮発性記憶装置によれば、ビット線及びこれに電気的に接続する部分の有する寄生容量を利用したＤＲＡＭ型記憶素子と浮遊ゲート型不揮発性メモリセルと結合した新しいメモリセルを内蔵する装置を実現することができるので、不揮発性メモリでありながらＤＲＡＭとしての機能も併せ持つ装置を実現できる。

第１の不揮発性記憶装置では、ＤＲＡＭ型記憶素子を構成する容量素子が浮遊ゲート型不揮発性メモリセルにおけるメモリトランジスタのドレイン電極に接続し、ドレイン電位の設定に寄与する。この点に着目して、浮遊ゲート型不揮発性メモリセルの閾値の調整の為の新しい手段を当該装置に付加しているので、高い動作性能を期待することができる。又、当該装置に適宜容量素子を付加することで、ビット線及びこれに電気的に接続する部分の有する寄生容量の不足分を補うことができる。

本発明に係る第２の不揮発性記憶装置によれば、ビット線及びそれに電気的に接続する部分の寄生容量を容量素子として用いたＤＲＡＭ型記憶素子と、浮遊ゲート型不揮発性メモリセルと、ＤＲＡＭ型記憶素子から浮遊ゲート型不揮発性メモリセルへのデータ転送手段を備えたので、浮遊ゲート型不揮発性メモリセルに書き込むべきデータの一時蓄積をＤＲＡＭ型記憶素子が行うことができる。この点は、本発明に係る第２の情報記憶方法に共通する部分であり、装置内部にバッファメモリを保有して浮遊ゲート型不揮発性メモリセルへのデータの書き込みを行うことが可能になる。

当該装置に、ＤＲＡＭ型記憶素子に対するリフレッシュ手段と、データ転送手段とリフレッシュ手段とを交互に行わせるための制御手段とを更に付加する場合には、ＤＲＡＭ型記憶素子に関しては寄生容量を構成するビット線又はそれに接続する部分からの電荷のリークによる蓄積データの劣化を防止でき、不揮発性メモリセルに関してはそのリークによる不揮発性メモリセルのドレイン電圧の低下

を防止することができる。

特に第2の装置において、データ転送手段とリフレッシュ手段とを交互に動作させれば、転送期間中にリフレッシュが挿入され、浮遊ゲート型不揮発性メモリセルのドレイン電位を常に一定維持することができるので、電荷のリークによる悪影響を実質的になくすことができる。この点は、本発明に係る第4の情報記憶方法と同じである。この第4の方法では、リフレッシュを転送を交互に行うに当たり、リフレッシュ期間と転送期間とが重ならないようにしているので、不揮発性メモリセルの閾値の異常低下による転送不能を防止することができる。

本発明に係る第3の情報記憶方法によれば、浮遊ゲート型不揮発性メモリセルの閾値を調整することで、この浮遊ゲート型不揮発性メモリセルが蓄積するデータを消去することができるとともに、この浮遊ゲート型不揮発性メモリセルの閾値電圧を低下させてオン状態にさせることでチャネル電流を流し、ドレイン電極に接続する容量素子に蓄積された電荷を放電させることで、この容量素子に蓄積されたデータを消去することができる。

〔図面の簡単な説明〕

図1（a）は本発明の不揮発性記憶装置の一実施例を説明する為の回路図であり、同（b）は要部回路図の等価回路図、同（c）は要部回路図の他の等価回路図、同（d）は回路動作を示す波形図である。

図2（a）は本発明の不揮発性記憶装置の他の実施例の要部を示す回路図であり、同（b）は構成単位の等価回路図、同（c）は構成単位の他の等価回路図、同（d）は構成単位の他の等価回路図である。

図3（a）は副ビット線に寄生容量の波形、同（b）はワード線W'に印加される波形、同（c）は不揮発性メモリセルのゲートに印加されるパルス波形である。

図4（a）は本発明の不揮発性記憶装置の他の実施例を示すブロック回路図、同（b）は構成単位の回路図である。

図5（a）は図4（b）の構成単位の等価回路図、同（b）は図4（b）の構

成単位の他の等価回路図である。

図６は本発明の不揮発性記憶装置の他の実施例を示すブロック図である。

図７（ａ）乃至（ｃ）は、不揮発性メモリセルの閾値電圧の変化をを説明する為の波形図である。

図８は不揮発性メモリセルの初期の閾値電圧と調整した閾値電圧との関係を示す図である。

図９は不揮発性メモリセルの初期の閾値電圧と調整した閾値電圧との関係を示す図である。

図１０は従来のデータの書き込み・読み出しを説明する為のブロック図である。

図１１（ａ），（ｂ）はフラッシュＥＥＰＲＯＭの閾値電圧の頻度を示し、同（ｃ）はＮＡＮＤ型ＥＥＰＲＯＭの閾値電圧の頻度を示し、同（ｄ）はＵＶＥＰＲＯＭの閾値電圧の頻度を示している。

図１２（ａ）は従来の不揮発性メモリセルの閾値調整方法を示す回路図、同（ｂ）は従来の不揮発性メモリセルの他の閾値調整方法を示す回路図である。

〔実施例〕

以下、本発明に係る記憶素子、不揮発性メモリ及び不揮発性記憶装置並びに情報記憶方法について、ＤＲＡＭ型記憶素子及びＤＲＡＭ型記憶素子と浮遊ゲート型不揮発性メモリセルとが結合した不揮発性メモリ（以下、結合型不揮発性メモリという）及び不揮発性メモリセルの閾値電圧の調整方法の夫々の実施例について説明する。

図１は、本発明に係る不揮発性記憶装置の一実施例の要部を示す回路図であり、ＤＲＡＭ型記憶素子及び結合型不揮発性メモリについて説明する。

図１（ａ）において、M_1 ～M_n は不揮発性メモリセル（少なくとも一個のメモリトランジスタを有する）、T_{r1}はビット線ＢＬを選択する選択スイッチ素子であり、ビット線が複数ある場合には、その数に応じた選択スイッチ素子が設けられる。選択スイッチ素子T_{r1}は、ＭＯＳトランジタからなる選択トランジスタである。不揮発性メモリセルM_1 ～M_n の典型例としては、不揮発性メモリセル

であり、制御ゲートと浮遊ゲートとを有する電気的に書き込み及び消去が可能な不揮発性メモリセルである。任意の不揮発性メモリセルMk （k＝1，2，…，n）は、ビット線ＢＬを介して選択スイッチ素子T_{r1}と記憶ノードＮにおいて直列に接続されている。ビット線ＢＬには少なくとも一つの不揮発性メモリセルが接続されている。共通のビット線ＢＬに接続する複数の不揮発性メモリセルは互いに並列な関係にある。

ビット線ＢＬ及びビット線ＢＬに電気的に接続する部分に寄生容量C_0を有し、任意の不揮発性メモリセルMk による総和容量を除いた部分、即ち、主にビット線による寄生容量C_0*を有している。ビット線ＢＬに電気的に接続する部分としては、選択スイッチ素子T_{r1}、不揮発性メモリセルM_1～M_nであり、この回路構成如何では他のトランジスタや配線もあり得る。選択スイッチ素子T_{r1}と不揮発性メモリセルM_1～M_nは共に少なくとも一つのトランジスタを有し、当該トランジスタがビット線ＢＬに接続している側の不純物拡散層が主に寄生容量C_0，C_0*として寄与する。

無論、ビット線ＢＬが長ければ、ビット線ＢＬの寄生容量は大きく、且つ、ビット線ＢＬに電気的に接続する不揮発性メモリM_1～M_nが多い程、不揮発性メモリセルM_1～M_nの寄生容量は大きくなる。より多くの不揮発性メモリセルM_1～M_nがビット線ＢＬに接続している場合には、ビット線ＢＬは通常長くなり、寄生容量C_0，C_0*はより大きくなる。

尚、ビット線ＢＬが短いと、十分大きな寄生容量C_0及びC_0*を確保できない場合があり、そのような場合には、ビット線ＢＬに電気的に接続する別の容量素子を設けることによって、この容量素子を含めた寄生容量C_0を大きなものとすることができる。この容量素子は、不揮発性メモリセルM_1～M_nと並列にビット線ＢＬに電気的に接続すればよい。

図１（ｂ），（ｃ）は、図１（ａ）の等価回路図である。同図（ｂ）から明らかなように、同図（ａ）に示す回路は、寄生容量C_0を容量素子と見做せば、選択スイッチ素子T_{r1}に直列に接続される容量素子C_0との接続点を記憶ノードＮ

とする記憶素子、即ち、ＤＲＡＭセルと等価である。従って、本発明に係る不揮発性記憶装置は、不揮発性メモリセルM_1～M_nの本来的機能と、図１（ｂ）に示す等価回路を一単位とするＤＲＡＭセルの機能を併せ持っている。そして、この不揮発性記憶装置とは独立して、又それ自体単独でＤＲＡＭセルとして機能している。

特に、ＤＲＡＭセルの機能に着目すると、ＤＲＡＭに関する公知技術を、本発明に係る不揮発性記憶装置にそのまま応用できる。例えば、選択スイッチ素子T_{r1}をオン状態にして容量素子C_0に電荷を充電することで記憶ノードＮを高電位にし、選択スイッチ素子T_{r1}をオン状態にして容量素子C_0から電荷を放電することで記憶ノードＮを低電位にすることで記憶素子のデータの書き込みと消去を行うことができ、記憶ノードＮの電位を検出することでデータの読み出しを行うことができる。又、容量素子C_0から電荷のリークによりデータの長時間保持が困難な場合には、ＤＲＡＭに関する公知の手法を用いて、データのリフレッシュ、即ち、同一データの再書き込みを行うことができる。

更に、図１（ｃ）から明らかなように、同図（ａ）の回路は、寄生容量C_0*を容量素子と見做し、選択トランジスタT_{r1}と容量素子C_0*とで構成される記憶素子が構成される。且つ、容量素子C_0*に並列に浮遊ゲート型の不揮発性メモリセルMk が接続され、その接続点を記憶ノードＮとする特殊な形態の不揮発性メモリセル、即ち、結合型不揮発性メモリセルが形成される。

このメモリセルは、ＤＲＡＭセルの動作と浮遊ゲート型不揮発性メモリセルの動作とが結合して形成されているので、特殊な動作様式を有する。即ち、結合型不揮発性メモリセルでは、データの書き込みに際し、ＤＲＡＭセルにデータを一時的に蓄積した後、このデータを浮遊ゲート型不揮発性メモリセルに転送することができ、逆に、浮遊ゲート型不揮発性メモリセルに蓄積したデータをＤＲＡＭセルに転送することもできる。

次に、不揮発性メモリセルの閾値電圧の調整方法の実施例について説明する。

図１（ａ）の不揮発性記憶装置の不揮発性メモリセル（メモリトランジスタ）

（M_1 ～M_n）の閾値を揃える方法について、図1（d）のタイムチャートに基づいて説明する。この調整方法は、交流電圧、例えば、正負に振動する交流電圧や交流パルス信号を所定の周期（有限回数）で各不揮発性メモリセルの制御ゲートに印加して、閾値を調整するものである。

尚、以下の説明では、記憶ノードN（図1（c）参照）がある側のメモリトランジスタの電極をドレイン電極として説明するが、ソース電極として説明する方がよい場合もあり、以下の説明に限定するものではない。

更に、メモリセルの構造や電圧の印加条件（電界強度分布）如何では、例えば、トンネル電流が浮遊ゲートとチャネルとの間に流れる場合もある。しかし、以下の説明では、ドレイン電極を相対的に高電位にする関係上、浮遊ゲートから引き抜かれた電子は最終的にドレイン電極に移動するという点を考慮して、メモリセルの構造や電界強度分布にかかわらず、便宜的にトンネル電流は浮遊ゲートとドレイン電極との間に流れることとしている。

先ず、選択トランジスタTr_1をオン状態として、メモリトランジスタMk のドレイン電極をソース電極に対して高電位に維持する。その方法は、当該ドレイン電極及びこれに接続されるビット線の寄生容量を容量素子C_0として利用し、この容量素子C_0に電荷の蓄積を行う。又、メモリトランジスタMk のドレイン電極に別に容量素子を接続して、そこに電荷を蓄積してもよい。次に、メモリトランジスタMk の制御ゲートに正負に振動する交流パルス信号を印加する。制御ゲートに正の電圧を印加すると、その印加電圧との相関により決まるある値又はその許容される期待値の範囲（以下、期待値という）よりも低い閾値を有するメモリトランジスタMk はオン状態になり、メモリトランジスタMk のドレイン電極からソース電極へ電荷が移動する。その結果として、ドレイン電圧が十分低下すると、以後、負の電圧を制御ゲートに印加してもトンネル電流が流れなくなる、即ち、浮遊ゲートから電子の引き抜きが起こらなくなるので、当該メモリトランジスタの閾値は以後変動しなくなる。

他方、制御ゲートに負の電圧を印加すると、メモリトランジスタMk の浮遊ゲ

ートに蓄積されていた電荷がドレイン電極へ引き抜かれ、その引き抜かれた分だけメモリトランジスタMk の閾値電圧が低下する。引き続き、制御ゲートに正の電圧を印加すると、その印加電圧によって設定される期待値よりも低い閾値のメモリトランジスタMk はオン状態になり、ドレイン電極からソース電極へ電荷が移動する。その結果、ドレイン電圧は十分低下して、以後、負の電圧を制御ゲートに印加しても浮遊ゲートから電子の引き抜きが起こらなくなり、その後は、当該メモリトランジスタの閾値は変動しなくなる。以上の操作を繰り返すと、最終的に総ての不揮発性メモリセルの閾値が期待値に収束することになる。尚、例えば以上の操作の繰り返し数が少ないと十分閾値が一定の値に厳格に収束せずに、所望の範囲を持つ場合もある。その場合であっても、上記の方法を用いて不揮発性メモリセルの閾値が適切に調整されていることは明白であり、厳格に一定値に収束するか所望の範囲に収束するかは収束の程度の問題に過ぎない。

この閾値の調整方法からも明らかであるが、不揮発性メモリセルの制御ゲートに印加する交流パルス信号の波形に特に限定することなく、矩形波であっも良いし、正弦波、三角波等々であっもよい。

更に、詳細に説明する。図1（ｄ）に示されるように、３Ｖと－１０Ｖとの間で振動する交流パルス信号を１０パルスだけある不揮発性メモリセル（メモリトランジスタ）Mk の制御ゲートに印加する場合を考えてみる。

先ず、選択トランジスタT_{r1}のドレイン電圧を５Ｖにし、そのゲート電圧を５Ｖにして選択トランジスタT_{r1}をオン状態にする。ビット線ＢＬ及びそれに電気的に接続する部分の寄生容量で構成される容量素子が充電される。この充電により任意のメモリトランジスタMk のドレイン電圧の電位を高める。その後、選択トランジスタT_{r1}をオフ状態（ゲート電圧０Ｖ）にして、メモリトランジスタMk の制御ゲートに上記交流パルス信号を印加する。このメモリトランジスタMk の制御ゲートに３Ｖなる正の電圧を印加すると、この正の電圧との相関で決まる期待値以下の閾値を有するメモリトランジスタはオン状態になり、そのドレイン電極からソース電極に向かってチャネル電流が流れる。容量素子に蓄積されてい

た電荷の放出によるメモリトランジタのドレイン電圧が低下する。このようなメモリトランジスタにおいては、以後、負電圧の制御ゲートへの印加により、トンネル電流が流れることはない。

次に、このメモリトランジスタの制御ゲートに－１０Ｖなる負電圧を印加すると、浮遊ゲートの電位は負、通常は、制御ゲートの電位の約半分になる。すると、浮遊ゲートからドレイン電極に少し電子が引き抜かれ、これに対応するトンネル電流が浮遊ゲートとドレイン電極との間に流れる。その結果、浮遊ゲートから引き抜かれた電子の分だけメモリトランジスタの閾値電圧が低下する。引き続きこのメモリトランジスタの制御ゲートに３Ｖなる正の電圧を印加すると、期待値以下の閾値を有するメモリトランジスタはオン状態になり、容量素子に蓄積されていた電荷の放出によるメモリトランジタのドレイン電圧の低下が起こる。以後、この交流パルス信号の印加を繰り返す。最終的に、総ての不揮発性メモリセルの閾値は期待値に収束するように調整されることになる。

続いて、図７に基づいて説明すると、浮遊ゲート型メモリトランジスタの制御ゲートにパルス状の制御ゲート電圧V_{CG}（図７（ｃ））を印加した場合の浮遊ゲート電位V_{FG}の経時的変化（同図（ａ））及びビット線電位V_{BL}の経時的変化（同図（ｂ））を示している。同図（ｃ）に示す制御ゲート電圧V_{CG}は、５Ｖと－１０Ｖとの間で振動する複数個のパルスが連続して結合することで構成される交流電圧（(1)、(2)、…(6)、…）である。

図７（ａ）の（イ）（ロ）（ハ）に示すように、浮遊ゲート電圧V_{FG}は、初期状態で－６Ｖ，－４Ｖ，－２Ｖのように異なっていたが、略１００μ秒間で所定の電位（約－２Ｖ）に収束している。メモリセルの閾値は、浮遊ゲート電位V_{FG}の絶対値の約２倍と考えてよいので、交流電圧の制御ゲートへの印加により、当初１２Ｖ，８Ｖ，４Ｖのように分布していた閾値が約４Ｖに収束したことをが分かる。

この時、図７（ｂ）の（イ）（ロ）（ハ）に示すように、低い閾値を有するメモリセルでは第１のパルス（図７（ｃ）の(1)）を印加するや否や急速にビット

線電位V_{BL}が低下して以後一定値に漸近している。

しかし、高い閾値を有するメモリセルでは第4のパルス（図7（c）の(4)）が印加されるまでビット線電位V_{BL}が急速には低下せず、閾値が大きなもの程ビット線電位V_{BL}の低下する時期が遅い。しかし、閾値の大きさに拘らず一定のビット線電位V_{BL}に漸近している。従って、図7によれば、浮遊ゲート型メモリトランジスタの制御ゲートに交流電圧を印加した場合、そのメモリセルの閾値を調整できることが分かる。

この効果をより明確に示したのが、図8及び図9である。これらの図の横軸はメモリセルの初期の閾値電圧を示し、縦軸は10個のパルスからなる交流電圧を制御ゲートに印加して収束した閾値電圧を示している。

図8は、ピーク値が4V，3V又は2V（パルス幅が15μ秒）の正のパルスと、ピーク値が－10V（パルス幅が10μ秒）の負のパルスからなる合成された矩形波をメモリトランジスタのゲート電極に印加して収束した閾値を図に示したものである。図9は、ピーク値が3V（パルス幅が15μ秒）の正のパルスとピーク値が－13V，－10V，－5V（パルス幅が10μ秒）の負のパルスからなる合成された矩形波をメモリトランジスタのゲート電極に印加して収束した閾値を図に示したものである。

又、これらの図から明らかなように、少なくとも当初の閾値と制御ゲートに印加する交流電圧をパラメータとして、閾値の収束値又は収束範囲（期待値）が予想できる。

これらの図面から以下のことが読み取れる。

①初期の閾値が4V以上である場合には初期の閾値に拘らず期待値は略一定であること、

②制御ゲートに印加する交流電圧の正のピーク電圧よりもメモリセルの初期の閾値の方が大きい場合に、初期の閾値に拘らず期待値は略一定であること、

③制御ゲートに印加する交流電圧の負のピーク電圧は－10V以下であれば初期の閾値に拘らず期待値は略一定であること、

上記の閾値の調整方法は、制御ゲートに印加される交流パルスの低い方のパルスの電圧、即ち、正負に振幅する交流電圧の場合では、負の電圧を印加することでメモリセルの閾値を低下させ、且つ、高い方の電圧、即ち、正負に振幅する交流電圧の場合では、正の電圧を印加することでメモリセルの閾値の検証と弁別を行っていると言える。

メモリセルの閾値が収束すべき期待値は、制御ゲートに印加するパルスの高い方の電圧で任意に決定できる。又、制御ゲートに印加するパルスの低い方の電圧の印加時間を短くする程、その間に流れるトンネル電流をより小さくすることができる。換言するならば浮遊ゲートからより少しずつ電子を引き抜くことができるので、メモリセルの閾値の期待値への収束の精度を高めることができる。一方、より高い方の電圧の印加時間が短いと、その間にメモリトランジスタのドレイン電圧が低下しきらないうちにより低い方の電圧の印加が始まってしまい、メモリセルの閾値の収束を適切に制御することができなくなる。それ故に、不揮発性メモリ装置自体の動作速度への支障が生じない限り、より高い方の電圧の印加時間は長いのが好ましい。

正負に振動する交流電圧の場合には、正電圧の絶対値は、負電圧の絶対値よりも小さい方が好ましい。ゲート酸化膜内の電界強度分布にもよるが、制御ゲートに正電圧を印加した時、電子の浮遊ゲートへの注入の起こり易さと、制御ゲートに負電圧を印加した時の電子の浮遊ゲートからの引き抜きの起こり易さとが概ね同じであるとすると、正電圧の絶対値の方が負電圧の絶対値より大きい場合、電子の浮遊ゲートへの注入の方が電子の浮遊ゲートからの引き抜きを上回り、結果としてメモリセルの閾値が上昇する場合がある。勿論、正電圧の印加による電子の浮遊ゲートへの注入を無視できる条件もあるが、総じて、メモリセルの閾値の変化に及ぼす正電圧の印加の効果が負電圧の印加の効果を下回われば、上記の閾値の調整方法は十分実行可能である。

更に、メモリトランジスタの制御ゲートに印加するパルスのより低い方の電圧は、そのメモリトランジスタのドレイン電圧を基準にして十分低い方が好ましい。

このより低い方の電圧を印加することで、浮遊ゲートからの電子の引き抜きを行うが、交流電圧の印加の過程でドレイン電圧が徐々に低下して行くと、それに応じて浮遊ゲートからの電子の引き抜きは困難になる。そこで、制御ゲートに印加するより低い方の電圧を、そのメモリトランジスタのドレイン電圧を基準にして十分低く設定して、電子の引き抜き、即ち、トンネル電流の流れ具合を容易にすることが重要である。それ故、制御ゲートに印加するより低い方の電圧の振幅が、ドレイン電圧の変動に応じて変化するのが好ましい。

上記の閾値の調整方法においては、より高い方の電圧（正負に信号する交流電圧の場合には、正の電圧）をより低い方の電圧（正負に信号する交流電圧の場合には、負の電圧）よりも先にメモリトランジスタの制御ゲートに印加するのが好適である。なぜならば、対象となるメモリセルがＥＥＰＲＯＭの場合、先に負の電圧を印加すると、既に、十分低い閾値を有するメモリセルのその閾値が更に低くすることになり、このメモリセルは過消去状態になるおそれがある。その結果、ソース電極とドレイン電極とが短絡状態になり、ドレイン電圧の印加が不能になり、データの読み出し不良、ビット線の充電不能等の支障が生ずるからである。

しかし、より低い方の電圧を最初に印加しても構わない。例えば、－１０Ｖなる低い電圧でなく、－１Ｖ程度の電圧であるならば、メモリセルの初期値に依存するが、上記のような過消去の問題は発生しないことも実際には多いので、この程度の負の電圧ならば最初により低い方の電圧を印加しても構わない。但し、最初に－１Ｖを印加し、次に、３Ｖを印加した後は、－１０Ｖ程度の低い電圧を印加した方がよい。即ち、メモリトランジスタのドレイン電圧を基準にして十分低い負電圧を印加した方が、トンネル電流が流れ易くなるので好ましい。

以上、説明した閾値の調整方法は、見方を変えれば、浮遊ゲート型不揮発性メモリセルの閾値を変化させ、所望の値乃至は所望の範囲に収束させる新しい方法に止まらず、浮遊ゲート型不揮発性メモリセルの消去（又は定義如何では書き込み）の新しい方法でもある。その意味から、以下の実施例では、この方法を便宜的に交流パルス法と総称する。

次に、本発明に係る不揮発性記憶装置の他の実施例の要部を示す図２の回路図に基づいて説明する。

因に、上記の実施例を含め、以下の全ての実施例において、不揮発性メモリセルは、公知の浮遊ゲート型不揮発性メモリセルである。ソース・ドレイン拡散層が形成された半導体基板と、この半導体基板の主表面に形成されたゲート酸化膜乃至はトンネル酸化膜と、このゲート酸化膜と絶縁膜に囲まれた導電層からなる浮遊ゲートと、絶縁膜を介して浮遊ゲート上に配置する制御ゲートを有する。トンネル酸化膜は約１００Åの厚さであり、トンネル酸化膜やＯＮＯ膜（シリコン酸化膜，シリコン窒化膜及びシリコン酸化膜の積層膜）等の絶縁膜により導電性のポリシリコン層からなる浮遊ゲートが覆われている。ＯＮＯ膜上に制御ゲートが形成されている。浮遊ゲートは 3μm × 1μm の寸法を有し、チャネルやソース・ドレイン拡散層の一部とともにゲート酸化膜を挟むように配置している。チャネル領域のサイズは 1μm × 1μm である。無論、浮遊ゲート型不揮発性メモリセルをこの形状に限定するものではない。

図２（ａ）は、不揮発性メモリセルM_1 ～M_n は、公知の浮遊ゲート型不揮発性メモリセルである。

センスアンプ２に電気的に接続された主ビット線BL_1 は、選択トランジスタT_{r1}を介して副ビット線BL_{s1}に接続される。副ビット線BL_{s1}には不揮発性メモリセルM_1 ～M_n のドレインが接続され、そのソースが共通接続されてグランド線G_1 に接続されている。ST_1 はゲート選択線であり、選択トランジスタT_{r1}のゲートに接続され、ワード線W_1 ～W_n は、不揮発性メモリセルM_1 ～M_n の制御ゲートに夫々接続されている。

主ビット線BL_1 と、選択トランジスタT_{r1}を介して接続される副ビット線BL_{s1}と、副ビット線BL_{s1}に接続された不揮発性メモリセルM_1 ～M_n とにより記憶素子としての構成単位１を形成している。この構成単位１が複数規則正しく配列されることで不揮発性記憶装置の要部を構成している。

図２（ｂ）は、副ビット線BL_{s1}及びこれに電気的に接続される部分の寄生容

量C_0による構成単位1の等価回路である。不揮発性メモリセルM_1～M_nのそれぞれについて寄生容量C_1～C_nを定義すると、選択トランジスタT_{r1}のソースに寄生容量C_1～C_nが並列に接続されていると考えることができる。各寄生容量の総和が寄生容量C_0に対応する。

図2（b）の等価回路は、同図（c）に示すDRAMセルと等価である。即ち、図2（b）のゲート選択線ST_1は図2（c）のワード線W′に相当し、図2（b）のビット線BL_1は図2（c）の主ビット線BL′に相当し、選択用トランジスタT_{r1}と容量素子C_0とで構成されるDRAMセルを構成している。

従って、不揮発性メモリセルM_1～M_nとは独立して、通常のDRAMとしての書き込み・消去、読み出し及びリフレッシュ動作を行うことができる。

更に、図2（b）に示す等価回路は、同図（d）に示す結合型不揮発性メモリセルに等価である。即ち、図2（b）のワード線W_nは不揮発性メモリセルMkのワード線Wkであり、ビット線BL_1をビット線BL′に対応している。DRAMセルは、同図（c）の場合と同様な構造である。従って、同図（d）に示すように、DRAMセルの記憶ノードNに不揮発性メモリセルMkが接続した結合型不揮発性メモリセルが形成される。特に、不揮発性メモリセルMkがEEPROMの場合には、選択トランジスタT_{r1}がDRAMと共通になっている点が特徴である。

このように図2（c），（d）に示した等価回路から明らかなように、何れの場合も、構成単位1を一つの記憶素子と見做すことができる。それ故に、一般に不揮発性記憶装置がm個の構成単位で構成される場合には、その装置内にm個のDRAMセル又は結合型不揮発性メモリセルを構成できることになる。

上記のDRAM型の記憶素子は、従来のDRAMセルと同様に動作する。即ち、データの書き込み・消去は、対象となるDRAMセル部分の行と列のアドレス（行：W′，列：BL′）を指定後、選択トランジスタT_{r1}をオンにして、ビット線BL′経由でデータ（1レベル又は0レベル）を容量素子C_0*に充電することにより行う。一方、データの読み出しは、対象となるメモリセルのアドレスを指

定後、先ず、ビット線ＢＬ′を、データの蓄積の有無に対応するＤＲＡＭセルの高い閾値と低い閾値の中間の電位にする。次に、選択トランジスタT_{r1}をオンにして記憶ノードＮとビット線ＢＬ′とを接続する。この結果、ビット線ＢＬ′の電位が変化する。このビット線ＢＬ′の電位の変化を、電圧検出型のセンスアンプ２により検出すれば、データを読み出すことができる。

データのリフレッシュは、対象となるメモリセルのアドレスを指定後、そのメモリが蓄積するデータを、データの読み出しの場合と同様に、ビット線ＢＬ′の電位変化をセンスアンプ２で検出してフルスウィングの１レベル又は０レベルにまで、このビット線ＢＬ′の電位を増幅することにより行う。

上記の結合型不揮発性メモリセルは、選択トランジスタT_{r1}及び容量素子C_0*からなるＤＲＡＭセル部分と不揮発性メモリセル部分Mk から構成される。個々のセル部分の動作は、従来のＤＲＡＭセルや不揮発性メモリセルのそれと同じである。即ち、ＤＲＡＭセル部分におけるデータの書き込み・消去、読み出し及びリフレッシュはＤＲＡＭ型の記憶素子と同様であり、従来のＤＲＡＭセルと同様に動作する。

他方、浮遊ゲート型不揮発性メモリセル部分におけるデータの書き込み・消去及び読み出しは、従来の浮遊ゲート型不揮発性メモリセルの動作で説明できる。スタック型の浮遊ゲート型不揮発性メモリセルの動作を、浮遊ゲートへの電子の注入及び浮遊ゲートからの電子の引き抜きによるメモリセルの閾値の変化の点に着目して、以下、図２（ｄ）に基づいて例示的に説明する。

尚、データの書き込み又は消去が浮遊ゲートへの電子の注入と浮遊ゲートからの電子の引き抜きの何れに対応するのかは定義上の問題に過ぎない。

（１）メモリセルの閾値を高い値にする方法

対象となるメモリセル（メモリトランジスタ）Mk のアドレスを指定した後、ビット線ＢＬ′及び選択トランジスタT_{r1}のゲート（ゲート選択線Ｗ′）を電源電圧よりも高い電位を印加する。同時に、メモリセルMk の制御ゲート（ワード線Ｗk ）も電源電圧よりも高い電位を印加する。例えば、電源電圧が５Ｖの場合、

ビット線ＢＬ′を７Ｖ、ゲート選択線W′を７Ｖ、ワード線Wk を６Ｖにする。すると、メモリセルMk の浮遊ゲートからドレイン電極に向かって高電界が発生するので、電子が浮遊ゲートに注入される。この結果、メモリセルMk の閾値は高い値、即ち、“０”データ状態となる。

（２）メモリセルの閾値を低い値にする方法

対象となるメモリセルMk のアドレスを指定した後、ビット線ＢＬ′及び選択トランジスタT_{r1}のゲート（ゲート選択線W′）に電源電圧程度の電圧を印加する。更に、メモリセルMk の制御ゲート（ワード線Wk ）を負の電圧を印加する。例えば、電源電圧が５Ｖの場合、ビット線ＢＬ′を５Ｖ、ゲート選択線W′を５Ｖ、ワード線Wk を－１０Ｖにする。すると、メモリセルMk のドレイン電極から浮遊ゲートに向かって高電界が発生するので、電子が浮遊ゲートから引き抜かれる。この結果、メモリセルMk の閾値は低い値、即ち、“１”データ状態となる。

（３）メモリセルの閾値の高低を読み出す方法

この方法は、浮遊ゲート型不揮発性メモリセルに蓄積されたデータの読み出し方法に相当する。

（Ａ）電流法

対象となるメモリセルMk をアドレス指定した後、先ず、選択トランジスタT_{r1}のゲート（ゲート選択線W′）に電源電圧程度の電位を印加して、選択トランジスタT_{r1}をオンにする。ビット線ＢＬ′に比較的低い正電圧、即ち、浮遊ゲートへのホットエレクトロンによる電子の注入を防ぐに足りる低い電圧（例えば電源電圧が５Ｖの場合は１～２Ｖ）を印加する。次に、“０”データ状態の電圧と“１”データ状態の電圧のほぼ中間の電圧をメモリセルMk の制御ゲート（ワード線Wk ）に印加する。この時、メモリセルMk の閾値が“１”データ状態の電圧ならばメモリセルMk がオンになるので、このメモリセルのドレイン電極からソース電極に向かってチャネル電流が流れる。他方、メモリセルMk の閾値が“０”データ状態の電圧ならばメモリセルMk がオンしないので、このメモリセル

にチャネル電流が流れることはない。上記のチャネル電流をビット線ＢＬ′を通じて電流検出型のセンスアンプ２で検出して出力することにより、メモリセルＭｋからデータを読み出すことができる。

（２）電圧法

対象となるメモリセルMk をアドレス指定した後、先ず、選択トランジスタT_{r1}のゲート（ゲート選択線W′）に電源電圧程度の電圧（例えば５Ｖ）を印加して、選択トランジスタT_{r1}をオンにする。図示しないプリチャージ回路により、ビット線ＢＬ′を充電してメモリセルMk のドレイン電極を正電位（例えば５Ｖ）にする。次に選択トランジスタT_{ra1}をオフにして、メモリセルMk をビット線ＢＬ′から切り離す。更に、図示しないプリチャージ回路により、ビット線ＢＬ′に印加する電圧を電源電圧のほぼ半分（例えば２．５Ｖ）にする。次に、“０”データ状態の電圧と“１”データ状態の電圧のほぼ中間の電圧をメモリセルMk の制御ゲート（ワード線Wk ）に印加する。この時、メモリセルMk の閾値が“１”データ状態の電圧ならばメモリセルMk がオンになるので、メモリセルMk のドレイン電極の電位は低下する。他方、メモリセルMk の閾値が“０”データ状態の電圧ならばメモリセルMk がオフのままならば、メモリセルMk のドレイン電極の電位は低下しない。次に、ワード線Wk を接地して、選択トランジスタT_{r1}のゲート（ゲート選択線W′）に電源電圧程度の電圧（例えば５Ｖ）を印加して、選択トランジスタT_{r1}をオンにすることで、メモリセルMk のドレイン電極とビット線ＢＬ′を接続し、ビット線ＢＬ′の電位を変化させる。このビット線ＢＬ′の電位の変化を、電圧検出型のセンスアンプ２により検出すれば、データを読み出すことができる。

（３）他の電圧法

対象となるメモリセルMk をアドレス指定した後、先ず、図示しないプリチャージ回路により、ビット線ＢＬ′を充電して電源電圧の約半分（例えば２．５Ｖ）の電位にする。次に選択トランジスタT_{r1}のゲート（ゲート選択線W′）に電源電圧程度の電圧（例えば５Ｖ）を印加して、選択トランジスタT_{r1}をオンにして、

メモリセルMk のドレイン電極も充電する。その後、選択トランジスタをオフにして、メモリセルMk のドレイン電極をビット線ＢＬ′から切り離す。次に、“0”データ状態の電圧と“1”データ状態の電圧のほぼ中間の電圧をメモリセルMk の制御ゲート（ワード線Wk ）に印加する。この時、メモリセルMk の閾値が“1”データ状態の電圧ならばメモリセルMk がオンになるので、メモリセルMk のドレイン電極の電位は低下する。他方、メモリセルMk の閾値が“0”データ状態の電圧ならばメモリセルMk がオフのままならば、メモリセルMk のドレイン電極の電位は低下しない。以後は、（2）の電圧法と同様に、ワード線Wkを接地して、選択トランジスタT_{r1}のゲート（ゲート選択線W′）に電源電圧程度の電圧（例えば５Ｖ）を印加して、選択トランジスタT_{r1}をオンにすることで、メモリセルMk のドレイン電極とビット線ＢＬ′を接続し、ビット線ＢＬ′の電位を変化させる。このビット線ＢＬ′の電位の変化を、電圧検出型のセンスアンプ２により検出すれば、データを読み出すことができる。

尚、本発明に係る結合型不揮発性メモリセルは、浮遊ゲート型不揮発性メモリセル部分を有するので、従来の電流法を用いて、浮遊ゲート型不揮発性メモリセル部分を読み出すことができることは上記の通りであるが、電流法に用いるセンスアンプ２は電流検出型センスアンプである。一方、結合型不揮発性メモリセルが有するＤＲＡＭセル部分の読み出し及びリフレッシュに用いるセンスアンプ２は一般には電圧検出型センスアンプである。それ故、電流法を用いて浮遊ゲート型不揮発性メモリセル部分を読み出すと、本発明に係る結合型不揮発性メモリセルに２種類のセンスアンプを設けねばならず不合理である。そこで、浮遊ゲート型不揮発性メモリセル部分の読み出しも電圧法で行うこととし、ＤＲＡＭセル部分とセンスアンプを共通にするのが好適である。

次に、２種類のセルが結合した本発明に係る結合型不揮発性メモリセルの動作について説明する。

ＤＲＡＭセル部分におけるデータの書き込み・消去、読み出し及びリフレッシュは、ワード線Wk を接地し、浮遊ゲート型不揮発性メモリセルMk を非導通状

態にすることで可能となる。これにより、ＤＲＡＭセル部分をデータの一時記憶手段として用いることができる。

ＤＲＡＭセル部分から浮遊ゲート型不揮発性メモリセル部分へのデータの転送は、次のように行われる。容量素子C_0*が充電されている場合には、データの転送が可能であり、その態様は次の２つに分けられる。

（Ａ）メモリセルMk の閾値が低い値の場合、転送の必要はない。

（Ｂ）メモリセルMk の閾値が高い値の場合、選択トランジスタT_{r1}をオンにして、ワード線Wk に負の電圧を印加するか、交流パルス法を適用して、メモリセルMk の閾値を低い値にする。すると、メモリセルMk がオンしてチャネル電流が流れるので、メモリセルMk のドレイン電極を経由して容量素子C_0*の電荷が放出される。この結果、容量素子C_0*の充電状態とメモリセルMk の低い閾値とが対応するデータの転送が実現する。

容量素子C_0*が充電されていない場合には、次の２つの態様に分けられ、データの転送ができない場合がある。

（Ｃ）メモリセルMk の閾値が低い値の場合、転送はできない。

（Ｄ）メモリセルMk の閾値が高い値の場合、転送の必要はない。

浮遊ゲート型不揮発性メモリセル部分からＤＲＡＭセル部分へのデータの転送は、次のように行われる。先ず、容量素子C_0*を充電する。即ち、ワード線Wk を接地してメモリセルMk を非導通状態にした後、ビット線ＢＬ′に高電圧を印加するとともに選択トランジスタT_{r1}をオンにすることで、容量素子C_0*を充電する。次に、選択トランジスタT_{r1}をオフにして、メモリセルMk の制御ゲート（ワード線Wk ）に、メモリセルMk の高い方の閾値と低い方の閾値との中間の電圧を印加する。すると、メモリセルMk の閾値が高ければチャネル電流は流れないが、逆の場合にはチャネル電流が流れて容量素子の電荷が放電される。この結果、メモリセルMk の閾値の高低と容量素子C_0*の充放電状態が対応するデータの転送（正確には複写）が実現する。

図２に示した本発明に係る結合型不揮発性メモリセルにおけるリフレッシュ動

作と交流パルス法の適用との好ましい関係について、図３に示すタイムチャートに基づき説明する。

結合型不揮発性メモリセルのＤＲＡＭセル部分では、電荷のリークによってデータの劣化が生ずる。このため、既述のようにリフレッシュを行う。即ち、対象となるメモリセルMk のアドレスを指定後、先ずビット線ＢＬ′を、データの蓄積の有無に対応するＤＲＡＭセルの高い閾値と低い閾値の中間の電位にする。次にワード線W′（ゲート選択線$ＳＴ_1$）を High にして選択トランジスタ$Ｔ_{r1}$をオンにする（図３（ｂ））。すると、記憶ノードＮとビット線ＢＬ′とが接続し、ビット線ＢＬ′の電位が変化する。このビット線ＢＬ′の電位の変化を、電圧検出型のセンスアンプ２により検出し、フルスウィングのHighレベル又は Low レベルにまで、このビット線ＢＬ′の電位を増幅することによりリフレッシュを行う（図３（ａ））。

一方、データの転送を行う場合（上記（Ａ））や浮遊ゲート型不揮発性メモリセルMk の閾値の調整を行う場合に交流パルス法を適用する為にメモリセルMk の制御ゲート（ワード線Wk ）に交流電圧を印加する。この場合、選択トランジスタ$Ｔ_{r1}$がオフであり、且つ容量素子$Ｃ_0$*が十分充電されメモリセルMk のドレイン電圧が十分高いことが必要である。しかし、振動周期を有するパルス信号の有限数個からなる交流電圧を一度に制御ゲートに印加すると、その期間中にも容量素子$Ｃ_0$*から電荷がリークが起こっているので、交流パルス法の効果は経時的に低下して行き、この方法の持つ利点を十分発揮できない。そこで、リフレッシュ動作の間の期間、即ち容量素子$Ｃ_0$*の電荷保持期間中に、例えば１パルスずつパルス信号をメモリセルMk の制御ゲートに印加して行くようにして、複数回のリフレッシュ動作後に交流電圧の制御ゲートへの印加を完了するようにする（図３（ｃ））。具体的には、６個のパルスからなる交流電圧を制御ゲートへの印加する交流パルス法を適用する場合、第１回目のリフレッシュの完了直後に第１パルスを印加し、第２回目のリフレッシュの完了直後に第２パルスを印加する。これを第６パルスの印加まで繰り返す。これにより、メモリセルMk のドレイン電

圧が常に十分高い条件のもとで交流パルス法を実行できるので、メモリセルMkの閾値の調整、即ち期待値へのばらつきのない収束、データの消去（又は書き込み）、ＤＲＡＭセル部分からメモリセルMk へのデータの転送を適正に、且つ精度良く行うことができる。

尚、リフレッシュの間にメモリセルMk の制御ゲートに印加するパルスの数は１個に限定されず、パルス幅が狭い２個以上のパルスを印加しても構わない。

又、リフレッシュ動作と交流電圧の制御ゲートへの印加が重なると、メモリセルMk のドレイン電圧が十分大きな値にならない内にメモリセルMk の浮遊ゲートから電子の引き抜きが行われてしまい、閾値がばらついてしまう。それ故、図３（ｂ）と図３（ｃ）との比較からも明らかなように、ワード線W′がLow レベルであって、選択トランジスタT_{r1}がオフであるときにのみ、ワード線Wk にパルス信号が印加される。

結合型不揮発性メモリセルにおいて、例えば、副ビット線が拡散層で形成されている場合、容量素子C_0*からのリーク電流の為に副ビット線を長時間にわたり高い電位に保持するのが困難なこともある。その場合、パルス幅が短く（例えば５μ秒）、パルス数が少ない（例えば３周期分のパルス）をワード線Wk に加えるとともに、容量素子C_0*のリフレッシュ動作を交互に繰り返すとよい。この場合、リフレッシュ動作の回数は任意の回数行うことができるが、５０回程度行えばよい。

次に、本発明に係る不揮発性記憶装置の他の実施例について、図４に基づき説明する。

図４（ａ）はその不揮発性記憶装置の要部を示す。同図（ａ）において、1_{11}～1_{nn}は省略して描かれた構成単位であり、マトリック状に配列してメモリアレイを構成する。ST_{11}～ST_{n1}，ST_{12}～ST_{n2}はゲート選択線である。ゲート選択線（ST_{11}，ST_{12}），（ST_{21}，ST_{22}）…（ST_{n1}，ST_{n2}）及び省略して描いたワード線W_1，W_2 …W_n は、構成単位（1_{11}，1_{12}…1_{1n}），（1_{21}，1_{22}…1_{2n}）…（1_{n1}，1_{n2}…1_{nn}）でそれぞれ共通である。BL_{a1}～ＢＬ

$_{an}$，ＢＬ$_{b1}$～ＢＬ$_{bn}$は主ビット線である。２はセンスアンプであり、３はデコーダ回路やアドレスバッファ回路、アドレス選択回路等が集積された周辺回路である。４はプリチャージ回路、５は制御回路である。６は交流パルス信号発生回路であり、周辺回路３に内蔵されている。

主ビット線ＢＬ$_{a1}$～ＢＬ$_{an}$，ＢＬ$_{b1}$～ＢＬ$_{bn}$は、プリチャージ回路４及びセンスアンプ２に接続され、ゲート選択線ＳＴ$_{11}$～ＳＴ$_{n1}$，ＳＴ$_{12}$～ＳＴ$_{n2}$は周辺回路３に接続されている。ワード線Ｗ$_1$～Ｗ$_n$は交流パルス信号発生回路６に接続されている。ＩＣは、上記のメモリアレイ、センスアンプ２、周辺回路３、プリチャージ回路４等が集積された集積回路装置である。制御回路５はセンスアンプ２、周辺回路３、周辺回路に内蔵されている交流パルス信号発生回路６、プリチャージ回路４等の動作、例えばデータの書き込み・消去、読み出し、リフレッシュの動作或いは交流パルス法の適用や結合型不揮発性メモリセルにおけるデータの転送等に係わる一連の動作を制御している。この制御回路５は、機能別に物理的に分割された複数の回路であっても構わないし、ＩＣ上に集積されても、ＩＣ系外に配置しても構わない。交流パルス信号発生回路６は、交流パルスの発生条件、即ちパルスの個数、形状、周期、振幅、パルス幅等を任意に調整することができ、この調整は、ＩＣ系外の操作や制御回路６による制御により適宜行うことができる。勿論、交流パルスの発生条件を予め固定しておくことも当然可能である。

図４（ａ）のメモリアレイを構成する構成単位１$_{11}$は、同図（ｂ）に示すように、２つの部分から構成される。第１の部分は、主ビット線ＢＬ$_{a1}$と、副ビット線ＢＬ$_{sa1}$と、主ビット線ＢＬ$_{a1}$に接続して副ビット線ＢＬ$_{sa1}$を選択する選択トランジスタＴ$_{ra1}$と、副ビット線ＢＬ$_{sa1}$に並列に接続する不揮発性メモリセルＭ$_{a1}$～Ｍ$_{an}$とを有する。第２の部分は、主ビット線ＢＬ$_{b1}$と、副ビット線ＢＬ$_{sb1}$と、主ビット線ＢＬ$_{b1}$に接続して副ビット線ＢＬ$_{sb1}$を選択する選択トランジスタＴ$_{rb1}$と、副ビット線ＢＬ$_{sb1}$に並列に接続する不揮発性メモリセルＭ$_{b1}$～Ｍ$_{bn}$とを有する。不揮発性メモリセルＭ$_{a1}$～Ｍ$_{an}$及びＭ$_{b1}$～Ｍ$_{bn}$のソースはそ

れぞれ共通のグランド線ＧＬａ及びＧＬｂに接続している。又、不揮発性メモリセルのうちM_{a1}とM_{b1}，M_{a2}とM_{b2}，…M_{an}とM_{bn}の制御ゲートはそれぞれ共通のワード線W_1，W_2…W_nに接続している。ワード線W_1～W_nには、交流パルス法を適用するための交流電圧が交流パルス信号発生回路６から供給される。選択トランジスタT_{ra1}，T_{rb1}のゲートは、ゲート選択線ST_{12}，ST_{11}にそれぞれ接続している。この実施例におけるプリチャージ回路４は、主ビット線BL_{a1}～BL_{an}，BL_{b1}～BL_{bn}を介して、選択された副ビット線BL_{sa1}～BL_{san}，BL_{sb1}～BL_{sbn}を充電する。

図５（ｂ）は構成単位1_{11}の等価回路である。この図と図２（ｃ）との対比から明らかなように、ゲート選択線ST_{12}，ST_{11}をワード線Ｗ′と見做せば、構成単位1_{11}は、１対のＤＲＡＭセル、即ちキャパシタC_{a1}及び選択トランジスタT_{ra1}とで構成される第１のＤＲＡＭ型の記憶素子と、キャパシタC_{b1}及び選択トランジスタT_{rb1}とで構成される第２のＤＲＡＭ型の記憶素子と、により構成される斬新なものとなる。それ故、図４（ａ）に示す不揮発性記憶装置は、ＤＲＡＭとして独立に機能させることができる。

図５（ｂ）は構成単位1_{11}の他の等価回路である。この図と図２（ｄ）との対比から明らかなように、ゲート選択線ST_{12}，ST_{11}をワード線Ｗ′と見做すならば、構成単位1_{11}は、トランジスタT_{ra1}とキャパシタC_{a1}で構成される記憶素子と、この記憶素子の記憶ノードN_{ak}に電気的に接続する浮遊ゲート型不揮発性メモリセルM_{ak}とを備える第１の結合型不揮発性メモリセルと、トランジスタT_{rb1}とキャパシタC_{b1}で構成される記憶素子と、この記憶素子の記憶ノードN_{bk}に電気的に接続する浮遊ゲート型不揮発性メモリセルM_{bk}とを備える第２の結合型不揮発性メモリセルとにより構成される斬新なものとなる。それ故、図４（ａ）に示す不揮発性記憶装置は、ＤＲＡＭ機能を内蔵する不揮発性記憶装置として機能させることができる。従って、このＤＲＡＭ機能を不揮発性メモリセルへの書き込みデータの一時的記憶に利用することにより、より構造が簡単で小型、しかもデータの書き込み時間を短縮できる。又、この装置においては、既に存在

するＤＲＡＭの容量素子をそのまま用いて交流パルス法を適用することができるので、併せてメモリセルの閾値電圧の高精度な制御を簡易且つ汎用的に行うことができ、消去（又は書き込み）に要する時間を大幅に短縮することができる。特に、任意のワード線W_kに共通に接続するメモリセル、即ち基本構造1_{kj}（j＝1，2…n）内のメモリセルM_{ak}，M_{bk}は交流パルス法を用いて共通の期待値への閾値の調整を一括して行うことができるので、不揮発性記憶装置自体の高速化、信頼性の高い動作を実現することができる。

次に、本発明に係る不揮発性記憶装置の他の実施例について、図６に基づき説明する。図６において、図４と共通する符号で示された構成要素は、図４におけるその構成要素と機能的に同じであるので、原則としてそれらについて再度説明を繰り返さない。

図６には、２つの隣接する構成単位１ａ，１ｂが示されている。これらが複数規則配列することで、不揮発性記憶装置が構成されている。構成単位１ａは、選択トランジスタT_{ra1}と、この選択トランジスタを介して主ビット線BL_{a1}と接続する副ビット線BL_{sa1}と、この副ビット線に互いに並列に接続する不揮発性メモリセルM_{a1}，M_{a2}…及び容量素子C_{c1}とを有する。構成単位１ｂは、点線で示すように、選択トランジスタT_{rb1}と、この選択トランジスタを介して主ビット線BL_{b1}と接続する副ビット線BL_{sb1}と、この副ビット線に互いに並列に接続する不揮発性メモリセルM_{b1}，M_{b2}…及び容量素子C_{d1}とを有する。双方の構成単位は、選択トランジスタT_{rs1}を介してソース電位源（図示せず）に接続するソース線S_1を共有する。即ち、不揮発性メモリセル（M_{a1}，M_{a2}…），（M_{b1}，M_{b2}…）のソース及び容量素子C_{c1}，C_{d1}が共通のソース線S_1に接続している。不揮発性メモリセルのうちM_{a1}とM_{b1}，M_{a2}とM_{b2}…の制御ゲートはそれぞれ共通のワード線W_1，W_2…に接続している。ワード線W_1，W_2…には、交流パルス発生回路６から交流パルス法を適用するための交流電圧が印加される。主ビット線BL_{a1}，BL_{b1}はセンスアンプ２及びプリチャージ回路４に電気的に接続している。ST_{11}，ST_{12}は、それぞれ選択トランジスタT_{ra1}，T_{rb1}の

ゲートに接続するゲート選択線であるが、隣接する同種の構成単位間で共有しても構わない。例えば、図6において、構成単位1a の左隣に別の構成単位1a （図示せず）が配置して、構成単位1b の右隣に別の構成単位（図示せず）が配置している場合、構成単位1a 又は構成単位1b 同志で選択トランジスタをT_{ra1}又はT_{rb1} ひいてはゲート選択線ST_{11}又はST_{12}を共有することができる。即ち、ゲートを共通とする複数の選択トランジスタは一体として制御し得る。SL_1は選択トランジスタT_{rs1}のゲートに接続するソース選択線であり、この選択トランジスタを介して、接地又は仮想接地する。

この実施例におけるプリチャージ回路4は、主ビット線BL_{a1}～BL_{an}, BL_{b1}～BL_{bn}を介して、選択された副ビット線BL_{sa1}～BL_{san}, BL_{sb1}～BL_{sbn}を充電する。制御回路5はセンスアンプ2、周辺回路3、周辺回路に内蔵されている交流パルス信号発生回路6、プリチャージ回路4等の動作、例えばデータの書き込み・消去、読み出し、リフレッシュの動作或いは交流パルス法の適用、結合型不揮発性メモリセルにおけるデータの転送等に係わる一連の動作を制御している。

図6から明らかなように、容量素子の接地端子と浮遊ゲート型不揮発性メモリセルのソース電極が共通のソース線S_1に接続している点に相違はあるものの、構成単位1a 及び1b は、図4（c）に示すDRAM型の記憶素子と図5（b）に示す結合型不揮発性メモリセルで構成される斬新なものとなる。それ故、図6に示す不揮発性記憶装置は、DRAMとして独立に機能させることができる。又、図6に示す不揮発性記憶装置は、DRAM機能を内蔵する不揮発性記憶装置としても機能させることができる。従って、このDRAM機能を不揮発性メモリセルへの書き込みデータの一時的記憶に利用することにより、より構造が簡単で小型、しかもデータの書き込み時間を短縮できる。又、この装置においては、既に存在するDRAMの容量素子をそのまま用いて交流パルス法を適用することができるという点で、図4（a）に示す実施例と同様な長所がある。

その一方で、図6に示す実施例は、容量素子C_{c1}, C_{d1}が付加されて、容量素

子C_{a1}，C_{b1}に包含されている点に特徴的である。このような実施例は、選択トランジスタT_{ra1}，T_{rb1}と副ビット線BL_{sa1}，BL_{sb1}との寄生容量が小さい場合に適している。特に、集積度が向上すると、配線やそれに電気的に接続する部分の寄生容量が小さくなる。この結果ビット線のプリチャージが不十分となり、本発明の基礎となる閾値の調整が困難になる。又、寄生容量C_0が小さくビット線のプリチャージが困難になると、データの読み出しやリフレッシュが困難になる。このような場合にも、キャパシタC_{c1}，C_{d1}を付加する必要がある。

無論、図5（a），（b）では、同様にキャパシタC_{a1}，C_{b1}を補うことによってビット線のプリチャージ電圧を補う。

交流パルス法をより効果的に適応する為に、C_0及びC_0*の値が次の①及び②の値を満足している必要がある。

①（1つの不揮発性メモリの浮遊ゲートの容量）≪（副ビット線とソース線間のキャパシタンス）、且つ、

②（フローティング状態の副ビット線の漏れ電流とそのキャパシタンスで決まる時定数）≫（ワード線に印加されるパルス幅）

しかも、交流パルス法が適用され、メモリトランジスタの制御ゲートに交流電圧が印加されている場合には、この交流電圧を印加している間に生ずるビット線の電位降下が5％以内であることが望ましい。

経験的に言うと、上記の①と②の条件を満足する容量素子C_0及びC_0*は100～300fFである。この意味から、ビット線及びこれに電気的に接続する部分が有する寄生容量がこの値よりも大きい容量である場合には、補助容量素子C_1，C_2を設ける必要はないと言ってよい。

次に、図6に示す実施例に対して交流パルス法を適用してデータの書き込み・消去を行う場合について説明する。

先ず、閾値電圧が7V以上ある不揮発性メモリセルM_{a1}を対象として動作の説明をする。閾値電圧を高い値にするには、浮遊ゲートに電子が注入される電界分布条件を実現すればよい。例えば、不揮発性メモリセルM_{a1}に係るメモリトラン

ジスタの制御ゲートを８Ｖ、ソース電圧を０Ｖ、ドレイン電圧を６Ｖにして、ソース電極とドレイン電極との間にチャネル電流を流す。すると、このチャネル電流を流すことで、ホットエレクトロンを浮遊ゲートに注入することができる。それ故、メモリセルの閾値を増加させることができる。その為のメモリセルM_{a2}, M_{b1}, M_{b2}の閾値電圧も同様な操作で高い値にすることができる。

副ビット線BL_{sa1}及びBL_{sa2}の電位をそれぞれ５Ｖ及び接地電位にし、ソース線S_1を接地電位にする。次いで、選択トランジスタT_{ra1}をオンにして、副ビット線BL_{sa1}をフローティング状態にする。これにより副ビット線BL_{sa1}及びこれに電気的に接続する不揮発性メモリセルM_{a1}, M_{a2}, …のドレイン領域が有する寄生容量及び別に付加した容量素子C_{c1}の総和である容量素子C_{a1}を充電する。続いて、ワード線W_2を接地電位とし、ワード線W_1、従って不揮発性メモリセルM_{a1}の制御ゲートに、図７（ｃ）に示すような５Ｖと－１０Ｖとの間で振動するパルス信号を印加する。このパルス信号は、５Ｖ（パルス幅が２０μ秒），－１０Ｖ（パルス幅が１０μ秒），５Ｖ（パルス幅が２０μ秒），－１０Ｖ（パルス幅が１０μ秒）……の順に正負の電圧を繰り返すものである。不揮発性メモリセルM_{a1}の制御ゲートに負（－１０Ｖ）のパルスを繰り返し印加すると、浮遊ゲートとドレイン間にトンネル電流が少しずつ流れて、閾値が十分に低い期待値にまで収束した時点で、ソース・ドレイン間にチャネル電流が流れる。このチャネル電流により、メモリセルのドレイン電圧（副ビット線BL_{sa1}の電位）が、閾値の期待値に対応するレベルにまで低下し、浮遊ゲートとドレイン電極との間にトンネル電流は流れなくなる。それ故、不揮発性メモリM_{a1}の閾値は低い値になり、不揮発性メモリM_{b1}の閾値は高い値のままで変わらない。閾値が低い値である状態がデータが書き込まれた状態（又は消去された状態）である。他の不揮発性メモリセルM_{a2}では、副ビット線BL_{sa2}が接地電位であるため、浮遊ゲートとドレイン電極との間にトンネル電流は流れない。不揮発性メモリセルM_{b1}, M_{b2}では、ワード線W_2が接地電位であるので、浮遊ゲートの電位は変化せず、やはり浮遊ゲートとドレイン電極との間にトンネル電流は流れない。そ

れ故、不揮発性メモリセルM_{a1}のみに対してデータの書き込み又は消去を行うことができる。

上記と同じ操作を他の不揮発性メモリセルM_{a2}, M_{b1}, M_{b2}, …に適用すれば、任意のメモリセルへの書き込み・消去が可能になる。

閾値電圧が２Ｖと低い不揮発性メモリM_{a1}を対象として動作を説明する。

先ず、閾値電圧が高い場合と同様に、副ビット線BL_{sa1}及びBL_{sb1}の電位をそれぞれ５Ｖ及び接地電位にして、ソース線S_1の電位を接地電位とする。次いで、選択トランジスタT_{ra1}をオンにして、副ビット線BL_{sa1}をフローティング状態にする。この結果キャパシタC_{a1}は充電される。続いて、ワード線W_2は接地電位とし、ワード線W_1に４Ｖと－１０Ｖとの間で振動するパルス信号を印加する。このパルス信号は、４Ｖ（パルス幅が２０μ秒），－１０Ｖ（パルス幅が１０μ秒），４Ｖ（パルス幅が２０μ秒），－１０Ｖ（パルス幅が１０μ秒）…の順に正負電圧を繰り返すものである。閾値の低い不揮発性メモリM_{a1}に、最初に正（４Ｖ）の電圧を印加すると、その直後にソース電極とドレイン電極との間にチャネル電流が流れ、ドレイン電圧が十分低下してしまう。それ故、以後負の電圧（－１０Ｖ）を印加しても、浮遊ゲートとドレイン電極との間にトンネル電流は流れなくなる。このように、正の電圧を最初に印加すれば、既に低い閾値を有する不揮発性メモリの浮遊ゲートから電荷を引き抜き過ぎることがないので、過消去状態が発生することはない。特に閾値の異なる複数の不揮発性メモリセルを同時に消去した場合であっても、正の電圧を最初に印加すれば、特定のメモリセルだけ過消去状態になることはない。

尚、他の不揮発性メモリセルM_{a2}, M_{b1}, M_{b2}, …は、浮遊ゲートとドレイン電極との間にトンネル電流が流れる条件にない。

従って、交流パルス法によれば、消去前に書き込みを行うことで閾値を揃えるという従来の煩雑な手法を採用する必要はなく、簡易で汎用的な不揮発性メモリセルの消去（又は書き込み）を行うことができる。特に、交流パルス法を適用する場合、ドレイン電極の高電位化のための容量素子が必要になるが、本発明に係

る結合型不揮発性メモリセル及びこれを内蔵する不揮発性記憶装置によれば、それ自体が内蔵する配線容量をその容量素子として用いているので、装置を徒に複雑にすることなく、そのまま交流パルス法を適用することができるという大きな長所がある。

次に、結合型不揮発性メモリセルからなる不揮発性記憶装置の動作について説明をする。

以下の説明では、任意の構成単位1_{ij}（i＝1，2，…m；j＝1，2，…n）が1個のＤＲＡＭセル部分C_{0*kij}と1個の浮遊ゲート型不揮発性メモリセルM_{kij}から構成される1個の結合型不揮発性メモリセルからなるものとする。ここでk＝1，2…lとする。構成単位1_{1j}，1_{2j}，…1_{nj}は、ビット線BL_jを共有し、構成単位1_{i1}，1_{i2}，…1_{im}は、ワード線W_iを共有するものとする。不揮発性記憶装置の動作の各ステップの詳細は、記述の夫々の対応箇所を参照するものとする。

構成単位1_{ij}の初期状態は、C_{0*kij}が放電状態及びM_{kij}の閾値が高い値の状態としておく。M_{kij}が高い値の状態は、交流パルス法によりM_{kij}の閾値を一旦低い値に調整した後、M_{kij}の浮遊ゲートに電子を注入することにより実現する。この操作は、共通のワード線W_iに接続するm個のセル（M_{k1j}，M_{k2j}，…M_{kmj}）に対して一括して行うことができる。

先ず、外部からC_{0*kij}に書込みを行う。書き込みの結果、C_{0*kij}が充電されたならば、交流パルス法により転送してM_{ij}の閾値を低い値にする。C_{0*kij}が充電されたならば、M_{kij}の閾値は高い値のままでよい。次に、外部から$C_{0*(k+1)ij}$に書き込みを行う。書き込みの結果、$C_{0*(k+1)ij}$が充電されたならば、交流パルス法により転送して$M_{(k+1)ij}$の閾値を低い値にする。$C_{0*(k+1)ij}$が充電されたならば、$M_{(k+1)ij}$の閾値は高い値のままでよい。

この操作を構成単位1_{ij}内で繰り返し、1個のセル（M_{1ij}，M_{2ij}，…M_{lij}）に対して書き込みを行う。このようにM_{kij}に書き込むべき情報を、C_{0*kij}に一旦蓄積した後に転送という形式で行うので、書き込みの高速化を実現できる。

特に、以上の操作は、ビット操作は、ビット線を共有するｎ個の構成単位群（l_{1j}, l_{2j}, …l_{nj}）に対して、又、ワード線を共通するｍ個の構成単位群（l_{i1}, l_{i2}, …l_{im}）に対して、同時に行うことができるので、書き込みを全体として更に高速化することができる。

ＤＲＡＭセル部分又は浮遊ゲート型不揮発性メモリセル部分のデータの消去は、ワード線を共有するｍ個の構成単位群（l_{1i}, l_{2i}, …l_{im}）に対して、一括して行うことができる。浮遊ゲート型不揮発性メモリセル部分のデータの消去は交流パルス法によるので、簡易、高速且つ制御性が高く、高精度である。

無論、本発明に係る不揮発性記憶装置におけるビット線の構成は、上記の実施例に限定することなく、通常のＤＲＡＭと同様に種々の構成を採用することができる。代表的なものとして、フォールデッド・ビットライン（ Folded Bit Line）方式やプリチャージ・ビットライン（Precharge Bit Line）方式が挙げられる。

〔発明の効果〕

以上、本発明によれば、配線及びこれと電気的に接続する部分が形成する寄生容量を容量素子とする新しいＤＲＡＭ型記憶素子を提供することができる。又、本発明によれば、そのような新しいＤＲＡＭ型記憶素子と浮遊ゲート型不揮発性メモリセルとが結合して構成される新しい結合型不揮発性メモリセルを提供することができる。

本発明に係るＤＲＡＭ型記憶素子は、それを内蔵している本来の不揮発性記憶装置の動作とは独立に機能しうる。従って、本発明に係る結合型不揮発性メモリセルにおける浮遊ゲート型不揮発性メモリセル部分とＤＲＡＭセル部分とは独立に機能しうる。この為、本発明に係る結合型不揮発性メモリセルによれば、ＤＲＡＭセル部分にデータの一時的蓄積を行い、事後に浮遊ゲート不揮発性メモリセル部分に転送することができる。それ故、大量のデータを短時間に不揮発性メモリに転送させることができ、書き込み時間の短縮を図ることができる。又、不揮発性記憶装置の内部に一時記憶手段であるＤＲＡＭ型記憶素子が組み込まれているので、周辺回路の簡素化と小型化が可能になる。

本発明に係る結合型不揮発性メモリセル及びこれを内蔵する不揮発性記憶装置によれば交流パルス法を適用するに要する容量素子として、当該結合型不揮発性メモリセル及び不揮発性記憶装置それ自体が内蔵する主としてビット線が有する寄生容量を用いている。それ故、装置を徒に複雑にすることなく、そのまま交流パルス法を適用することができる。併せてメモリセルの閾値電圧の高精度な制御を簡易、汎用的且つ一括して行うことができ、消去（又は書き込み）に要する時間を大幅に短縮すると共に、信頼性の高い不揮発性記憶装置の動作を実現できる。特に、その容量素子に一時的に蓄積されるデータをリフレッシュする動作と浮遊ゲート型不揮発性メモリセル部分への交流パルス法の適用を交互に行えば、交流パルス法による閾値の調整を精度良く行うことができ、又、データの転送を適正化できる。

請　求　の　範　囲

1. トランジスタと、該トランジスタが電気的に接続する配線及び該配線に電気的に接続する部分が有する寄生容量で構成されるキャパシタとで構成されることを特徴とする記憶素子。

2. トランジスタとキャパシタで構成される記憶素子と、該記憶素子の記憶ノードに電気的に接続し、制御ゲート及び浮遊ゲートを備える不揮発性メモリセルと、を有することを特徴とする不揮発性メモリ。

3. 前記キャパシタは、配線及びそれに接続する部分が有する寄生容量で構成されることを特徴とする請求項2に記載の不揮発性メモリ。

4. 制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセルと、該不揮発性メモリセルが接続するビット線と、前記ビット線を選択する選択スイッチ素子と、前記ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子と、を有することを特徴とする不揮発性記憶装置。

5. 前記制御ゲートに交流電圧を印加する手段を有することを特徴とする請求項4に記載の不揮発性記憶装置。

6. 前記ビット線に複数の前記不揮発性メモリセルを接続することを特徴とする請求項5に記載の不揮発性記憶装置。

7. 不揮発性メモリセルの初期の閾値が4V以上であることを特徴とする請求項5に記載の不揮発性記憶装置。

8. 前記容量素子は、前記不揮発性メモリセルと並列に前記ビット線に接続する容量素子を備えることを特徴とする請求項4に記載の不揮発性記憶装置。

9. 主ビット線と、制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセルと、該不揮発性メモリセルが接続する副ビット線と、前記主ビット線と前記副ビット線とを接続する選択スイッチ素子と、前記副ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子と、前記選択スイッチ素子と前記容量素子とからなる記憶素子と、前記記憶素子に蓄積されたデータを前記不揮発性メモリセルに転送する転送手段と、を有することを特徴

とする不揮発性記憶装置。

10．前記容量素子に蓄積されたデータを維持するリフレッシュ手段を有することを特徴とする請求項９に記載の不揮発性記憶装置。

11．前記転送手段と前記リフレッシュ手段とを交互に動作させる制御手段を有することを特徴とする請求項１０に記載の不揮発性記憶装置。

12．制御ゲート及び浮遊ゲートを備える不揮発性メモリセルが接続するビット線を有する不揮発性記憶装置を用いた情報記憶方法において、

前記ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される記憶素子を用いてデータの記憶を行うステップを有する不揮発性記憶装置を用いたことを特徴とする情報記憶方法。

13．制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセルと、該不揮発性メモリセルが接続するビット線とを有する不揮発性記憶装置を用いた情報記憶方法において、

前記ビット線を予め正電位にして、前記ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子によるデータの蓄積を行うステップと、前記不揮発性メモリセルの制御ゲートの電位を変化させて、前記データを前記不揮発性メモリセルに転送するステップと、を有する不揮発性記憶装置を用いたことを特徴とする情報記憶方法。

14．制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセルと、該不揮発性メモリセルが接続するビット線とを有する不揮発性記憶装置を用いた情報記憶方法において、

前記制御ゲートに交流電圧を印加するステップと、前記ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子に蓄積されたデータを消去するステップと、を有する不揮発性記憶装置を用いたことを特徴とする情報記憶方法。

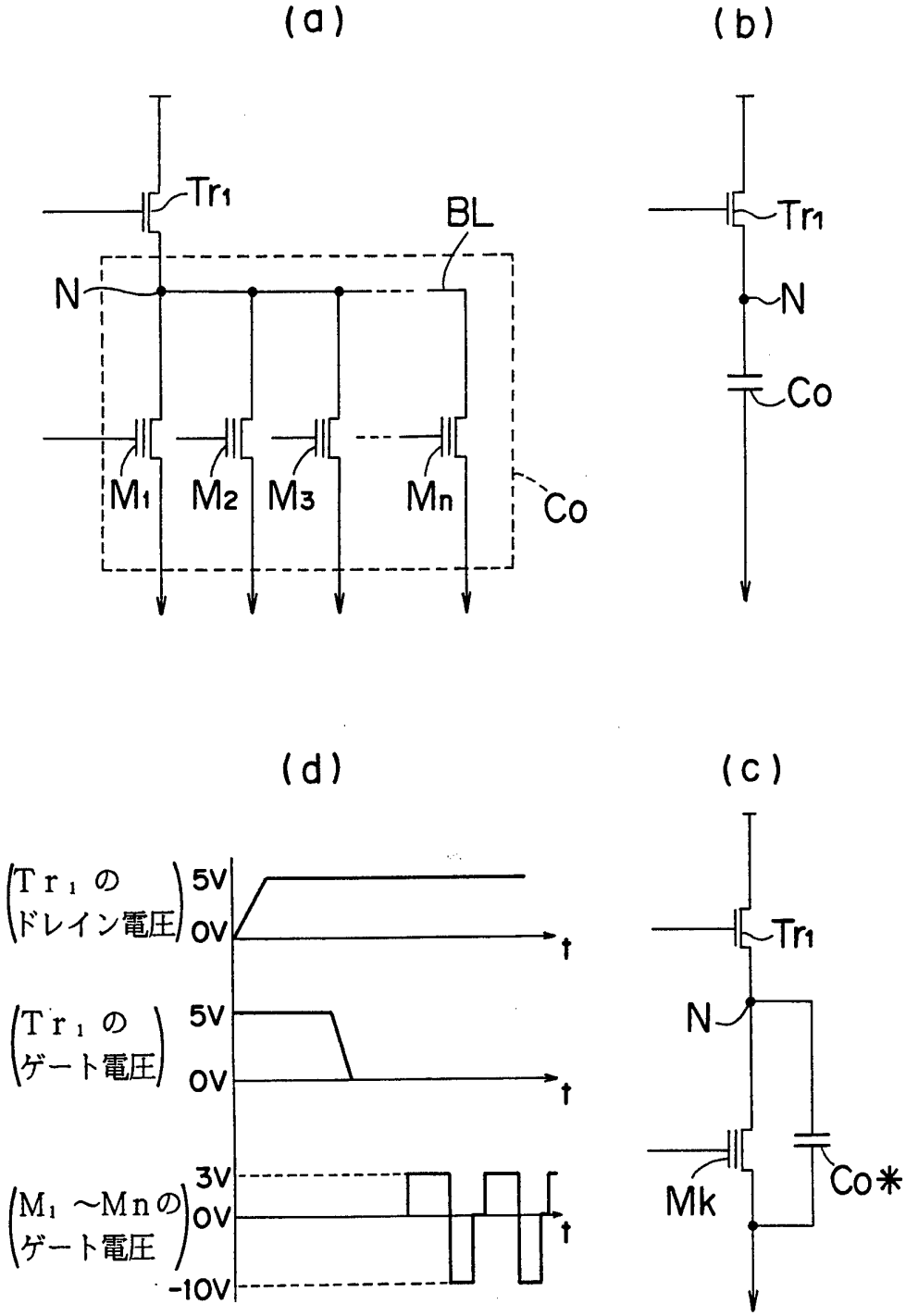
15．前記交流電圧の正のピーク電圧よりも不揮発性メモリセルの初期の閾値の方が大きいことを特徴とする請求項１４に記載の情報記憶方法。

16. 前記交流電圧の負のピーク電圧が－１０Ｖ以下であることを特徴とする請求項１４に記載の情報記憶方法。

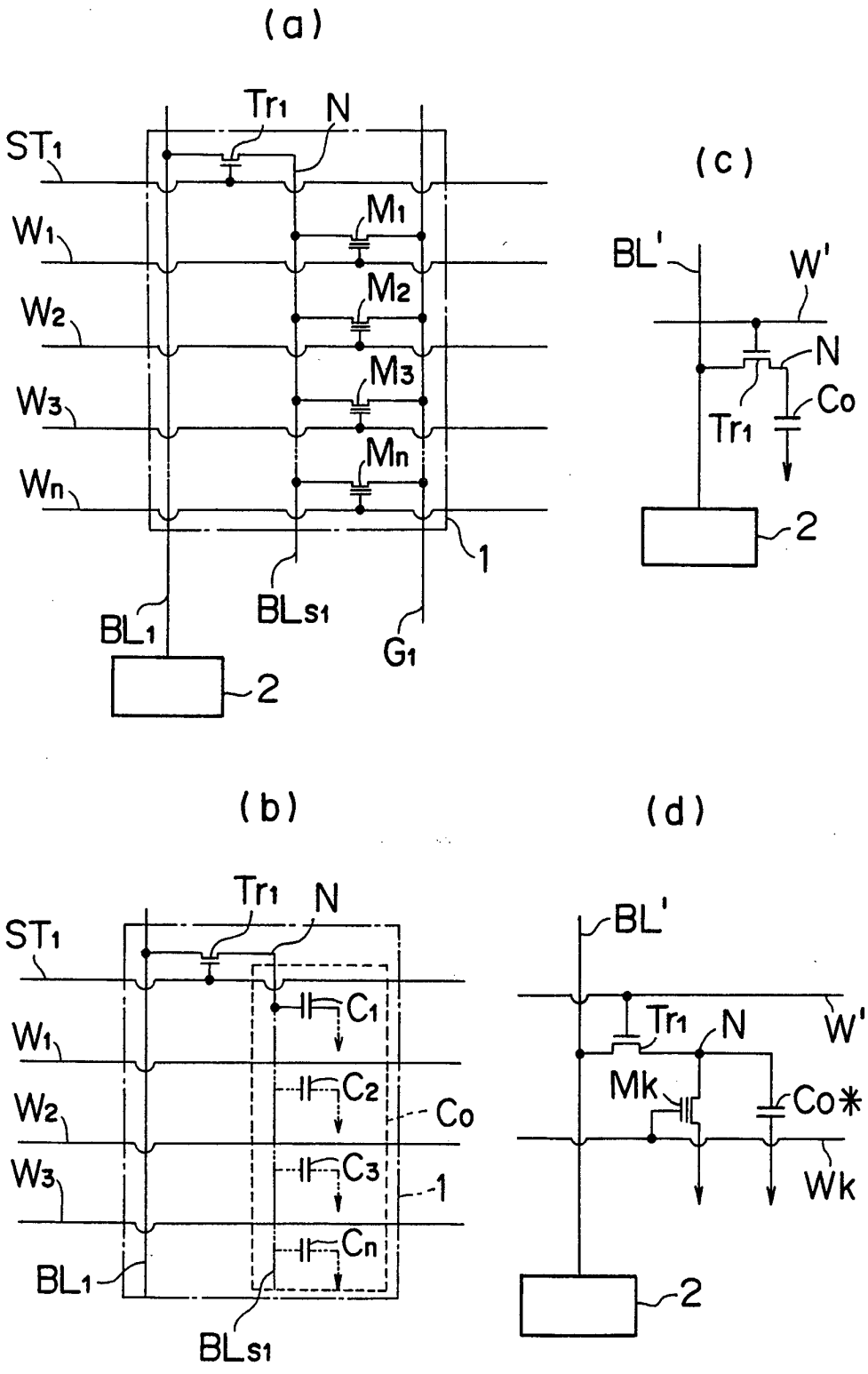
17. 制御ゲート及び浮遊ゲートを有するトランジスタを備える不揮発性メモリセルと、該不揮発性メモリセルが接続するビット線と、前記ビット線を選択する選択スイッチ素子とを有する不揮発性記憶装置を用いた情報記憶方法において、

前記ビット線及びこれに電気的に接続する部分が有する寄生容量で構成される容量素子に蓄積されたデータをリフレッシュする動作を、前記データを前記不揮発性メモリセルに転送する動作とを重複することなく交互に行うことを特徴とする情報記憶方法。

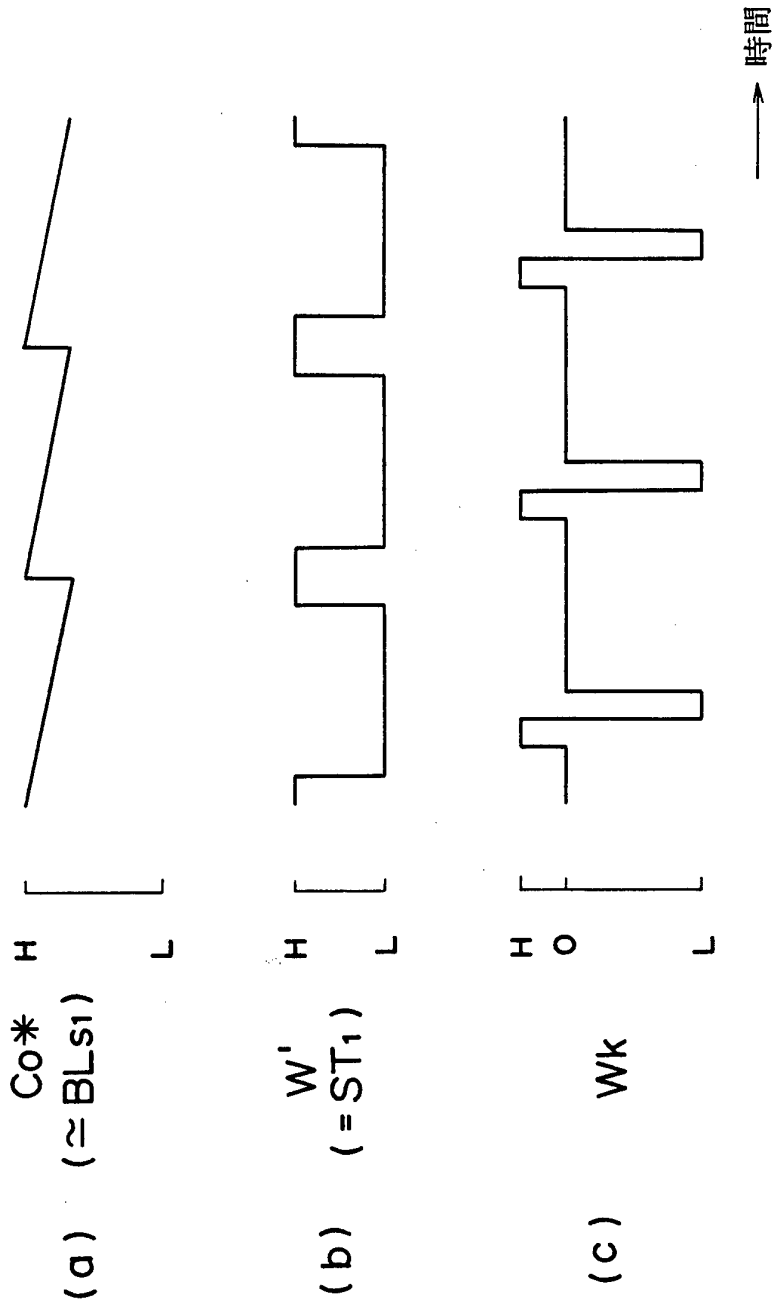
第 1 図


(a)
(b)
Tr1
BL
N
M1
M2
M3
Mn
Co
(d)
(c)
(Tr1 のドレイン電圧)
5V
0V
t
(Tr1 のゲート電圧)
5V
0V
t
(M1 ～Mnのゲート電圧)
3V
0V
-10V
t
Tr1
N
Mk
Co*

第 2 図

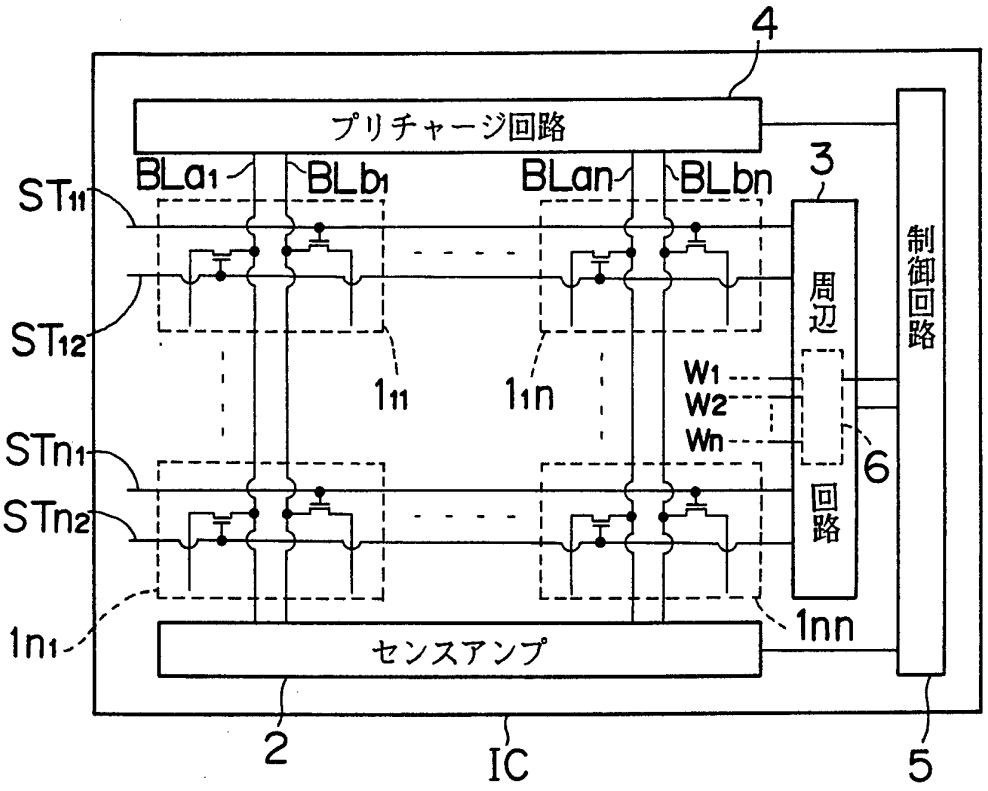

(a)
Tr1
N
ST1
W1
W2
W3
Wn
M1
M2
M3
Mn
1
BL1
BLs1
G1
2
(c)
BL'
W'
N
Co
Tr1
2
(b)
Tr1
N
ST1
W1
W2
W3
C1
C2
C3
Cn
Co
1
BL1
BLs1
(d)
BL'
Tr1
N
W'
Mk
Co*
Wk
2

第 3 図

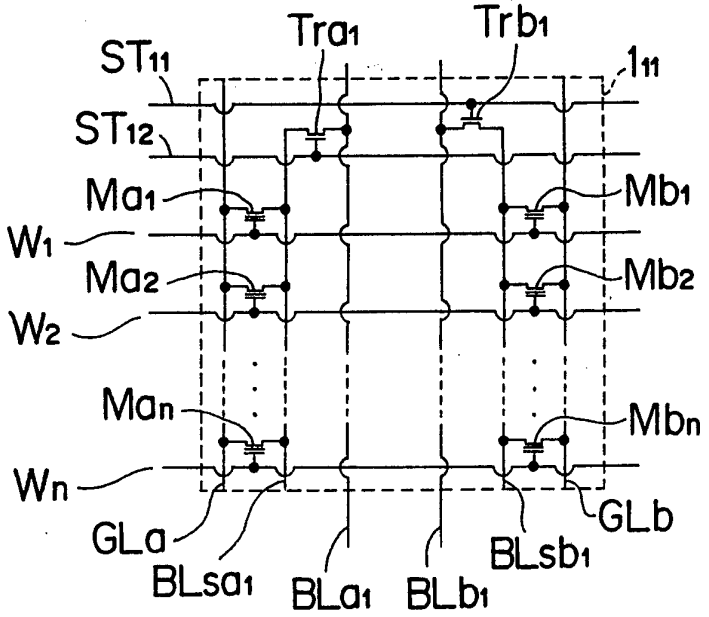


第 4 図

(a)

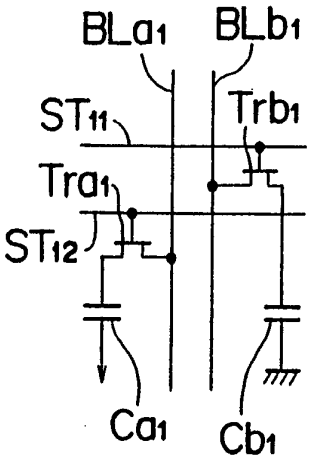

4
プリチャージ回路
BLa1
BLb1
BLan
BLbn
3
ST11
ST12
STn1
STn2
1n1
111
11n
1nn
W1
W2
Wn
周辺
回路
6
制御回路
センスアンプ
2
IC
5

(b)

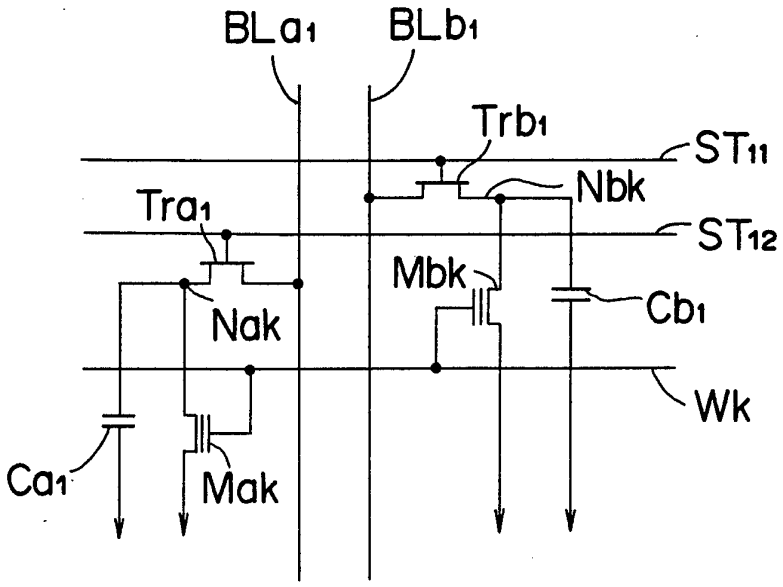

ST11
ST12
Tra1
Trb1
111
Ma1
Mb1
W1
Ma2
Mb2
W2
Man
Mbn
Wn
GLa
GLb
BLsa1
BLa1
BLb1
BLsb1

第 5 図

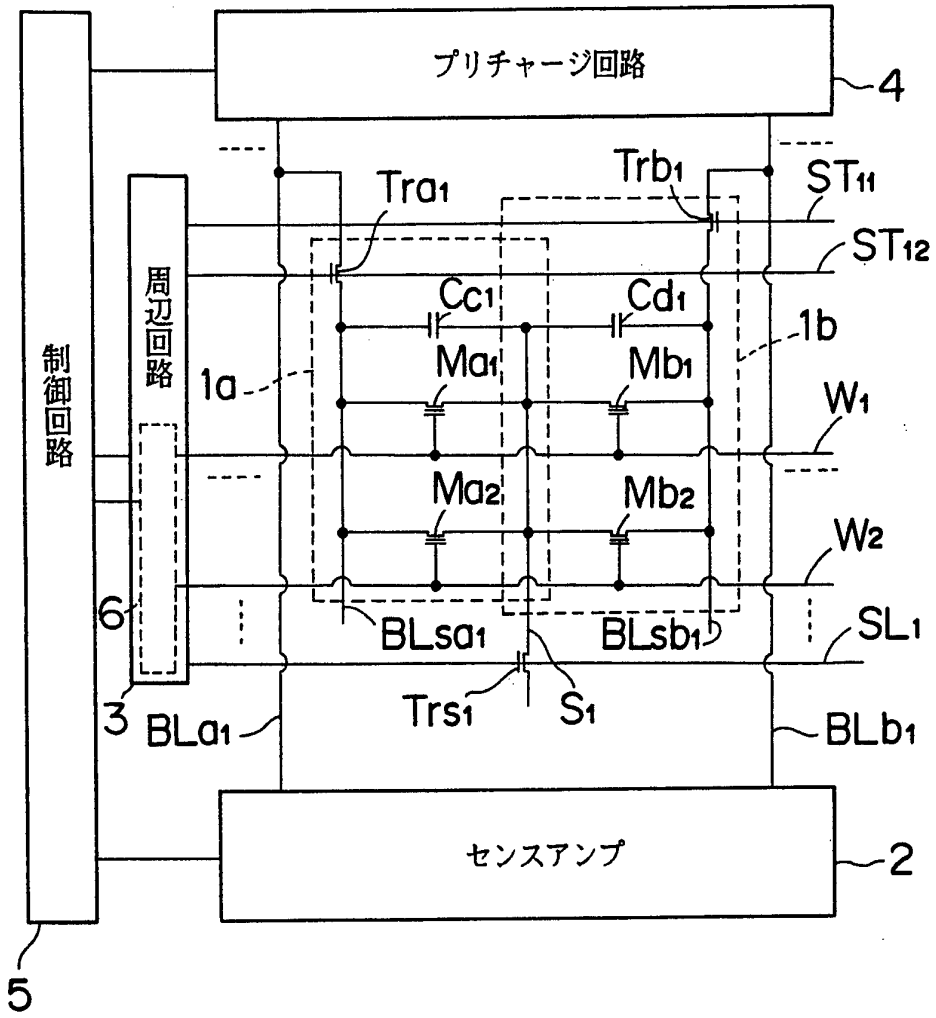
(a)


BLa1
BLb1
ST11
Trb1
Tra1
ST12
Ca1
Cb1

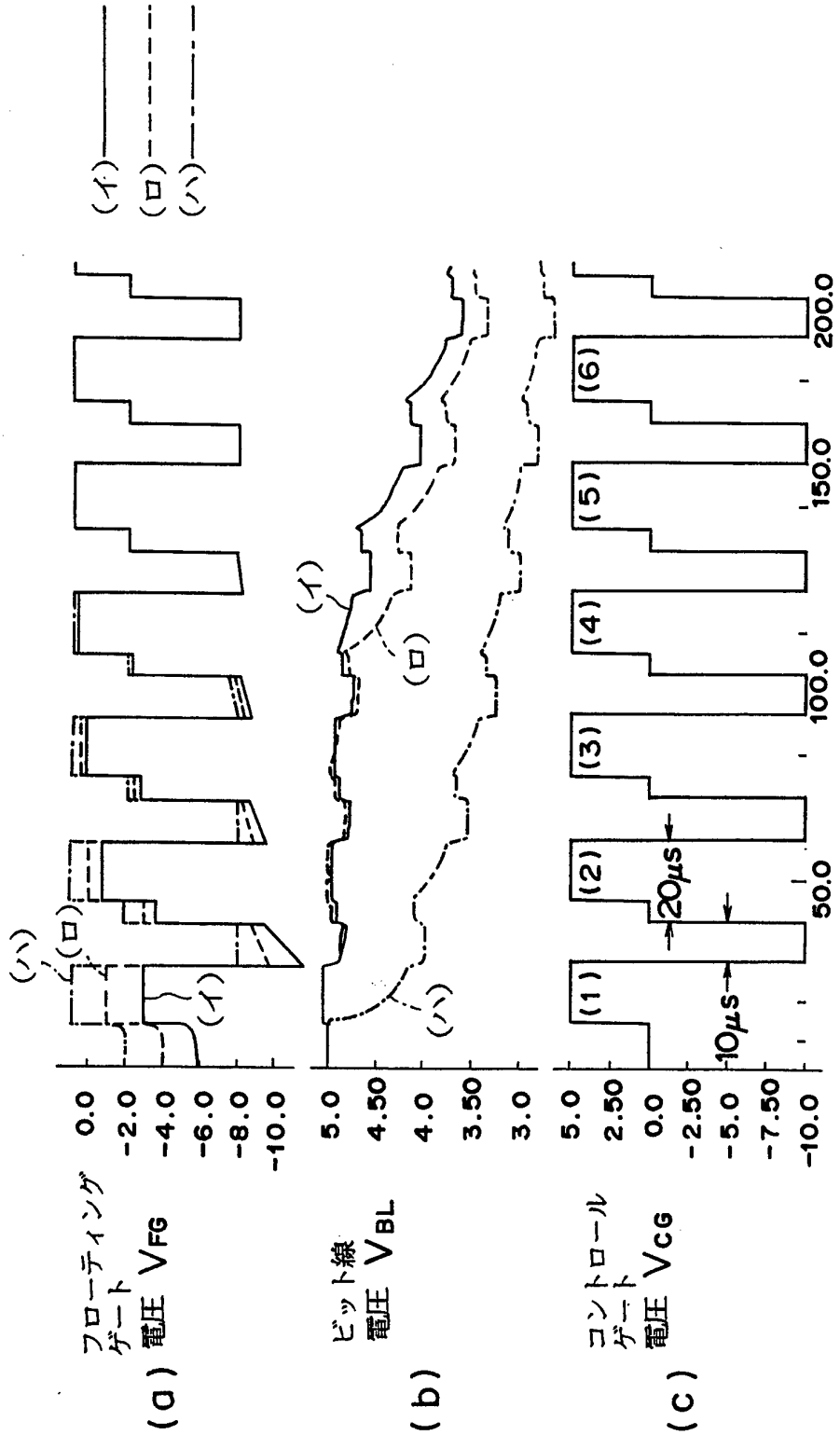
(b)


BLa1
BLb1
Trb1
ST11
Nbk
Tra1
ST12
Mbk
Cb1
Nak
Wk
Ca1
Mak

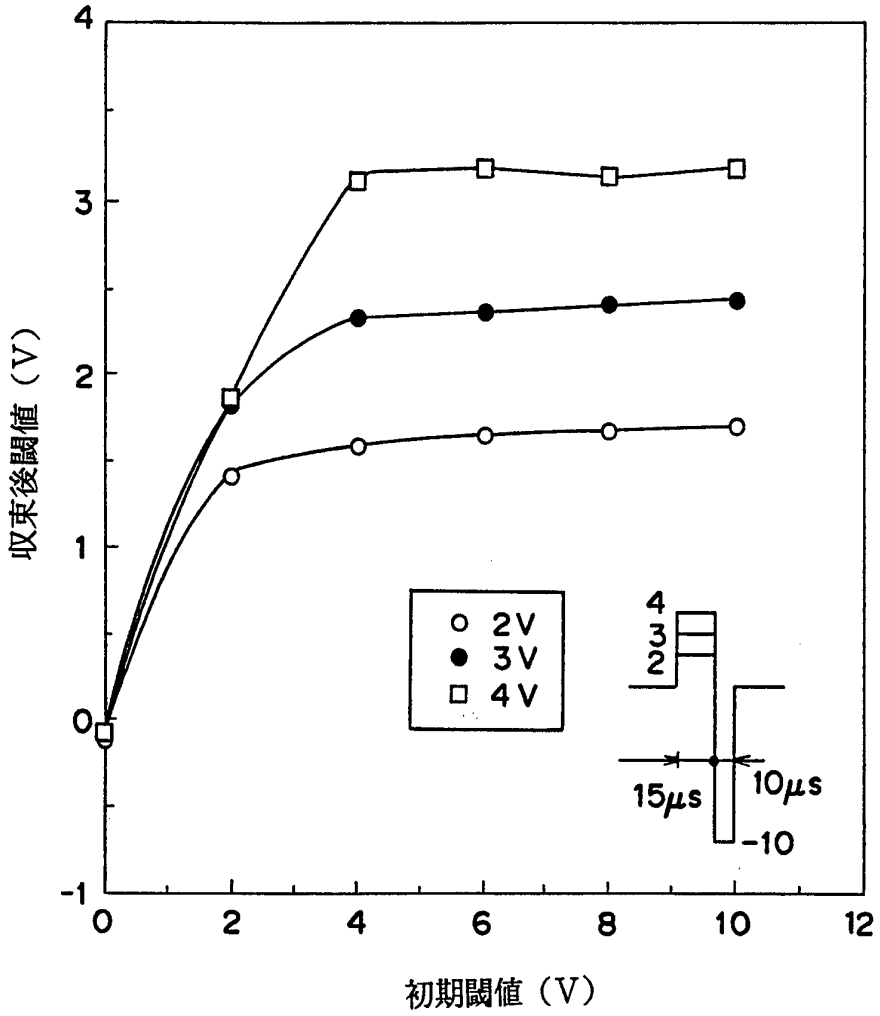
第 6 図


プリチャージ回路
4
制御回路
周辺回路
1a
1b
Tra1
Trb1
ST11
ST12
Cc1
Cd1
Ma1
Mb1
W1
Ma2
Mb2
W2
6
BLsa1
BLsb1
SL1
3
BLa1
Trs1
S1
BLb1
センスアンプ
2
5

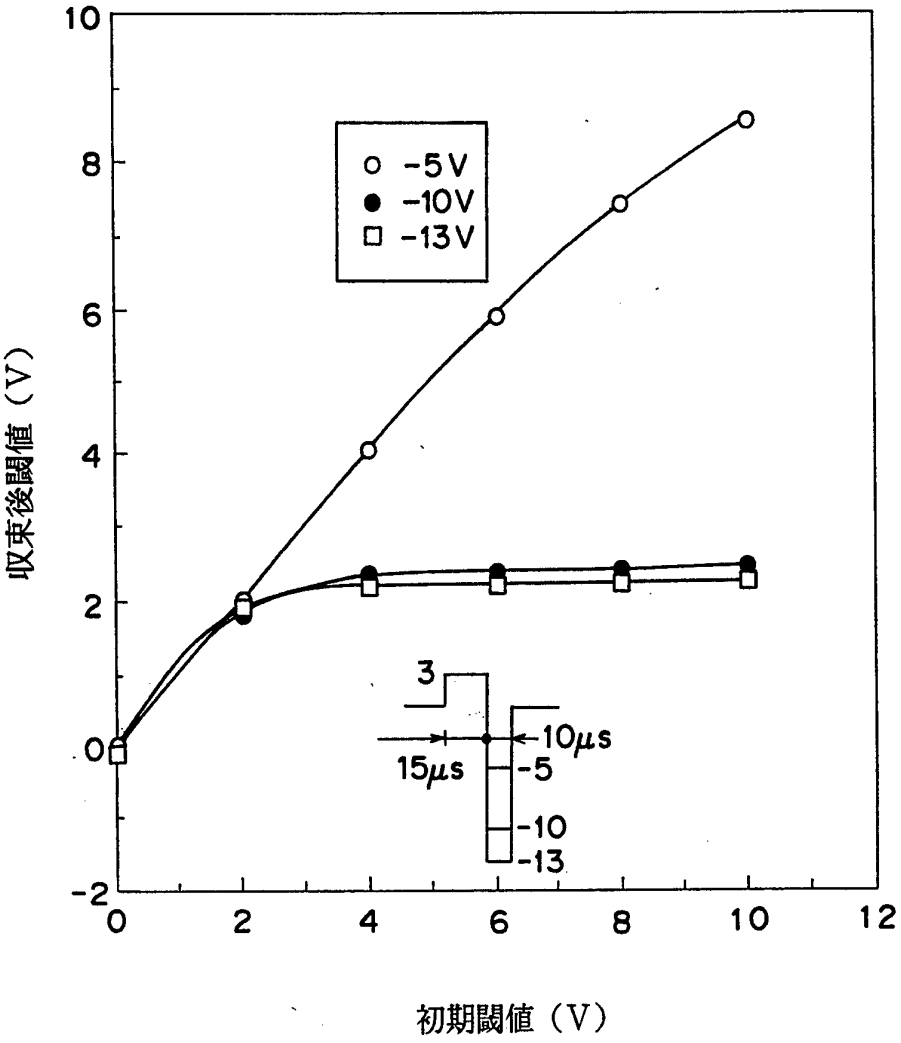
第７図


(イ)
(ロ)
(ハ)
フローティングゲート電圧 VFG
0.0
-2.0
-4.0
-6.0
-8.0
-10.0
(a)
ビット線電圧 VBL
5.0
4.50
4.0
3.50
3.0
(b)
コントロールゲート電圧 VCG
5.0
2.50
0.0
-2.50
-5.0
-7.50
-10.0
(c)
(1)
(2)
(3)
(4)
(5)
(6)
20μs
10μs
50.0
100.0
150.0
200.0

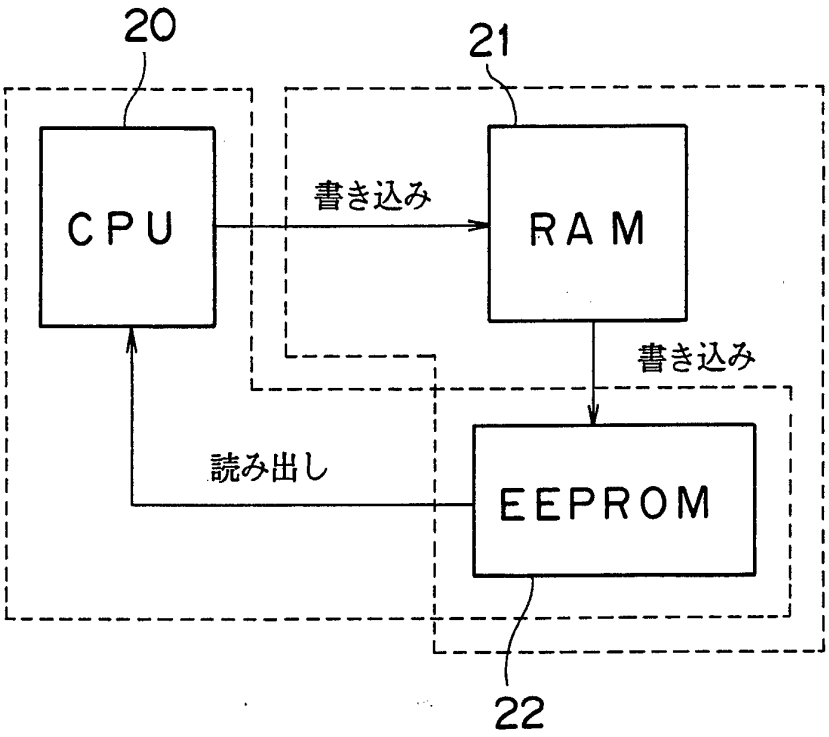
第 8 図



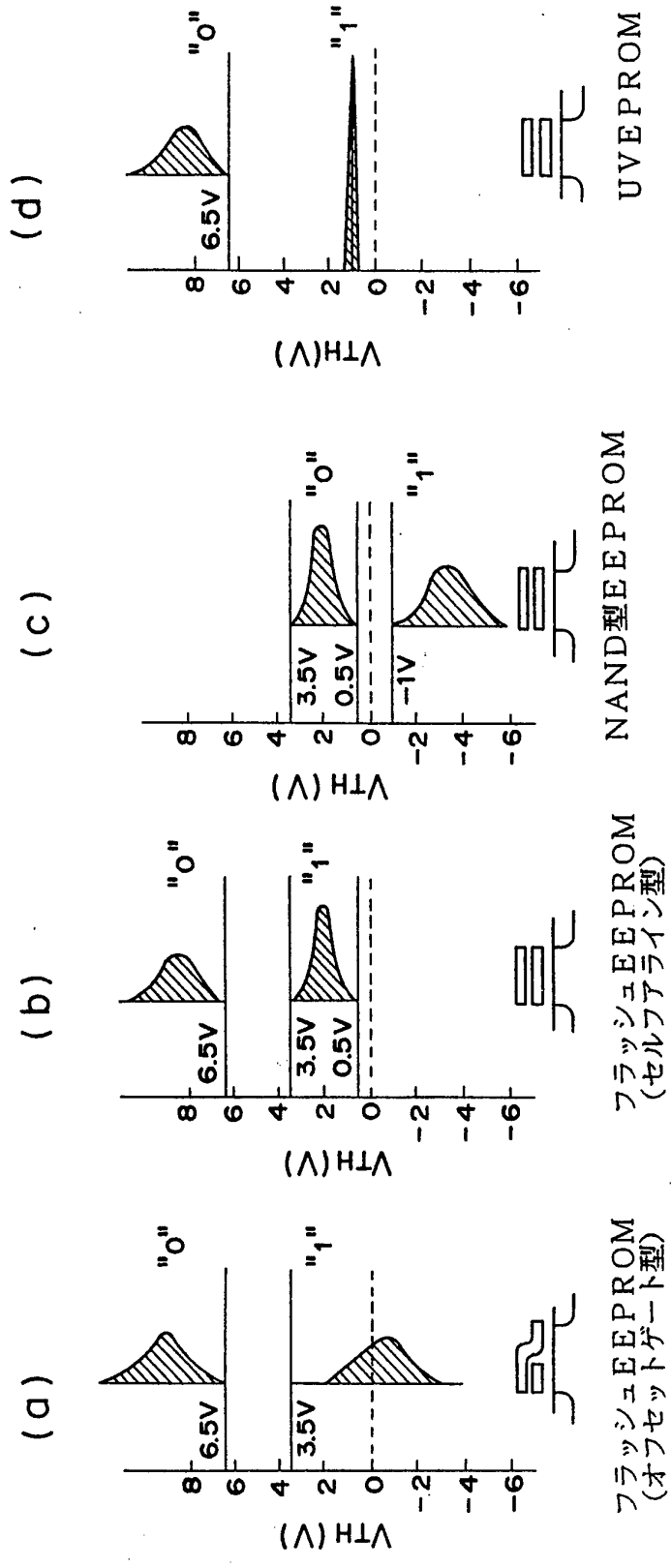
第 9 図


10
8
6
4
2
0
-2
0
2
4
6
8
10
12
収束後閾値（V）
初期閾値（V）
○ -5V
● -10V
□ -13V
3
10μs
15μs
-5
-10
-13

第１０図

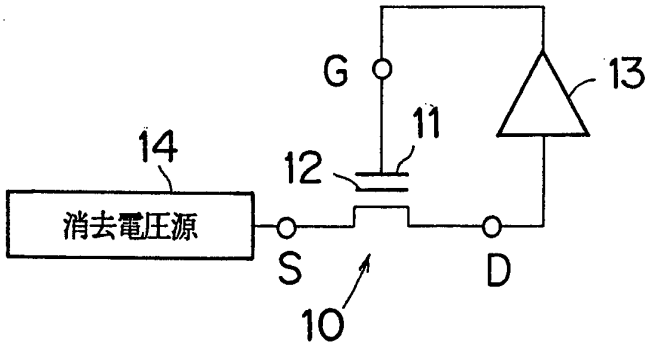


第１１図

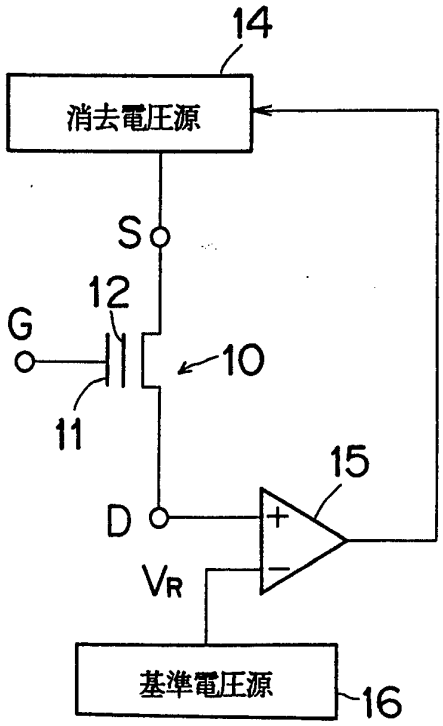

(a)
(b)
(c)
(d)
"0"
"1"
6.5V
3.5V
0.5V
-1V
VTH(V)
8
6
4
2
0
-2
-4
-6
フラッシュEEPROM
(オフセットゲート型)
フラッシュEEPROM
(セルフアライン型)
NAND型EEPROM
UVEPROM

第１２図

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP94/00928

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl^5 G11C11/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl^5 G11C11/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, A, 62-266793 (Mitsubishi Electric Corp.), November 19, 1987 (19. 11. 87) & US, A, 4725983	1-4, 9, 10, 12 5-8, 11 13-17
X Y	JP, A, 2-166764 (Mitsubishi Electric Corp.), June 27, 1990 (27. 06. 90)	1 6, 8, 9, 10
Y	JP, B53-46621 (Toshiba Corp.), December 15, 1978 (15. 12. 78) & US, A, 405778	5, 7, 14, 15, 16
P	JP, A, 5-189988 (Sharp Corp.), July 30, 1993 (30. 07. 93)	1-17

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
September 5, 1994 (05. 09. 94)	September 20, 1994 (20. 09. 94)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国 際 調 査 報 告

国際出願番号 PCT/JP 94 / 00928

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl⁵ G11C11/34

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl⁵ G11C11/34

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	JP, A, 62-266793（三菱電機株式会社）, 19. 11月. 1987（19. 11. 87） &US, A, 4725983	1-4, 9, 10, 12 5-8, 11 13-17
X Y	JP, A, 2-166764（三菱電機株式会社）, 27. 6月. 1990（27. 06. 90）	1 6, 8, 9, 10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
05. 09. 94

国際調査報告の発送日
20.09.94

名称及びあて先
日本国特許庁（ISA/JP）
郵便番号100
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）
斉藤 操 印
5B 9188

電話番号 03-3581-1101 内線 3545

様式PCT/ISA/210（第2ページ）（1992年7月）

C（続き）．　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP, B, 53-46621（東京芝浦電気株式会社）, 15. 12月. 1978（15. 12. 78） &US, A, 4057788	5, 7, 14, 15, 16
P	JP, A, 5-189988（シャープ株式会社）, 30. 7月. 1993（30. 07. 93）	1-17