

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成28年2月12日(2016.2.12)

【公表番号】特表2013-543612(P2013-543612A)

【公表日】平成25年12月5日(2013.12.5)

【年通号数】公開・登録公報2013-065

【出願番号】特願2013-529258(P2013-529258)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

【F I】

G 0 6 F 12/00 5 6 4 C

【誤訳訂正書】

【提出日】平成27年12月15日(2015.12.15)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

メモリデバイスのための物理メモリインタフェースを制御するための方法であって、
第 1 および第 2 の電力コンテキストを格納することと、
前記メモリデバイスからのデータ読取りおよび前記メモリデバイスへのデータ書込みのためにタイミング遅延を提供するように構成された複数の調整可能な遅延素子を提供することであって、各調整可能な遅延素子が、前記第 1 および第 2 の電力コンテキストのうちの選択された 1 つに応答する遅延時間を有する、複数の調整可能な遅延素子を提供することと、

電力コンテキスト変更要求を受信することと、

前記電力コンテキスト変更要求に基づいて、前記第 1 および第 2 の電力コンテキストのうちの 1 つを選択することと
を含む方法。

【請求項 2】

前記第 1 および第 2 の電力コンテキストのうちの 1 つを選択する前に、前記メモリデバイスに関連したセルフリフレッシュモードを選択するように構成されたセルフリフレッシュ出力を生成することをさらに含む、請求項 1 に記載の方法。

【請求項 3】

前記第 1 の電力コンテキストを格納するように構成された第 1 のセットのレジスタを提供することと、

前記第 2 の電力コンテキストを格納するように構成された第 2 のセットのレジスタを提供することと、

前記電力コンテキスト変更要求に応答して、前記第 1 および前記第 2 のセットのレジスタのうちの 1 つを選択することと

をさらに含む、請求項 1 に記載の方法。

【請求項 4】

前記電力コンテキスト変更要求に応答して、前記物理インタフェースの少なくとも 1 つのドライバに対する選択可能なドライブ強度を調整することをさらに含む、請求項 1 に記載の方法。

【請求項 5】

前記電力コンテキスト変更要求に応答して、前記物理インタフェースの少なくとも１つの受信器に対する選択可能な終端インピーダンスを調整することをさらに含む、請求項１に記載の方法。

【請求項６】

第１のメモリトレーニング段階を経て前記第１の電力コンテキストを生成することと、第２のメモリトレーニング段階を経て前記第２の電力コンテキストを生成することとをさらに含む、請求項１に記載の方法。

【請求項７】

電力制御インタフェース（ＡＣＰＩ）Ｓ３電力状態から復帰すると、前記第１および第２の電力コンテキストのうちの少なくとも１つを復元することをさらに含む、請求項１に記載の方法。

【請求項８】

前記第１および第２の電力コンテキストをサウスブリッジ上のメモリ位置から取り出すことをさらに含む、請求項１に記載の方法。

【請求項９】

前記第１および第２の電力コンテキストをノースブリッジ上のメモリ位置から取り出すことをさらに含む、請求項１に記載の方法。

【請求項１０】

メモリデバイスのための物理メモリインタフェースであって、第１の電力コンテキストおよび第２の電力コンテキストを受信するように構成された複数のレジスタと、

前記第１および第２の電力コンテキストのうちの１つを選択するように構成された選択回路と、

前記メモリデバイスからのデータ読取りおよび前記メモリデバイスへのデータ書込みのためにタイミング遅延を提供するように構成された複数の調整可能な遅延素子であって、各調整可能な遅延素子が、前記第１および第２の電力コンテキストのうちの前記選択された１つに応答する遅延時間を有する、複数の調整可能な遅延素子とを含む、物理メモリインタフェース。

【請求項１１】

前記選択回路が、前記第１および第２の電力コンテキストのうちの前記選択された１つをメモリ位置から取り出す、請求項１０に記載の物理メモリインタフェース。

【請求項１２】

前記第１の電力コンテキストを格納するように構成された第１のセットのレジスタと、前記第２の電力コンテキストを格納するように構成された第２のセットのレジスタとをさらに含む、

前記選択回路が前記第１と第２のセットのレジスタとの間で選択するように構成されている、請求項１０に記載の物理メモリインタフェース。

【請求項１３】

各々が、前記第１および第２の電力コンテキストのうちの前記選択された１つに応答して選択可能なドライブ強度を有する、複数のドライバをさらに含む、請求項１０に記載の物理メモリインタフェース。

【請求項１４】

各々が前記第１および第２の電力コンテキストのうちの前記選択された１つに応答して選択可能な終端インピーダンスを有する複数の受信器をさらに含む、請求項１０に記載の物理メモリインタフェース。

【請求項１５】

前記第１の電力コンテキストが第１のメモリトレーニング段階を経て決定され、かつ、前記第２の電力コンテキストが第２のメモリトレーニング段階を経て決定される、請求項１０に記載の物理メモリインタフェース。

【請求項１６】

物理メモリデバイスの複数のチャンネルのためのインタフェースをさらに含む、請求項 10 に記載の物理メモリインタフェース。

【請求項 17】

前記物理メモリインタフェースが、中央処理装置（CPU）のダイ上に配置されている、請求項 10 に記載の物理メモリインタフェース。

【請求項 18】

電力制御インタフェース（ACPI）S3 電力状態から復帰すると、前記第 1 および第 2 の電力コンテキストのうちの少なくとも 1 つを取り出すように構成されたメモリインタフェースをさらに含む、請求項 10 に記載の物理メモリインタフェース。

【請求項 19】

前記第 1 および第 2 の電力コンテキストをメモリ位置からロードするように構成されたメモリインタフェースをさらに含む、請求項 10 に記載の物理メモリインタフェース。

【請求項 20】

前記物理メモリインタフェースに結合されたメモリデバイスをさらに含み、前記メモリデバイスが、前記第 1 および第 2 の電力コンテキストのうちの前記選択された 1 つに関連する前記タイミング遅延を用いて、データの読取りおよび書込みのために構成されている、請求項 10 に記載の物理メモリインタフェース。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0006

【訂正方法】変更

【訂正の内容】

【0006】

別の実施形態では、Phy インタフェースは、第 1 の電力コンテキストを格納するように構成された第 1 のセットのCSRおよび第 2 の電力コンテキストを格納するように構成された第 2 のセットのCSRを含む。Phy インタフェースは、各々が、選択された電力コンテキストに応答する選択可能なドライブ強度を有する複数のドライバも含む。Phy インタフェースは、各々が、選択された電力コンテキストに応答する選択可能な終端インピーダンスを有する複数の受信器も含む。電力コンテキスト間での切替えは、1 つまたは複数のドライバ/受信器のドライブ強度および/または終端インピーダンスの調整という結果になり得る。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0013

【訂正方法】変更

【訂正の内容】

【0013】

Phy インタフェースは、また、送信器のドライブ強度および受信器の終端インピーダンスの調整または選択も行い得る。固定のタイミング遅延、送信器ドライブ強度および受信器終端インピーダンスを使用するよりも、これらのパラメータは、コンピュータシステムが作動されるたびに調整され得る。これは、通常、トレーニングプログラムの支援を受けて達成される。トレーニングプログラムは、通常、基本入出力システム（BIOS）メモリデバイス 26 に格納されるが、装置ハードウェア内にも実装され得る。トレーニングプログラムは、パワーオンセルフテスト（POST）中にアルゴリズムを実行し、それが、多数のメモリインタフェース信号に関連した、適切なタイミング遅延、ドライブ強度および終端インピーダンスを決定する。これらのパラメータは、Phy への、および Phy からの様々な信号経路の全体的なタイミングを定義する複数のレジスタで Phy インタフェース内に保存される。別の方法では、これらのパラメータは、別の場所（例えば、ノースブリッジ 14 またはサウスブリッジ 16 内）に格納され得る。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0016

【訂正方法】変更

【訂正の内容】

【0016】

図2に示すように、DQ 32（データ）およびDQS 34（ストローク）線は双方向である。各DIMMは、複数のDQ線（例えば、64データビット）および複数のDQS線を有することを理解すべきである。これらの線の各々は、PHYインタフェース22内に、関連するドライバ52、56および受信器54、58を有する。図2では、明確にするために、単一のドライバ/受信器の対を示す。各ドライバは、選択可能または調整可能なドライブ出力を有する。同様に、各受信器は、選択可能または調整可能な終端インピーダンス（例えば、オンダイ終端（on die termination））を有する。DQおよびDQS線32、34は、遅延ロックアップ（DLL）72、74、76などの遅延素子にも関連する。遅延素子（例えば、70～76）、ドライブ強度または終端インピーダンス値に対する調整は、以下でさらに詳細に説明するように、適切な値を、関連するCSR 42の適切なフィールド内にプログラミングすることによって達成される。CSR間の論理結合および遅延素子、ドライブ強度または終端インピーダンスにおける調整は、一般に、点線で示される。

【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0019

【訂正方法】変更

【訂正の内容】

【0019】

PHYインタフェースは、所望の性能レベルに基づき、その要求される電力を調整し得る。電力コンテキストをいつ変更すべきかの決定は、様々な情報源に由来し得ることを理解すべきである。例えば、オペレーティングシステムは、コンテキスト変更が要求されることを（例えば、アイドル時間の設定期間後、ユーザーコマンド、時間スケジュールまたは同様のものによって）判断し得る。別の方法では、コンテキスト変更がいつ要求されるかを判断するためにハードウェアが使用され得る。コンテキスト変更は、異なる電力状態に関連する、異なるセットのPHYインタフェースパラメータ間で切り替えることにより達成される。例えば、高電力状態（例えば、より高いメモリ速度）および低電力状態（例えば、より低いメモリ速度）。各電力状態は、PHYインタフェースパラメータまたはコンテキストの関連するセット（つまり、各信号線に対する遅延素子設定、ドライブ強度および終端インピーダンス）を有する。以降で詳述するように、電力状態間の切替えは、いくつかの方法で達成され得る。本明細書で開示するように、複数の電力状態間の切替えは、任意のメモリタイプに適用でき、以下の例で使用されるように、DDRメモリとの使用に限定されないことを理解すべきである。