

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月18日(18.08.2016)



(10) 国際公開番号
WO 2016/129173 A1

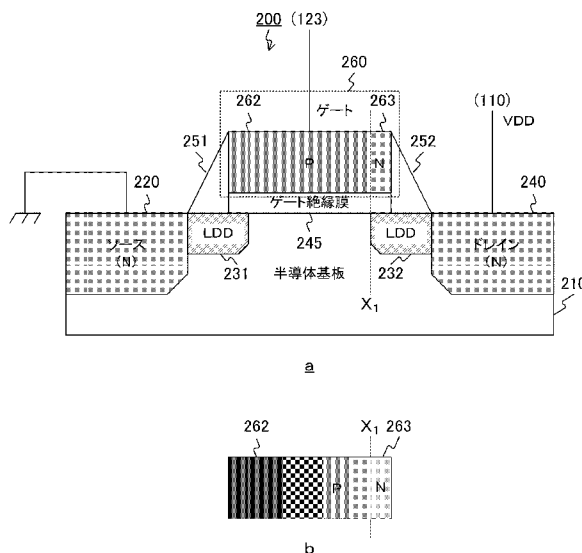
- (51) 国際特許分類:
H01L 27/06 (2006.01) H01L 27/088 (2006.01)
H01L 21/28 (2006.01) H01L 29/41 (2006.01)
H01L 21/336 (2006.01) H01L 29/423 (2006.01)
H01L 21/822 (2006.01) H01L 29/49 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2015/084598
- (22) 国際出願日: 2015年12月10日(10.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-025337 2015年2月12日(12.02.2015) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 深作 克彦 (FUKASAKU, Katsuhiko); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 巽 孝明 (TATSUMI, Takaaki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: TRANSISTOR, PROTECTION CIRCUIT, AND TRANSISTOR MANUFACTURING METHOD

(54) 発明の名称: トランジスタ、保護回路およびトランジスタの製造方法

[図3]



210 Semiconductor substrate
220 Source
240 Drain
245 Gate insulating film
260 Gate

(57) Abstract: An increase in on-current and suppression of leak current of a transistor are achieved simultaneously. A transistor is provided with a drain, a source, a gate, and a gate insulating film. In the transistor provided with the drain, the source, the gate, and the gate insulating film, the gate insulating film is disposed between the source and the drain. In the transistor, the gate is provided with a plurality of regions disposed on the surface of the gate insulating film. In the gate, the plurality of regions disposed on the gate insulating film have respectively different work functions.

(57) 要約: トランジスタのオン電流の向上とリーク電流の抑制とを両立する。トランジスタは、ドレインと、ソースと、ゲートと、ゲート絶縁膜とを具備する。ドレインと、ソースと、ゲートと、ゲート絶縁膜とを具備するトランジスタにおいてゲート絶縁膜は、ソースおよびドレインの間に配置される。また、そのトランジスタにおいてゲートは、ゲート絶縁膜の表面に設けられた複数の領域を備える。また、そのゲートにおいて、ゲート絶縁膜に設けられた複数の領域のそれぞれの仕事関数は異なる。



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

トランジスタ、保護回路およびトランジスタの製造方法

技術分野

[0001] 本技術は、トランジスタ、保護回路およびトランジスタの製造方法に関する。詳しくは、静電気放電から回路を保護するために用いられるトランジスタ、保護回路およびトランジスタの製造方法に関する。

背景技術

[0002] 従来より、電子機器においては、静電気放電から内部回路を保護するために静電気放電保護回路が用いられている。例えば、容量素子および抵抗からなるRC回路と、トランジスタとを備える静電気放電保護回路が提案されている（例えば、特許文献1参照。）。この静電気放電保護回路において、RC回路の遅延時間より短いパルス期間に亘って、静電気放電による高電圧パルスが発生すると、トランジスタがオン状態に移行して高電圧パルスによる電流をグランドに放出する。この結果、静電気放電から、保護対象の回路を保護することができる。この静電気放電保護回路においては、放電能力を向上させる観点から、トランジスタのオン電流は十分に大きいことが望ましい。また、消費電力を低減させる観点からトランジスタのオフ電流（リーク電流）を小さな値に抑制することが望ましい。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-253241号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上述の従来技術では、オン電流およびリーク電流を調整することが困難である。トランジスタのゲート幅を広くすれば、オン電流が向上するが、リーク電流も上昇してしまう。一方、トランジスタのゲート幅を

狭くすれば、リーク電流が低減するが、オン電流も低下してしまう。このように、トランジスタのオン電流の向上とリーク電流の抑制とを両立することが困難であるという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、トランジスタのオン電流の向上とリーク電流の抑制とを両立することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、ソースと、ドレインと、上記ソースおよび上記ドレインの間に配置されたゲート絶縁膜と、上記ゲート絶縁膜の表面に設けられた、仕事関数の異なる複数の領域を備えるゲートとを具備するトランジスタである。これにより、仕事関数の異なる複数の領域のそれぞれの境界において電位差が生じるという作用をもたらす。

[0007] また、この第1の側面において、上記複数の領域は、2つの領域からなるものであってもよい。これにより、2つの領域の境界において電位差が生じるという作用をもたらす。

[0008] また、この第1の側面において、上記2つの領域の一方は、上記ドレイン側に配置されたN型半導体領域であり、上記2つの領域の他方は、上記ソース側に配置されたP型半導体領域であり、上記ドレインおよび上記ソースは、N型半導体から形成されてもよい。これにより、N型の電界効果トランジスタ内の2つの領域の境界において電位差が生じるという作用をもたらす。

[0009] また、この第1の側面において、上記2つの領域の一方は、上記ソース側に配置されたN型半導体領域であり、上記2つの領域の他方は、上記ドレイン側に配置されたP型半導体領域であり、上記ドレインおよび上記ソースは、P型半導体から形成されてもよい。これにより、P型の電界効果トランジスタ内の2つの領域の境界において電位差が生じるという作用をもたらす。

[0010] また、この第1の側面において、上記複数の領域は、上記ドレイン側に配置されたドレイン側領域と、上記ソース側に配置されたソース側領域と、上記ドレイン側領域および上記ソース側領域の間に配置された中間領域とから

なるものであってもよい。これにより、ドレイン側領域とソース側領域と中間領域とのそれぞれの境界において電位差が生じるという作用をもたらす。

[0011] また、この第1の側面において、上記ドレイン側領域および上記ソース側領域と上記ソースおよび上記ドレインとは、N型半導体から形成され、上記中間領域は、P型半導体から形成されてもよい。これにより、N型の電界効果トランジスタ内のドレイン側領域とソース側領域と中間領域とのそれぞれの境界において電位差が生じるという作用をもたらす。

[0012] また、この第1の側面において、上記ドレイン側領域および上記ソース側領域と上記ソースおよび上記ドレインとは、P型半導体から形成され、上記中間領域は、N型半導体から形成されてもよい。これにより、P型の電界効果トランジスタ内のドレイン側領域とソース側領域と中間領域とのそれぞれの境界において電位差が生じるという作用をもたらす。

[0013] また、この第1の側面において、上記ドレイン側領域および上記ソース側領域のそれぞれの面積が異なってもよい。これにより、これにより、面積の異なるドレイン側領域およびソース側領域と、中間領域とのそれぞれの境界において電位差が生じるという作用をもたらす。

[0014] また、この第1の側面において、複数の領域は、仕事関数の異なる金属から形成されてもよい。これにより、仕事関数の異なる金属から形成される複数の領域のそれぞれの巨魁に電位差が生じるという作用をもたらす。

[0015] また、本技術の第2の側面は、電源に接続された電源線と、所定の電位の接地線と、上記電源線に接続されたソースと、上記接地線に接続されたドレインと、上記ソースおよび上記ドレインの間に配置されたゲート絶縁膜と、上記ゲート絶縁膜の表面に設けられた、仕事関数の異なる複数の領域を備えるゲートとを具備する保護回路である。これにより、仕事関数の異なる複数の領域のそれぞれの境界において電位差が生じるという作用をもたらす。

[0016] また、この第2の側面において、上記電源線を介して入力された電気信号を遅延させる容量素子をさらに具備し、上記遅延した電気信号が上記ゲートに入力されてもよい。これにより、遅延した電気信号がゲートに入力される

という作用をもたらす。

[0017] また、本技術の第2の側面は、半導体基板の表面のゲート絶縁膜にシリコン層を形成するシリコン層形成手順と、上記シリコン層の一部と上記半導体基板の所定領域とに所定の不純物を添加する第1の添加手順と、上記シリコン層の上記一部を除く部分に上記所定の不純物と異なる不純物を添加する第2の添加手順とを具備するトランジスタの製造方法である。これにより、複数の半導体領域をゲートに備えるトランジスタが製造されるという作用をもたらす。

[0018] また、本技術の第3の側面は、半導体基板の表面のゲート絶縁膜に所定の金属を堆積する第1の堆積手順と、上記所定の金属をエッチングにより一部を残して除去するエッチング手順と、上記所定の金属と異なる所定の金属を上記ゲート絶縁膜の表面に堆積する第2の堆積手順とを具備するトランジスタの製造方法である。これにより、複数の金属の領域をゲートに備えるトランジスタが製造されるという作用をもたらす。

発明の効果

[0019] 本技術によれば、トランジスタのオン電流の向上とリーク電流の低減とを両立することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0020] [図1]第1の実施の形態における電子装置の一構成例を示すブロック図である。

[図2]第1の実施の形態における静電気放電保護回路の一構成例を示す回路図である。

[図3]第1の実施の形態における電界効果トランジスタの断面図の一例である。

[図4]第1の実施の形態における電界効果トランジスタの特性を示すグラフである。

[図5]第1の実施の形態におけるドレイン側N型半導体領域の面積を大きくした電界効果トランジスタの断面図の一例である。

[図6]第1の実施の形態におけるドレイン側N型半導体領域の面積を大きくした電界効果トランジスタの特性の一例を示すグラフである。

[図7]第1の実施の形態における電界効果トランジスタのサイドウォールスペーサ形成までの製造方法を説明するための図である。

[図8]第1の実施の形態における電界効果トランジスタのサイドウォールスペーサ形成からの製造方法を説明するための図である。

[図9]第1の実施の形態における電界効果トランジスタの製造方法の一例を示すフローチャートである。

[図10]第1の実施の形態の第1の変形例における静電気放電保護回路の一構成例を示す回路図である。

[図11]第1の実施の形態の第1の変形例における電界効果トランジスタの断面図の一例である。

[図12]第1の実施の形態の第2の変形例における静電気放電保護回路の一構成例を示す回路図である。

[図13]第1の実施の形態の第3の変形例における静電気放電保護回路の一構成例を示す回路図である。

[図14]第2の実施の形態における電界効果トランジスタの断面図の一例である。

[図15]第2の実施の形態における電界効果トランジスタの製造方法を説明するための図である。

[図16]第2の実施の形態におけるドレイン側N型半導体領域の面積を大きくした電界効果トランジスタの断面図の一例である。

[図17]第2の実施の形態におけるドレイン側N型半導体領域およびソース側N型半導体領域のそれぞれの面積とドレイン電流との関係を説明するための図である。

[図18]第3の実施の形態における電界効果トランジスタの断面図の一例であ

る。

[図19]第3の実施の形態における電界効果トランジスタの化学機械平坦化までの製造方法を説明するための図である。

[図20]第3の実施の形態における電界効果トランジスタのソース側領域およびドレイン側領域形成までの製造方法を説明するための図である。

[図21]第3の実施の形態における電界効果トランジスタのソース側領域およびドレイン側領域形成からの製造方法を説明するための図である。

[図22]第3の実施の形態における電界効果トランジスタの製造方法の一例を示すフローチャートである。

発明を実施するための形態

[0021] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（ゲートが2つの半導体領域を備える例）
2. 第2の実施の形態（ゲートが3つの半導体領域を備える例）
3. 第3の実施の形態（ゲートが3つの金属の領域を備える例）

[0022] <1. 第1の実施の形態>

[電子装置の構成例]

図1は、第1の実施の形態における電子装置100の一構成例を示すブロック図である。この電子装置100は、電源回路110、静電気放電保護回路120および処理回路130を備える。

[0023] 電源回路110は、電源を静電気放電保護回路120に電源線119を介して供給するものである。静電気放電保護回路120は、電源回路110からの電源を電源線129を介して処理回路130に供給するとともに、静電気放電(ESD:Electro Static Discharge)から処理回路130を保護するものである。処理回路130は、静電気放電保護回路120からの電源を使用して所定の処理を行うものである。なお、静電気放電保護回路120は、特許請求の範囲に記載の保護回路の一例である。

[0024] [静電気放電保護回路]

図2は、第1の実施の形態における静電気放電保護回路120の一構成例を示す回路図である。この静電気放電保護回路120は、抵抗121、容量素子122、インバータ123および電界効果トランジスタ200を備える。

[0025] 抵抗121の一端は、電源線119および129と、電界効果トランジスタ200とに接続され、他端は容量素子122およびインバータ123に接続される。容量素子122の一端は、抵抗121およびインバータ123に接続され、他端は、接地線128を介して接地電位のグラウンドに接続される。この容量素子122として、電界効果トランジスタ200とは異なるトランジスタ（不図示）のゲート絶縁膜や、配線層間の平行平板などが用いられる。

[0026] また、容量素子122および抵抗121からなるRC回路の時定数は、静電気放電により発生する高電圧パルスのパルス期間より長い時間に設定される。例えば、1メガオームの抵抗121と、1ピコファラッドの容量素子122とにより、時定数は、1マイクロ秒に設定される。ここで、容量素子122の容量は、素子サイズの大きさなどにより調整される。

[0027] インバータ123の入力端子は、抵抗121および容量素子122の接続点に接続され、出力端子は電界効果トランジスタ200のゲートに接続される。電界効果トランジスタ200のゲートはインバータ123に接続され、ソースはグラウンドに接続され、ドレインは電源線119および129と抵抗121とに接続される。

[0028] このように接続されたインバータ123は、RC回路の時定数より短いパルス期間の高電圧パルスが電源線119から入力された際に、ハイレベルの信号を出力する。この信号により、電界効果トランジスタ200はオン状態に移行する。オン状態の電界効果トランジスタ200は、高電圧パルスによるドレイン電流をグラウンドに放電して、その高電圧パルスから処理回路130を保護する。放電能力を高くする観点から、オン状態のドレイン電流であるオン電流は大きいほど望ましい。

[0029] また、一定の電源電圧 V_{DD} が印加されると、インバータ 123 はローレベルの信号を出力し、電界効果トランジスタ 200 はオフ状態に移行する。オフ状態においては、例えば、電界効果トランジスタ 200 のゲート電圧がドレイン電圧より小さい場合に、リーク電流が流れることがある。このようにゲートにより誘導されるリーク電流は、特に $GIDL$ (Gate-Induced Drain Leakage) 電流と呼ばれる。消費電力を低減する観点から、このリーク電流 ($GIDL$ 電流など) は、許容値以下であることが望ましい。

[0030] [電界効果トランジスタの構成例]

図3における a は、第1の実施の形態における電界効果トランジスタ 200 の断面図の一例である。この断面図は、電界効果トランジスタ 200 のソースからドレインへ方向と、電界効果トランジスタ 200 が形成された半導体基板の基板平面に垂直な方向との両方に平行な平面に沿った断面を示す。

[0031] 電界効果トランジスタ 200 は、ソース 220 と、ドレイン 240 と、サイドウォールスペーサ 251 および 252 と、ゲート絶縁膜 245 と、ゲート 260 とを備える。

[0032] ソース 220 およびドレイン 240 は、半導体基板 210 に形成される。これらのソース 220 およびドレイン 240 は、N型半導体により形成され、半導体基板 210 は、P型半導体により形成される。また、ソース 220 およびドレイン 240 の間の半導体基板 210 の表面には、高誘電率のゲート絶縁膜 245 (high-k) が設けられる。また、ゲート絶縁膜 245 の表面にゲート 260 が設けられ、そのゲート絶縁膜 245 の下部の半導体基板 210 には、低濃度不純物領域 (LDD : Lightly Doped Drain) 231 および 232 が形成される。これらの低濃度不純物領域の形成により、ホットキャリアによるゲート絶縁膜 245 の劣化を抑制することができる。

[0033] ゲート 260 は、表面から電子を無限遠まで取り出すのに必要なエネルギーである仕事関数の異なる複数の半導体領域を備える。例えば、ゲート 260 は、P型半導体領域 262 およびドレイン側N型半導体領域 263 から構

成される。また、ゲート260およびゲート絶縁膜245のソース220側の側面には、サイドウォールスペーサ251が設けられ、それらのドレイン240側の側面にはサイドウォールスペーサ252が設けられる。

[0034] ドレイン側N型半導体領域263は、ゲート絶縁膜245のドレイン240側の端部から、ゲート絶縁膜245の表面上の境界位置 X_1 までの領域に設けられる。また、P型半導体領域262は、ゲート絶縁膜245のソース220側の端部から、境界位置 X_1 までの領域に設けられる。この境界位置 X_1 は、例えば、低濃度不純物領域232と半導体基板210との境界の位置と略一致する位置である。

[0035] 図3におけるbは、ゲート260の不純物の濃度勾配の一例を示す図である。ゲート260において、不純物のドーピングの際に、その不純物が拡散するため、ソース220からドレイン240へ方向に沿って不純物の濃度勾配が生じる。ここでは、ソース220に近いほどアクセプタの濃度が大きく、ドレイン240に近いほどドナーの濃度が大きくなっている。この濃度勾配が生じたゲート260は、アクセプタまたはドナーの濃度が所定値となる境界位置 X_1 により、P型半導体領域262とドレイン側N型半導体領域263とに分離される。

[0036] このようにゲート260は、仕事関数の異なる2つの領域（262および263）を備えるため、その境界位置 X_1 において次の式に示す電位差 V_d が生じる。

[数1]

$$qV_d = \phi_P - \phi_N \quad \dots \text{式1}$$

上式において q は、単位電荷である。また、右辺の第1項は、P型半導体領域262の仕事関数であり、第2項はドレイン側N型半導体領域263の仕事関数である。これらの仕事関数の単位は、例えば、エレクトロンボルト（eV）である。

[0037] 式1より、ソース220側のP型半導体領域262の電位がドレイン側N

型半導体領域 263 より高くなる。このように、ドレイン 240 からソース 220 へのリーク電流が流れるのを妨げる方向に電位差が生じるため、リーク電流が低減する。

[0038] 図 4 は、第 1 の実施の形態における電界効果トランジスタ 200 の特性を示すグラフである。同図における縦軸は、ドレイン電流 I_d を示し、横軸はゲート電圧 V_g を示す。また、一点鎖線は、ゲートを P 型半導体のみに形成した比較例の電界効果トランジスタの特性を示し、実線は、P 型半導体領域 262 およびドレイン側 N 型半導体領域 263 をゲート 260 に設けた電界効果トランジスタ 200 の特性を示す。比較例と、電界効果トランジスタ 200 の特性を比較すると、電界効果トランジスタ 200 のオン電流 I_{on2} は比較例のオン電流 I_{on1} と同程度である。一方、電界効果トランジスタ 200 のリーク電流 I_{off2} は比較例のリーク電流 I_{off1} よりも小さくなっている。これは、前述したように、仕事関数の比較的高い P 型半導体領域 262 の電位がドレイン側 N 型半導体領域 263 より高くなるためである。

[0039] 図 5 は、第 1 の実施の形態におけるドレイン側 N 型半導体領域 263 の面積を大きくした電界効果トランジスタ 200 の断面図の一例である。ここで、ドレイン側 N 型半導体領域 263 の面積は、ゲート絶縁膜 245 の表面においてドレイン側 N 型半導体領域 263 の占める面積を示す。例えば、ゲート絶縁膜 245 のドレイン 240 側の端部から境界位置 X_1 までの距離を d とし、ソース 220 からドレイン 240 への方向に垂直な方向におけるゲート 260 の長さをゲート幅 W とする。この場合、ドレイン側 N 型半導体領域 263 の面積は $d \times W$ である。同図においてドレイン側 N 型半導体領域 263 の面積は図 3 の場合より大きく、その境界位置は、 X_1 よりも、ソース 220 側の X_2 に調整されている。

[0040] ここで、電界効果トランジスタ 200 において、オン電流 I_{on} は、次の式により表される。

$$I_{on} = C_{ox} (V_g - V_{th} - 1/2 \times V_D) \times V_D / L \times W \times \mu \quad \dots$$

・ 式 2

上式において、 C_{ox} は、ゲート絶縁膜245の容量であり、単位は、例えば、ファラッド（F）である。また、 V_G は、ゲート電圧であり、 V_{th} は、閾値電圧である。 V_D は、ドレイン電圧である。これらの電圧の単位は、例えば、ボルト（V）である。 L は、ソース220からドレイン240へ方向におけるゲート260のゲートの長さを示すゲート長であり、 W は、ゲート幅である。 L および W の単位は、例えば、メートル（m）である。 μ は、電荷の移動度であり、単位は例えば、平方メートル毎ボルト毎秒（ $m^2/V \cdot s$ ）である。

[0041] また、式2における電界効果トランジスタ200の閾値電圧 V_{th} は、一般に次の式により表される。

[数2]

$$V_{th} = V_{fb} + 2\psi_b + \frac{\sqrt{4\epsilon_{si}qN_a\psi_b}}{C_{ox}} \quad \dots \text{式3}$$

上式において、 V_{fb} は、フラットバンド電圧であり、単位は、例えば、ボルト（V）である。右辺の第2項は、ドナー準位の深さであり、単位は、例えば、ジュール（J）である。イプシロンは、シリコンの誘電率である。 N_a は、基板の不純物濃度であり、単位は、例えば、毎立方メートル（ m^{-3} ）である。

[0042] また、式3におけるフラットバンド電圧 V_{fb} は、次の式により表される。

[数3]

$$V_{fb} = \phi_G - \phi_s + \frac{q}{C_{ox}} \quad \dots \text{式4}$$

[数4]

$$\phi_G = \phi_P + \phi_N \quad \dots \text{式5}$$

[0043] 式4の右辺の第1項は、ゲート260の仕事関数であり、第2項は、半導

体基板 210 の仕事関数である。また、式 5 の右辺の第 1 項は、P 型半導体領域 262 の仕事関数であり、第 2 項は、ドレイン側 N 型半導体領域 263 の仕事関数である。

[0044] ゲート絶縁膜 245 の面積を一定として、その中のドレイン側 N 型半導体領域 263 の面積を大きくするほど、ドナーの添加量が増加してドレイン側 N 型半導体領域 263 の仕事関数が増加する。一方、ゲート絶縁膜 245 上の P 型半導体領域 262 の面積は小さくなり、アクセプタの添加量が減少して P 型半導体領域 262 の仕事関数が減少する。相対的に値が大きい P 型半導体領域 262 の仕事関数が減少し、値が小さいドレイン側 N 型半導体領域 263 の仕事関数が増加するため、式 5 より、それらを加算したゲート 260 の仕事関数が小さくなる。ゲート 260 の仕事関数が小さくなると、式 4 よりフラットバンド電圧 V_{fb} が低下する。フラットバンド電圧 V_{fb} が低下すると、式 3 より閾値電圧 V_{th} が低くなる。閾値電圧 V_{th} が低くなると、式 2 よりオン電流 I_{on} が大きくなる。つまり、ドレイン側 N 型半導体領域 263 の面積を大きくするほど、オン電流 I_{on} が大きくなる。

[0045] 図 6 は、第 1 の実施の形態におけるドレイン側 N 型半導体領域 263 の面積を大きくした電界効果トランジスタ 200 の断面図の一例である。同図における縦軸は、ドレイン電流 I_d を示し、横軸はゲート電圧 V_g を示す。また、細い実線は、境界位置が X_1 の電界効果トランジスタ 200 の特性を示し、太い実線は、境界位置が X_2 の電界効果トランジスタ 200 の特性を示す。同図に例示するように、ドレイン側 N 型半導体領域 263 の面積が比較的大きい場合のオン電流 I_{on3} は、その面積が比較的小さい場合のオン電流 I_{on2} よりも大きくなる。なお、ドレイン側 N 型半導体領域 263 の面積が比較的大きい場合のリーク電流 I_{off3} は、その面積が比較的小さい場合のリーク電流 I_{off2} と同程度に抑制される。

[0046] このように、ドレイン側 N 型半導体領域 263 の面積を調整することにより、電界効果トランジスタ 200 のオン電流の向上と、リーク電流の抑制とを両立することができる。

[0047] これに対して、ゲートを金属のみで構成した一般的なMOS (Metal Oxide Semiconductor) 型の電界効果トランジスタでは、オン電流の向上とリーク電流の抑制とを両立することが困難である。式2より、ゲート長 L やゲート幅 W を変更すれば、オン電流を向上させることができるが、同時にリーク電流も上昇してしまう。一方、ゲート長 L やゲート幅 W を変更して、リーク電流を低下させると、オン電流も低下してしまう。

[0048] 図7は、第1の実施の形態における電界効果トランジスタ200のサイドウォールスペーサ251および252形成までの製造方法を説明するための図である。同図におけるaに例示するように、まず、成膜装置は、半導体基板210の表面にゲート絶縁膜245を成膜し、そのゲート絶縁膜245の表面にポリシリコン層264を形成する。

[0049] 次に、図7におけるbに例示するように、イオン注入装置は、ヒ素などのドナーをイオン化して注入し、低濃度不純物領域231および232を半導体基板210に形成する。

[0050] そして、図7におけるcに例示するように、成膜装置は絶縁膜を堆積し、その絶縁膜に対して、エッチング装置が等方性エッチングを行う。この結果、ゲート絶縁膜245およびポリシリコン層264の側面に、サイドウォールスペーサ251および252が形成される。

[0051] 図8は、第1の実施の形態における電界効果トランジスタ200のサイドウォールスペーサ251および252形成からの製造方法を説明するための図である。同図におけるaに例示するように、露光装置は、ゲート絶縁膜245のソース220側の端部から境界位置 X_1 までのポリシリコン層264を覆うマスク271をリソグラフィによりパターニングする。そして、イオン注入装置が、イオン化したドナーを注入し、ソース220およびドレイン240と、ドレイン側N型半導体領域263とを形成する。

[0052] 続いて、図8におけるbに例示するように、露光装置は、ポリシリコン層264の部分のみを開口するマスク272をリソグラフィによりパターニングする。そして、イオン注入装置は、アクセプタをイオン化してポリシリコ

ン層 264 に注入し、P 型半導体領域 262 を形成する。この後に、熱処理により不純物が活性化され、ゲート 260、ソース 220 およびドレイン 240 のそれぞれに配線が結線される。

[0053] 図 9 は、第 1 の実施の形態における電界効果トランジスタの製造方法の一例を示すフローチャートである。半導体基板 210 の表面にゲート絶縁膜 245 が形成され、そのゲート絶縁膜 245 の表面にポリシリコン層 264 が形成される（ステップ S901）。次に、イオン化されたドナーの注入により、低濃度不純物領域 231 および 232 が半導体基板 210 に形成される（ステップ S902）。そして、絶縁膜の面積と等方性エッチングとによりサイドウォールスペーサ 251 および 252 が形成される（ステップ S903）。続いて、イオン化されたドナーの注入により、ソース 220 およびドレイン 240 と、ドレイン側 N 型半導体領域 263 とが形成される（ステップ S904）。そして、イオン化されたアクセプタの注入により、P 型半導体領域 262 が形成される（ステップ S905）。なお、ステップ S904 の後にステップ S905 が実行されているが、ステップ S905 の後にステップ S904 が実行されてもよい。

[0054] このように、本技術の第 1 の実施の形態によれば、仕事関数の異なる 2 つの半導体領域をゲート 260 が備えるため、それらの半導体領域の境界に電位差が生じ、オン電流を維持しつつ、リーク電流を抑制することができる。

[0055] [第 1 の変形例]

上述の第 1 の実施の形態では、N 型の電界効果トランジスタ 200 を静電気放電保護回路 120 に設けていたが、代わりに P 型の電界効果トランジスタを設けることもできる。この第 1 の変形例の静電気放電保護回路 120 は、N 型の代わりに P 型の電界効果トランジスタを設けた点において第 1 の実施の形態と異なる。

[0056] 図 10 は、第 1 の実施の形態の第 1 の変形例における静電気放電保護回路 120 の一構成例を示す回路図である。第 1 の変形例の静電気放電保護回路 120 は、インバータ 123 を備えず、N 型の電界効果トランジスタ 200

の代わりに、P型の電界効果トランジスタ201を備える点において第1の実施の形態と異なる。

[0057] 電界効果トランジスタ201のゲートは、抵抗121および容量素子122の接続点に接続される。また、電界効果トランジスタ201のソースは電源線119および129に接続され、ドレインはグランドに接続される。

[0058] 図11は、第1の実施の形態の第1の変形例における電界効果トランジスタ201の断面図の一例である。半導体基板211には、N型のソース220およびドレイン240の代わりに、P型のソース221およびドレイン241が設けられる。また、ゲート絶縁膜245のソース221側の端部から、境界位置X₁までの領域にソース側P型半導体領域269が形成され、ゲート絶縁膜245のドレイン241側の端部から、境界位置X₁までの領域にN型半導体領域268が形成される。

[0059] このように、第1の変形例によれば、P型の電界効果トランジスタ201を設けたため、インバータ123を静電気放電保護回路120に設ける必要がなくなる。

[0060] [第2の変形例]

上述の第1の実施の形態では、容量素子122を接地側に設けてインバータ123により信号を反転していたが、容量素子122を電源側に設ければ、インバータ123を設ける必要がなくなる。この第1の実施の形態の第2の変形例における静電気放電保護回路120は、容量素子122を電源側に設けた点において第1の実施の形態と異なる。

[0061] 図12は、第1の実施の形態の第2の変形例における静電気放電保護回路120の一構成例を示す回路図である。第2の変形例の静電気放電保護回路120は、インバータ123を備えない点において第1の実施の形態と異なる。

[0062] また、第2の変形例の容量素子122の一端は、電源線119および129に接続され、他端は、抵抗121と電界効果トランジスタ200のゲートとに接続される。第2の変形例の抵抗121の一端は、容量素子122およ

び電界効果トランジスタ 200 に接続さ、他端はグランドに接続される。

[0063] このように、第 2 の変形例によれば、容量素子 122 を電源側に設けたため、インバータ 123 を静電気放電保護回路 120 に設ける必要がなくなる。

[0064] [第 3 の変形例]

上述の第 1 の実施の形態では、抵抗 121 および容量素子 122 により電気信号を遅延させていたが、電界効果トランジスタ 200 に寄生容量が形成される場合には、抵抗 121 および容量素子 122 を設ける必要がなくなる。この第 1 の実施の形態の第 3 の変形例における静電気放電保護回路 120 は、抵抗 121 および容量素子 122 を備えない点において第 1 の実施の形態と異なる。

[0065] 図 13 は、第 1 の実施の形態の第 3 の変形例における静電気放電保護回路 120 の一構成例を示す回路図である。第 3 の変形例の静電気放電保護回路 120 は、抵抗 121 および容量素子 122 を備えず、電界効果トランジスタ 200 のゲートがグランドに接続される点において第 1 の実施の形態と異なる。また、第 3 の変形例の電界効果トランジスタ 200 のバックゲートに寄生容量が形成され、その寄生容量により電気信号が遅延する。

[0066] このように、第 3 の変形例によれば、電界効果トランジスタ 200 の寄生容量により電気信号が遅延するため、抵抗 121 および容量素子 122 を静電気放電保護回路 120 に設ける必要がなくなる。

[0067] <2. 第 2 の実施の形態>

上述の第 1 の実施の形態では、ゲート 260 に 2 つの半導体領域を形成していたが、ゲート 260 に 3 つの半導体領域を形成してもよい。この第 2 の実施の形態の電界効果トランジスタ 200 は、ゲート 260 が 3 つの半導体領域を備える点において第 1 の実施の形態と異なる。

[0068] 図 14 は、第 2 の実施の形態における電界効果トランジスタ 200 の断面図の一例である。第 2 の実施形態の電界効果トランジスタ 200 は、ソース側 N 型半導体領域 261 をさらに備える点において第 1 の実施の形態と異なる。

る。

[0069] ソース側N型半導体領域261は、ゲート絶縁膜245のソース220側の端部から、ゲート絶縁膜245の表面上の境界位置 X_0 までの領域に設けられる。この境界位置 X_0 は、境界位置 X_1 よりもソース220に近い位置であり、例えば、低濃度不純物領域231と半導体基板210との境界の位置と略一致する。

[0070] 図15は、第2の実施の形態における電界効果トランジスタ200の製造方法を説明するための図である。サイドウォールスペーサ251および252の形成後に、同図におけるaに例示するように、境界位置 X_0 から X_1 までの領域を覆うマスク273を露光装置がリソグラフィによりパターニングする。そして、イオン注入装置は、ドナーをイオン化して注入し、ソース220およびドレイン240と、ソース側N型半導体領域261と、ドレイン側N型半導体領域263とを形成する。

[0071] 続いて、図15におけるbに例示するように、露光装置は、ポリシリコン層264の部分のみを開口するマスク274を、リソグラフィによりパターニングする。そして、イオン注入装置は、ポリシリコン層264にイオン化したアクセプタを注入して、P型半導体領域262を形成する。

[0072] 第2の実施の形態では、図15におけるbに例示するように、マスク274の端部は、境界位置 X_0 に調整される。この境界位置 X_0 は、ゲート絶縁膜245のソース220側の端部よりもドレイン240側にあるため、マスク274の端部の位置が多少ずれても、イオン化したアクセプタの注入の際に、ソース220に、そのイオンが注入されてしまう可能性は低い。これに対して、ソース側N型半導体領域261を設けない第1の実施の形態では、P型半導体領域262の形成の際にマスクの端部の位置がずれると、ソース220にもイオン注入されてしまうおそれがある。N型のソース220に、イオン化したアクセプタが注入されると、ソース220の導電率が低下し、電界効果トランジスタ200の特性が劣化する。このように、ソース側N型半導体領域261を形成することにより、アクセプタとなるイオンがソース2

20に注入されることを抑制することができる。

[0073] 図16は、第2の実施の形態におけるドレイン側N型半導体領域263の面積を大きくした電界効果トランジスタの断面図の一例である。例えば、ソース側N型半導体領域261の境界位置は X_0 のままで、ドレイン側N型半導体領域263の境界位置は X_1 から X_2 に調整される。

[0074] ドレイン側N型半導体領域263の面積を大きくするほど、第1の実施の形態と同様に、リーク電流が抑制され、オン電流が増大する。一方、ソース側N型半導体領域261の面積を増加すると、ドレイン側N型半導体領域263とは逆極性の電位差が生じる。このため、リーク電流を抑制する観点から、ソース側N型半導体領域261の面積はドレイン側N型半導体領域263よりも大きくする必要はない。

[0075] なお、電界効果トランジスタ200をP型とする場合も同様に、ゲートに3つの半導体領域を設けてもよい。この場合には、ゲートにおいてソース側にソース側P型半導体領域が形成され、ドレイン側にドレイン側P型半導体領域が形成され、その間にN型半導体領域が形成される。

[0076] 図17は、第2の実施の形態におけるドレイン側N型半導体領域263およびソース側N型半導体領域261のそれぞれの面積とドレイン電流との関係を説明するための図である。ゲート絶縁膜245の面積を一定としてドレイン側N型半導体領域263の面積を大きくするほど、第1の実施の形態と同様に、リーク電流が抑制され、オン電流が増大する。一方、ソース側N型半導体領域261の面積を大きくするほど、リーク電流が増大し、オン電流も増大する。これらの関係に基づき、リーク電流が許容値以下に抑制される範囲で、オン電流が増大するように、ソース側N型半導体領域261およびドレイン側N型半導体領域263のそれぞれの面積が調整される。

[0077] このように、第2の実施の形態によれば、ソース側N型半導体領域261をさらに設けたため、ソース側N型半導体領域261およびドレイン側N型半導体領域263の各面積の調整により、オン電流の増大とリーク電流の抑制とを両立することができる。

[0078] <3. 第3の実施の形態>

上述の第1の実施の形態では、ゲート260に2つの半導体領域を形成していたが、ゲート260に3つの金属の領域を形成してもよい。この第3の実施の形態の電界効果トランジスタ200は、ゲート260が3つの金属の領域を備える点において第1の実施の形態と異なる。

[0079] 図18は、第3の実施の形態における電界効果トランジスタ200の断面図の一例である。第3の実施の形態の電界効果トランジスタ200は、ゲート260がソース側領域265と中間領域266とド레인側領域267とを備える点において第1の実施の形態と異なる。

[0080] ソース側領域265は、ゲート絶縁膜245のソース220側の端部から、境界位置 X_1 までの領域に設けられ、ド레인側領域267は、ゲート絶縁膜245のド레인240側の端部から、境界位置 X_0 までの領域に設けられる。また、中間領域266は、境界までの領域に設けられる。

[0081] ソース側領域265およびド레인側領域267は、仕事関数が同一の金属（例えば、モリブデン）により形成される。また、中間領域266は、ソース側領域265およびド레인側領域267より仕事関数が高い金属（例えば、白金）により形成される。なお、モリブデンや白金以外の金属により、それぞれの領域を形成してもよい。

[0082] また、P型の電界効果トランジスタ200において、3つの金属の領域を設けてもよい。この場合には、中間領域266は、ソース側領域265およびド레인側領域267より仕事関数が小さい金属により形成される。

[0083] また、ソース側領域265、中間領域266およびド레인側領域267の3つの領域をゲート260に設けているが、それらのうち2つのみを設けてもよい。電界効果トランジスタ200をN型とする場合には、中間領域266およびド레인側領域267のみが設けられ、P型とする場合には、ソース側領域265および中間領域266のみが設けられる。

[0084] また、ソース側領域265およびド레인側領域267の面積を同一にしているが、これらの面積が異なる構成であってもよい。それぞれの面積は、

第2の実施の形態と同様に、リーク電流を抑制し、オン電流が上昇するように調整される。

[0085] 図19は、第3の実施の形態における電界効果トランジスタ200の化学機械平坦化までの製造方法を説明するための図である。サイドウォールスペーサ251および252の形成後に、イオン注入装置は、ドナーをイオン化して注入し、ソース220およびドレイン240とN型半導体領域280とを形成する。

[0086] そして、図19におけるbに例示するように、成膜装置が、二酸化シリコン膜281を堆積させる。そして、同図におけるcに例示するように、CMP (Chemical Mechanical Planarization) 装置は、二酸化シリコン膜281において化学機械平坦化を行ってN型領域280を露出させる。

[0087] 図20は、第3の実施の形態における電界効果トランジスタ200のソース側領域265およびドレイン側領域形成267までの製造方法を説明するための図である。CMPの後、同図におけるaに例示するように、エッチング装置は、選択エッチングにより、N型半導体領域280を除去する。そして、同図におけるbに例示するように、スパッタリング装置が、スパッタリングを行ってモリブデンを堆積させる。このモリブデンは、同図におけるcに例示するように、エッチング装置による異方向性エッチングによって、サイドウォールスペーサ251および252の周辺のみを残して除去される。これにより、ソース側領域265およびドレイン側領域267が形成される。

[0088] 図21は、第3の実施の形態における電界効果トランジスタ200のソース側領域265およびドレイン側領域267形成からの製造方法を説明するための図である。同図におけるaに例示するように、スパッタリング装置は、スパッタリングにより白金を堆積させる。そして、同図におけるbに例示するように、CMP装置は、化学機械平坦化を行って二酸化シリコン膜281を露出させる。これにより、中間領域266が形成される。そして、同図におけるcに例示するように、二酸化シリコン膜281がエッチングなどに

より除去される。

[0089] 図22は、第3の実施の形態における電界効果トランジスタの製造方法の一例を示すフローチャートである。第3の実施の形態の製造方法は、ステップS904およびS905の代わりに、ステップS910乃至S918が実行される点において第1の実施の形態と異なる。

[0090] サイドウォールスペーサ251および252の形成後（ステップS903）に、イオン化されたドナーの注入により、ソース220およびドレイン240と、N型半導体領域280とが形成される（ステップS910）。そして、二酸化シリコン膜281が成膜され（ステップS911）、化学機械平坦化が行われる（ステップS912）。

[0091] 続いて選択エッチングにより、N型半導体領域280が除去され（ステップS913）、モリブデンが堆積される（ステップS914）。このモリブデンは、異方向性エッチングによって、サイドウォールスペーサ251および252の周辺のみを残して除去される（ステップS915）。これにより、ソース側領域265およびドレイン側領域267が形成される。

[0092] そして、白金が堆積され（ステップS916）、化学機械平坦化が行われる（ステップS917）。そして、二酸化シリコン膜281が除去される（ステップS918）。

[0093] このように、本技術の第3の実施の形態によれば、仕事関数の異なるソース側領域265、中間領域266およびドレイン側領域267を設けたため、それらの面積の調整によりオン電流の増大とリーク電流の抑制とを両立することができる。

[0094] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すこと

により具現化することができる。

[0095] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

[0096] なお、本技術は以下のような構成もとることができる。

(1) ソースと、

ドレインと、

前記ソースおよび前記ドレインの間に配置されたゲート絶縁膜と、

前記ゲート絶縁膜の表面に設けられた、仕事関数の異なる複数の領域を備えるゲートと

を具備するトランジスタ。

(2) 前記複数の領域は、2つの領域からなる

前記(1)記載のトランジスタ。

(3) 前記2つの領域の一方は、前記ドレイン側に配置されたN型半導体領域であり、

前記2つの領域の他方は、前記ソース側に配置されたP型半導体領域であり、

前記ドレインおよび前記ソースは、N型半導体から形成される

前記(2)記載のトランジスタ。

(4) 前記2つの領域の一方は、前記ソース側に配置されたN型半導体領域であり、

前記2つの領域の他方は、前記ドレイン側に配置されたP型半導体領域であり、

前記ドレインおよび前記ソースは、P型半導体から形成される

前記(2)記載のトランジスタ。

(5) 前記複数の領域は、前記ドレイン側に配置されたドレイン側領域と、前記ソース側に配置されたソース側領域と、前記ドレイン側領域および前記ソース側領域の間に配置された中間領域とからなる

前記(1)記載のトランジスタ。

(6) 前記ドレイン側領域および前記ソース側領域と前記ソースおよび前記ドレインとは、N型半導体から形成され、

前記中間領域は、P型半導体から形成される

前記(5)記載のトランジスタ。

(7) 前記ドレイン側領域および前記ソース側領域と前記ソースおよび前記ドレインとは、P型半導体から形成され、

前記中間領域は、N型半導体から形成される

前記(5)記載のトランジスタ。

(8) 前記ドレイン側領域および前記ソース側領域のそれぞれの面積が異なる

前記(5)から(7)のいずれかに記載のトランジスタ。

(9) 前記複数の領域は、仕事関数の異なる金属から形成される

前記(1)から(8)のいずれかに記載のトランジスタ。

(10) 電源に接続された電源線と、

所定の電位の接地線と、

前記電源線に接続されたソースと、

前記接地線に接続されたドレインと、

前記ソースおよび前記ドレインの間に配置されたゲート絶縁膜と、

前記ゲート絶縁膜の表面に設けられた、仕事関数の異なる複数の領域を備えるゲートと

を具備する保護回路。

(11) 前記電源線を介して入力された電気信号を遅延させる容量素子をさらに具備し、

前記遅延した電気信号が前記ゲートに入力される

前記(10)記載の保護回路。

(12) 半導体基板の表面のゲート絶縁膜にシリコン層を形成するシリコン層形成手順と、

前記シリコン層の一部と前記半導体基板の所定領域とに所定の不純物を添

加する第１の添加手順と、

前記シリコン層の前記一部を除く部分に前記所定の不純物と異なる不純物を添加する第２の添加手順と

を具備するトランジスタの製造方法。

（１３）半導体基板の表面のゲート絶縁膜に所定の金属を堆積する第１の堆積手順と、

前記所定の金属をエッチングにより一部を残して除去するエッチング手順と、

前記所定の金属と異なる金属を前記ゲート絶縁膜の表面に堆積する第２の堆積手順と、

を具備するトランジスタの製造方法。

符号の説明

- [0097] １００ 電子装置
- １１０ 電源回路
- １２０ 静電気放電保護回路
- １２１ 抵抗
- １２２ 容量素子
- １２３ インバータ
- １３０ 処理回路
- ２００、２０１ 電界効果トランジスタ
- ２１０、２１１ 半導体基板
- ２２０、２２１ ソース
- ２３１、２３２ 低濃度不純物領域
- ２４０、２４１ ドレイン
- ２４５ ゲート絶縁膜
- ２５１、２５２ サイドウォールスペーサ
- ２６０ ゲート
- ２６１ ソース側Ｎ型半導体領域

- 2 6 2 P型半導体領域
- 2 6 3 ドレイン側N型半導体領域
- 2 6 4 ポリシリコン層
- 2 6 5 ソース側領域
- 2 6 6 中間領域
- 2 6 7 ドレイン側領域
- 2 6 8、2 8 0 N型半導体領域
- 2 6 9 ソース側P型半導体領域
- 2 7 1、2 7 2、2 7 3、2 7 4 マスク
- 2 8 1 二酸化シリコン膜

請求の範囲

- [請求項1] ソースと、
 ドレインと、
 前記ソースおよび前記ドレインの間に配置されたゲート絶縁膜と、
 前記ゲート絶縁膜の表面に設けられた、仕事関数の異なる複数の領域を備えるゲートと
 を具備するトランジスタ。
- [請求項2] 前記複数の領域は、2つの領域からなる
 請求項1記載のトランジスタ。
- [請求項3] 前記2つの領域の一方は、前記ドレイン側に配置されたN型半導体領域であり、
 前記2つの領域の他方は、前記ソース側に配置されたP型半導体領域であり、
 前記ドレインおよび前記ソースは、N型半導体から形成される
 請求項2記載のトランジスタ。
- [請求項4] 前記2つの領域の一方は、前記ソース側に配置されたN型半導体領域であり、
 前記2つの領域の他方は、前記ドレイン側に配置されたP型半導体領域であり、
 前記ドレインおよび前記ソースは、P型半導体から形成される
 請求項2記載のトランジスタ。
- [請求項5] 前記複数の領域は、前記ドレイン側に配置されたドレイン側領域と、
 前記ソース側に配置されたソース側領域と、前記ドレイン側領域および前記ソース側領域の間に配置された中間領域とからなる
 請求項1記載のトランジスタ。
- [請求項6] 前記ドレイン側領域および前記ソース側領域と前記ソースおよび前記ドレインとは、N型半導体から形成され、
 前記中間領域は、P型半導体から形成される

請求項 5 記載のトランジスタ。

[請求項 7] 前記ドレイン側領域および前記ソース側領域と前記ソースおよび前記ドレインとは、P 型半導体から形成され、
前記中間領域は、N 型半導体から形成される
請求項 5 記載のトランジスタ。

[請求項 8] 前記ドレイン側領域および前記ソース側領域のそれぞれの面積が異なる
請求項 5 記載のトランジスタ。

[請求項 9] 前記複数の領域は、仕事関数の異なる金属から形成される
請求項 1 記載のトランジスタ。

[請求項 10] 電源に接続された電源線と、
所定の電位の接地線と、
前記電源線に接続されたソースと、
前記接地線に接続されたドレインと、
前記ソースおよび前記ドレインの間に配置されたゲート絶縁膜と、
前記ゲート絶縁膜の表面に設けられた、仕事関数の異なる複数の領域を備えるゲートと
を具備する保護回路。

[請求項 11] 前記電源線を介して入力された電気信号を遅延させる容量素子をさらに具備し、
前記遅延した電気信号が前記ゲートに入力される
請求項 10 記載の保護回路。

[請求項 12] 半導体基板の表面のゲート絶縁膜にシリコン層を形成するシリコン層形成手順と、
前記シリコン層の一部と前記半導体基板の所定領域とに所定の不純物を添加する第 1 の添加手順と、
前記シリコン層の前記一部を除く部分に前記所定の不純物と異なる不純物を添加する第 2 の添加手順と

を具備するトランジスタの製造方法。

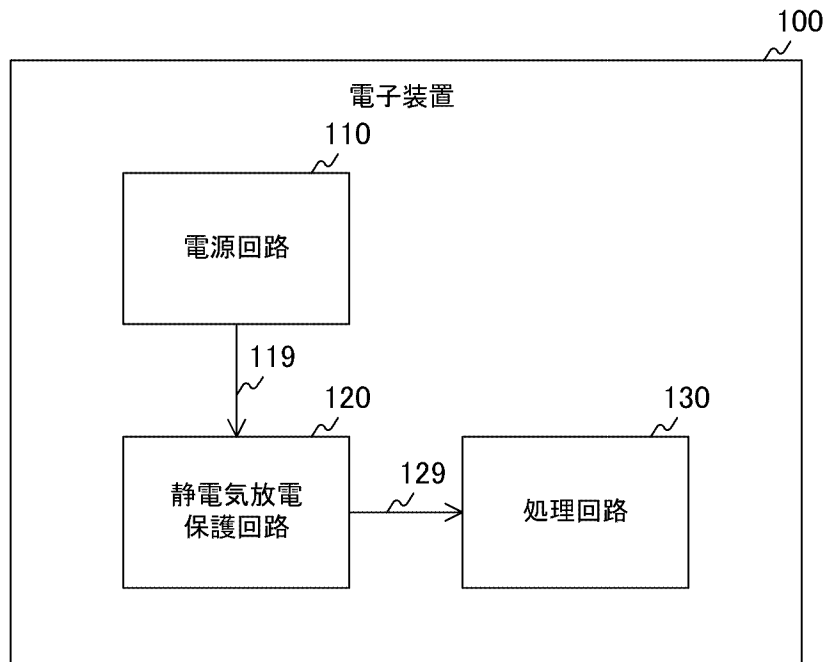
[請求項13] 半導体基板の表面のゲート絶縁膜に所定の金属を堆積する第1の堆積手順と、

 前記所定の金属をエッチングにより一部を残して除去するエッチング手順と、

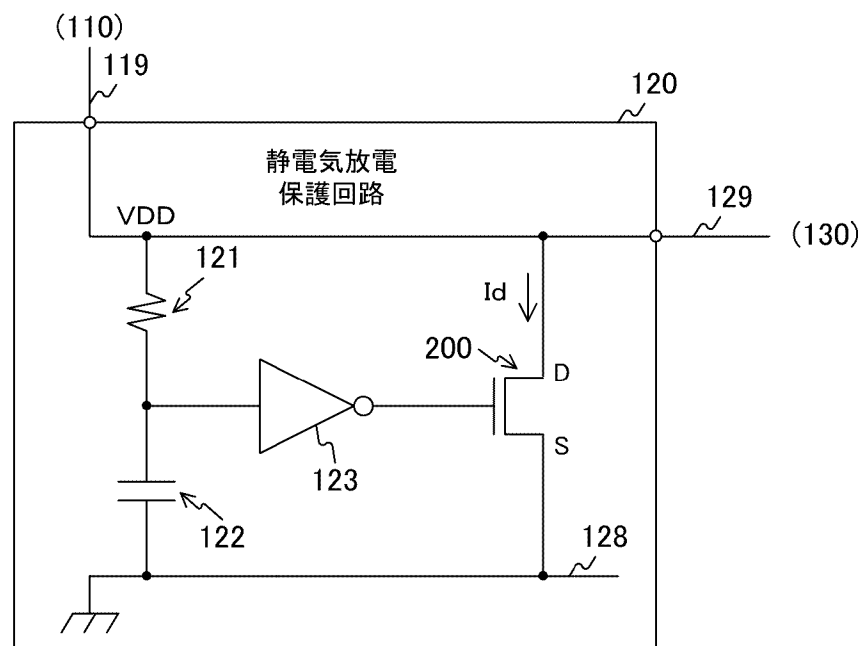
 前記所定の金属と異なる金属を前記ゲート絶縁膜の表面に堆積する第2の堆積手順と、

を具備するトランジスタの製造方法。

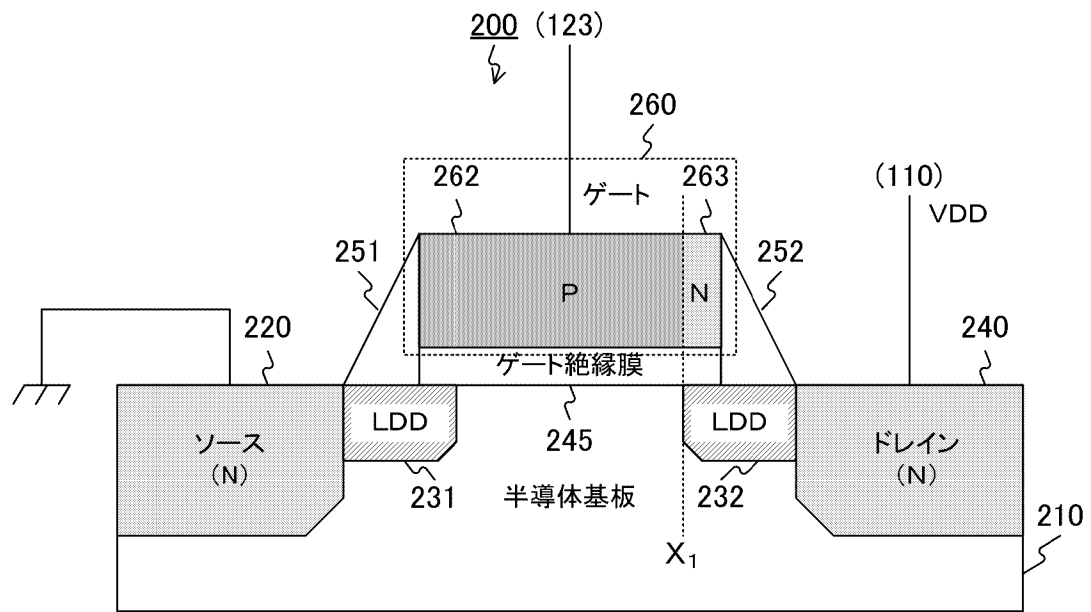
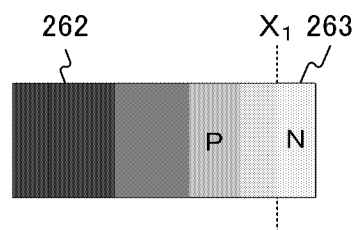
[図1]



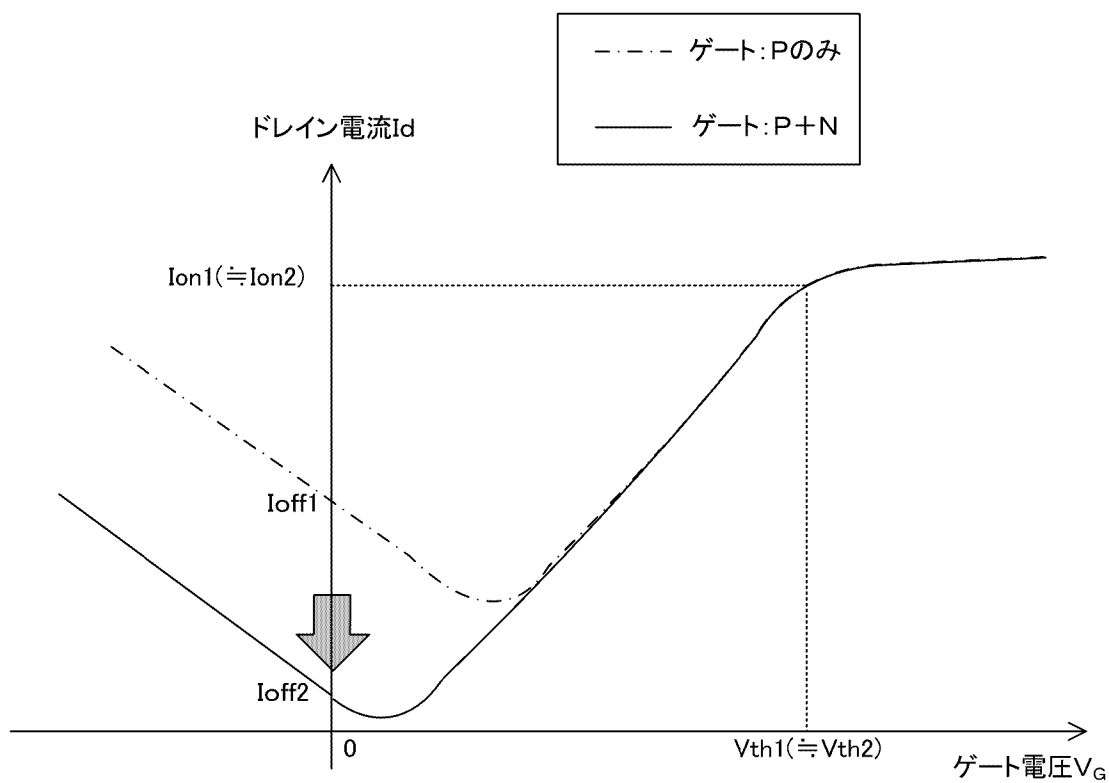
[図2]



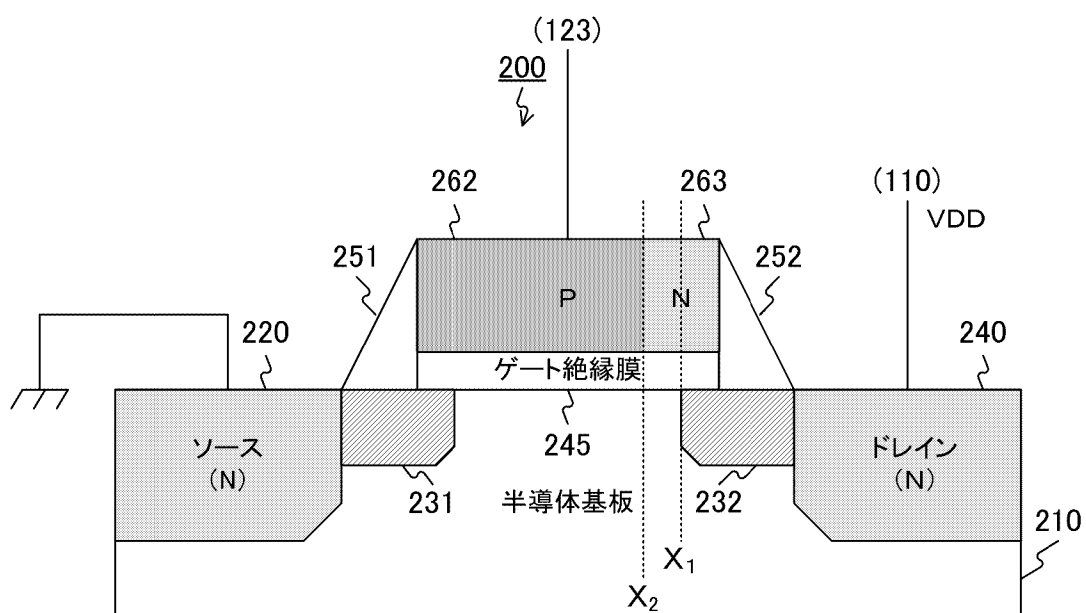
[図3]

ab

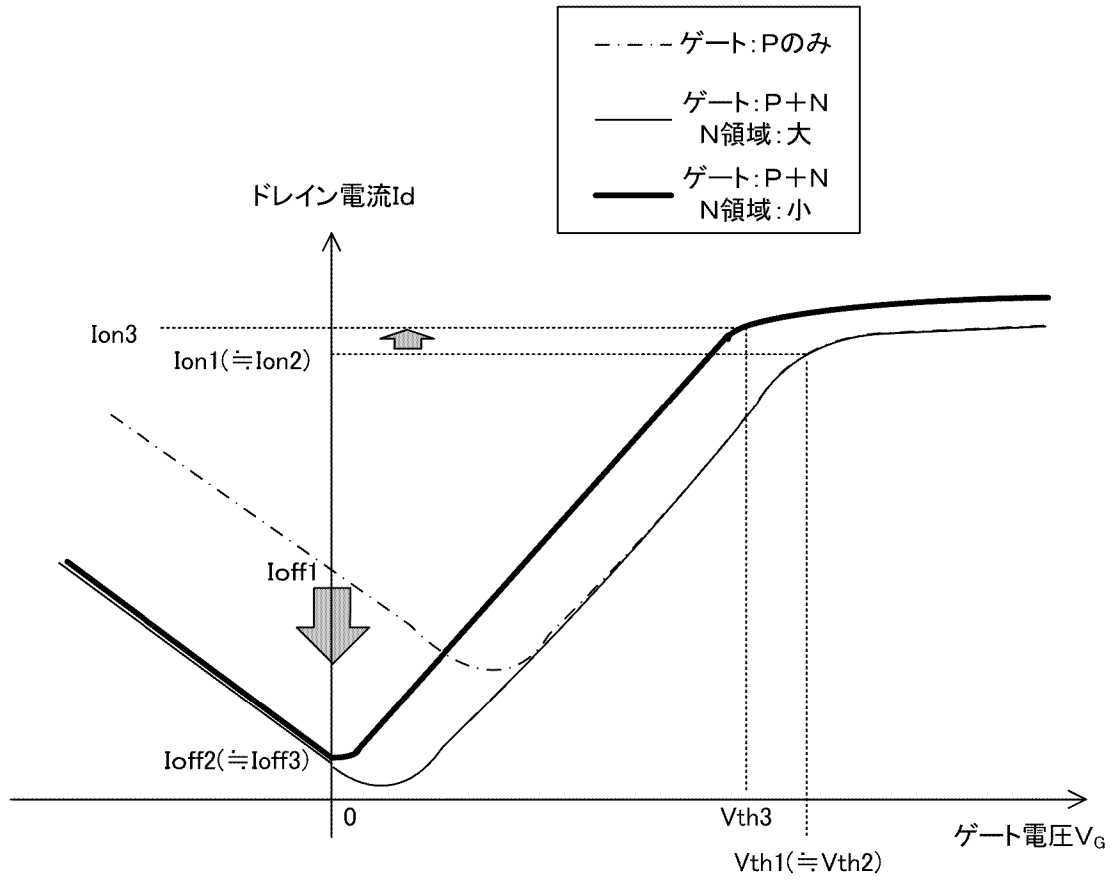
[図4]



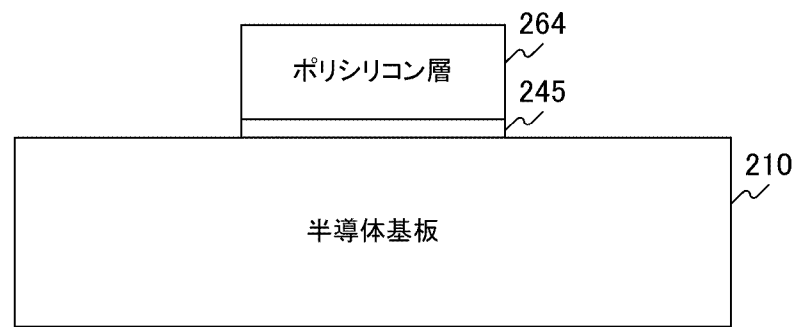
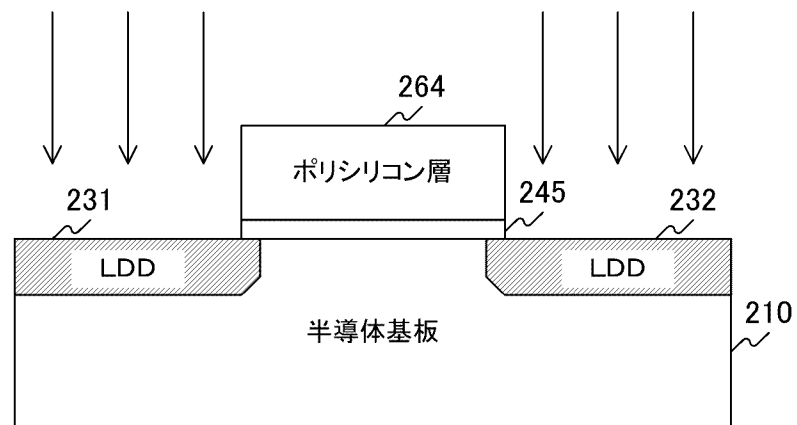
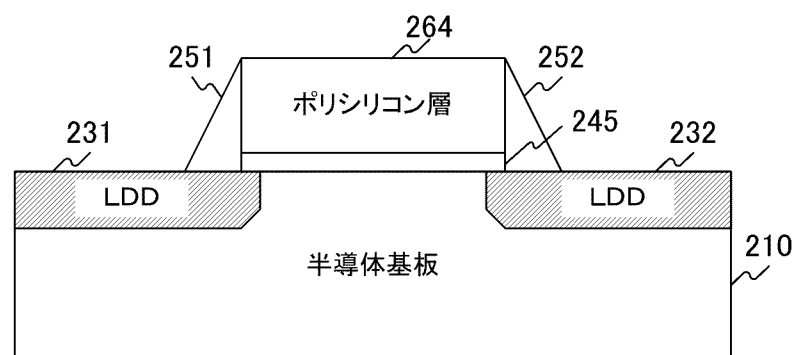
[図5]



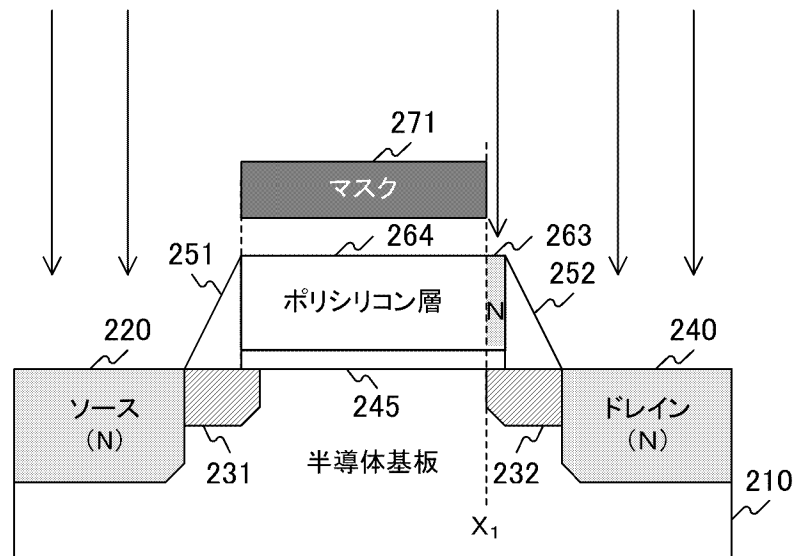
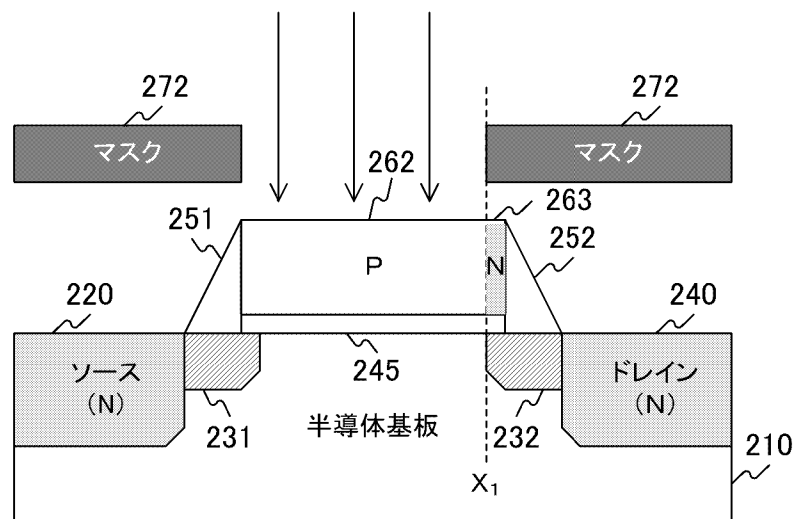
[図6]



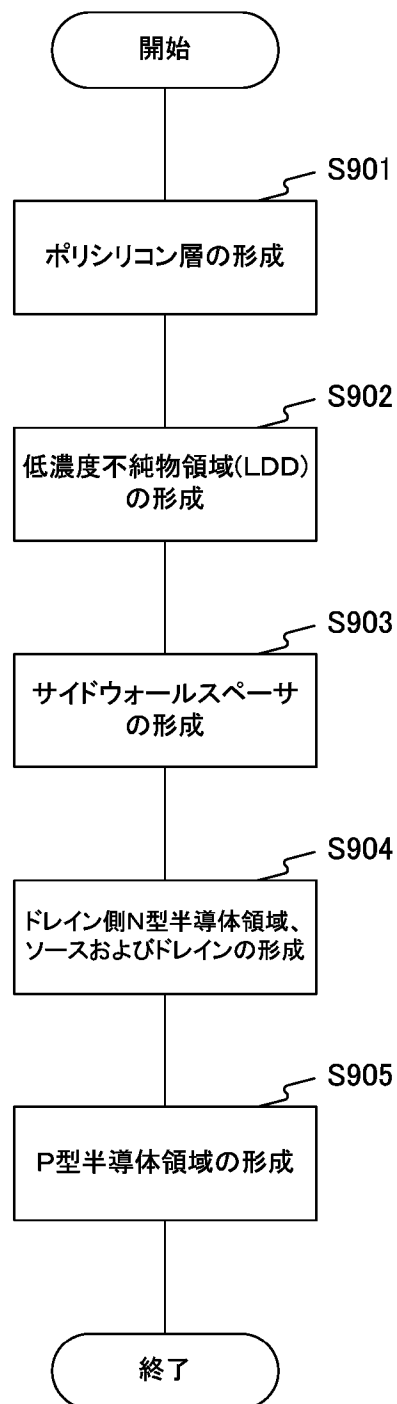
[図7]

abc

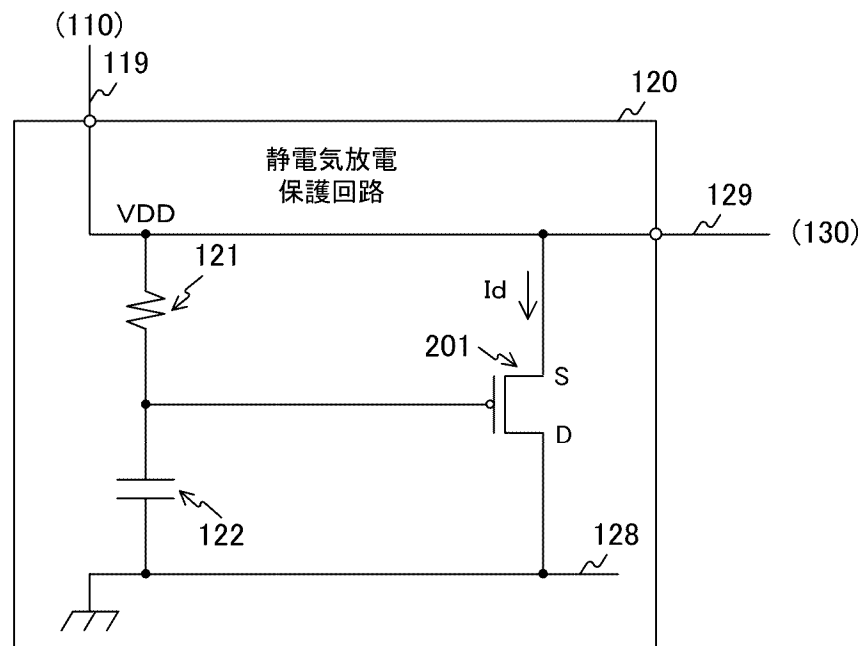
[図8]

ab

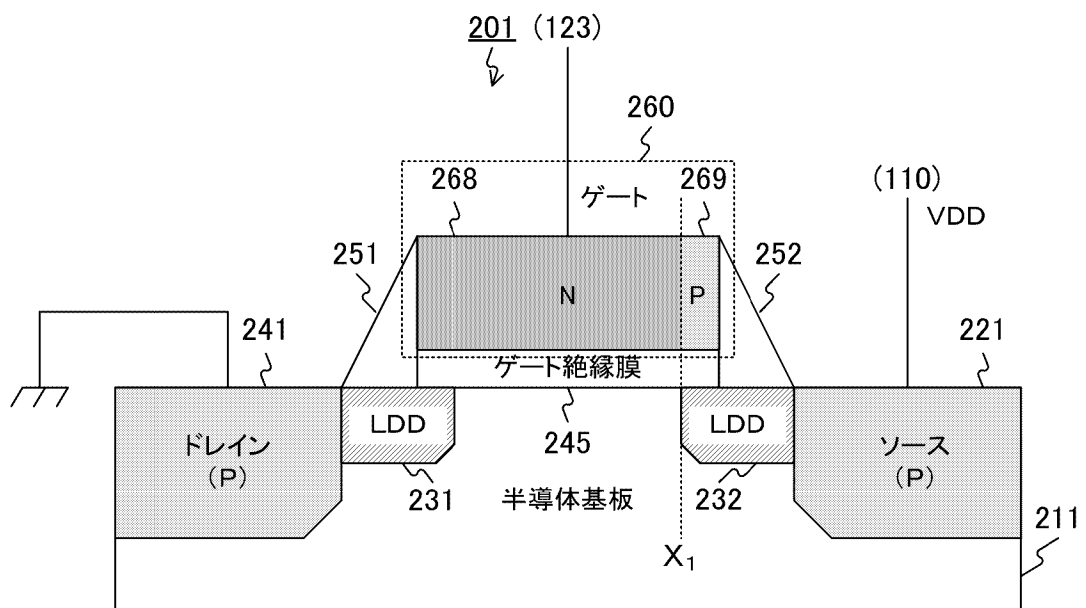
[図9]



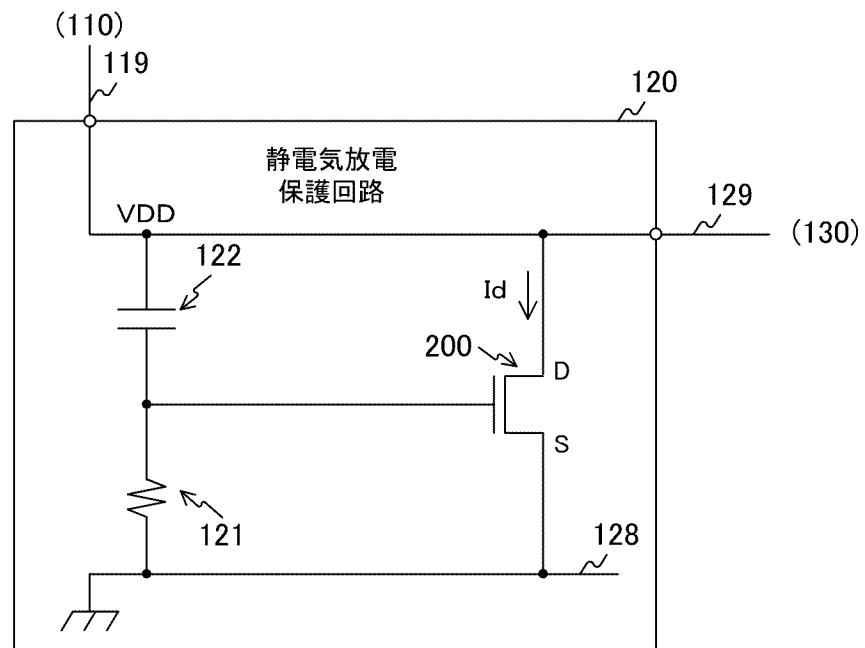
[図10]



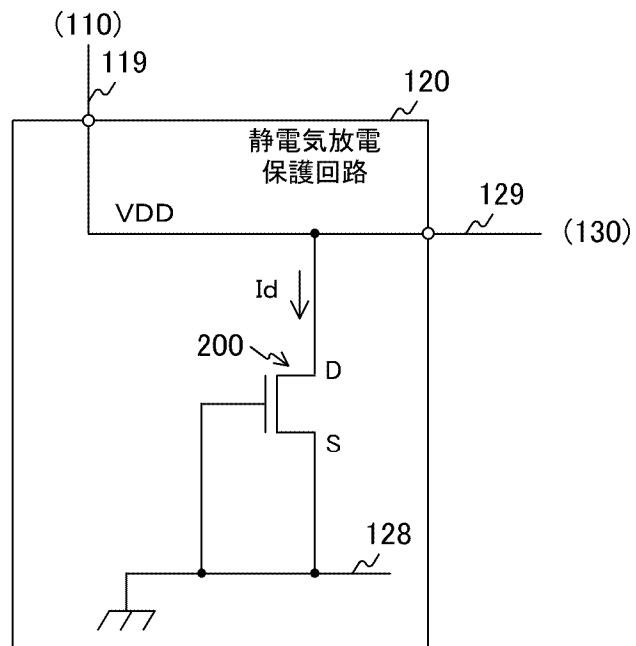
[図11]

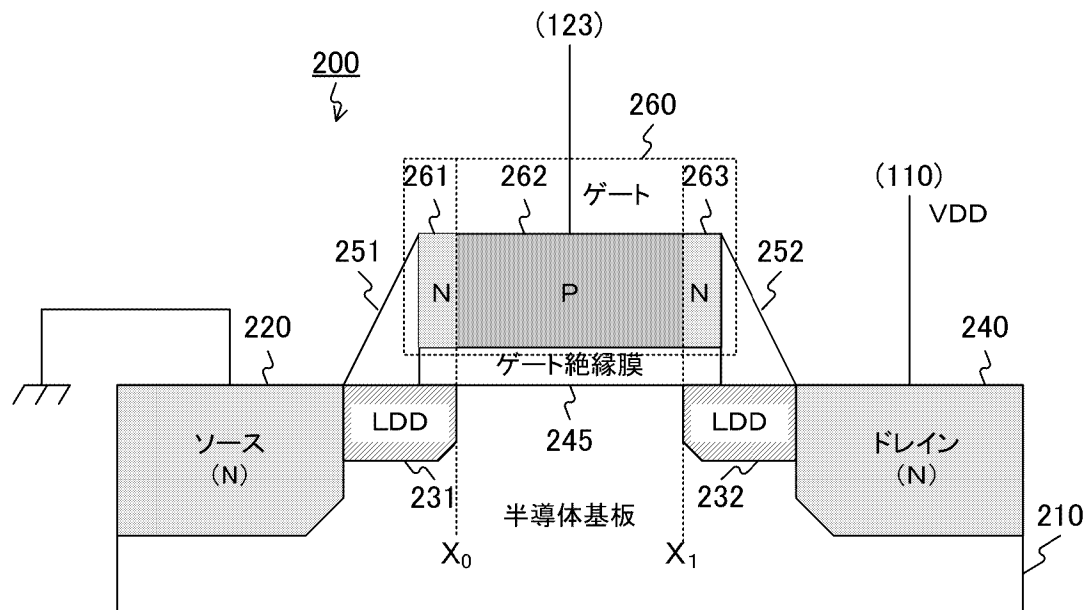


[図12]

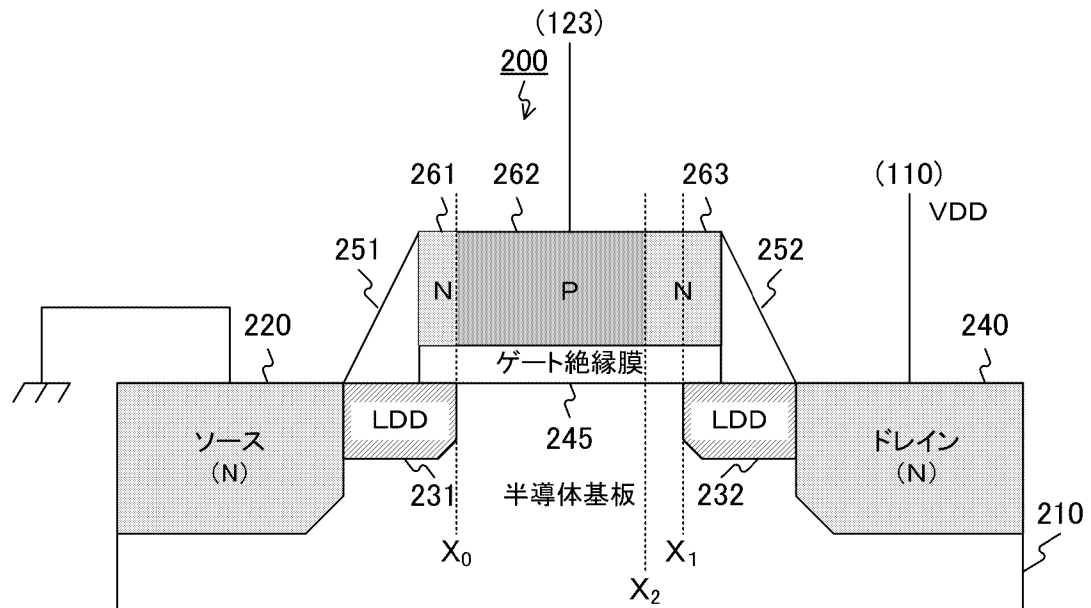


[図13]



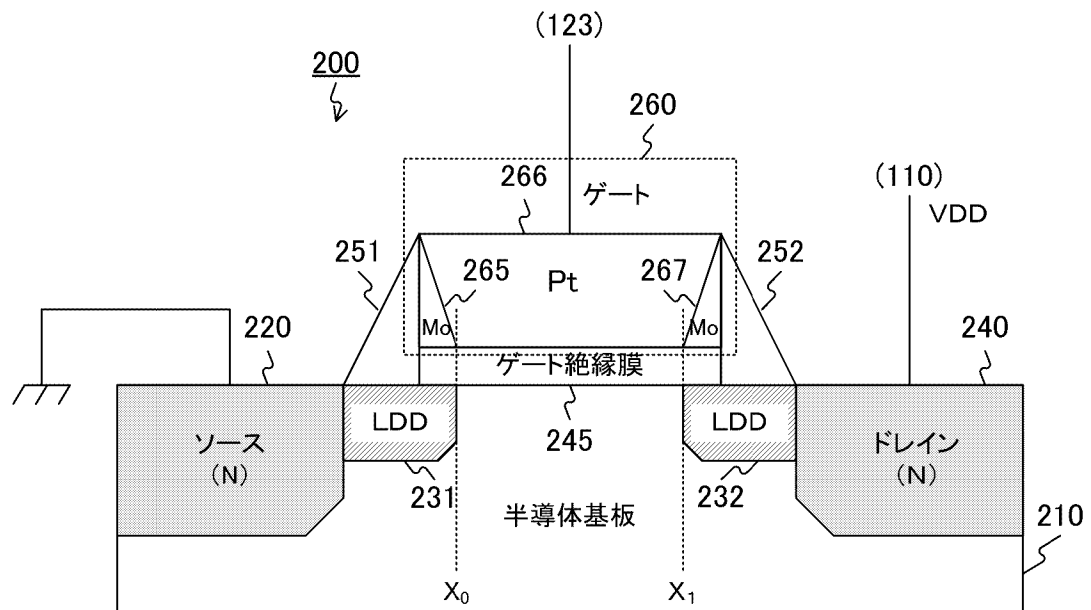


[図16]

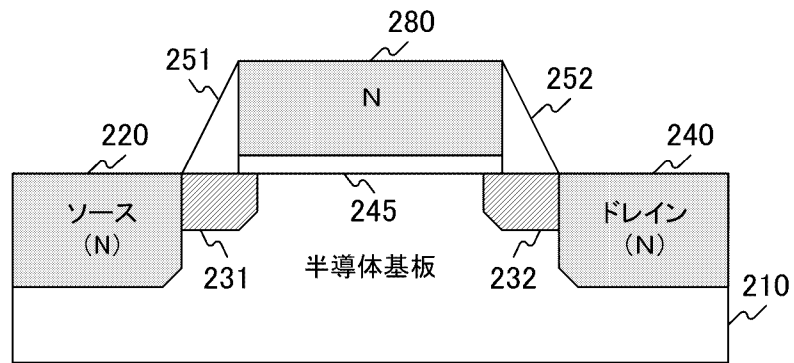


[図17]

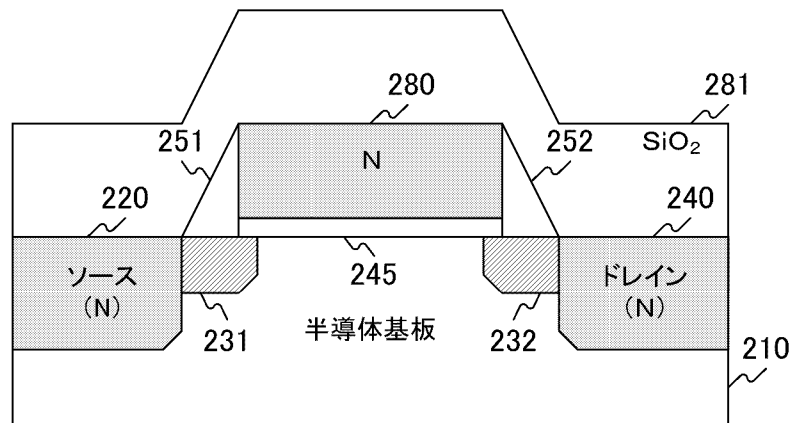
	オン電流 I_{on}	リーク電流 I_{off}
ドレイン側N型半導体領域の面積	大きくするほど上昇	大きくするほど低下
ソース側N型半導体領域の面積	大きくするほど上昇	大きくするほど上昇



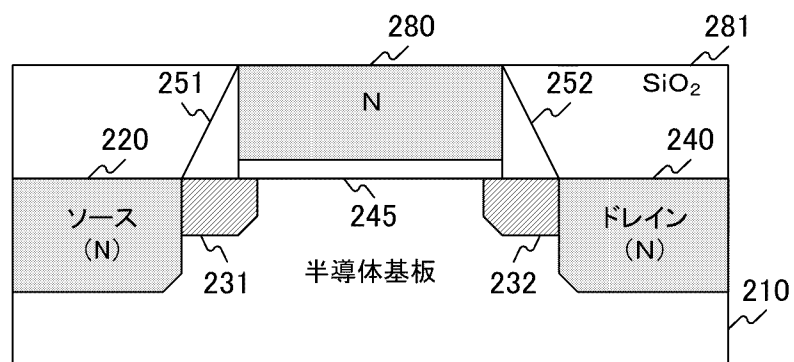
[図19]



a



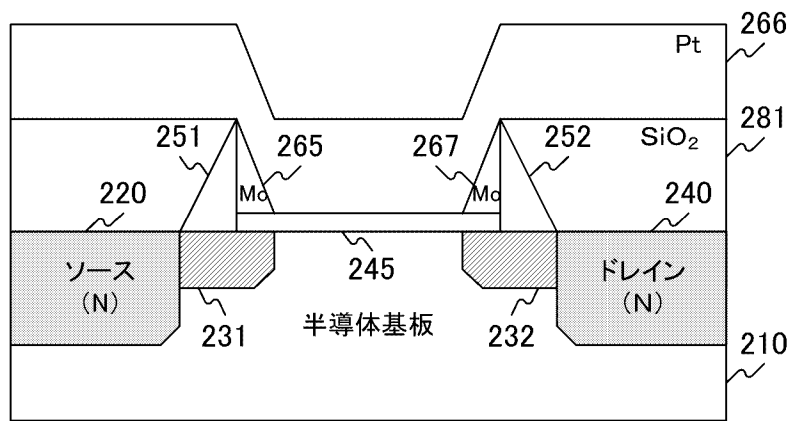
b



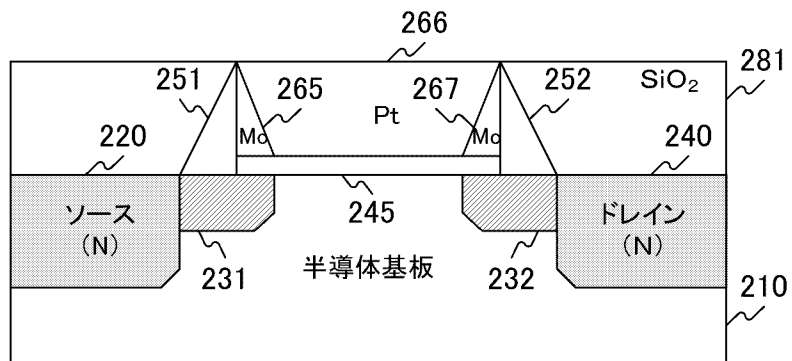
c



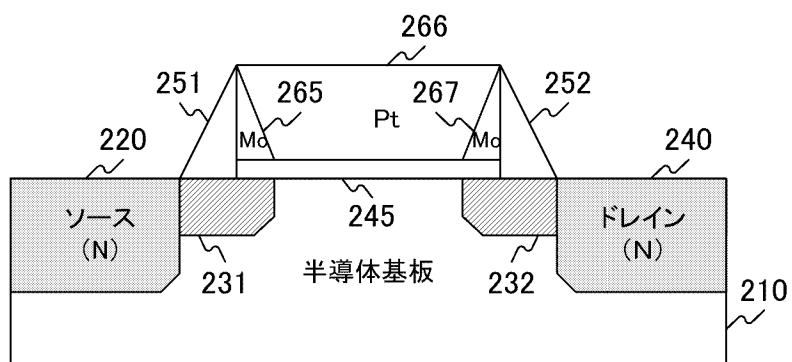
[図21]



a

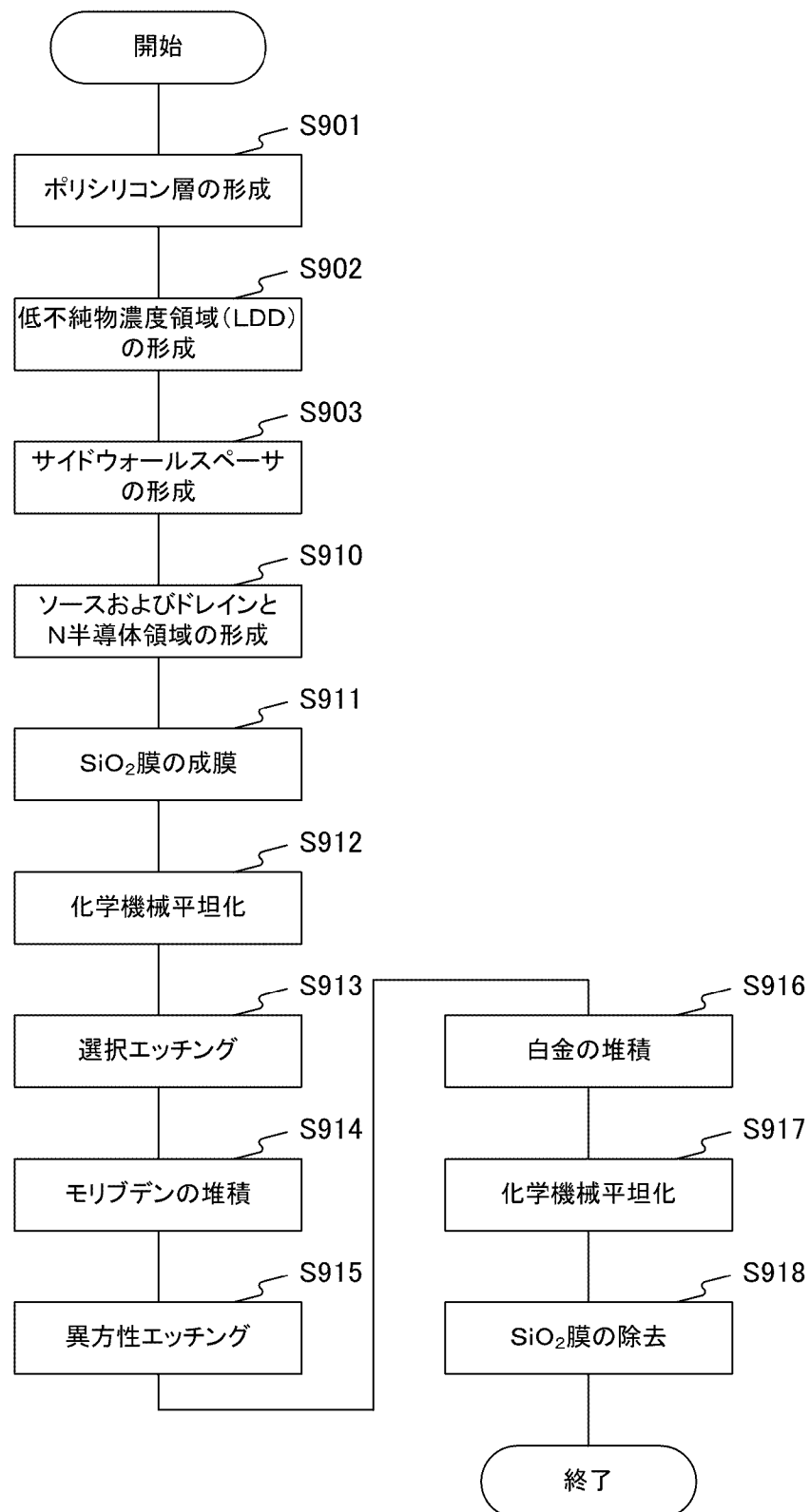


b



c

[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084598

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/06(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i,
H01L27/088(2006.01)i, H01L29/41(2006.01)i, H01L29/423(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/06, H01L21/28, H01L21/336, H01L21/822, H01L21/8234, H01L27/04,
H01L27/088, H01L29/41, H01L29/423, H01L29/49, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-253541 A (Ricoh Co., Ltd.), 09 September 2004 (09.09.2004), paragraphs [0046] to [0054]; fig. 4 & US 2004/0183119 A1 paragraphs [0050] to [0057]; fig. 4A, 4B	1-4 5-13
X A	JP 07-183500 A (Samsung Electronics Co., Ltd.), 21 July 1995 (21.07.1995), paragraphs [0014] to [0030]; fig. 1 to 4 & US 5593909 A page 3, line 41 to page 6, line 6; fig. 2A to 4 & US 5894157 A & US 5804837 A & KR 10-1996-0012585 B1	1, 5-7, 12 2-4, 8-11, 13

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 January 2016 (13.01.16)

Date of mailing of the international search report
26 January 2016 (26.01.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084598

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-514663 A (Intel Corp.), 25 April 2013 (25.04.2013), paragraphs [0022] to [0023], [0030]; fig. 7, 8a & US 2011/0147837 A1 paragraphs [0029] to [0030], [0037]; fig. 7A to 8A & WO 2011/087604 A2 & EP 2517244 A2 & TW 201133781 A & CN 102714207 A & KR 10-2012-0088002 A	1-2, 9, 13 3-8, 10-12
X Y	JP 2004-281843 A (Toshiba Corp.), 07 October 2004 (07.10.2004), paragraphs [0010] to [0013], [0025] to [0037]; fig. 2, 9 (Family: none)	1, 5, 10 11
Y	JP 2012-253241 A (Sony Corp.), 20 December 2012 (20.12.2012), paragraphs [0039] to [0045]; fig. 1 & US 2012/0307410 A1 paragraphs [0060] to [0070]; fig. 1 & CN 102810538 A	11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084598

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/49(2006.01)i, H01L29/78(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/06(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i,
H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/088(2006.01)i, H01L29/41(2006.01)i,
H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/06, H01L21/28, H01L21/336, H01L21/822, H01L21/8234, H01L27/04, H01L27/088, H01L29/41,
H01L29/423, H01L29/49, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-253541 A（株式会社リコー）2004.09.09, 段落[0046]-[0054]、図4 & US 2004/0183119 A1 (Paragraphs	1-4
A	[0050]-[0057], FIG. 4A, FIG. 4B)	5-13
X	JP 07-183500 A（三星電子株式会社）1995.07.21, 段落[0014]-[0030]、図1-4	1, 5-7, 12
A	& US 5593909 A (P.3 line41-P.6 line6, FIGs. 2A-4) & US 5894157 A & US 5804837 A & KR 10-1996-0012585 B1	2-4, 8-11, 13

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.01.2016

国際調査報告の発送日

26.01.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

5 F

6299

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-514663 A (インテル コーポレーション) 2013. 04. 25, 段落[0022]-[0023]、段落[0030]、図 7、図 8a	1-2, 9, 13
A	& US 2011/0147837 A1 (Paragraphs [0029]-[0030], [0037], FIGs. 7A- FIG. 8A) & WO 2011/087604 A2 & EP 2517244 A2 & TW 201133781 A & CN 102714207 A & KR 10-2012-0088002 A	3-8, 10-12
X	JP 2004-281843 A (株式会社東芝) 2004. 10. 07, 段落[0010]-[0013]、段落[0025]-[0037]、図 2、図 9	1, 5, 10
Y	(ファミリーなし)	11
Y	JP 2012-253241 A (ソニー株式会社) 2012. 12. 20, 段落[0039]-[0045]、図 1 & US 2012/0307410 A1 (Paragraphs [0060]-[0070], FIG. 1) & CN 102810538 A	11