



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년06월18일
(11) 등록번호 10-2821901
(24) 등록일자 2025년06월12일

(51) 국제특허분류(Int. Cl.)
G11C 5/14 (2021.01) G11C 29/02 (2006.01)
(52) CPC특허분류
G11C 5/147 (2013.01)
G11C 29/021 (2013.01)
(21) 출원번호 10-2023-0195188
(22) 출원일자 2023년12월28일
심사청구일자 2023년12월28일
(56) 선행기술조사문헌
KR1020100061753 A*
US20060142977 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
변경수
서울특별시 서초구 도구로 73, 101동 801호(방배동, 대성아파트)
(74) 대리인
양성보

전체 청구항 수 : 총 4 항

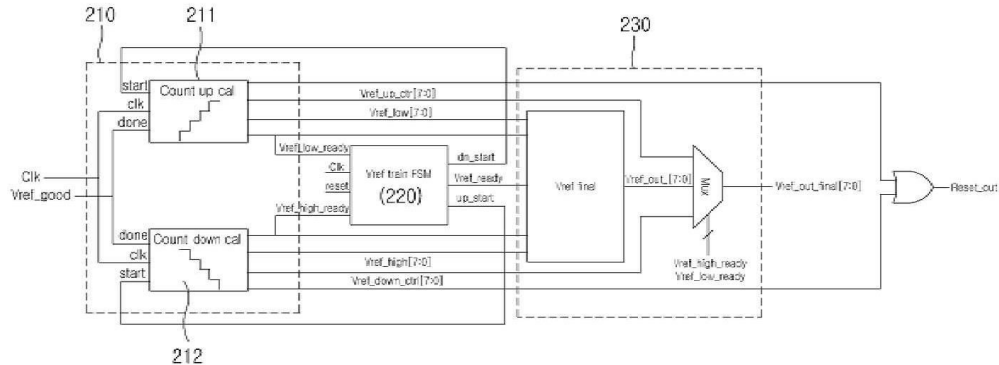
심사관 : 김대영

(54) 발명의 명칭 메모리 인터페이스용 VREF 생성기의 이중 자가 훈련 교정 방법 및 시스템

(57) 요약

메모리 인터페이스용 기준 전압 생성기를 위한 이중 자가 훈련 교정 방법 및 시스템이 제시된다. 본 발명에서 제안하는 메모리 인터페이스용 기준 전압 생성기를 위한 이중 자가 훈련 교정 시스템은 이중 UP/DN 자가 교정부를 통해 상향 교정 또는 하향 교정을 수행하도록 제어하는 FSM(Finite State Machine), 상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준 전압의 상한 또는 하한을 설정하는 이중 UP/DN 자가 교정부 및 상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산하는 최종 기준 전압 계산부를 포함한다.

대표도



(52) CPC특허분류
G11C 29/028 (2013.01)

명세서

청구범위

청구항 1

이중 UP/DN 자가 교정부를 통해 상향 교정 또는 하향 교정을 수행하도록 제어하는 FSM(Finite State Machine);

상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준 전압의 상한 또는 하한을 설정하는 이중 UP/DN 자가 교정부; 및

상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산하는 최종 기준 전압 계산부

를 포함하고,

상기 이중 UP/DN 자가 교정부는,

UP 카운트부 및 DOWN 카운트부를 포함하고,

상기 FSM이 트리거되면, 상기 FSM의 제어에 따라 상기 UP 카운트부를 통해 상향 교정을 수행하고, 입력 신호의 가장 낮은 레벨을 찾기 위해 입력 신호를 스위칭하기 시작하고, 상기 입력 신호가 LOW에서 HIGH로 전환이 시작될 때 기준 전압의 하한을 설정하며,

상기 FSM의 제어에 따라 상기 DOWN 카운트부를 통해 하향 교정을 수행하고, 입력 신호의 가장 높은 레벨을 찾기 위해 입력 신호를 스위칭하기 시작하고, 상기 입력 신호가 HIGH에서 LOW로 전환이 시작될 때 기준 전압의 상한을 설정하며,

상기 이중 UP/DN 자가 교정부를 통한 상향 교정 및 하향 교정이 모두 완료된 후, 상기 FSM은 상한 및 하한의 준비 상태를 나타내고,

상기 이중 UP/DN 자가 교정부의 UP 카운트부 및 DOWN 카운트부의 모듈식 구조를 통해 각 상향 교정 및 하향 교정 단계를 분할하는

기준 전압 생성기를 위한 이중 자가 훈련 교정 시스템.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 최종 기준 전압 계산부는,

상기 이중 UP/DN 자가 교정부를 통해 설정된 기준 전압의 상한 또는 하한을 평균하여 최종 기준 전압을 계산하고, 상기 상한 및 하한의 평균값을 교정된 최종 기준 전압으로 하여 수신기 입력 데이터를 샘플링하기 위한 수신기 입력으로 출력하는

기준 전압 생성기를 위한 이중 자가 훈련 교정 시스템.

청구항 5

FSM(Finite State Machine)이 트리거되면, 이중 UP/DN 자가 교정부를 통해 상향 교정 또는 하향 교정을 수행하도록 제어하는 단계;

이중 UP/DN 자가 교정부를 통해 상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준

전압의 상한 또는 하한을 설정하는 단계; 및

최종 기준 전압 계산부를 통해 상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산하는 단계

를 포함하고,

상기 이중 UP/DN 자가 교정부를 통해 상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준 전압의 상한 또는 하한을 설정하는 단계는,

상기 FSM의 제어에 따라 이중 UP/DN 자가 교정부의 UP 카운트부를 통해 상향 교정을 수행하고, 입력 신호의 가장 낮은 레벨을 찾기 위해 입력 신호를 스윙하기 시작하고, 상기 입력 신호가 LOW에서 HIGH로 전환이 시작될 때 기준 전압의 하한을 설정하며,

상기 FSM의 제어에 따라 이중 UP/DN 자가 교정부의 DOWN 카운트부를 통해 하향 교정을 수행하고, 입력 신호의 가장 높은 레벨을 찾기 위해 입력 신호를 스윙하기 시작하고, 상기 입력 신호가 HIGH에서 LOW로 전환이 시작될 때 기준 전압의 상한을 설정하며,

상기 이중 UP/DN 자가 교정부를 통한 상향 교정 및 하향 교정이 모두 완료된 후, 상기 FSM은 상한 및 하한의 준비 상태를 나타내고,

상기 이중 UP/DN 자가 교정부의 UP 카운트부 및 DOWN 카운트부의 모듈식 구조를 통해 각 상향 교정 및 하향 교정 단계를 분할하는

기준 전압 생성기를 위한 이중 자가 훈련 교정 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

제5항에 있어서,

상기 최종 기준 전압 계산부를 통해 상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산하는 단계는,

상기 이중 UP/DN 자가 교정부를 통해 설정된 기준 전압의 상한 또는 하한을 평균하여 최종 기준 전압을 계산하고, 상기 상한 및 하한의 평균값을 교정된 최종 기준 전압으로 하여 수신기 입력 데이터를 샘플링하기 위한 수신기 입력으로 출력하는

기준 전압 생성기를 위한 이중 자가 훈련 교정 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 인터페이스용 VREF 생성기의 이중 자가 훈련 교정 방법 및 시스템에 관한 것이다.

배경 기술

[0002] 일반적으로 집적회로에 사용되는 대부분의 소자들은 온도에 따라 다른 특성들을 나타내게 되는데 이로 인해 기준 전압을 생성하는 회로 또한 특성이 변화하여 목표로 하는 기준 전압에서 실제 출력 전압이 조금씩 차이를 내게 된다.

[0003] 이러한 기준 전압의 변화는 메모리 시스템 동작의 안정성을 크게 저해하기 때문에 기준 전압의 안정을 위해 여러 가능성을 고려한 설계가 필요하다.

[0004] 이러한 출력 전압의 변화는 온도 변화뿐만 아니라, 공정(Process), 공급 전압(Voltage) 등에 관해서도 민감하게

변화하게 되는데 이러한 다양한 상황에도 일정한 전압을 안정적으로 확보할 수 있는 기준 전원이 필요하다.

[0005] PVT 변이의 영향을 적게 받는 기준 전압 생성 회로로서 밴드갭 레퍼런스 회로(BGR)가 널리 사용되고 있다.

[0006] 메모리 장치와 같은 집적 회로는 읽기 또는 쓰기 등의 명령을 처리하는 정상 모드에서는 다소 높은 전류를 소모하면서도 PVT 변이에 강한 BGR을 사용하여 기준 전압을 생성한다.

[0007] 그러나 아무런 명령을 처리하지 않는 대기 상태에서 정상 모드에서 사용하는 BGR을 그대로 사용하는 경우 소비 전력이 증가하여 저전력 동작에 적합하지 않다.

[0008] 또한 저전력 모드를 위한 별도의 BGR을 사용하는 경우 부가적인 회로가 추가됨으로 인하여 집적회로 전체의 면적을 증가시키는 문제가 있다.

[0009] 고성능 컴퓨팅(High-Performance Computing; HPC) 시스템에서 향상된 정확도와 I/O 데이터 속도의 개선을 끊임 없이 추구하면서 고속 메모리 인터페이스에 많은 문제가 발생한다. 이 중에서 기준 전압(Voltage Reference; VREF) 생성기 이중 자가 훈련 교정의 최적화는 고성능 메모리 인터페이스 시스템에 중추적인 역할을 할 수 있다. 정확하고 안정적인 VREF 생성 및 교정은 메모리 인터페이스의 정밀한 데이터 트랜잭션을 크게 향상시킬 수 있다.

선행기술문헌

비특허문헌

[0010] (비특허문헌 0001) [1] Michele Caselli, Evgenii Tiuriny, Stefano Stanzione, and Andrea Boni, "A 6.5 nA Static Self-Calibrating Programmable Voltage Reference for Smart SoCs" IEEE Transactions on Circuits and Systems 2022.

(비특허문헌 0002) [2] I. Lee et al., "A Subthreshold Voltage Reference with Scalable Output Voltage for Low-Power IoT Systems," IEEE JSCC 2017.

발명의 내용

해결하려는 과제

[0011] 본 발명이 이루고자 하는 기술적 과제는 트랜시버의 기준 전압 생성 및 자가 교정을 위한 메모리 인터페이스용 VREF 생성기의 이중 자가 훈련 교정 방법 및 시스템을 제안한다. 본 발명의 실시예에 따른 VREF 생성기의 이중 자가 훈련 교정 방법을 통해 고속 메모리 인터페이스에서 트랜시버의 전압 레퍼런스의 정밀도와 안정성을 향상 시키고자 한다.

과제의 해결 수단

[0012] 일 측면에 있어서, 본 발명에서 제안하는 메모리 인터페이스용 기준 전압 생성기를 위한 이중 자가 훈련 교정 시스템은 이중 UP/DN 자가 교정부를 통해 상향 교정 또는 하향 교정을 수행하도록 제어하는 FSM(Finite State Machine), 상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준 전압의 상한 또는 하한을 설정하는 이중 UP/DN 자가 교정부 및 상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산하는 최종 기준 전압 계산부를 포함한다.

[0013] 상기 이중 UP/DN 자가 교정부는 UP 카운트부 및 DOWN 카운트부를 포함하고, 상기 FSM이 트리거되면, 상기 FSM의 제어에 따라 상기 UP 카운트부를 통해 상향 교정을 수행하고, 입력 신호의 가장 낮은 레벨을 찾기 위해 입력 신호를 스위칭하기 시작하고, 상기 입력 신호가 LOW에서 HIGH로 전환이 시작될 때 기준 전압의 하한을 설정한다.

[0014] 상기 이중 UP/DN 자가 교정부는 UP 카운트부 및 DOWN 카운트부를 포함하고, 상기 FSM의 제어에 따라 상기 DOWN 카운트부를 통해 하향 교정을 수행하고, 입력 신호의 가장 높은 레벨을 찾기 위해 입력 신호를 스위칭하기 시작하고, 상기 입력 신호가 HIGH에서 LOW로 전환이 시작될 때 기준 전압의 상한을 설정한다.

[0015] 상기 최종 기준 전압 계산부는 상기 이중 UP/DN 자가 교정부를 통해 설정된 기준 전압의 상한 또는 하한을 평균 하여 최종 기준 전압을 계산하고, 상기 상한 및 하한의 평균값을 교정된 최종 기준 전압으로 하여 수신기 입력

데이터를 샘플링하기 위한 수신기 입력으로 출력한다.

[0016] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 메모리 인터페이스용 기준 전압 생성기를 위한 이중 자가 훈련 교정 방법은 FSM(Finite State Machine)이 트리거되면, 이중 UP/DN 자가 교정부를 통해 상향 교정 또는 하향 교정을 수행하도록 제어하는 단계, 이중 UP/DN 자가 교정부를 통해 상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준 전압의 상한 또는 하한을 설정하는 단계 및 최종 기준 전압 계산부를 통해 상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산하는 단계를 포함한다.

발명의 효과

[0017] 본 발명의 실시예들에 따르면 메모리 인터페이스용 VREF 생성기의 이중 자가 훈련 교정 방법 및 시스템을 통해 트랜시버의 기준 전압 생성 및 자가 교정을 수행할 수 있다. 고속 메모리 인터페이스에서 트랜시버의 전압 레퍼런스의 정밀도와 안정성은 최적의 성능을 위해 매우 중요하다. 본 발명의 실시예에 따르면, VREF 생성기의 이중 자가 훈련 교정 방법을 통해 정확성을 향상시킬 수 있고, 본 발명의 실시예에 따른 교정 방법을 통해 약 -8dB의 감쇠로 I/O 수신 데이터를 효과적으로 복구하여 메모리 인터페이스의 잡음 내성을 향상시키는 효율성을 확인하였다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시예에 따른 VREF 자가 훈련 회로를 갖는 트랜시버 시스템의 구성을 나타내는 도면이다.
 도 2는 본 발명의 일 실시예에 따른 VREF 생성기의 이중 UP/DN 자가 훈련 교정 시스템의 구성을 나타내는 도면이다.
 도 3은 본 발명의 일 실시예에 따른 VREF 생성기의 이중 UP/DN 자가 훈련 교정 방법을 설명하기 위한 흐름도이다.
 도 4는 본 발명의 일 실시예에 따른 이중 UP/DN 자가 훈련 교정의 시뮬레이션 결과를 나타내는 도면이다.
 도 5는 본 발명의 일 실시예에 따른 VREF 생성기 회로의 레이아웃을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명에서는 28nm CMOS 기술을 활용하여 트랜시버의 기준 전압 생성 및 이중 자가 훈련 교정에 대한 접근 방식을 제안한다. 고속 메모리 인터페이스에서 트랜시버의 전압 레퍼런스의 정밀도와 안정성은 최적의 성능을 위해 매우 중요하다. 본 발명의 실시예에 따르면, VREF 생성기의 이중 자가 훈련 교정 방법을 통해 정확성을 향상시키고자 한다. 또한, 본 발명의 실시예에 따른 교정 방법이 약 -8dB의 감쇠로 I/O 수신 데이터를 효과적으로 복구하여 메모리 인터페이스의 잡음 내성을 향상시키는 효율성을 확인하였다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0021] 도 1은 본 발명의 일 실시예에 따른 VREF 자가 훈련 회로를 갖는 트랜시버 시스템의 구성을 나타내는 도면이다.

[0022] 도 1을 참조하면, VREF 자가 훈련 회로(110)를 갖는 전체 트랜시버 시스템에서, 일반적인 메모리 인터페이스 수신기(120)는 단일 종단 신호를 기반으로 하며 정확한 데이터 샘플링을 위해 VREF 생성기(130)를 활용한다.

[0024] 도 2는 본 발명의 일 실시예에 따른 VREF 생성기의 이중 UP/DN 자가 훈련 교정 시스템의 구성을 나타내는 도면이다.

[0025] 본 발명의 실시예에 따른 VREF 생성기의 이중 UP/DN 자가 훈련 교정 시스템은 이중 UP/DN 자가 교정부(210), FSM(Finite State Machine)(220) 및 최종 기준 전압 계산부(230)를 포함한다.

[0026] 본 발명의 실시예에 따른 FSM(220)은 이중 UP/DN 자가 교정부를 통해 상향 교정 또는 하향 교정을 수행하도록 제어한다.

[0027] 본 발명의 실시예에 따른 이중 UP/DN 자가 교정부(210)는 상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준 전압의 상한 또는 하한을 설정한다.

[0028] 본 발명의 실시예에 따른 이중 UP/DN 자가 교정부(210)는 UP 카운트부(211) 및 DOWN 카운트부(212)를 포함한다.

[0029] 먼저, 상기 FSM(220)이 트리거되면, 상기 FSM(220)의 제어에 따라 상기 UP 카운트부(211)를 통해 상향 교정을

수행하고, 입력 신호의 가장 낮은 레벨을 찾기 위해 입력 신호를 스윙하기 시작하고, 상기 입력 신호가 LOW에서 HIGH로 전환이 시작될 때 기준 전압의 하한을 설정한다.

- [0030] 이후, 상기 FSM(220)의 제어에 따라 상기 DOWN 카운트부(212)를 통해 하향 교정을 수행하고, 입력 신호의 가장 높은 레벨을 찾기 위해 입력 신호를 스윙하기 시작하고, 상기 입력 신호가 HIGH에서 LOW로 전환이 시작될 때 기준 전압의 상한을 설정한다.
- [0031] 본 발명의 실시예에 따른 최종 기준 전압 계산부(230)는 상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산한다.
- [0032] 본 발명의 실시예에 따른 최종 기준 전압 계산부(230)는 상기 이중 UP/DN 자가 교정부(220)를 통해 설정된 기준 전압의 상한 또는 하한을 평균하여 최종 기준 전압을 계산하고, 상기 상한 및 하한의 평균값을 교정된 최종 기준 전압으로 하여 수신기 입력 데이터를 샘플링하기 위한 수신기 입력으로 출력한다.
- [0033] 도 2를 참조하면, 본 발명의 실시예에 따른 VREF 생성기의 이중 UP/DN 자가 훈련 교정 프로세스는 미리 정의된 초기 VREF 신호(예를 들어, Vref_good)에 따라 기준 전압(VREF)을 동적으로 조정한다. 제안하는 이중 UP/DN 자가 교정 방식의 VREF 생성기는 FSM(220)와 VREF 값을 결정하기 위한 VREF 평균화 기능을 강화하여 상향 및 하향 VREF 교정을 위한 별도의 모듈을 통합한다. 예를 들어, 초기 프로세스는 활성화를 기다리는 유휴 상태의 FSM(220)으로 시작된다. 유휴 상태의 FSM(220)이 트리거되면 FSM(220)은 상향 교정 단계로 진행된다. 이 단계에서 시스템은 입력 신호의 가장 낮은 레벨을 찾기 위해 입력 신호를 0V에서 1V로 스윙하기 시작하고 이 신호를 V1로 기록하여 LOW에서 HIGH로 전환이 시작될 때 VREF의 하한을 설정한다.
- [0034] 이후, 제안하는 VREF 생성기의 FSM(220)은 하향 교정 단계로 전환된다. 여기서 시스템은 VREF 값을 1V에서 0V로 스윙하여 입력 신호의 최고 레벨을 찾고 이를 V2로 기록하여 HIGH에서 LOW로 전환이 시작될 때 VREF의 상한을 설정한다.
- [0035] 상향 및 하향 교정이 모두 완료된 후, FSM(220)은 최적의 상태에 진입하여 두 경계(상한 및 하한)의 준비 상태를 나타낸다. 그런 다음 시스템은 이전 단계에서 얻은 상한 및 하한을 평균하여 최종 VREF 값을 계산한다. 이 평균값은 교정된 기준 전압으로 간주되며 수신기 입력 데이터를 정확하게 샘플링하기 위한 수신기 입력으로 출력된다.
- [0036] 제안하는 이중 교정 프로세스는 단일 종단 메모리 I/O 트랜시버의 정확하고 안정적인 데이터 샘플링에 중요한 최종 및 최적 VREF 값에 대한 정밀한 제어를 보장할 수 있다. 각각의 UP 카운트부 및 DOWN 카운트부의 모듈식 구조를 통해 각 교정 단계를 명확하게 분할할 수 있으므로 자가 훈련이 더욱 쉬워지고 메모리 하위 시스템의 신뢰성이 향상될 수 있다.
- [0038] 도 3은 본 발명의 일 실시예에 따른 VREF 생성기의 이중 UP/DN 자가 훈련 교정 방법을 설명하기 위한 흐름도이다.
- [0039] 본 발명의 실시예에 따른 VREF 생성기의 이중 UP/DN 자가 훈련 교정 방법은 FSM(Finite State Machine)이 트리거되면, 이중 UP/DN 자가 교정부를 통해 상향 교정 또는 하향 교정을 수행하도록 제어하는 단계(310), 이중 UP/DN 자가 교정부를 통해 상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준 전압의 상한 또는 하한을 설정하는 단계(320) 및 최종 기준 전압 계산부를 통해 상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산하는 단계(330)를 포함한다.
- [0040] 단계(310)에서, VREF 생성기의 이중 UP/DN 자가 훈련 교정 방법은 FSM(Finite State Machine)이 트리거되면, 이중 UP/DN 자가 교정부를 통해 상향 교정 또는 하향 교정을 수행하도록 제어한다.
- [0041] 단계(320)에서, 이중 UP/DN 자가 교정부를 통해 상기 FSM로부터 입력 신호를 받아 상향 교정 또는 하향 교정을 수행하여 기준 전압의 상한 또는 하한을 설정한다.
- [0042] 본 발명의 실시예에 따른 이중 UP/DN 자가 교정부는 UP 카운트부 및 DOWN 카운트부를 포함한다.
- [0043] 먼저, 상기 FSM이 트리거되면, 상기 FSM의 제어에 따라 상기 UP 카운트부를 통해 상향 교정을 수행하고, 입력 신호의 가장 낮은 레벨을 찾기 위해 입력 신호를 스윙하기 시작하고, 상기 입력 신호가 LOW에서 HIGH로 전환이 시작될 때 기준 전압의 하한을 설정한다.
- [0044] 본 발명의 실시예에 따른 VREF 생성기의 이중 UP/DN 자가 훈련 교정 프로세스는 미리 정의된 초기 VREF 신호(예를 들어, Vref_good)에 따라 기준 전압(VREF)을 동적으로 조정한다. 제안하는 이중 UP/DN 자가 교정 방식의

VREF 생성기는 FSM와 VREF 값을 결정하기 위한 VREF 평균화 기능을 강화하여 상향 및 하향 VREF 교정을 위한 별도의 모듈을 통합한다. 예를 들어, 초기 프로세스는 활성화를 기다리는 유휴 상태의 FSM으로 시작된다. 유휴 상태의 FSM가 트리거되면 FSM은 상향 교정 단계로 진행된다. 이 단계에서 시스템은 입력 신호의 가장 낮은 레벨을 찾기 위해 입력 신호를 0V에서 1V로 스윙하기 시작하고 이 신호를 V1로 기록하여 LOW에서 HIGH로 전환이 시작될 때 VREF의 하한을 설정한다.

[0045] 이후, 상기 FSM의 제어에 따라 상기 DOWN 카운트부를 통해 하향 교정을 수행하고, 입력 신호의 가장 높은 레벨을 찾기 위해 입력 신호를 스윙하기 시작하고, 상기 입력 신호가 HIGH에서 LOW로 전환이 시작될 때 기준 전압의 상한을 설정한다. 여기서 시스템은 VREF 값을 1V에서 0V로 스윙하여 입력 신호의 최고 레벨을 찾고 이를 V2로 기록하여 HIGH에서 LOW로 전환이 시작될 때 VREF의 상한을 설정한다.

[0046] 단계(330)에서, 최종 기준 전압 계산부를 통해 상기 이중 UP/DN 자가 교정부로부터 기준 전압의 상한 또는 하한을 입력 받아 최종 기준 전압 값을 계산한다.

[0047] 본 발명의 실시예에 따르면, 상기 이중 UP/DN 자가 교정부를 통해 설정된 기준 전압의 상한 또는 하한을 평균하여 최종 기준 전압을 계산하고, 상기 상한 및 하한의 평균값을 교정된 최종 기준 전압으로 하여 수신기 입력 데이터를 샘플링하기 위한 수신기 입력으로 출력한다.

[0048] 상향 및 하향 교정이 모두 완료된 후, FSM은 최적의 상태에 진입하여 두 경계(상한 및 하한)의 준비 상태를 나타낸다. 그런 다음 시스템은 이전 단계에서 얻은 상한 및 하한을 평균하여 최종 VREF 값을 계산한다. 이 평균값은 교정된 기준 전압으로 간주되며 수신기 입력 데이터를 정확하게 샘플링하기 위한 수신기 입력으로 출력된다.

[0049] 제안하는 이중 교정 프로세스는 단일 종단 메모리 I/O 트랜시버의 정확하고 안정적인 데이터 샘플링에 중요한 최종 및 최적 VREF 값에 대한 정밀한 제어를 보장할 수 있다. 각각의 UP 카운트부 및 DOWN 카운트부의 모듈식 구조를 통해 각 교정 단계를 명확하게 분할할 수 있으므로 자가 훈련이 더욱 쉬워지고 메모리 하위 시스템의 신뢰성이 향상될 수 있다.

[0051] 도 4는 본 발명의 일 실시예에 따른 이중 UP/DN 자가 훈련 교정의 시뮬레이션 결과를 나타내는 도면이다.

[0052] 도 4는 제안하는 VREF 생성기의 이중 상향 및 하향 기준 전압 자가 훈련 교정의 시뮬레이션된 파도 응답을 나타낸다. 시뮬레이션 결과는 제안하는 VREF 자가 훈련 교정 방식이 기준 전압 레벨을 지속적으로 교정하고 이중 카운트 업(count up) 및 카운트 다운(count down) FSM 방식을 통해 최적의 VREF 값(다시 말해, Cal_done 신호)을 생성할 수 있음을 보여준다.

[0054] 도 5는 본 발명의 일 실시예에 따른 VREF 생성기 회로의 레이아웃을 나타내는 도면이다.

[0055] 도 5(a)는 본 발명의 일 실시예에 따른 VREF 생성기 회로의 레이아웃을 나타내고, 도 5(b)는 본 발명의 일 실시예에 따른 VREF 이중 자가 훈련 및 FSM의 레이아웃을 나타내는 도면이다.

[0056] 표 1은 제안하는 VREF 생성기 및 이중 VREF 자가 훈련 교정 설계의 성능을 요약하여 나타낸다.

[0057] <표 1>

Parameters	This Work
Technology	CMOS 28nm
Supply	1.0 V
Area (VREF generator)	50 μ m x 17 μ m
Area (VREF calibrator and FSM)	25 μ m x 15 μ m

[0058]

[0059] 결론적으로, 본 발명의 실시예에 따르면 메모리 I/O 인터페이스의 신뢰성을 크게 향상시키는 혁신적인 전압 기준 교정 방법을 제안한다. 정교한 모듈식 VREF 생성기 및 교정 방식을 사용하고 이중 VREF FSM(다시 말해, 상향 및 하향 교정)을 통합함으로써 전압 기준 전압을 동적으로 조정하고 높은 정밀도로 자체 교정할 수 있다. 시뮬레이션 결과는 고성능 컴퓨팅 시스템을 위한 이중 자가 교정을 통해 제안하는 VREF 생성기의 신뢰성과 효율성을 확인한다.

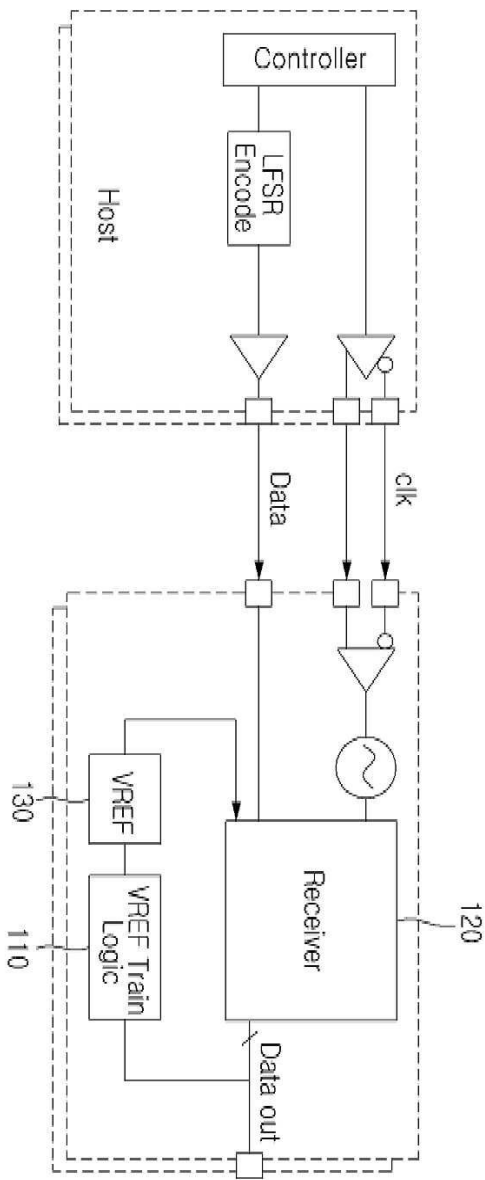
[0061] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과

다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

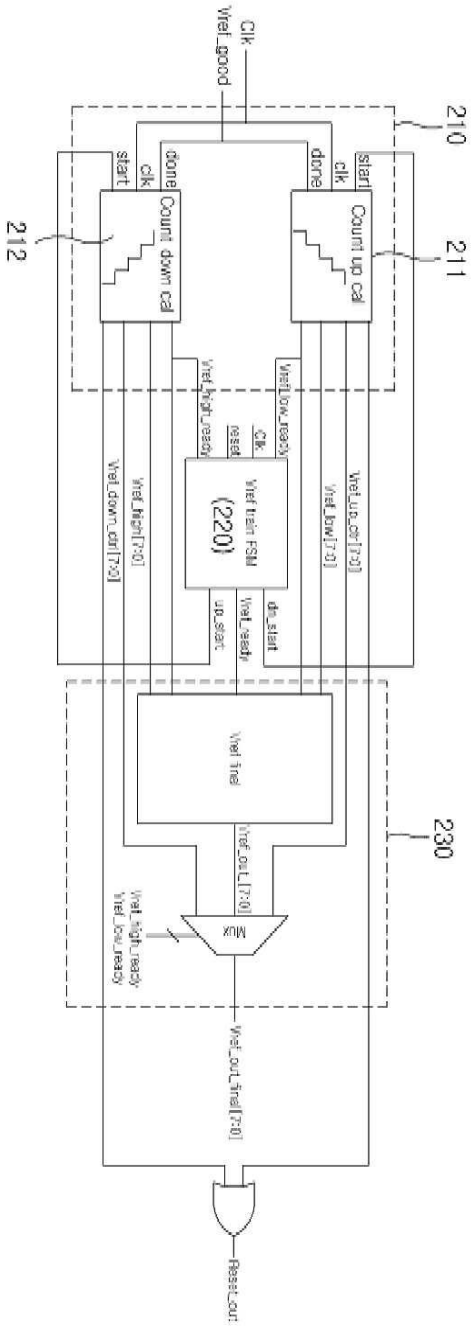
그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

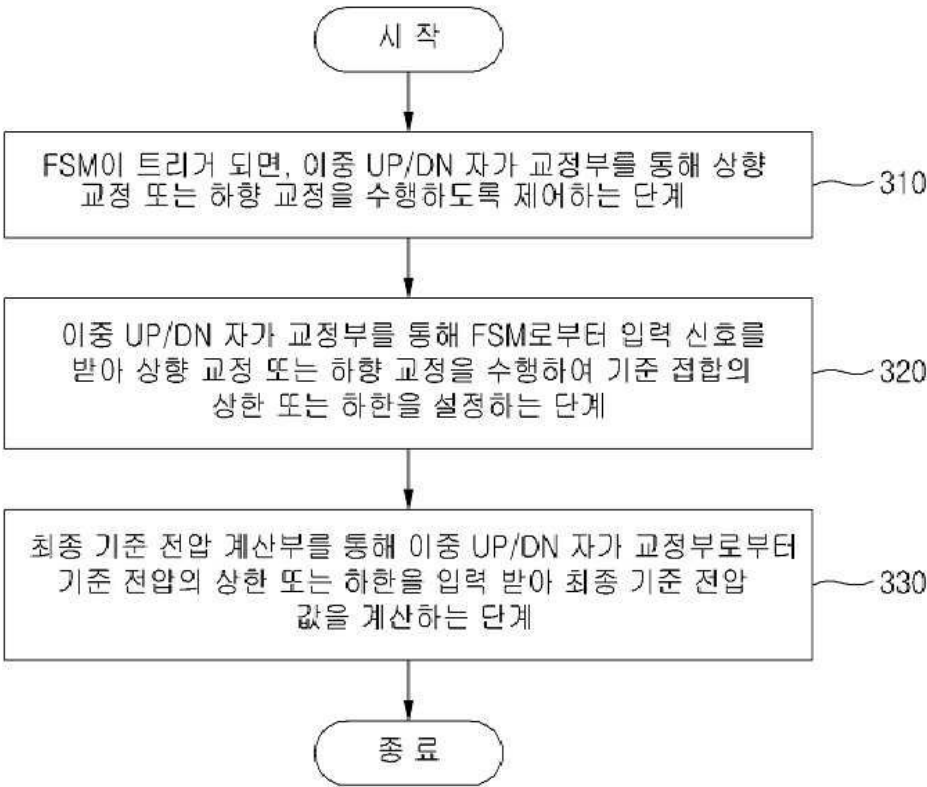
도면1



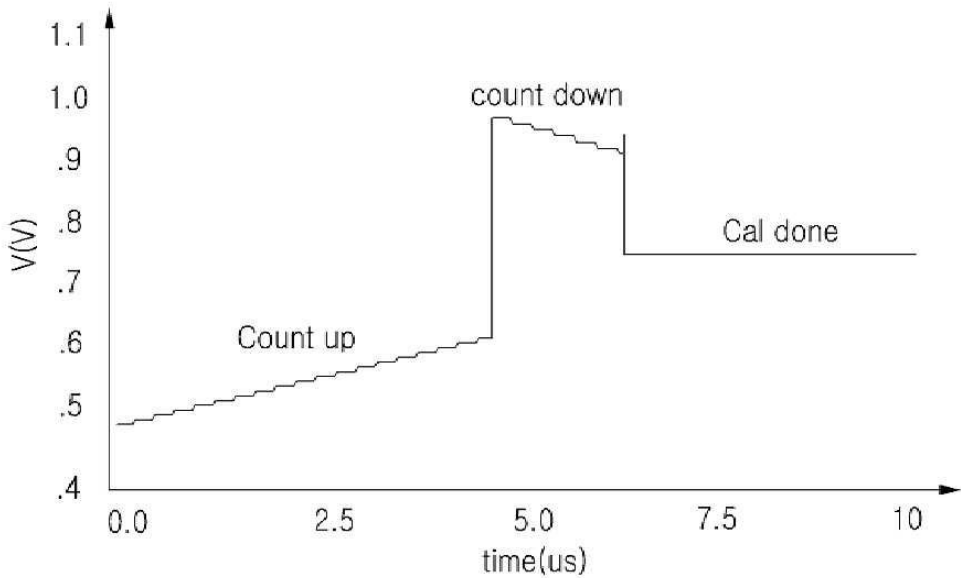
도면2



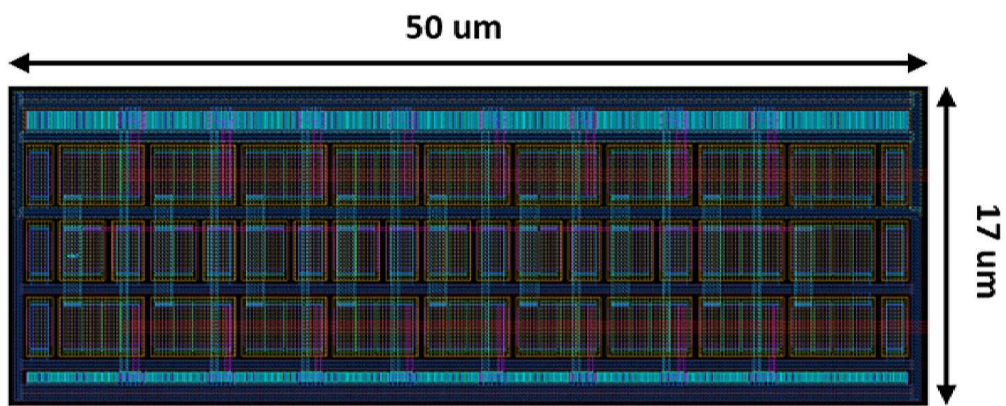
도면3



도면4



도면5a



도면5b

