



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월20일
(11) 등록번호 10-1126905
(24) 등록일자 2012년03월07일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2010-0074987
(22) 출원일자 2010년08월03일
심사청구일자 2010년08월03일
(65) 공개번호 10-2011-0025072
(43) 공개일자 2011년03월09일
(30) 우선권주장
JP-P-2009-203274 2009년09월03일 일본(JP)
(56) 선행기술조사문헌
KR100276413 B1
KR100688372 B1
KR100698988 B1

(73) 특허권자
가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고
(72) 발명자
가와무라 데쯔후미
일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6반 1고
가부시킴가이샤 히타치세이사쿠쇼 지적재산권본부 내
우찌야마 히로유키
일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6반 1고
가부시킴가이샤 히타치세이사쿠쇼 지적재산권본부 내
(뒷면에 계속)
(74) 대리인
이중희, 장수길, 박충범

전체 청구항 수 : 총 15 항

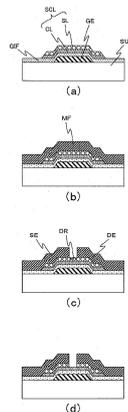
심사관 : 한주철

(54) 발명의 명칭 박막 트랜지스터 및 그 제조 방법

(57) 요약

소스·드레인 전극의 가공에 드라이 에칭을 이용하여 톱 콘택트형 TFT를 형성할 때의 TFT 특성 변동의 증대, 수율의 저하, 또한 TFT 온 전류의 저감을 억제 하는 것에 있다. 박막 트랜지스터의 제조 방법에 있어서, 금속 산화물 반도체로 이루어지는 도전층 상에 금속 산화물 반도체로 이루어지는 희생층을 형성하고, 상기 희생층 상에 금속막을 형성하고, 상기 금속막을 드라이 에칭에 의해 가공하고, 상기 드라이 에칭에 의해 노출된 상기 희생층에 웨트 에칭을 행한다.

대표도 - 도1



(72) 발명자

와카나 히로노리

일본 도쿄도 지요다구 마루노우찌 1쵸메 6반 1고
가부시키가이샤 히타치세이사쿠쇼 지적재산권본부
내

하타노 무쯔코

일본 도쿄도 지요다구 마루노우찌 1쵸메 6반 1고
가부시키가이샤 히타치세이사쿠쇼 지적재산권본부
내

특허청구의 범위

청구항 1

박막 트랜지스터의 제조 방법에 있어서,
 금속 산화물 반도체로 이루어지는 도전층 상에 금속 산화물 반도체로 이루어지는 희생층을 형성하고,
 상기 희생층 상에 금속막을 형성하고,
 상기 금속막을 드라이 에칭에 의해 가공하고,
 상기 드라이 에칭에 의해 노출된 상기 희생층에 웨트 에칭을 행하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 2

제1항에 있어서,
 상기 도전층의 에칭 레이트는, 상기 희생층의 에칭 레이트보다 낮은 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 3

제1항에 있어서,
 상기 도전층의 Sn 농도는, 상기 희생층의 Sn 농도보다 높은 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 4

제1항에 있어서,
 상기 도전층의 굴절률은, 상기 희생층의 굴절률보다 높은 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 5

제3항에 있어서,
 상기 도전층은, Zn-Sn-O, In-Sn-O 중 어느 하나로 이루어지고,
 상기 희생층은, In-Ga-Zn-O, Zn-O, In-Zn-O, Al-Zn-O, Ga-Zn-O, Zn-Sn-O 중 어느 하나로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 6

박막 트랜지스터의 제조 방법에 있어서,
 금속 산화물 반도체로 이루어지는 도전층 상에 금속 산화물 반도체로 이루어지는 에치 스톱퍼층을 형성하고,
 상기 에치 스톱퍼층 상에 금속 산화물 반도체로 이루어지는 희생층을 형성하고,
 상기 희생층 상에 금속막을 형성하고,
 상기 금속막을 드라이 에칭에 의해 가공하고,
 상기 드라이 에칭에 의해 노출된 상기 희생층에 웨트 에칭을 행하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 7

제6항에 있어서,
 상기 에치 스톱퍼층의 에칭 레이트는, 상기 희생층의 에칭 레이트보다 낮은 것을 특징으로 하는 박막 트랜지스

터의 제조 방법.

청구항 8

제6항에 있어서,

상기 에치 스톱층의 Sn 농도는, 상기 희생층의 Sn 농도보다 높은 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 9

제6항에 있어서,

상기 도전층의 굴절률은, 상기 희생층의 굴절률보다 높은 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 10

제8항에 있어서,

상기 에치 스톱층은, Zn-Sn-O, In-Sn-O 중 어느 하나로 이루어지고,

상기 희생층은, In-Ga-Zn-O, Zn-O, In-Zn-O, Al-Zn-O, Ga-Zn-O, Zn-Sn-O 중 어느 하나로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 11

금속 산화물 반도체로 이루어지는 도전층 상에 금속 산화물 반도체로 이루어지는 희생층을 형성하고,

상기 희생층 상에 금속막을 형성하고,

상기 금속막을 드라이 에칭에 의해 가공하고,

상기 드라이 에칭에 의해 노출된 상기 희생층에 웨트 에칭을 행함으로써 제조된 것을 특징으로 하는 박막 트랜지스터.

청구항 12

제11항에 있어서,

상기 도전층의 에칭 레이트는, 상기 희생층의 에칭 레이트보다 낮은 것을 특징으로 하는 박막 트랜지스터.

청구항 13

제11항에 있어서,

상기 도전층의 Sn 농도는, 상기 희생층의 Sn 농도보다 높은 것을 특징으로 하는 박막 트랜지스터.

청구항 14

제11항에 있어서,

상기 도전층의 굴절률은, 상기 희생층의 굴절률보다 높은 것을 특징으로 하는 박막 트랜지스터.

청구항 15

제13항에 있어서,

상기 도전층은, Zn-Sn-O, In-Sn-O 중 어느 하나로 이루어지고,

상기 희생층은, In-Ga-Zn-O, Zn-O, In-Zn-O, Al-Zn-O, Ga-Zn-O, Zn-Sn-O 중 어느 하나로 이루어지는 것을 특징으로 하는 박막 트랜지스터.

명세서

기술분야

[0001] 본 발명은, 반도체 장치에 관한 것으로, 특히, 금속 산화물막을 채널층에 이용하는 전계 효과형 트랜지스터를 포함하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터(Thin Film Transistor 이하, 이 명세서에서는 간단히 TFT라고 칭하는 경우가 있음)는, 글래스 등의 절연체 기판 상에 형성할 수 있고, 일렉트로닉스 기술에서 중요한 역할을 담당하는 디바이스이다. 현재 TFT의 채널층 재료로서는, 아몰퍼스 실리콘 또는 다결정 실리콘이 가장 널리 사용되고 있지만, 최근, 이들 실리콘 재료를 치환하기 위해서, 금속 산화물 반도체가 TFT의 채널층 재료로서 주목을 모으고 있다. 금속 산화물 반도체는 채널층으로서의 특성이 우수한 것 외에, 실온 부근에서 형성할 수 있다고 하는 특징을 갖는다. 그 때문에, 플라스틱 필름 등의 소위 플렉시블 기판 상에 TFT를 형성할 때의 채널층 재료의 유력 후보 중 하나로서도 생각되고 있다.

[0003] 그러나, 산화물 반도체는 플라즈마나 가속 입자에 노출되면 데미지를 받아(산소 결손), 저항이 내려가고, 때로는 도체화되게 된다고 하는 단점을 갖는다. 그 때문에, 현재 산업적으로 널리 이용되고 있는 아몰퍼스 실리콘 TFT와 마찬가지로의 구조의 튜 콘택트형 TFT를 형성하기 위해서는 다음의 2개의 과제를 해결할 필요가 있다. 제1 과제는, 산화물 반도체 상에 스퍼터법 등, 플라즈마나 가속 입자를 생성하는 방법에 의해 금속의 막을 형성할 때에, 산화물 반도체가 받는 데미지를 제거한다고 하는 것이다. 제2 과제는, 금속막을 가공하여 소스·드레인 전극을 형성할 때에 드라이 에칭을 이용하였을 때에 산화물 반도체가 받는 데미지를 제거한다고 하는 것이다. 금속막의 스퍼터법에 의한 형성은, 막질이나 성막 속도, 균일성, 수율이 우수하기 때문에, 양산성이 높아 산업적으로 널리 이용되고 있는 방법이다. 또한, 드라이 에칭에 의한 가공도, 가공 정밀도나 가공 속도가 우수하기 때문에, 양산성이 높아 산업적으로 널리 이용되고 있는 방법이다.

[0004] 전술한 2개의 과제를 해결하는 방법은 비특허 문헌 1 및 2에서 보고되어 있다. 비특허 문헌 1에서는, In-Ga-Zn-O 채널층 중의 드라이 에칭에 의해 데미지를 받은 두께 30nm 정도의 영역을 웨트 에칭에 의해 제거하고 있다. 또한, 비특허 문헌 2에서는, In-Ga-Zn-O 채널층 상에 Cu-In-Ga-Zn-O(고저항 반도체)로 에치 스톱퍼층을 형성하여, 소스·드레인 전극의 드라이 에칭 가공 시의 데미지를 흡수하고 있다.

선행기술문헌

비특허문헌

[0005] (비특허문헌 0001) [비특허 문헌 1] Electrochemical and Solid-State Letters, 12 (4) H95-H97 (2009)
 (비특허문헌 0002) [비특허 문헌 2] Journal of The Electrochemical Society, 156 (3) H184-H187 (2009)

발명의 내용

해결하려는 과제

[0006] 비특허 문헌 1에 기재된 방법에서는, 전술한 바와 같이, 드라이 에칭에 의해 데미지를 받은 영역을 웨트 에칭에 의해 제거하고 있다. 그러나, 이 방법에서는 제어성이 낮은 웨트 에칭에 의해 채널층의 두께를 결정하기 때문에, 대면적에 다수의 TFT를 형성하는 경우, 채널층의 두께의 변동, 따라서 TFT 특성의 변동이 증대되어, 제품의 수율이 저하된다고 하는 문제가 있다.

[0007] 비특허 문헌 2에 기재된 방법에서는, Cu-In-Ga-Zn-O로 소스·드레인 전극의 드라이 에칭 가공 시의 데미지를 흡수하고 있지만, 이 방법에서는 In-Ga-Zn-O 채널층과 소스·드레인 전극 사이에 저항이 큰 Cu-In-Ga-Zn-O층이 들어가기 때문에, TFT의 온 전류가 저감된다고 하는 문제가 있다.

[0008] 본 발명은, 상술한 바와 같은 사정에 기초하여 이루어진 것으로, 그 과제는 다음에 설명하는 바와 같다. 즉, 소스·드레인 전극의 가공에 드라이 에칭을 이용하여 튜 콘택트형 TFT를 형성할 때의 TFT 특성 변동의 증대, 수율의 저하, 또한 TFT 온 전류의 저감을 억제하는 것에 있다.

과제의 해결 수단

[0009] 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

[0010] 즉, 박막 트랜지스터의 제조 방법에 있어서, 금속 산화물 반도체로 이루어지는 도전층 상에 금속 산화물 반도체로 이루어지는 희생층을 형성하고, 상기 희생층 상에 금속막을 형성하고, 상기 금속막을 드라이 에칭에 의해 가공하고, 상기 드라이 에칭에 의해 노출된 상기 희생층에 웨트 에칭을 행한다.

발명의 효과

[0011] 본원에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 다음과 같다. 즉, 소스·드레인 전극의 가공에 드라이 에칭을 이용하여 튕 콘택트형 TFT를 형성할 때에, TFT 특성 변동의 증대, 또한 TFT의 온 전류 저감을 억제할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시 형태 1에서의 반도체 장치의 구성 및 제조 방법을 도시하는 단면도.

도 2는 본 발명의 실시 형태 2에서의 반도체 장치의 구성 및 제조 방법을 도시하는 단면도.

도 3은 본 발명의 실시 형태 3에서의 반도체 장치의 구성 및 제조 방법을 도시하는 단면도.

도 4는 본 발명의 실시 형태 4에서의 반도체 장치의 구성 및 제조 방법을 도시하는 단면도.

도 5는 본 발명의 실시 형태 5에서의 반도체 장치(무선 태그)의 구성을 도시하는 블록도.

도 6은 본 발명의 실시 형태 6에서의 반도체 장치의 구성을 도시하는 모식도.

도 7은 본 발명의 실시 형태 6에서의 반도체 장치를 액티브 매트릭스형 액정 표시 장치에 적용하는 구성을 도시하는 모식도.

발명을 실시하기 위한 구체적인 내용

[0013] (실시 형태 1)

[0014] 도 1은, 본 실시 형태 1에서의 반도체 장치의 구성 및 제조 방법을 도시하는 도면이다. 반도체 장치로서 소위 보텀 게이트/튕 콘택트형 산화물 TFT를 예로 들고 있다. 여기서 말하는 보텀 게이트란, 반도체층 SCL보다도 하층에 게이트 전극 GE가 형성되어 있는 구조이고, 튕 콘택트란, 반도체층 SCL보다도 상층에 소스 전극 SE 및 드레인 전극 DE가 형성되어 있는 구조를 나타내고 있다.

[0015] 본 실시 형태 1에서의 반도체 장치의 제조 방법은 이하와 같다. 우선, 도 1의 (a)에 도시한 바와 같이, 절연체 기판 SUB 상에 게이트 전극 GE, 게이트 절연막 GIFF, 도전층 CL, 희생층 SL이 형성된다.

[0016] 기판 SUB는, 예를 들면, 글래스, 석영, 플라스틱 필름 등으로 이루어지고, 필요에 따라서 게이트 전극 GE가 형성되는 층의 표면에 절연막의 코팅이 이루어져 있다.

[0017] 게이트 전극 GE는, 도전성의 재료, 예를 들면, 몰리브덴, 크롬, 텅스텐, 알루미늄, 구리, 티탄, 니켈, 탄탈, 은, 아연, 혹은 그 밖의 금속의 단막, 그들의 합금막, 그들의 적층막, 혹은 ITO(In-Sn-O : 인듐 주석 산화물) 등의 금속 산화물 도전막, 그들과 금속의 적층막, 질화 티탄(Ti-N) 등의 금속 질화물 도전막, 그들과 금속의 적층막, 그 밖의 도전성 금속 화합물막, 그들과 금속의 적층막, 캐리어를 고농도로 함유하는 반도체, 혹은 반도체와 금속의 적층막으로 이루어지고, 그 성막은 CVD법이나 스퍼터법 등에 의해 행하고, 가공은 일반적인 포토리소그래피 기술과 드라이 에칭, 혹은 웨트 에칭의 조합에 의해 행한다.

[0018] 게이트 절연막 GIFF는, Si-O, Al-O 등의 산화물 절연막을 이용하는 것이 바람직하지만, Si-N 등 산화물 이외의 무기 절연막, 파릴렌 등의 유기 절연막을 이용하여도 된다. 게이트 절연막 GIFF의 성막은, CVD법이나 스퍼터법, 도포법 등에 의해 행한다.

[0019] 도전층 CL, 희생층 SL은, Zn-O, In-O, Ga-O, Sn-O, In-Ga-Zn-O, Zn-Sn-O, In-Sn-O, In-Zn-O, Ga-Zn-O, In-Ga-O, Al-Zn-O 등의, Zn, In, Ga, Sn의 산화물, 및 그들의 복합 산화물에 의해 형성되어 있고, 그들의 성막은, 스퍼터법, PLD법, CVD법, 도포법, 인쇄법 등에 의해 행한다. 도전층 CL의 두께는 5nm 이상이 바람직하고, 희생층 SL의 두께는 30nm 이상이 바람직하다. 또한, 도전층 CL, 희생층 SL의 소자 분리를 위한 섬 형상 가공은 일반적인 포토리소그래피 기술과 웨트 에칭, 혹은 드라이 에칭의 조합에 의해 행한다. 또한, 무기산, 혹은 유기산으로 이루어지는 웨트 에칭액에 대한 에칭 레이트는, 도전층 CL 쪽이 희생층 SL보다도 낮다. 에칭 레이트에 차를

설정하기 위해서는, 예를 들면 도전층 CL 내의 Sn 농도를 희생층 SL보다도 높게 하거나, 혹은, 도전층 CL의 치밀도(따라서 굴절률)를 희생층 SL보다도 높게 하는 등의 방법을 취한다.

[0020] 도전층 CL, 희생층 SL의 조합으로서는 전술한 재료 중으로부터 다양한 조합이 생각된다. 그 중에서도, 예를 들면 도전층 CL이 Zn-Sn-O, In-Sn-O 중 어느 하나로 이루어지고, 희생층 SL이 In-Ga-Zn-O, Zn-O, In-Zn-O, Al-Zn-O, Ga-Zn-O, Zn-Sn-O 중 어느 하나로 이루어지도록 하는 조합이 바람직하다.

[0021] 도전층 CL 내의 Sn 농도를 희생층 SL보다도 높게 하는 방법으로는, 도전층 CL을 성막할 때의 원재료 중의 Sn 농도를 희생층 SL을 성막할 때의 원재료보다도 높게 하는 방법을 취한다. 예를 들면, 양 층을 스퍼터법이나 PLD법에 의해 형성하는 경우, 도전층 CL용의 타깃 중의 Sn 농도를 희생층 SL용의 타깃보다도 높게 하거나, 도전층 CL의 성막 시만 Sn 타깃을 동시에 놓이게 한다. 또한, 도전층 CL의 치밀도를 희생층 SL보다도 높게 하는 방법으로는, 도전층 CL의 성막 레이트를 희생층 SL보다도 작게 하거나, 도전층 CL의 성막 온도를 희생층 SL보다도 낮게 하는 등의 방법을 취한다.

[0022] 그 후, 도 1의 (b)에 도시한 바와 같이, 희생층 SL 상에 금속막 MF를 형성한다. 금속막 MF는, 예를 들면, 몰리브덴, 크롬, 텅스텐, 알루미늄, 구리, 티탄, 니켈, 탄탈, 은, 아연, 혹은 그 밖의 금속의 단막, 그들의 합금막, 그들의 적층막, 혹은 ITO(In-Sn-O : 인듐 주석 산화물) 등의 금속 산화물 도전막, 그들과 금속의 적층막, 질화 티탄(Ti-N) 등의 금속 질화물 도전막, 그들과 금속의 적층막, 그 밖의 도전성 금속 화합물막, 그들과 금속의 적층막, 캐리어를 고농도로 함유하는 반도체, 혹은 반도체와 금속의 적층막에 의해 형성된다.

[0023] 그 후, 도 1의 (c)에 도시한 바와 같이, 금속막 MF를 일반적인 포토리소그래피 기술과 드라이 에칭의 조합에 의해 소스 전극 SE, 드레인 전극 DE의 형상으로 가공한다. 그 때, 소스 전극 SE-드레인 전극 DE 사이의 개구부의 아래의 희생층 SL이 플라즈마 및 가속 입자에 노출되기 때문에, 데미지 영역 DR이 형성된다.

[0024] 그 후, 도 1의 (d)에 도시한 바와 같이, 데미지 영역 DR을 무기산, 혹은 유기산으로 이루어지는 에칭액을 이용한 웨트 에칭에 의해 제거한다. 이 때, 도전층 CL 쪽이 희생층 SL보다도 에칭 레이트가 작기 때문에, 웨트 에칭은 도전층 CL의 표면에서 자동적으로 정지하고, 실질적으로 웨트 에칭에 의한 도전층 CL의 막 두께의 감소는 없다. 여기서, 드라이 에칭이 아니라, 웨트 에칭을 이용하고 있는 이유는, 드라이 에칭 시에 도전층 CL이 플라즈마나 가속 입자에 노출되어, 데미지를 받는 것을 회피하기 위해서이다.

[0025] 본 실시 형태 1에 따르면, 제어성이 낮은 웨트 에칭에 의해 데미지 영역 DR을 제거해도 실질적으로 도전층 CL의 오버 에칭에 의한 막 두께의 감소가 없기 때문에, TFT의 채널층(본 실시 형태 1에서는 도전층 CL)의 두께의 변동을 억제할 수 있다. 즉, TFT의 특성 변동의 증대, TFT의 수율의 저하를 억제할 수 있다. 또한, 소스 전극 SE 및 드레인 전극 DE와 채널층(도전층 CL) 사이에 끼워지는 드라이 에칭 데미지 흡수층(본 발명에서는 희생층 SL)이 Cu-In-Ga-Zn-O와 같은 고저항 반도체가 아니기 때문에, TFT의 온 전류의 저감을 억제할 수 있다.

[0026] (실시 형태 2)

[0027] 도 2는 본 실시 형태 2에서의 반도체 장치의 구성 및 제조 방법을 도시하는 도면이다. 실시 형태 1과의 차이는 반도체층 SCL이 3층으로 이루어지는 점이며, 그 이외의 점은 실시 형태 1과 동일하다. 실시 형태 1에서는, 도전층 CL의 에칭 레이트를 희생층 SL보다도 낮게 함으로써, 희생층 SL의 웨트 에칭 제거 시에 도전층 CL의 표면에서 웨트 에칭이 자동적으로 정지하였지만, 본 실시 형태 2에서는, 에칭 정지 기능을 도전층 CL과 희생층 SL 사이에 형성하는 에치 스톱퍼층 ESL에 담당시킨다. 즉, 에치 스톱퍼층 ESL의 표면에서 웨트 에칭이 자동적으로 정지한다.

[0028] 도전층 CL, 에치 스톱퍼층 ESL, 희생층 SL은, Zn-O, In-O, Ga-O, Sn-O, In-Ga-Zn-O, Zn-Sn-O, In-Sn-O, In-Zn-O, Ga-Zn-O, In-Ga-O, Al-Zn-O 등의, Zn, In, Ga, Sn의 산화물, 및 그들의 복합 산화물에 의해 형성되어 있고, 그들의 성막은, 스퍼터법, PLD법, CVD법, 도포법, 인쇄법 등에 의해 행한다. 도전층 CL, 에치 스톱퍼층 ESL의 두께는 5nm 이상이 바람직하고, 희생층 SL의 두께는 30nm 이상이 바람직하다. 또한, 도전층 CL, 에치 스톱퍼층 ESL, 희생층 SL의 소자 분리를 위한 섬 형상 가공은 일반적인 포토리소그래피 기술과 웨트 에칭, 혹은 드라이 에칭의 조합에 의해 행한다. 또한, 무기산, 혹은 유기산으로 이루어지는 웨트 에칭액에 대한 에칭 레이트는, 에치 스톱퍼층 ESL 쪽이 희생층 SL보다도 낮다. 에칭 레이트에 차를 설정하기 위해서는, 예를 들면 에치 스톱퍼층 ESL 내의 Sn 농도를 희생층 SL보다도 높게 하거나, 혹은, 에치 스톱퍼층 ESL의 치밀도(따라서 굴절률)를 희생층 SL보다도 높게 하는 등의 방법을 취한다.

[0029] 에치 스톱퍼층 ESL, 희생층 SL의 조합으로서는 전술한 재료 중으로부터 다양한 조합이 생각된다. 그 중에서도, 예를 들면 에치 스톱퍼층 ESL이 Zn-Sn-O, In-Sn-O 중 어느 하나로 이루어지고, 희생층 SL이 In-Ga-Zn-O, Zn-O,

In-Zn-O, Al-Zn-O, Ga-Zn-O, Zn-Sn-O 중 어느 하나로 이루어지도록 하는 조합이 바람직하다.

- [0030] 에치 스톱퍼층 ESL 내의 Sn 농도를 희생층 SL보다도 높게 하는 방법으로서, 에치 스톱퍼층 ESL을 성막할 때의 원재료 중의 Sn 농도를 희생층 SL을 성막할 때의 원재료보다도 높게 하는 방법을 취한다. 예를 들면, 양 층을 스퍼터법이나 PLD법에 의해 형성하는 경우, 에치 스톱퍼층 ESL용의 타깃 중의 Sn 농도를 희생층 SL용의 타깃보다도 높게 하거나, 에치 스톱퍼층 ESL의 성막 시만 Sn 타깃을 동시에 놓이게 한다. 또한, 에치 스톱퍼층 ESL의 치밀도를 희생층 SL보다도 높게 하는 방법으로서, 에치 스톱퍼층 ESL의 성막 레이트를 희생층 SL보다도 작게 하거나, 에치 스톱퍼층 ESL의 성막 온도를 희생층 SL보다도 낮게 하는 등의 방법을 취한다.
- [0031] 본 실시 형태 2에 따르면, 실시 형태 1과 마찬가지로, 제어성이 낮은 웨트 에칭에 의해 데미지 영역 DR을 제거해도 실질적으로 에치 스톱퍼층 ESL의 오버 에칭에 의한 막 두께의 감소가 없기 때문에, TFT의 채널층(본 실시 형태 2에서는 도전층 CL+에치 스톱퍼층 ESL)의 두께의 변동을 억제할 수 있다. 즉, TFT의 특성 변동의 증대, TFT의 수율의 저하를 억제할 수 있다. 또한, 소스 전극 SE 및 드레인 전극 DE와 채널층(도전층 CL+에치 스톱퍼층 ESL) 사이에 끼워지는 드라이 에치 데미지 흡수층(본 발명에서는 희생층 SL)이 Cu-In-Ga-Zn-O와 같은 고저항 반도체가 아니기 때문에, TFT의 온 전류의 저감을 억제할 수 있다. 게다가, 도전 성능의 주요 부분을 도전층 CL에 의해 결정할 수 있고, 에칭 정지 성능을 에치 스톱퍼층 ESL에 의해 결정할 수 있다. 이에 의해, TFT의 채널의 도전성과 가공성을 독립적으로 제어하는 것이 가능하게 되어, 실시 형태 1에 비해 이용하는 재료의 선택지가 증가한다.
- [0032] (실시 형태 3)
- [0033] 도 3은 본 실시 형태 3에서의 반도체 장치의 구성 및 제조 방법을 도시하는 도면이다. 반도체 장치로서 소위 톱 게이트/톱 콘택트형 산화물 TFT를 예로 들고 있다. 여기서 말하는 톱 게이트란, 반도체층 SCL보다도 상층에 게이트 전극 GE가 형성되어 있는 구조이고, 톱 콘택트란, 반도체층 SCL보다도 상층에 소스 전극 SE 및 드레인 전극 DE가 형성되어 있는 구조를 나타내고 있다.
- [0034] 본 실시 형태 3에서의 반도체 장치의 제조 방법은 이하와 같다. 우선, 도 3의 (a)에 도시한 바와 같이, 절연체 기판 SUB 상에 도전층 CL, 희생층 SL, 금속막MF가 형성된다.
- [0035] 기판 SUB는, 예를 들면, 글래스, 석영, 플라스틱 필름 등으로 이루어지고, 필요에 따라서 도전층 CL, 희생층 SL로 이루어지는 반도체층 SCL이 형성되는 층의 표면에 절연막의 코팅이 이루어져 있다.
- [0036] 도전층 CL, 희생층 SL은, Zn-O, In-O, Ga-O, Sn-O, In-Ga-Zn-O, Zn-Sn-O, In-Sn-O, In-Zn-O, Ga-Zn-O, In-Ga-O, Al-Zn-O 등의, Zn, In, Ga, Sn의 산화물, 및 그들의 복합 산화물에 의해 형성되어 있고, 그들의 성막은, 스퍼터법, PLD법, CVD법, 도포법, 인쇄법 등에 의해 행한다. 도전층 CL의 두께는 5nm 이상이 바람직하고, 희생층 SL의 두께는 30nm 이상이 바람직하다. 또한, 도전층 CL, 희생층 SL의 소자 분리를 위한 섬 형상 가공은 일반적인 포토리소그래피 기술과 웨트 에칭, 혹은 드라이 에칭의 조합에 의해 행한다. 또한, 무기산, 혹은 유기산으로 이루어지는 웨트 에칭액에 대한 에칭 레이트는, 도전층 CL 쪽이 희생층 SL보다도 낮다. 에칭 레이트에 차를 설정하기 위해서는, 예를 들면 도전층 CL 내의 Sn 농도를 희생층 SL보다도 높게 하는, 혹은, 도전층 CL의 치밀도(따라서 굴절률)를 희생층 SL보다도 높게 하는 등의 방법을 취한다.
- [0037] 도전층 CL, 희생층 SL의 조합으로서, 전술한 재료 중으로부터 다양한 조합이 생각된다. 그 중에서도, 예를 들면 도전층 CL이 Zn-Sn-O, In-Sn-O 중 어느 하나로 이루어지고, 희생층 SL이 In-Ga-Zn-O, Zn-O, In-Zn-O, Al-Zn-O, Ga-Zn-O, Zn-Sn-O 중 어느 하나로 이루어지도록 하는 조합이 바람직하다.
- [0038] 도전층 CL 내의 Sn 농도를 희생층 SL보다도 높게 하는 방법으로서, 도전층 CL을 성막할 때의 원재료 중의 Sn 농도를 희생층 SL을 성막할 때의 원재료보다도 높게 하는 방법을 취한다. 예를 들면, 양 층을 스퍼터법이나 PLD법에 의해 형성하는 경우, 도전층 CL용의 타깃 중의 Sn 농도를 희생층 SL용의 타깃보다도 높게 하거나, 도전층 CL의 성막 시만 Sn 타깃을 동시에 놓이게 한다. 또한, 도전층 CL의 치밀도를 희생층 SL보다도 높게 하는 방법으로서, 도전층 CL의 성막 레이트를 희생층 SL보다도 작게 하거나, 도전층 CL의 성막 온도를 희생층 SL보다도 낮게 하는 등의 방법을 취한다.
- [0039] 금속막 MF는, 예를 들면, 몰리브덴, 크롬, 텅스텐, 알루미늄, 구리, 티탄, 니켈, 탄탈, 은, 아연, 혹은 그 밖의 금속의 단막, 그들의 합금막, 그들의 적층막, 혹은 ITO(In-Sn-O : 인듐 주석 산화물) 등의 금속 산화물 도전막, 그들과 금속의 적층막, 질화 티탄(Ti-N) 등의 금속 질화물 도전막, 그들과 금속의 적층막, 그 밖의 도전성 금속 화합물막, 그들과 금속의 적층막, 캐리어를 고농도로 함유하는 반도체, 혹은 반도체와 금속의 적층막에 의해 형

성된다.

- [0040] 그 후, 도 3의 (b)에 도시한 바와 같이, 금속막 MF를 일반적인 포토리소그래피 기술과 드라이 에칭의 조합에 의해 소스 전극 SE, 드레인 전극 DE의 형상으로 가공한다. 그 때, 소스 전극 SE-드레인 전극 DE 사이의 개구부의 아래의 희생층 SL이 플라즈마 및 가속 입자에 노출되기 때문에, 데미지 영역 DR이 형성된다.
- [0041] 그 후, 도 3의 (c)에 도시한 바와 같이, 데미지 영역 DR을 무기산, 혹은 유기산으로 이루어지는 에칭액을 이용한 웨트 에칭에 의해 제거한다. 이 때, 도전층 CL 쪽이 희생층 SL보다도 에칭 레이트가 낮기 때문에, 웨트 에칭은 도전층 CL의 표면에서 자동적으로 정지하고, 실질적으로 웨트 에칭에 의한 도전층 CL의 막 두께의 감소는 없다. 여기서, 드라이 에칭이 아니라, 웨트 에칭을 이용하고 있는 이유는, 드라이 에칭 시에 도전층 CL이 플라즈마나 가속 입자에 노출되어, 데미지를 받는 것을 회피하기 위해서이다.
- [0042] 그 후, 도 3의 (d)에 도시한 바와 같이, 반도체층 SCL, 소스 전극 SE, 드레인 전극 DE를 피복하는 형태로 게이트 절연막 GIF를 형성하고, 그 상에 게이트 전극 GE를 형성한다.
- [0043] 게이트 절연막 GIF는, Si-O, Al-O 등의 산화물 절연막을 이용하는 것이 바람직하지만, Si-N 등 산화물 이외의 무기 절연막, 파릴렌 등의 유기 절연막을 이용해도 된다. 게이트 절연막 GIF의 성막은, CVD법이나 스퍼터법, 도포법 등에 의해 행한다.
- [0044] 게이트 전극 GE는, 도전성의 재료, 예를 들면, 몰리브덴, 크롬, 텅스텐, 알루미늄, 구리, 티탄, 니켈, 탄탈, 은, 아연, 혹은 그 밖의 금속의 단막, 그들의 합금막, 그들의 적층막, 혹은 ITO(In-Sn-O : 인듐 주석 산화물) 등의 금속 산화물 도전막, 그들과 금속의 적층막, 질화 티탄(Ti-N) 등의 금속 질화물 도전막, 그들과 금속의 적층막, 그 밖의 도전성 금속 화합물막, 그들과 금속의 적층막, 캐리어를 고농도로 함유하는 반도체, 혹은 반도체와 금속의 적층막으로 이루어지고, 그 성막은 CVD법이나 스퍼터법 등에 의해 행하고, 가공은 일반적인 포토리소그래피 기술과 드라이 에칭, 혹은 웨트 에칭의 조합에 의해 행한다.
- [0045] 본 실시 형태 3에 따르면, 제어성이 낮은 웨트 에칭에 의해 데미지 영역 DR을 제거해도 실질적으로 도전층 CL의 오버 에칭에 의한 막 두께의 감소가 없기 때문에, TFT의 채널층(본 실시 형태 3에서는 도전층 CL)의 두께의 변동을 억제할 수 있다. 즉, TFT의 특성 변동의 증대, TFT의 수율의 저하를 억제할 수 있다. 또한, 소스 전극 SE 및 드레인 전극 DE와 채널층(도전층 CL) 사이에 끼워지는 드라이 에칭 데미지 흡수층(본 발명에서는 희생층 SL)이 Cu-In-Ga-Zn-O와 같은 고저항 반도체가 아니기 때문에, TFT의 온 전류의 저감을 억제할 수 있다.
- [0046] (실시 형태 4)
- [0047] 도 4는 본 실시 형태 4에서의 반도체 장치의 구성 및 제조 방법을 도시하는 도면이다. 실시 형태 3과의 차이는 반도체층 SCL이 3층으로 이루어지는 점이며, 그 이외의 점은 실시 형태 3과 동일하다. 실시 형태 3에서는, 도전층 CL의 에칭 레이트를 희생층 SL보다도 낮게 함으로써, 희생층 SL의 웨트 에칭 제거 시에 도전층 CL의 표면에서 웨트 에칭이 자동적으로 정지하였지만, 본 실시 형태 2에서는, 에칭 정지 기능을 도전층 CL과 희생층 SL 사이에 형성하는 에치 스톱퍼층 ESL에 담당시킨다. 즉, 에치 스톱퍼층 ESL의 표면에서 웨트 에칭이 자동적으로 정지한다.
- [0048] 도전층 CL, 에치 스톱퍼층 ESL, 희생층 SL은 Zn-O, In-O, Ga-O, Sn-O, In-Ga-Zn-O, Zn-Sn-O, In-Sn-O, In-Zn-O, Ga-Zn-O, In-Ga-O, Al-Zn-O 등의, Zn, In, Ga, Sn의 산화물, 및 그들의 복합 산화물에 의해 형성되어 있고, 그들의 성막은, 스퍼터법, PLD법, CVD법, 도포법, 인쇄법 등에 의해 행한다. 도전층 CL, 에치 스톱퍼층 ESL의 두께는 5nm 이상이 바람직하고, 희생층 SL의 두께는 30nm 이상이 바람직하다. 또한, 도전층 CL, 에치 스톱퍼층 ESL, 희생층 SL의 소자 분리를 위한 섬 형상 가공은 일반적인 포토리소그래피 기술과 웨트 에칭, 혹은 드라이 에칭의 조합에 의해 행한다. 또한, 무기산, 혹은 유기산으로 이루어지는 웨트 에칭액에 대한 에칭 레이트는, 에치 스톱퍼층 ESL 쪽이 희생층 SL보다도 낮다. 에칭 레이트에 차를 설정하기 위해서는, 예를 들면 에치 스톱퍼층 ESL 내의 Sn 농도를 희생층 SL보다도 높게 하거나, 혹은, 에치 스톱퍼층 ESL의 치밀도(따라서 굴절률)를 희생층 SL보다도 높게 하는 등의 방법을 취한다.
- [0049] 에치 스톱퍼층 ESL, 희생층 SL의 조합으로서는 전술한 재료 중으로부터 다양한 조합이 생각된다. 그 중에서도, 예를 들면 에치 스톱퍼층 ESL이 Zn-Sn-O, In-Sn-O 중 어느 하나로 이루어지고, 희생층 SL이 In-Ga-Zn-O, Zn-O, In-Zn-O, Al-Zn-O, Ga-Zn-O, Zn-Sn-O 중 어느 하나로 이루어지도록 하는 조합이 바람직하다.
- [0050] 에치 스톱퍼층 ESL 내의 Sn 농도를 희생층 SL보다도 높게 하는 방법으로는, 에치 스톱퍼층 ESL을 성막할 때의 원재료 중의 Sn 농도를 희생층 SL을 성막할 때의 원재료보다도 높게 하는 방법을 취한다. 예를 들면, 양 층을

스퍼터법이나 PLD법에 의해 형성할 경우, 에치 스톱층 ESL용의 타깃 중의 Sn 농도를 희생층 SL용의 타깃보다도 높게 하거나, 에치 스톱층 ESL의 성막 시만 Sn 타깃을 동시에 놓이게 한다. 또한, 에치 스톱층 ESL의 치밀도를 희생층 SL보다도 높게 하는 방법으로서, 에치 스톱층 ESL의 성막 레이트를 희생층 SL보다도 작게 하거나, 에치 스톱층 ESL의 성막 온도를 희생층 SL보다도 낮게 하는 등의 방법을 취한다.

[0051] 본 실시 형태 4에 따르면, 실시 형태 1과 마찬가지로, 제어성이 낮은 웨트 에칭에 의해 데미지 영역 DR을 제거해도 실질적으로 에치 스톱층 ESL의 오버 에칭에 의한 막 두께의 감소가 없기 때문에, TFT의 채널층(본 실시 형태 4에서는 도전층 CL+에치 스톱층 ESL)의 두께의 변동을 억제할 수 있다. 즉, TFT의 특성 변동의 증대, TFT의 수율의 저하를 억제할 수 있다. 또한, 소스 전극 SE 및 드레인 전극 DE와 채널층(도전층 CL+에치 스톱층 ESL) 사이에 끼워지는 드라이 에칭 데미지 흡수층(본 발명에서는 희생층 SL)이 Cu-In-Ga-Zn-O와 같은 고저항 반도체가 아니기 때문에, TFT의 온 전류의 저감을 억제할 수 있다. 게다가, 도전 성능의 주요 부분을 도전층 CL에 의해 결정할 수 있고, 에칭 정지 성능을 에치 스톱층 ESL에 의해 결정할 수 있다. 이에 의해, TFT의 채널의 도전성과 가공성을 독립적으로 제어하는 것이 가능하게 되어, 실시 형태 3에 비해 이용하는 재료의 선택지가 증가한다.

[0052] (실시 형태 5)

[0053] 도 5는 본 실시 형태 5에서의 반도체 장치의 구성을 도시하는 도면이다. 실시 형태 1~4에 도시한 구조의 TFT를 이용하여 안테나 공진 회로 AR, 정류기 RCT, 변조기 MOD, 디지털 회로 DGC 등을 구성하고, 무선 태그를 형성하고 있다. 무선 태그는 리더 RD 또는 라이터 WR과 무선으로 통신을 행할 수 있도록 되어 있다.

[0054] (실시 형태 6)

[0055] 도 6은 본 실시 형태 6에서의 반도체 장치의 구성을 도시하는 도면이다. 본 실시 형태 6에서는, 상기 실시 형태 1~4의 구조를 갖는 TFT를 구성 요소로 하는 소자가 기판 SUB 상에 어레이 형상으로 배치되어 있다. 상기 실시 형태 1~4에 도시한 TFT를, 어레이 내의 각 소자의 스위칭이나 구동용의 트랜지스터에 이용하는 것은 물론, 이 TFT의 게이트 전극 GE와 접속되는 게이트선 GL에 신호를 보내는 게이트선 구동 회로 GDC나, 이 TFT의 소스 전극 SE 혹은 드레인 전극 DE와 접속되는 데이터선 DL에 신호를 보내는 데이터선 구동 회로 DDC를 구성하는 트랜지스터에 이용해도 된다. 이 경우, 각 소자의 TFT와 게이트선 구동 회로 GDC 혹은 데이터선 구동 회로 DDC 내의 TFT를 병행하여 형성할 수 있다.

[0056] 액티브 매트릭스형 액정 표시 장치에 전술한 어레이를 적용하는 경우, 각 소자는, 예를 들면, 도 7에 도시한 바와 같은 구성으로 된다. 도면 중 x 방향으로 연장되는 게이트선 GL에 주사 신호가 공급되면, TFT가 온하고, 이 온된 TFT를 통하여, 도면 중 y 방향으로 연장되는 데이터선 DL로부터의 영상 신호가 화소 전극 PE에 공급된다. 또한, 게이트선 GL은 도면 중 y 방향으로 병설되고, 데이터선 DL은 도면 중 x 방향으로 병설되고, 인접하는 한쌍의 게이트선 GL과 인접하는 한쌍의 드레인선 DL로 둘러싸여지는 영역(화소 영역)에 화소 전극 PE가 배치되어 있다. 이 경우, 예를 들면, 데이터선 DL이 소스 전극 SE와 전기적으로 접속되고, 화소 전극 PE가 드레인 전극 DE와 전기적으로 접속된다. 혹은, 데이터선 DL이 소스 전극 SE를 겸해도 된다. 또한, 액정 표시 장치에 한하지 않고 유기 EL 표시 장치 등에 전술한 어레이를 적용하여도 된다. 이 경우, 화소 회로를 구성하는 트랜지스터에 TFT를 적용한다. 또한, 전술한 어레이를 기억 소자에 적용하고, 선택 트랜지스터에 TFT를 적용해도 된다.

[0057] 이상, 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 다양하게 변경 가능하다.

산업상 이용가능성

[0058] 본 발명에서의 반도체 장치는, 무선 태그, 기억 소자 어레이 등을 구성하는 트랜지스터나 주변 회로 등에 적용할 수 있다. 또한, 투과형, 반사형, 반투과형의 각 액정 표시 장치, 및 유기 EL 표시 장치 등의 각 화소를 구동하는 트랜지스터나 주변 회로 등에도 적용할 수 있다.

부호의 설명

[0059] AR : 안테나 공진 회로

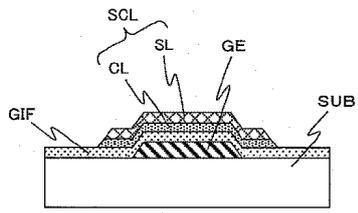
CL : 도전층

DDC : 데이터선 구동 회로

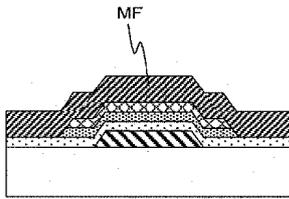
DE : 드레인 전극
DGC : 디지털 회로
DL : 데이터선
DR : 데미지 영역
ESL : 에치 스톱퍼층
GDC : 게이트선 구동 회로
GE : 게이트 전극
GIF : 게이트 절연막
GL : 게이트선
MF : 금속막
MOD : 변조기
PE : 화소 전극
RCT : 정류기
RD : 리더
SCL : 반도체층
SE : 소스 전극
SL : 희생층
SUB : 기판
TFT : 산화물 TFT
WR : 라이터

도면

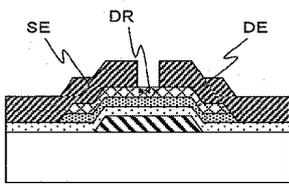
도면1



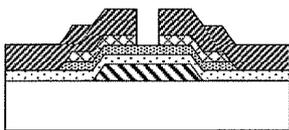
(a)



(b)

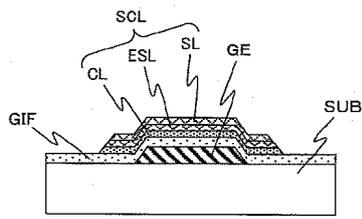


(c)

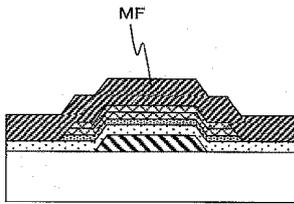


(d)

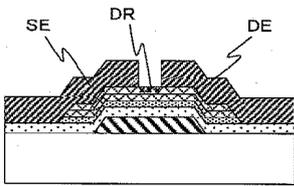
도면2



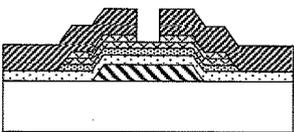
(a)



(b)

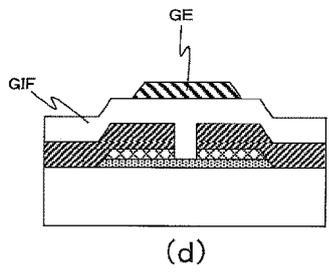
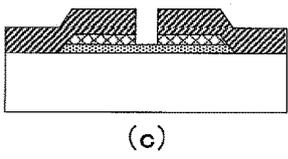
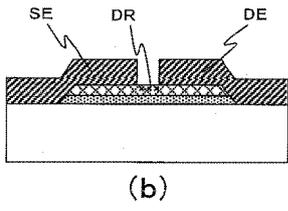
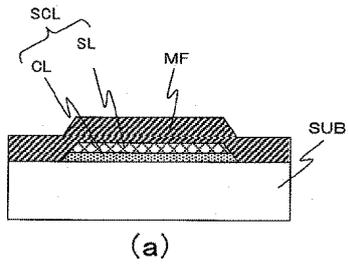


(c)

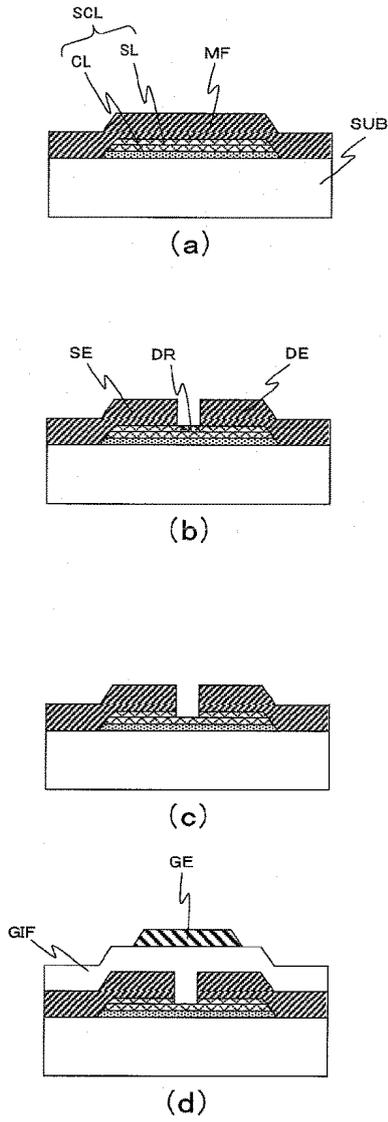


(d)

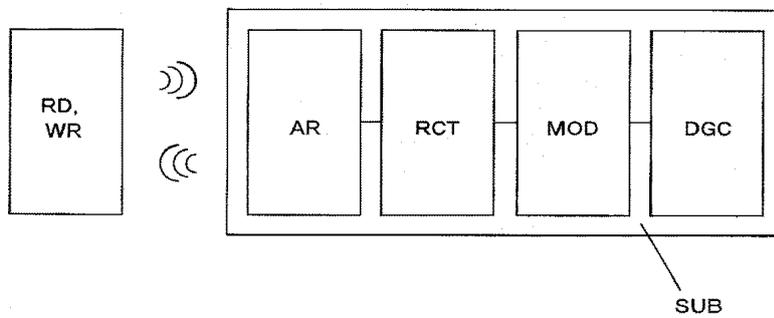
도면3



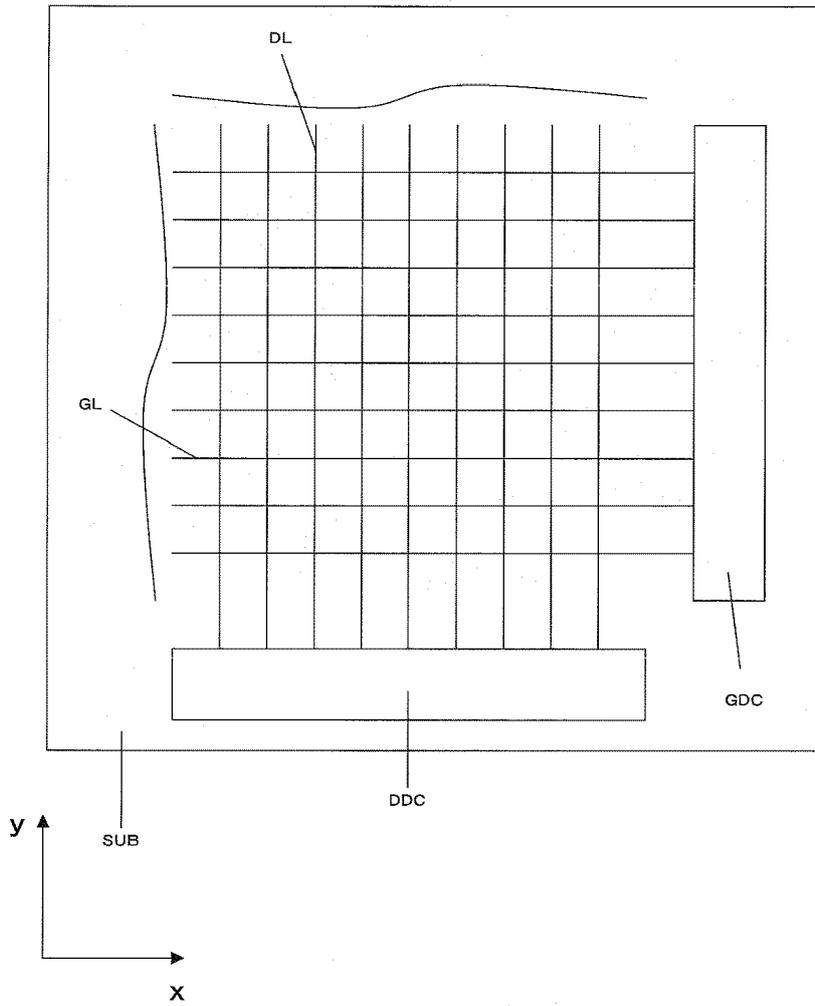
도면4



도면5



도면6



도면7

