

發明專利說明書

I222643

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92120069

※ 申請日期：92.07.23

※IPC 分類：G11C11/34

壹、發明名稱：(中文/英文)

(中文) 半導體記憶裝置

(英文) SEMICONDUCTOR MEMORY DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

(中文) 瑞薩科技股份有限公司

(英文) Renesas Technology Corp. (株式会社ルネサステクノロジ)

代表人：(中文/英文)

伊藤達 / Satoru ITO

住居所或營業所地址：(中文/英文)

(中文) 日本國東京都千代田區丸の内二丁目 4 番 1 號

(英文) 4-1, Marunouchi 2-chome, Chiyoda-ku, TOKYO 100-6334, JAPAN

國 籍：(中文) 日本 (英文) Japan

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 月川靖彦/Yasuhiko TSUKIKAWA (月川靖彦)

2. 伊藤孝/Takashi ITO

住居所地址：(中文/英文)

(中文) 1.~2. 日本國東京都千代田區丸の内二丁目 4 番 1 號 株式会社ルネサステクノロジ内

(英文) 1.~2. c/o Renesas Technology Corp., 4-1, Marunouchi 2-chome, Chiyoda-ku, TOKYO 100-6334, JAPAN

國 籍：(中文) 日本 (英文) Japanese

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2003/01/17；2003-009733

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體記憶裝置，特別是有關於利用 2 個記憶單元記憶 1 個位元之資料之雙單元 DRAM(動態隨機存取記憶器)。更特別是本發明係關於改善更新特性之雙單元構造之 DRAM 之記憶單元單元構造。

【先前技術】

為抑制記憶單元之布置面積減小時之讀出電壓降低等之動作限度之降低，揭示有以 2 個記憶單元記憶 1 個位元之資料之雙單元 DRAM(例如日本專利特開平 7-130172 號公報，以下稱為先前技術 1)。

在先前技術 1 中，使記憶單元之布置，與利用 1 位元 / 1 單元(單一模態)記憶資料之通常 DRAM 單元之布置相同，並列選擇 2 根之字線，將記憶單元資料讀出到位元線對偶之各個位元線。在該將互補資料收納在 2 個記憶單元之雙單元 DRAM 中，當與 1 位元 / 1 單元之單一單元 DRAM 之情況比較時，位元線間之電壓差可成為 2 倍，可使感測動作穩定化。

圖 17 係用來說明一般習知之先前之雙單元 DRAM 之布置構造。

參照圖 17，在雙單元 DRAM 中，利用構成位元線對偶 BLP 之互補之位元線 BL 及 /BL，和分別與其連接之 2 個 DRAM 單元 100，用來構成以 1 個位元資料為記憶單位之雙單元 101。用以構成同一個雙單元之與 DRAM 單元 100

具有對應關係之 2 根之字線，用來構成字線對偶 WLP。例如，圖 17 之字線 WL 及 WL# 用來構成字線對偶 WLP，共同的亦即同時地被選擇。

DRAM 單元 100 具有：選擇（存取）電晶體 110，連接在對應之位元線 BL（或 /BL）及儲存節點 140 之間；和電容器 120，連接在單元板 130 和儲存節點 140 之間。存取電晶體 110 及位元線 BL（或 /BL）被位元線接觸部 160 電連接，儲存節點 140 和存取電晶體 110 被儲存節點接觸部 170 電連接。

如上所述，在 DRAM 單元 100 中，利用電容器 120 以被儲存在儲存節點 140 之電荷之形態來記憶資料。單元板 130 被設置成由記憶單元陣列全體共用，被固定在指定之單元板電壓 VCP。

感測放大器 105 將構成位元線對偶之互補位元線 BL 及 /BL 之電壓差放大成電源電壓 Vdd 和接地電壓 GND 之差。在構成同一個雙單元 101 之 2 個 DRAM 單元 100，分別被寫入互補之 H 位準和 L 位準之資料。

圖 18 表示以雙單元 DRAM 中之位元線之預充電電壓作為電源電壓 Vdd 之情況時之位元線對偶之電壓動作。

參照圖 18，在字線選擇前之時刻 T1 以前，互補位元線之各個被充電成為電源電壓 Vdd。從該狀態，當被選擇之字線 WL 活性化成為 H 位準時，在互補位元線中之另外一方產生與 L 位準資料對應之負方向之電壓變化 ΔV 。然後，經由時刻 T2 ~ T3 間之感測放大器之放大動作，即使使預充電電壓成為電源電壓 Vdd 時，亦可以在構成位元線對偶

BLP 之互補位元線間產生電源電壓 V_{dd} ~ 接地電壓 GND 之電壓差。

因此，如圖 19 所示，利用記憶 H 位準資料之電壓（亦即被設定為電源電壓 V_{dd} 之儲存節點之電壓），下降到接地電壓 GND（相當於記憶 L 位準資料之儲存節點之電壓）之時間，用來規定雙單元 DRAM 之復新時間 t_{REF2} 。

【發明內容】

在 DRAM 單元中，因為利用電容器作為資料記憶媒體，故有因漏電流而使記憶資料消失之可能性。為防止該資料之消失，在 DRAM，如上述方式，會進行復新動作，在內部將記憶單元資料讀出和再度寫入，用來使原來之資料復原。

隨著記憶單元之微細化，記憶單元電容器之靜電容量值亦被減小，因此要求縮短進行復新之間隔。一般而言，在進行復新動作中不能進行對 DRAM 之存取，所以當復新間隔變短時，系統之處理效率便降低。另外，復新用之消耗電力會增大。

在先前技術 1 所示之一般之雙單元 DRAM 中，當與單一單元 DRAM 比較時，可使復新間隔變長。但是，近年來裝載到以電池驅動為前提之攜帶式機器之情況增加，所以對半導體記憶裝置之小型化及低消耗電力化之要求日益增強。亦即，即使是在雙單元 DRAM，亦要求更長之復新間隔，亦即要求更進一步改善復新特性。

另外，在雙單元 DRAM 中，因為以 2 個記憶單元記憶 1

個位元之資料，所以必然地用以記憶 1 個位元之資料之單位單元之佔用面積會增大。在單純的利用 2 個昔知之 DRAM 單元之布置，來實現記憶 1 個位元之雙單元之情況時，該資料記憶單位之雙單元之布置面積會成為 2 倍。在此種情況，當與通常之 1 位元/1 單元之單一單元 DRAM 比較時，記憶容量變成為 1/2 倍，要實現大記憶容量之雙單元 DRAM 變為困難。

本發明之目的在於提供改善更新特性之雙單元構造之半導體記憶裝置 (DRAM)。另外，本發明之另一目的在於提供可以以小布置面積構成雙單元之半導體記憶裝置 (DRAM)。

本發明之半導體記憶裝置，具備有配置成行列狀之多個記憶單元，多個記憶單元被分割成為多個記憶單位，由可以寫入互補資料之各 2 個之記憶單元構成。半導體記憶裝置更具備有：多個位元線，係配置成與多個記憶單元行對應，以各 2 個形成對偶；多個字線，與多個記憶單元列對應，係配置在與多個位元線交叉之方向；和多個單元板，係分別設置成與各個記憶單位對應，至少電的互相隔離；多個記憶單元之各個包含有：選擇電晶體，係連接在對應之位元線和儲存節點之間，依照對應之字線之電壓進行 ON 或 OFF；和電容器，係連接在儲存節點和對應之單元板之間。

本發明之另一構造之半導體記憶裝置，具備有多個記憶單元，係配置成為行列狀；多個記憶單元被分割成為多個記憶單位，由可寫入互補資料之各 2 個之記憶單元構成。

半導體記憶裝置更具備有：多個位元線，係配置成與多個記憶單元行對應，以各 2 個形成對偶；多個字線，係與多個記憶單元列對應，被配置在與多個位元線交叉之方向；和多個單元板，係設置成分別與多個記憶單位之指定區分對應，至少電的互相隔離；多個記憶單元之各個包含有：選擇電晶體，係連接在對應之位元線和儲存節點之間，依照對應之字線之電壓進行 ON 或 OFF；和電容器，係連接在儲存節點和對應之單元板之間。

本發明之更另一構造之半導體記憶裝置，具備有多個記憶單元，係配置成為行列狀；多個記憶單元分別被分割成為多個記憶單位，由可以寫入互補資料之各 2 個之記憶單元構成。半導體記憶裝置更具備有：多個位元線，係配置成與多個記憶單元列對應，以各 2 個形成對偶；多個字線，係與多個記憶單元列對應，配置在與多個位元線交叉之方向；和多個單元板，分別被設置成與各個記憶單位對應，至少電的互相隔離；構成記憶單位之 2 個記憶單元之一方之各個包含有：選擇電晶體，係連接在成對之 2 根位元線之一方和儲存節點之間，依照對應之字線之電壓進行 ON 或 OFF；和電容器，係連接在儲存節點和對應之單元板之間；構成記憶單位之 2 個記憶單元之另外一方之各個包含有選擇電晶體，不經由電容器，連接在成對之 2 根位元線之另外一方和對應之單元板之間，依照對應之字線之電壓進行 ON 或 OFF。

因此，本發明之主要優點在於與記憶單位（雙單元）對應

之單元板至少被電的隔離，故被包含在同一雙單元之分別記憶互補資料之資料的儲存節點的電壓，利用電容耦合同樣的進行變動，因此更新時間可以延長。另外，在儲存節點和其他節點之間即使發生短路路徑，因為被包含在同一雙單元之儲存節點間仍保持有某種程度之電壓差，所以可以避免發生此種短路路徑之記憶單元成為不良記憶單元。結果，達到可以改善半導體記憶裝置之更新特性和提高製造產率。

另外，在構成雙單元之 2 個記憶單元 (DRAM 單元) 之一方，藉由將電容器之配置省略，可用來確保與記憶單位 (雙單元) 對應之電隔離之單元板之各個之電荷保持電容量變大。因此，半導體記憶裝置之更新特性得以更進一步的改善。

【實施方式】

實施例 1

下面將使用圖面來詳細說明改善更新特性之本發明之實施例之雙單元 DRAM 之記憶單元構造。

參照圖 1，實施例 1 之雙單元 101#，與圖 17 所示之先前技術之雙單元 101 同樣地，由 2 個 DRAM 單元 100 構成，分別連接到成對之互補位元線 BL 及 /BL。各 DRAM 單元 100，與圖 17 所說明的相同，包含有存取電晶體 110 及電容器 120。構成雙單元 101# 之 2 個 DRAM 單元 100 之存取電晶體 110，係具有閘極分別連接到構成字線對偶 WLP 之 2 根字線 (例如 WL0 及 WL1)。

另外，在實施例 1 之雙單元 DRAM 中，單元板被設置成為與各個雙單元 101# 對應之被分割之孤立單元板 130#。各個孤立單元板 130# 至少成為電的互相隔離。代表者是利用圖案製作成將單元板分割成為每一個雙單元 101#，來使各個孤立單元板 130# 為物理性的隔離。

圖 2 為表示實施例 1 之半導體記憶裝置之記憶器陣列部的布置之概略圖。

參照圖 2，逆 T 字形之活性區域(場區域)200 被排列在列及行方向，沿著位元線之延伸方向(以下稱為「行方向」)形成，和具有字線之延伸方向(以下稱為「列方向」)之突出部。各個場區域 200 配置有 2 個之 DRAM 單元 100 用來構成 1 個之布置單位。亦即，各個場區域 200 形成在行方向鄰接之各 2 個之 DRAM 單元間，成為連續的延伸。另外，場區域 200 用來規定圖 1 所示之存取電晶體 110 之形成區域。

場區域 200 係在鄰接行上偏移 2 列而配置。相對於場區域 200 之行，位元線 BL 或 /BL 係每隔 1 行而配置。在圖 2 中，代表性的顯示位元線 BL0, /BL0 和 BL1, /BL1。

位元線 BL0, /BL0 及 BL1, /BL1 分別成對，位元線 BL0 及 /BL0 之位元線對偶形成與感測放大器 105a 連接，位元線 BL1 及 /BL1 之位元線對偶形成與感測放大器 105b 連接。位元線 BL0, /BL0, BL1, /BL1，各經由位元線接觸部 160，形成與對應之記憶單元行之場區域 200 之突出部份電連接。

在各個場區域 200，與 2 個 DRAM 單元 100 分別對應之

2 個儲存節點 140，被配置成面對位元線接觸部 160。儲存節點 140 被配置成在列及行方向排列。儲存節點 140 經由儲存節點接觸部 170 形成與場區域 200 電連接。該儲存節點接觸部 170，與儲存節點 140 同樣的，整列配置於列行方向。

儲存節點接觸部 170 形成在行方向之每隔 2 列，在列方向除了最端部之列外，形成在各行。排列有位元線接觸部 160 之列，和排列有儲存節點 170 之列以交互方式配置。配置有字線 WL 被包夾在位元線接觸部 160 及儲存節點接觸部 170 之間，且形成與場區域 200 交叉。在圖 2 中，代表性的顯示字線 WL0~WL7。在記憶單元陣列全體，在列及行方向重複的配置圖 2 所示之布置。另外，圖中之“F”表示最小設計單位，字線之幅度，位元線之幅度和各個之間距，分別被設定為 F。

在各個 DRAM 單元 100，在對應之儲存節點 140 和孤立單元板 130#之間，形成有圖 1 所示之電容器 120，用來保持與記憶資料對應之電荷。

在此種方式之實施例 1 之構造中，利用在列方向鄰接之每 2 個之 DRAM 單元 100，用來構成 1 個之雙單元，在每一個雙單元配置有隔離之孤立單元板 130#。亦即，在先前技術中是設置作為共同電極之單元板使其覆蓋在記憶單元陣列全體，但是在實施例 1 之構造中，構成同一個雙單元之 2 個 DRAM 單元 100 成為互相隔離。各個孤立單元板 130#不接受特定電壓之供給，而是成為電的浮動狀態。

另外，將儲存節點接觸部 170 包夾在其間之 2 根之字線，同時被選擇，用來構成字線對偶 WLP。因此，字線 WL1 及 WL2，字線 WL3 及 WL4，以及字線 WL5 及 WL6 分別構成字線對偶 WLP。

在圖 2 所示之雙單元構造中，兩側之字線 WL0 及 WL7 顯示如虛擬字線，但是在列及行方向重複的配置圖 2 所示之布置。

圖 3 表示圖 2 之 III-III 剖面圖。

參照圖 3，在被設定為負電壓 VBB 之 P 井 210 上，設置被隔離絕緣膜 220 隔離之場區域 200。在場區域 200 上，設置具有作為存取電晶體 110 之源極/汲極之作用之雜質區域 231~233。在雜質區域 231 和 232 間之活性區域之正上方，使用多晶矽層來形成字線 WL4，在其間包夾有絕緣膜。同樣的，在雜質區域 232 及 233 間之活性區域之正上方，使用多晶矽層來形成字線 WL5，在其間包夾有絕緣膜。

另外，被鄰接之 2 個 DRAM 單元之各個存取電晶體 110 共用之雜質區域 232，在圖 2 所示之場區域之突出部，經由形成在第 1 金屬配線層之位元線/BL0 和位元線接觸部 160，形成電連接。

另外，被設在每一個 DRAM 單元之儲存節點 140，經由儲存節點接觸部 170，形成與雜質區域 231 和 233 電連接。孤立單元板 130#被設置成與儲存節點 140 面對。

如圖 3 所示，孤立單元板 130#在雙單元 101#間被隔離。例如，在與孤立單元板 130#相當之金屬膜之製膜步驟之

後，除去孤立單元板間之隔離區域 150 之該金屬膜，不需要特殊之製造方法就可以製作孤立單元板 130#。

另外，在各個雙單元 101#，在孤立單元板 130#和儲存節點 140 之間隙部 240，形成有電容膜用來確保電容器 120 之電容量。

另外，在圖 3 中，所示之實例是使儲存節點 140 及孤立單元板 130#形成在位元線 BL 之上層之 COB(Capacitor Over Bitline)構造，但是亦可以使用使儲存節點 140 及孤立單元板 130#形成在位元線 BL 之下層之 CUB(Capacitor Under Bitline)構造。

在圖 4 中顯示有儲存節點電壓波形，用來說明實施例 1 之雙單元之復新時間。

在圖 4 中，除了圖 19 所示之曲線用以表示先前技術雙單元之 H 位準記憶時之儲存節點電壓 VR2 之變化外，更顯示有曲線用來表示在實施例 1 之雙單元，記憶 H 位準之儲存節點（以下稱為「H 側儲存節點」）及記憶 L 位準之儲存節點（以下稱為「L 側儲存節點」）之各個之儲存節點電壓 VRH 和 VRL 之變化。

如以上所說明之方式，在先前技術構造之雙單元 DRAM 中，更新時間 tREF2 被定義成為儲存節點電壓 VR2 從電源電壓 Vdd 降低到接地電壓 GND 之時間。

另一方面，在依照實施例 1 之雙單元中，同一雙單元所含之寫入有互補資料（H 位準及 L 位準）之儲存節點之間，因為經由孤立單元板 130#被串聯連接，所以當 H 側之儲存

節點電壓 VRH 下降時，L 側之儲存節點之電壓 VRL 亦同樣的經由電容耦合而下降。

因此，L 側之儲存節點電壓 VRL 降低到接地電壓 GND 以下，但是不會低於基板電壓之負電壓 VBB ，而是被鉗位在 VBB 。其原因是，當儲存節點電壓達到基板電壓 VBB 時，如圖 3 所示，電連接有 P 井 210 及儲存節點 140 之雜質區域 231、233 (N 型區域) 之間所形成之 PN 接面，成為被順向偏移。

另外，當 L 側之儲存節點電壓 VRL 降低，達到負電壓時，以與 L 側儲存節點電連接之雜質區域作為源極，以非選擇狀態 (接地電壓 GND) 之字線作為閘極，可以使選擇電晶體進行 ON。亦即，在 L 側之儲存節點電壓 VRL 降低到負電壓 (基板電壓) VBB 之前，存取電晶體亦可能進行 ON。在此種情況，L 側之儲存節點電壓 VRL 不是基板電壓 VBB ，而是使用存取電晶體之臨限電壓 V_{th} 表示，被鉗位成為 $(GND - V_{th})$ 之負電壓。L 側之儲存節點電壓 VRL 被鉗位成為基板電壓 VBB 或 $(GND - V_{th})$ 之任何一個之負電壓。

相對於此，H 側之儲存節點電壓 VRH ，在 L 側之儲存節點電壓 VRL 被鉗位之後繼續下降，最後降低至與 L 側之儲存節點電壓 VRL 相同之位準。在該時刻雙單元之記憶資料變成消失。

在先前技術之雙單元和實施例 1 之雙單元之間，假如接面洩漏電流成為相同位準時，實施例 1 之雙單元之 H 側之儲存節點電壓 VRH 之降低速度，比先前技術之雙單元之 H

側之儲存節點電壓之下降速度快速。原因是在實施例 1 之雙單元中，因為具有電容量 C_s 之電容器成為 2 個串聯連接，所以對於孤立單元板，保持電容量成為 $C_s/2$ ，亦即成為先前技術之雙單元之一半。

依照此種構成，在實施例 1 之雙單元中，H 側之儲存節點電壓 V_{RH} 之降低速度大於先前技術之雙單元，依照從電源電壓 V_{dd} 降低到負電壓 V_{BB} (或 $GND - V_{th}$) 之時間，用來定義復新時間 $t_{REF\#}$ 。因此，在單元電容 $C_s = 25\text{ fF}$ ，位元線電容 $C_b = 100\text{ fF}$ ，電源電壓 $V_{dd} = 2\text{ V}$ ，基板電壓 $V_{BB} = -1\text{ V}$ 時，進行模擬之結果，實施例 1 之雙單元之復新時間 $t_{REF\#}$ 可以確保成為先前技術之雙單元之復新時間 t_{REF2} 之 2 倍程度。

依照此種構成，在實施例 1 之雙單元 DRAM 中，使單元板對應到雙單元的進行隔離，用來使分別記憶有互補位準之資料之儲存節點電壓經由電容耦合同樣的進行變動，因為可以設計成為此種方式，所以可以使復新時間延長。

另外，利用此種孤立單元板構造，可以產生下面所述之效果。

在實施例 1 之雙單元中，在製造時即使存在有形成於儲存節點和其他節點（代表性者為字線）之間之短路路徑時，由於 H 側儲存節點之電壓從電源電壓 V_{dd} 降低到接地電壓 GND ，所以構成同一雙單元之 L 側儲存節點之電壓，亦經由電容耦合從接地電壓 GND 降低到負電壓。因此，在構成雙單元之 2 個 DRAM 單元之一方，即使在儲存節點發生短路路徑時，在 H 側儲存節點和 L 側儲存節點之間，依然保持有

某種程度之電壓差。其結果是可以避免發生有此種短路路徑之 DRAM 單元成為不良記憶單元。

另外，不只是在儲存節點和字線間發生短路路徑，即使在發生有儲存節點和位元線間之短路路徑，以及儲存節點和單元板間之短路路徑等之情況時，亦可以獲得同樣之效果。依照此種方式，當與先前技術之雙單元 DRAM 比較時，實施例 1 之雙單元 DRAM 可以提高製造良率。

另外，將圖 2 所示之單元板 130# 從孤立圖案變更成為連續圖案，可以很容易變更成為通常之單一單元之 DRAM 之記憶單元為其優點。

實施例 2

如上所說明，在雙單元 DRAM 中，為小布置面積化，所以 DRAM 單元之積體配置變為重要。因此，在以下之實施例 2 和 3 中說明用來有效配置實施例 1 所說明之雙單元之布置。

參照圖 5，在實施例 2 之構造中，構成同一雙單元 101# 之 2 個 DRAM 單元 100，利用共同之字線 WL 選擇。其他之部份因為與圖 1 所示之實施例 1 之構造相同，所以在對應之部份附加相同之元件符號，而該等之詳細說明不再重複。

圖 6 為表示實施例 2 之半導體記憶裝置之記憶器陣列部之布置的概略圖。

在圖 6 中，設有依列方向延伸之字線 WL0~WL5，和設有依行方向延伸之位元線 BL0, /BL0~BL4, /BL4。該等之字線 WL0~WL5 和位元線 BL, /BL0~BL4, /BL4 被設置成在互相交叉之方向，代表性的互相交叉。與圖 3 之說明同樣的，該

等之字線 WL0～WL5 例如以多晶矽配線形成，位元線 BL0, /BL0～BL4, /BL4 分別形成在上層之例如第 1 金屬配線層。

在該等字線 WL0～WL5 及位元線 BL0, /BL0～BL4, /BL4 之交叉方向，配置有場區域 200。亦即，在實施例 2 之構造中，場區域 200 被設置成在字線 WL 之延伸方向和位元線 BL, /BL 之延伸方向間之方向延伸。在各個場區域 200 中，與實施例 1 之布置同樣的，形成有 2 個之 DRAM 單元 100。

在場區域 200 和位元線 BL0, /BL0～BL4, /BL4 之交叉部，分別形成有位元線接觸部 160。另外，在場區域 200，對於字線 WL(一起表示 WL0～WL5)，在與位元線接觸部 160 面對之端部，配置有儲存節點接觸部 170。

儲存節點 140 經由被配置在場區域 200 之兩端之儲存節點接觸部 170，電連接到場區域 200。儲存節點 140 形成在場區域 200 之上部區域，與 DRAM 單元 100 之各個對應。

依照此種方式，在實施例 2 之構造中，與儲存節點 140 面對之單元板，被設置成與實施例 1 同樣的，成為對應到各個雙單元之隔離之孤立單元板 130#。因此，在實施例 2 之構造中，各個雙單元與實施例 1 同樣的可以改善復新特性，而且即使在儲存節點和其他節點之間發生有短路徑時亦不容易成為不良單元為其優點。亦即，在實施例 1 和實施例 2 之間，惟一之不同是雙單元之布置配置。在記憶器陣列中，在列及行方向重複的配置圖 6 所示之配置。

在實施例 2 之布置中，字線 WL 之間距存在有 2 種。亦

即在其間包夾有位元線接觸部 160 之字線 (例如 WL0 及 WL1) 之間距為 $2 \cdot F$ 。另一方面，在其間包夾有儲存節點接觸部 170 之字線 (例如 WL1 和 WL2) 之間距為 $4 \cdot F$ 。字線 WL 以該 $2 \cdot F$ 和 $4 \cdot F$ 之間距交替的配置。

位元線接觸部 160 在列方向排列，被配置成與各個位元線 BL, /BL 對應。另外，儲存節點接觸部 170 亦在列方向排列，被配置成與各個記憶單元行對應。位元線 BL, /BL 之間距為 $2 \cdot F$ 。位元線接觸部 160 在行方向以 $6 \cdot F$ 之間距配置。

因此，用以形成 DRAM 單元 100 之基本單元區域被包含有 1 個之位元線接觸部 160 和儲存節點接觸部 170 之矩形區域加以規定。該基本單元區域是列方向之長度為 $2 \cdot F$ ，行方向之長度為 $3 \cdot F$ ，其面積為 $6 \cdot F^2$ 。

相對於此，在依照圖 2 所示之實施例 1 之布置中，用以形成 DRAM 單元 100 之基本單元區域是列方向之長度為 $2 \cdot F$ ，行方向之長度為 $4 \cdot F$ 。因此，基本單元區域之面積成為 $8 \cdot F^2$ 。因此，在實施例 2 之布置中，當與實施例 1 之布置進行比較時，用以形成 1 個之 DRAM 單元之基本單元區域之佔用面積可以減小，可以以更高之密度配置 DRAM 單元。其結果是可以使實施例 1 之雙單元 DRAM 更高積體化。

實施例 3

圖 7 為表示本發明之實施例 3 之半導體記憶裝置之記憶器陣列部之構造之概略圖。

參照圖 7，在實施例 3 之構造中，除了圖 5 所示之實施

例 2 之構造外，更配置有沿著與字線 WL 相同之方向形成之虛擬字線 DWL。其他之部份因為與圖 5 所示之實施例 2 之構造相同，所以在對應之部份附加相同之元件符號，而該等之詳細說明不再重複。

圖 8 為表示實施例 3 之半導體記憶裝置之記憶器陣列部之布置之概略圖。

參照圖 8，實施例 3 之布置，和圖 6 所示之實施例 2 之布置具有下述部份之不同。亦即，在形成於行方向鄰接之場區域 200 之儲存節點接觸部 170 之間之區域，配置虛擬字線 DWL。亦即，在間距為 $4 \cdot F$ 之字線 WL 之間，配置虛擬字線 DWL。另外，如圖 8 所示，在最端部之字線 WL 之外側，亦可以設置虛擬字線 DWL 用來確保形狀之連續性。其他之部份之布置因為與圖 6 相同，所以在對應之部份附加相同之元件符號，而該等之詳細說明不再重複。

該等之虛擬字線 DWL 形成在與字線 WL 相同之配線層，利用與字線 WL 相同之製造步驟進行製作。因此，不需要用以配置虛擬字線 DWL 之額外之製造步驟及遮罩。

字線 WL(WL0~WL5)和虛擬字線 DWL 之間距為 $2 \cdot F$ 。因此，包含有字線 WL 和虛擬字線 DWL 之字線之間距一樣成為 $2 \cdot F$ ，可以規則的配置字線 WL 和虛擬字線 DWL。藉此可重複的配置相同之圖案，可以抑制由於圖案之規則性之偏差所造成之階段部之曝光用光之亂反射等之影響，可以進行正確之圖案製作。利用此種構成，即使在微細加工時，亦可以對儲存節點等進行正確之圖案製作。

圖 9 表示圖 8 之 IX-IX 剖面圖。

參照圖 9，位於包夾虛擬字線 DWL 之兩側之場區域 200 之間，被隔離絕緣膜 220 電分離。隔離絕緣膜 220 例如利用 CMP (Chemical Mechanical Polishing) 法使其表面平坦化。通常，字線 WL 和虛擬字線 DWL 經由減小虛擬字線 DWL 形成時之底層之高低差，可以以同一個製造步驟製成。

在各個之場區域 200，形成用以構成不同之雙單元 101# 之 DRAM。因此，在該等之 DRAM 單元間，孤立單元板 130# 相互間被隔離。另外，各個 DRAM 單元之構造因為圖 3 所說明者相同，所以在對應部份附加相同之元件符號，而其詳細說明不再重複。

另外，經由使虛擬字線 DWL 之各個經常被固定在接地電壓 GND 或比其低之負電壓，可以在場區域 200 間之厚隔離絕緣膜 220 下部，吸引正電荷，對場區域 200 之電子形成電位障壁。利用此種構成可以提高被隔離絕緣膜 220 電隔離之 2 個場區域 200 間之絕緣性，可以提高構成不同之雙單元 101# 之儲存節點間之絕緣性。其結果是被隔離絕緣膜 220 隔離之 DRAM 單元之各個，可以更穩定的記憶資料。

依照上述方式之實施例 3 之雙單元 DRAM，在行方向鄰接之儲存節點間之區域，配置有與字線相同配線層之虛擬字線，可以使字線之間距全部等效的成為相同。其結果是除了實施例 2 之雙單元 DRAM 之效果外，還可更進一步的提高微細加工時之尺寸精確度。

另外，經由對虛擬字線施加指定之電壓，在該虛擬字線

下層區域，可以形成電位障壁用來使屬於不同之雙單元之儲存節點間產生電隔離。因此，可以使各個 DRAM 單元之資料記憶更進一步的穩定化。

實施例 3 之變化例 1

圖 10 為表示實施例 3 之變化例 1 之半導體記憶裝置之記憶器陣列部之布置的概略圖。

在圖 10 所示之布置中，在各個虛擬字線 DWL 之下層區域亦形成有場區域，因此，場區域 200 是連續的形成。該場區域 200，連續的連接鄰接列和鄰接行之 DRAM 單元之場區域 200，被配置成沿著一定方向延伸。形成在各個虛擬字線 DWL 之下區域之場區域，沿著行方向直接的延伸，實質上的連接為儲存節點 140(被配置成面對虛擬字線 DWL)設置之場區域 200。對於各個虛擬字線 DWL，與實施例 3 所說明者同樣的，被施加接地電壓 GND 或負電壓。

圖 11 是圖 10 之 XI-XI 剖面圖。

參照圖 11，場區域 200 形成在虛擬字線 DWL 之下區域連續的延伸。在包夾虛擬字線 DWL 之互相面對之各個區域，形成有與圖 3 和圖 9 所示構造同樣之 DRAM。

在虛擬字線 DWL，被施加有接地電壓 GND 或負電壓之指定電壓位準。依照該指定電壓，因為形成在包夾虛擬字線 DWL 之互相面對之雜質區域 231 及 232 間之電晶體成為 OFF 狀態，所以包夾虛擬字線 DWL 之互相面對之 2 個區域，成為被電隔離。

因此，在 P 井 210 之表面，即使連續的形成場區域 200，

亦可以利用虛擬字線 DWL 確實的進行不同之 DRAM 單元分別對應之儲存節點間之電隔離。

依照上述方式，實施例 3 之變化例 1，即使在虛擬字線下部形成有場區域，亦可以使該場區域連續的形成條帶狀。因此，不需要厚的隔離絕緣膜用來使場區域在鄰接之儲存節點之間進行隔離，所以除了實施例 3 之效果外，亦可以很容易對場區域進行圖案製作。另外，因為不需要該場隔離用之絕緣膜，所以形成 DRAM 單元之基本單元區域之布置面積可以減小，可以實現微細記憶單元。

另外，經由對虛擬字線施加指定之電壓，使該場區域內之電晶體成為 OFF 狀態，可以正確的進行記憶單元之儲存節點間之隔離，可以進行正確之資料記憶。

實施例 3 之變化例 2

圖 12 為表示實施例 3 之變化例 2 之半導體記憶裝置之記憶器陣列部之布置的概略圖。在圖 12 中，代表性的顯示有字線 WL0~WL5，虛擬字線 DWL，和位元線 BL0, /BL0~BL4, /BL4。

在該圖 12 所示之布置中，場區域 200 以對虛擬字線 DWL 成為對稱之方式，使其傾斜方向在行方向是交替的向上和向下。場區域 200，與圖 10 之布置同樣的，在虛擬字線 DWL 之下部，使場區域在行方向連續的形成。因此，對同一行之記憶單元，連續的形成場區域 200。

在鄰接之字線之間之區域，位元線接觸部 160 被配置成與各個位元線對應。儲存節點接觸部 170 被配置在虛擬字

線 DWL 和字線 WL(一起表示字線 WL0~WL5)之間之區域，成為與各個 DRAM 單元 100 對應。亦即，儲存節點接觸部 170 被配置成面對虛擬字線 DWL。

在圖 12 所示之布置中，形成有 DRAM 單元 100 之基本單元區域之佔用面積為 $6 \cdot F^2$ 。該圖 12 所示之布置是場區域 200 之條帶形狀，不同於實施例 3 之變化例 1(圖 10)所示之在一方之方向上升到右肩上之條帶形狀，在行方向被配置成連續之鋸齒狀，除此之外成為相同。

在實施例 3 之變化例 2 之布置中，場區域 200 利用形成在各個虛擬字線 DWL 之下區域之場區域，形成連續，不需要場隔離用之厚的隔離絕緣膜等。

與實施例 3 之變化例 1 同樣的，對各個虛擬字線 DWL 施加接地電壓 GND 或比其低之負電壓。利用此種構成，各個虛擬字線 DWL 下部之場區域成為具有與圖 9 之隔離絕緣膜 220 同樣功能之場隔離區域。

因此，不需要設置場絕緣用之隔離絕緣膜，可以連續的形成場區域 200。其結果是除了實施例 3 之效果外，與實施例 3 之變化例 1 同樣的，使場區域之圖案製作變為容易。

另外，在實施例 1 至 3 和其變化例中，所說明之構造是將孤立單元板配置成與各個雙單元對應，但是構建成在指定區分之多個雙單元之每一個設置孤立單元板時，亦可以改善復新特性和提高製造良率。

例如，如圖 13 所示，在圖 2 所示之實施例 1 之布置中，亦可以構建成在每一個記憶單元列設置孤立單元板

130#。在此種情況，各個孤立單元板 130#可以被屬於同一記憶單元行之多個（在圖 13 中為 2 個）之雙單元共用。但是，在進行此種安排時，其條件是在各個雙單元內，分別記憶有互補位準之資料之儲存節點之電壓，在某一個範圍內經由電容耦合同樣的進行變動。另外，此種電壓變動是因為抑制各個孤立單元板之電容量而產生，所以經由在每個雙單元，使單元板隔離，可以最顯著的顯現本發明之效果。

實施例 4

在實施例 4 中說明更進一步改善復新特性之雙單元之構造。

圖 14 為表示本發明之實施例 4 之半導體記憶裝置之記憶器陣列部之構造的概略圖。

參照圖 14，在實施例 4 之構造中，各個雙單元 101#之構成包含有：DRAM 單元 100；和 DRAM 單元 100#，其中之 DRAM 單元 100 到電容器 120 之配置被省略。

在圖 14 中，與實施例 1 至 3 之構造同樣的，構成同一個雙單元 101#之 2 個 DRAM 單元 100 和 100#分別連接到成對之互補位元線 BL 和 /BL 之一方。孤立單元板 130#，與圖 1 同樣的，被隔離成為與各個雙單元對應。

另外，與圖 7 所示之實施例 3 之構造同樣的，同一雙單元 101#內之存取電晶體 110 之各個閘極形成與共同之字線 WL 連接，和除了字線 WL 外，以指定之間隔配置有虛擬字線 DWL。其他之部份因為與圖 7 所示之實施例 3 之構造相

同，所以在對應之部份附加相同之元件符號，而該等之詳細說明不再重複。

圖 15 為表示實施例 4 之半導體記憶裝置之記憶器陣列部之布置之概略圖。在圖 15 中顯示使實施例 4 之雙單元 101#，成為與圖 10 所示之實施例 3 之變化例 1 相同配置之情況時之布置。

參照圖 15，在實施例 4 中，只在構成雙單元之 2 個 DRAM 單元之一方設置儲存節點 140。如圖 15 所示，在各個記憶單元列，每隔 1 行設置儲存節點，和利用列方向鄰接之各 2 個之 DRAM 單元用來構成雙單元，可以利用 DRAM 單元 100 和 100# 用來構成各個雙單元。

各個儲存節點 140 經由儲存節點接觸部 170，形成與對應之場區域 200 電連接。另一方面，在構成雙單元之另外一方之單元之場區域，設有單元板接觸部 180。各個單元接觸部 180 電連接對應之場區域 200 和對應之孤立單元板 130#，在其間未存在有電容器。

包含孤立單元板之其他部份之布置，因為與圖 10 所示之實施形態 3 之變化例 1 之構造相同，所以在對應之部份附加相同之元件符號，而該等之詳細說明不再重複。

圖 16 是圖 15 之 XVI-XVI 剖面圖。

參照圖 16，對於形成在同一場區域 200 上之包夾位元線接觸部 160 之 2 個 DRAM 單元，其一方之 DRAM 單元 100 之構造與至目前所說明者相同。亦即，DRAM 單元 100 具有利用雜質區域 232、233 形成之存取電晶體 110，儲存節點

140，和使用孤立單元板 130#和儲存節點 140 之間的間隙部 240 所形成之電容器 120。

與此相對的，另外一方之 DRAM 單元 100#具有利用雜質區域 231、232 形成之存取電晶體 110，但是因為雜質區域 231 利用單元板接觸部 180 形成與孤立單元板 130#電連接，所以在孤立單元板 130#和存取電晶體 110 之間，未形成有電容器。雜質區域 232 被 2 個之 DRAM 單元 100、100#共用，利用共同之位元線接觸部 160 形成與對應之位元線 BL0 電連接。

虛擬字線 DWL 及孤立單元板 130#等之配置，因為與圖 11 相同，所以其詳細之說明不再重複。另外，在圖 16 中，所示之實例是使 DRAM 單元 100#中之單元板接觸部 180 成為與 DRAM 單元 100 中之儲存節點 140 和儲存節點 170 相同之形狀。利用此種構造可以確保 DRAM 單元 100 和 100#之間之形狀之連續性，可以提高製造時之尺寸精確度。

亦即，在實施例 4 之雙單元中，因為在各個雙單元設置隔離之孤立單元板，所以與實施例 1 至 3 同樣的，可以改善復新特性和提高製造良率。另外，在實施例 4 之構造中，只在構成同一雙單元之 DRAM 單元中之一方設置儲存節點（電容器），所以可以獲得下面所述之效果。

如上所述，在實施例 1~3 中，對於儲存節點，使電容量為 C_s 之電容器形成 2 個串聯連接，所以對於儲存節點，電荷保持電容量成為 $C_s/2$ 。與此相對的，在實施例 4 之雙單元中，對於儲存節點之電荷保持電容量成為電容器之 1

個部份之電容量 C_s ，變成大於實施例 1~3 之情況。

另外，與圖 16 之構造例不同的，對於單元板接觸部 180，假如小型化成為確保電連接所需要之最小限度之形狀時，可以利用被削減之空間，進行使電容器 120 之電容量增大之布置設計。在此種情況，對於儲存節點，可以確保使電荷保持電容量更進一步的變大。

因此，在實施例 4 之雙單元中，在圖 4 所示之動作波形圖中，因為可以改善 H 側之儲存節點電壓 VR_H 之下降速度，成為先前技術之雙單元之 H 側儲存節點電壓 VR_2 之降低速度之位準，或是比其慢，所以復新時間可以更進一步的延長。亦即，可以更進一步的改善復新特性。

另外，在圖 15 和圖 16 中，所示之實例是使實施例 4 之雙單元，以與實施例 3 之變化例 1 同樣之布置進行配置。但是，實施例 4 之雙單元之配置布置並不只限於此種情況者，亦可以使用實施例 1(圖 2)，實施例 2(圖 6)，實施例 3(圖 8)，和實施例 3 之變化例 2(圖 12)之任何一種之布置。

【圖式簡單說明】

圖 1 為表示本發明實施例 1 之半導體記憶裝置之記憶器陣列部的構造概略圖。

圖 2 為表示實施例 1 半導體記憶裝置之記憶器陣列部的布置概略圖。

圖 3 為圖 2 之剖面圖，其係表示實施例 1 半導體記憶裝置之記憶單元的構造。

圖 4 為波形圖，其係用來說明實施例 1 半導體記憶裝置

之復新時間。

圖 5 為表示本發明實施例 2 之半導體記憶裝置之記憶器陣列部的構造概略圖。

圖 6 為表示實施例 2 半導體記憶裝置之記憶器陣列部的布置概略圖。

圖 7 為表示本發明實施例 3 之半導體記憶裝置之記憶器陣列部的構造概略圖。

圖 8 為表示實施例 3 半導體記憶裝置之記憶器陣列部的布置概略圖。

圖 9 是圖 8 之剖面圖，其係用來表示實施例 3 半導體記憶裝置之記憶單元的構造。

圖 10 為表示實施例 3 之變化例 1 之半導體記憶裝置之記憶器陣列部的布置概略圖。

圖 11 是圖 10 之剖面圖，其係用來表示實施例 3 之變化例 1 之半導體記憶裝置之記憶單元的構造。

圖 12 為表示實施例 3 之變化例 2 之半導體記憶裝置之記憶器陣列部的布置概略圖。

圖 13 為表示在多個雙單元之每一個設有孤立單元板之情況時的布置實例概略圖。

圖 14 為表示本發明實施例 4 之半導體記憶裝置之記憶器陣列部的構造概略圖。

圖 15 表示實施例 4 半導體記憶裝置之記憶器陣列部的布置概略圖。

圖 16 為圖 15 之剖面圖，其係用來表示實施例 4 半導體

記憶裝置之記憶單元的構造。

圖 17 係用來說明先前技術之雙單元 DRAM 之陣列構造。

圖 18 為動作波形圖，其係用來表示在圖 17 所示雙單元 DRAM 使位元線預充電電壓成為電源電壓 Vdd 之情況時之位元線對偶之電壓動作。

圖 19 為波形圖，其係用來說明先前技術之雙單元 DRAM 之復新時間。

(元件符號說明)

100、100#	DRAM 單元
101、101#	雙單元
105a、105b	感測放大器
110	存取電晶體
120	電容器
130	單元板
130#	孤立單元板
140	儲存節點
160	位元線接觸部
170	儲存節點接觸部
180	單元板接觸部
200	場區域
210	P 型井
220	隔離絕緣膜
231～233	雜質區域
240	間隙部

BL, BL0 ~ BL4, /BL, /BL0 ~ /BL4 位 元 線

BLP 位 元 線 對 偶

DWL 虛 擬 字 線

GND 接 地 電 壓

VBB 負 電 壓 (基 板 電 壓)

Vdd 記 憶 器 陣 列 電 源 電 壓

WL, WL0 ~ WL7 字 線

WLP 字 線 對 偶

伍、中文發明摘要：

在利用 2 個 DRAM 單元構成之雙單元(101#)中，在各個雙單元(101#)使單元板(130#)電的隔離。藉由此種構成，在同一雙單元內之記憶互補資料之 2 個儲存節點(140)之電壓，利用電容耦合進行同樣之變動。

陸、英文發明摘要：

Each of twin-cell units each formed of two DRAM cells has a cell plate electrically isolated from the cell plates in the other twin-cell units. Thereby, voltages on two storage nodes storing mutually complementary data in the same twin-cell unit change similarly to each other owing to capacitive coupling.

柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

100	DRAM 單元
105a、105b	感測放大器
130#	孤立單元板
140	儲存節點
160	位元線接觸部
170	儲存節點接觸部
200	場區域
BL0,BL1,/BL0,/BL1	位元線
WLP	字線對偶
WL0~WL7	字線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

拾、申請專利範圍：

1. 一種半導體記憶裝置，其具備有配置成為行列狀之多個記憶單元；

上述多個記憶單元被分割成為多個記憶單位，由可寫入互補資料之各 2 個上述記憶單元所構成；

其更具備有：

多個位元線，被配置成與上述多個記憶單元行對應，以各 2 個形成對偶；

多個字線，與上述多個記憶單元列對應，被配置在與上述多個位元線交叉之方向；及

多個單元板，分別被設置成與上述各個記憶單位對應，至少電的互相隔離；

上述多個記憶單元之各個包含有：

選擇電晶體，連接在對應之上述位元線和儲存節點之間，依照對應之上述字線之電壓進行 ON 或 OFF；及

電容器，連接在上述儲存節點和對應之上述單元板之間。

2. 如申請專利範圍第 1 項之半導體記憶裝置，其中，在用以形成同一記憶單位之 2 個上述記憶單元，上述選擇電晶體之各個之閘極，形成與不同之上述字線連接。

3. 如申請專利範圍第 2 項之半導體記憶裝置，其中，上述之多個記憶單元之各個更包含有活性區域，被配置成沿著對應之上述位元線之延伸方向延伸，用來規定上述選擇電晶體之形成區域；

在沿著上述對應位元線之延伸方向鄰接之各 2 個之上述

記憶單元之間，使上述活性區域形成連續的延伸；

上述半導體記憶裝置更具備有位元線接觸部，被設在上述鄰接之各 2 個記憶單元之每一個組，用來使對應之上述活性區域和對應之上述位元線之間產生電連接。

4. 如申請專利範圍第 1 項之半導體記憶裝置，其中，在用以形成同一記憶單位之 2 個上述記憶單元，上述選擇電晶體之各個之閘極，形成與相同之上述字線連接。

5. 如申請專利範圍第 1 項之半導體記憶裝置，其中，在用以形成同一記憶單元之 2 個上述記憶單元，上述選擇電晶體之各個之閘極，形成與相同之上述字線連接；

上述多個記憶單元之各個更包含有活性區域，被配置成在對應之上述字線之延伸方向和對應之上述位元線之延伸方向之間之方向延伸，用來規定上述選擇電晶體之形成區域；

上述半導體記憶裝置更具備有多個位元線接觸部，用來使上述多個記憶單元之各個之上述活性區域，形成與上述位元線電連接；

上述多個位元線接觸部排列在上述多個字線之延伸方向，被設置成與各個上述位元線對應；

在上述多個位元線之延伸方向之鄰接之上述位元線接觸部之間，配置有 2 根之字線；

在沿著上述活性區域之延伸方向鄰接之各 2 個之上述記憶單元之間，上述活性區域連續的延伸；

各個上述位元線接觸部被上述鄰接之各 2 個之記憶單元

共用。

6. 如申請專利範圍第 5 項之半導體記憶裝置，其中，更具備有多個虛擬字線，沿著上述多個位元線之延伸方向鄰接，分別與不同之上述位元線接觸部具有對應之關係，被設置上述記憶單元之各個之上述儲存節點間之區域，形成以與上述多個字線相同之方向延伸。

7. 如申請專利範圍第 6 項之半導體記憶裝置，其中上述多個虛擬字線之各個被設定在指定位準之電壓；

上述活性區域在各個上述虛擬字線之下之區域，形成連續的延伸。

8. 如申請專利範圍第 7 項之半導體記憶裝置，其中，上述多個虛擬字線之各個被設定在指定位準之電壓；

被配置在上述鄰接列之上述鄰接行之上述記憶單元之上述活性區域以連續之方式，使上述活性區域沿著實質上相同之方向，形成連續的延伸。

9. 如申請專利範圍第 7 項之半導體記憶裝置，其中，上述多個虛擬字線之各個被設定在指定位準之電壓；

上述活性區域連續的形成，被配置成對各個上述虛擬字線形成對稱。

10. 如申請專利範圍第 6 項之半導體記憶裝置，其中，上述多個虛擬字線之各個被設定在指定位準之電壓。

11. 如申請專利範圍第 6 項之半導體記憶裝置，其中，上述字線和上述虛擬字線之間之間隔，實質上與上述字線間之間隔相同。

12. 一種半導體記憶裝置，其具備有配置成為行列狀之多個記憶單元；

上述多個記憶單元被分割成為多個記憶單位，由可寫入互補資料之各 2 個上述記憶單元所構成；

其更具備有：

多個位元線，被配置成與上述多個記憶單元行對應，以各 2 個形成對偶；

多個字線，與上述多個記憶單元列對應，被配置在與上述多個位元線交叉之方向；及

多個單元板，被設置成分別與上述多個記憶單位之指定區分對應，至少電的互相隔離；

上述多個記憶單元之各個包含有：

選擇電晶體，連接在對應之上述位元線和儲存節點之間，依照對應之上述字線之電壓進行 ON 或 OFF；和

電容器，連接在上述儲存節點和對應之上述單元板之間。

13. 一種半導體記憶裝置，其具備有配置成為行列狀之多個記憶單元；

上述多個記憶單元被分割成為多個記憶單位，由可寫入互補資料之各 2 個上述記憶單元所構成；

其更具備有：

多個位元線，被配置成與上述多個記憶單元列對應，以各 2 個形成對偶；

多個字線，與上述多個記憶單元列對應，被配置在與上述多個位元線交叉之方向；及

多個單元板，分別被設置成與上述各個記憶單位對應，至少電的互相隔離；

構成上述記憶單位之 2 個上述記憶單元之一方之各個包含有：

選擇電晶體，連接在上述成對之 2 根位元線之一方和儲存節點之間，依照對應之上述字線之電壓進行 ON 或 OFF；和

電容器，連接在上述儲存節點和對應之上述單元板之間；

構成上述記憶單位之 2 個上述記憶單元之另外一方之各個包含有選擇電晶體，不經由電容器，連接在上述成對之 2 根位元線之另外一方和對應之上述單元板之間，依照對應之上述字線之電壓進行 ON 或 OFF。

圖 1

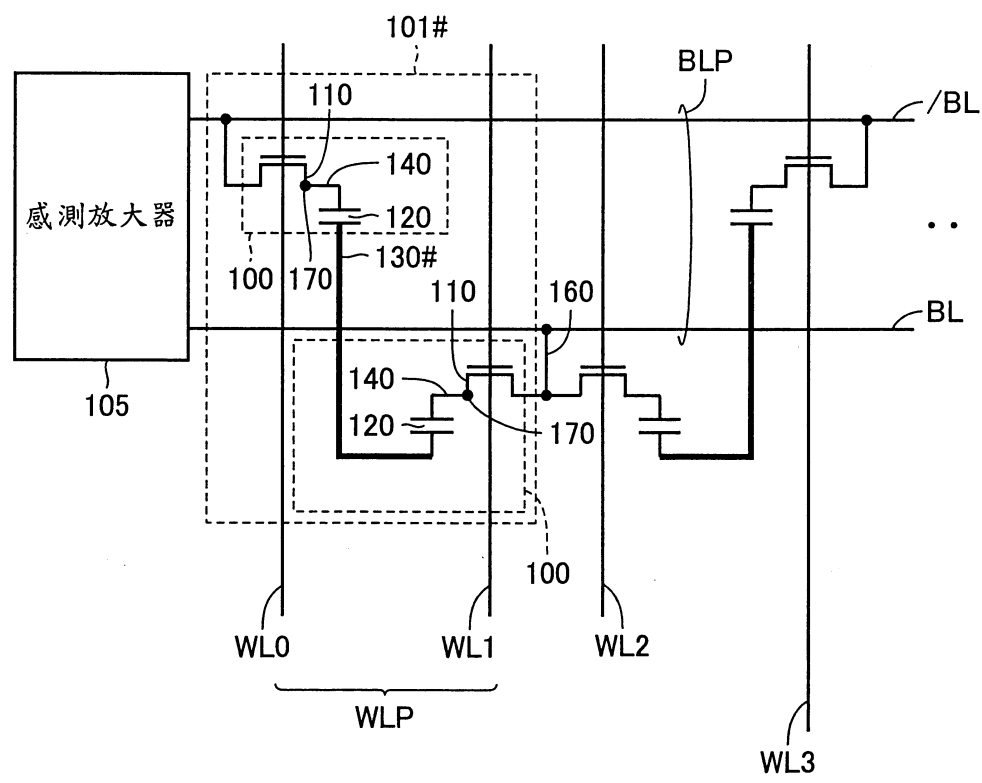


圖 2

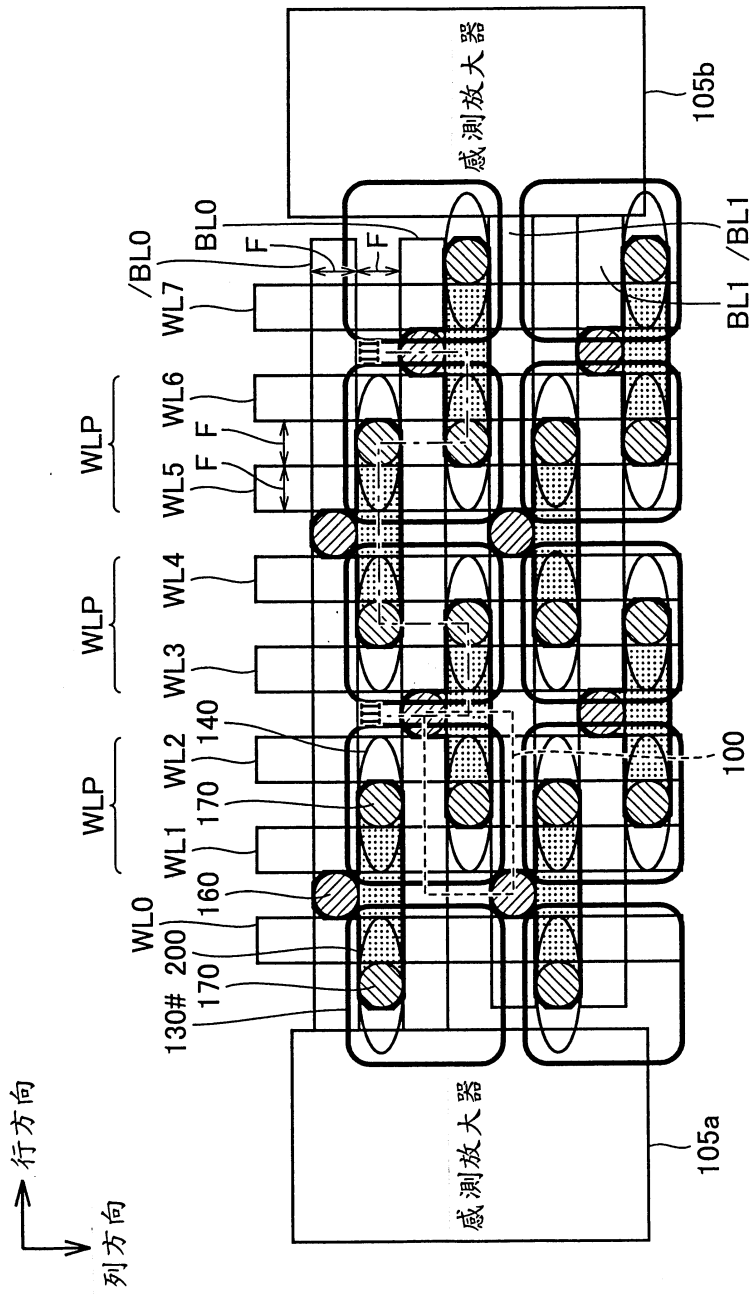


圖 3

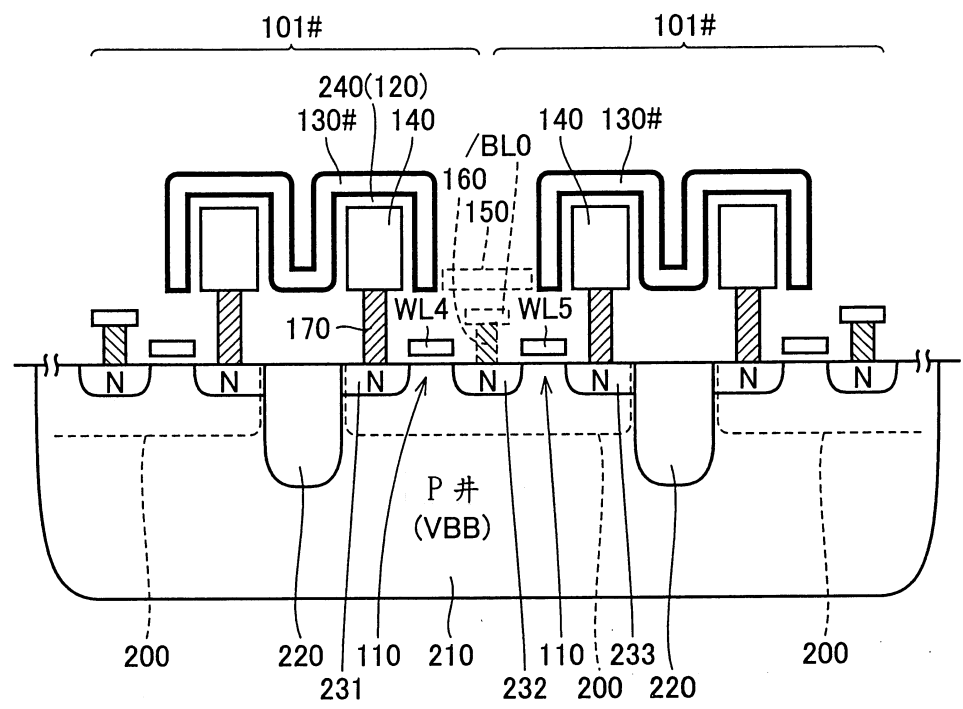


圖 4

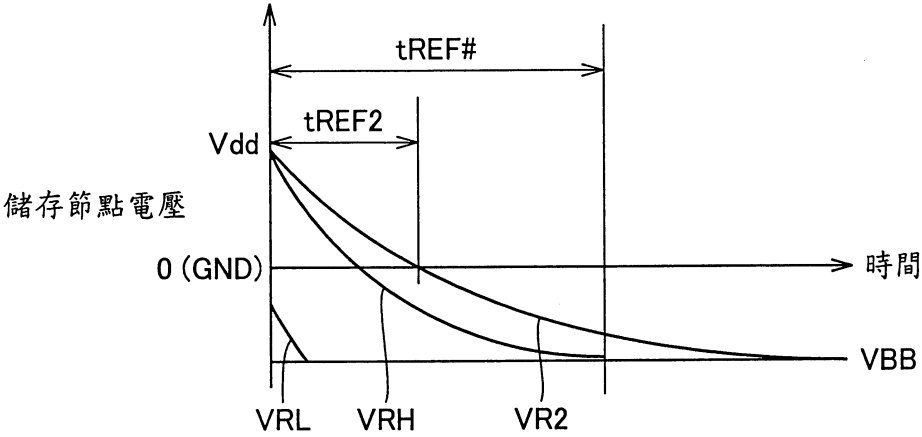


圖 5

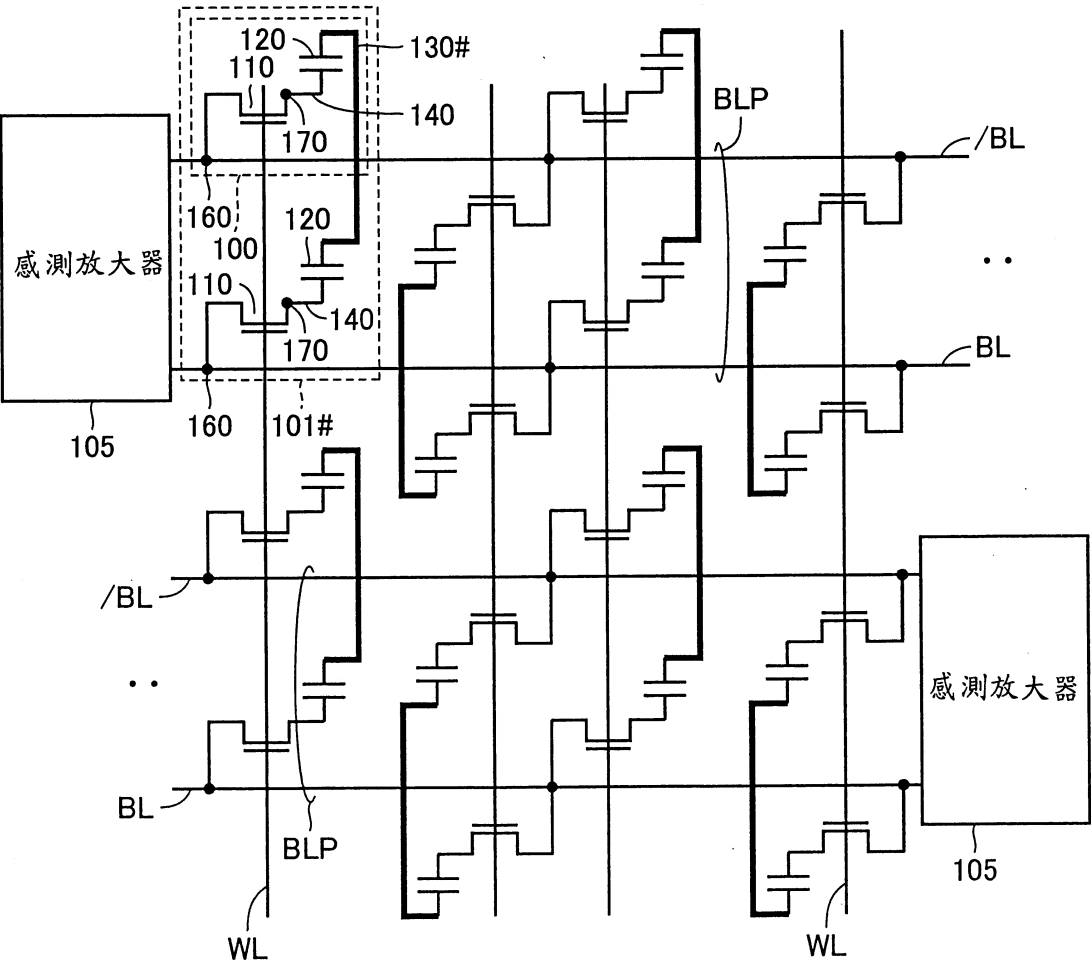


圖 6

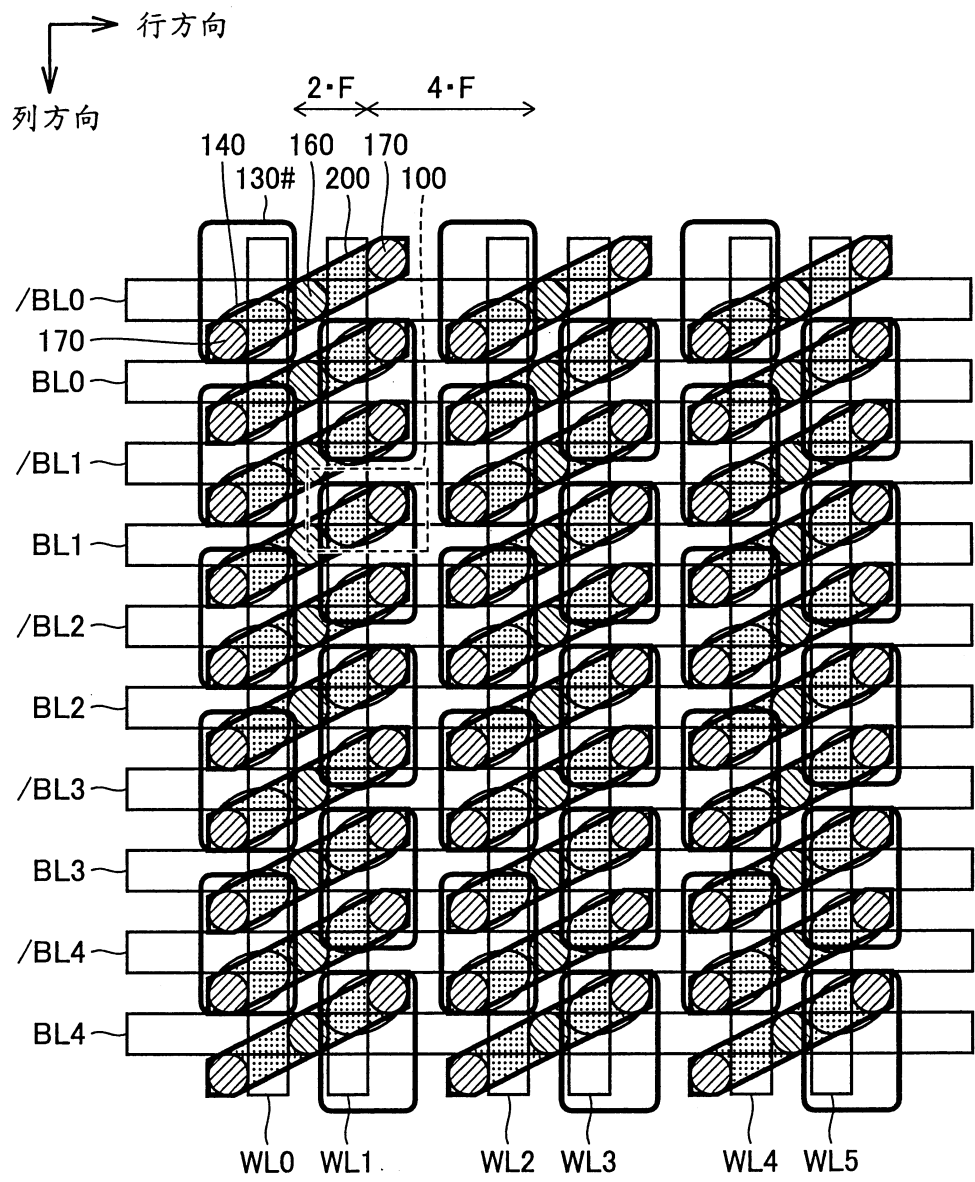
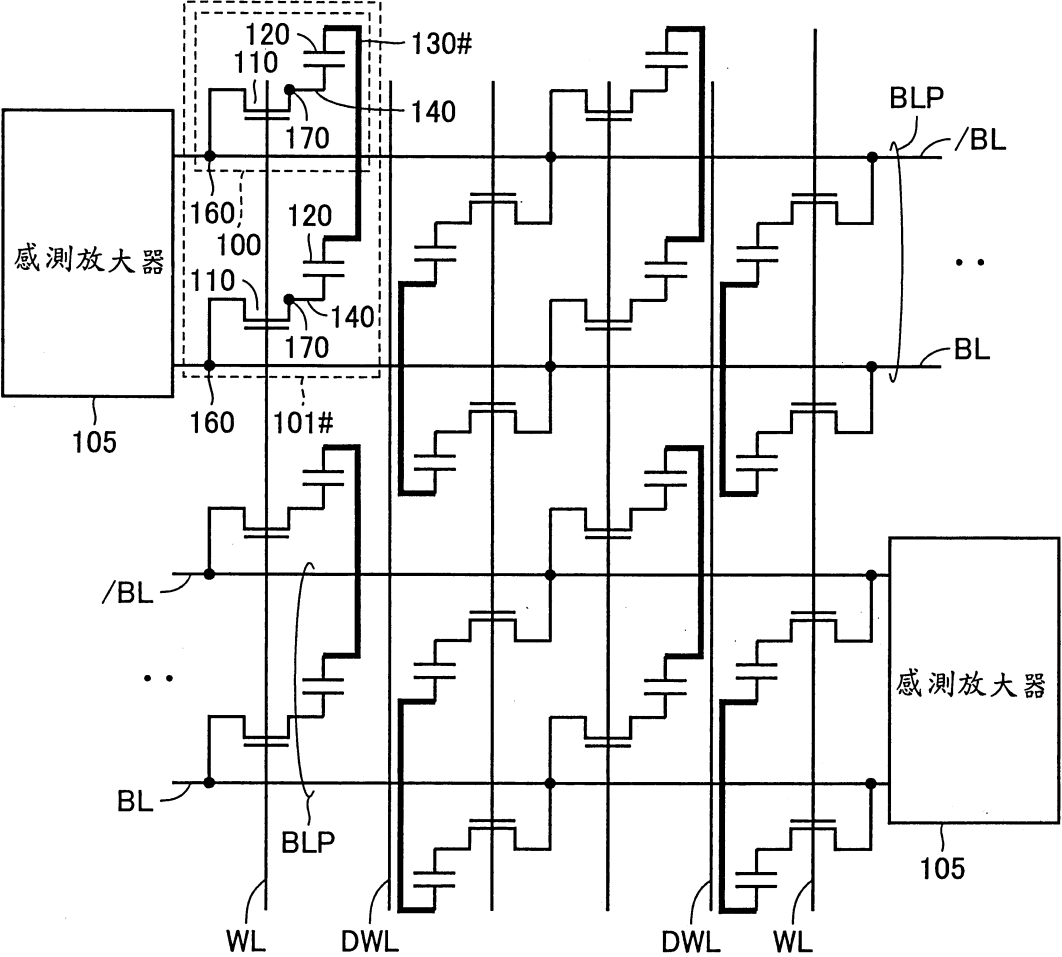
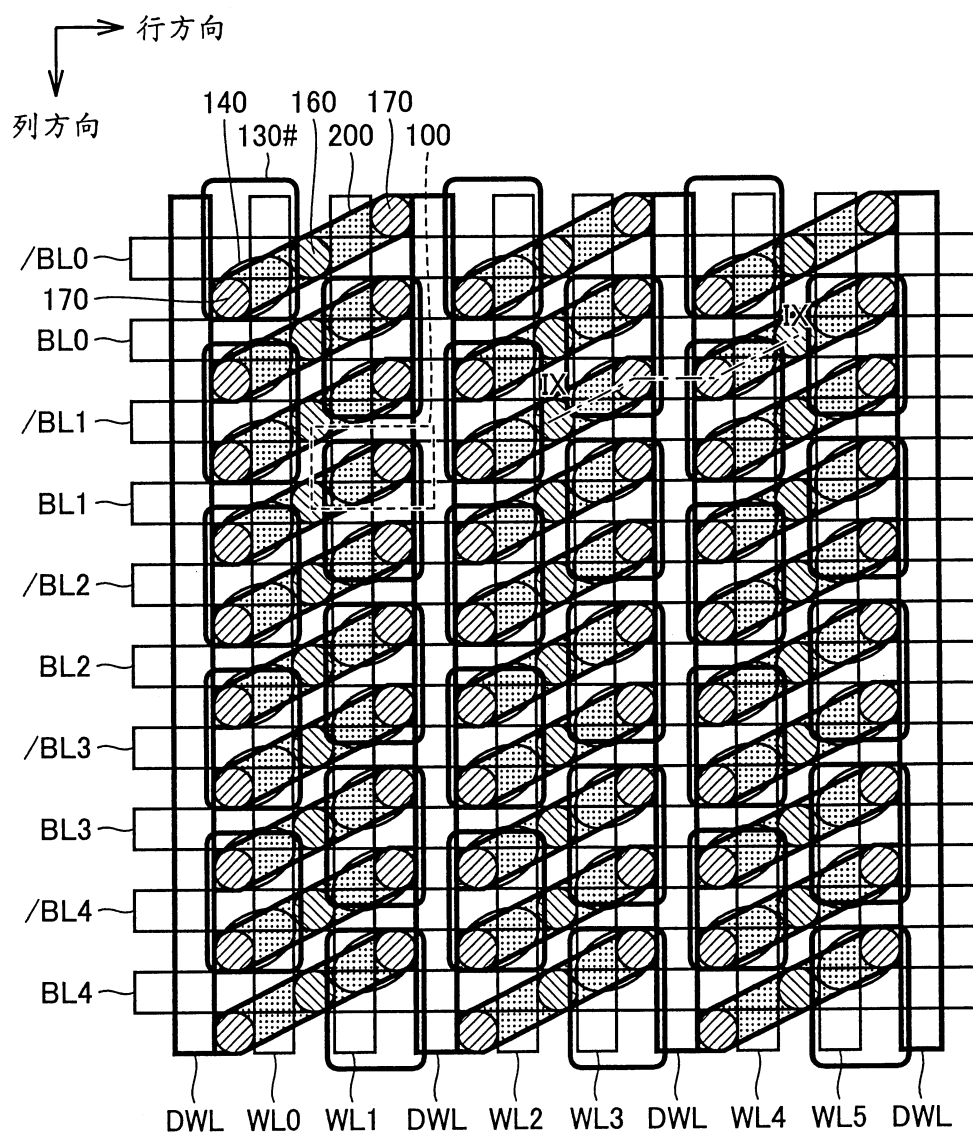


圖 7



8



10

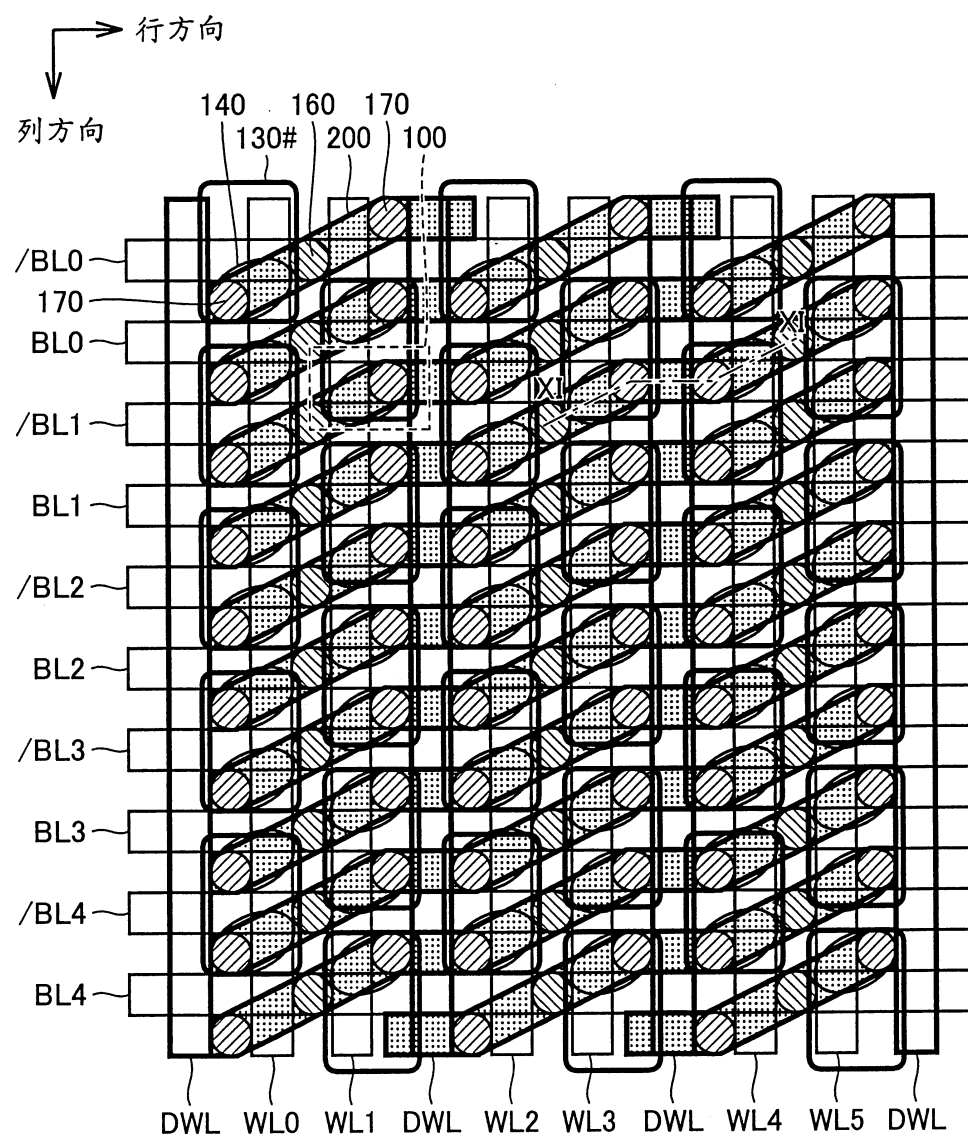


圖 11

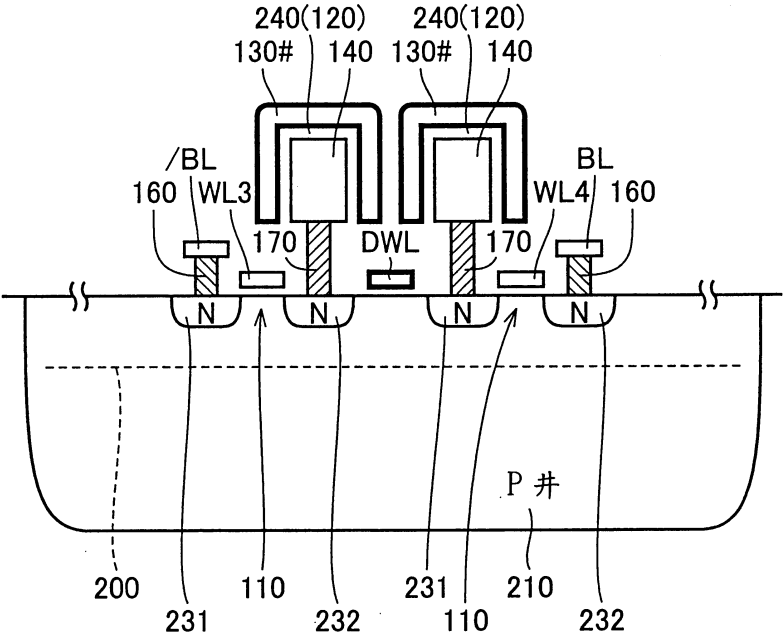


圖 12

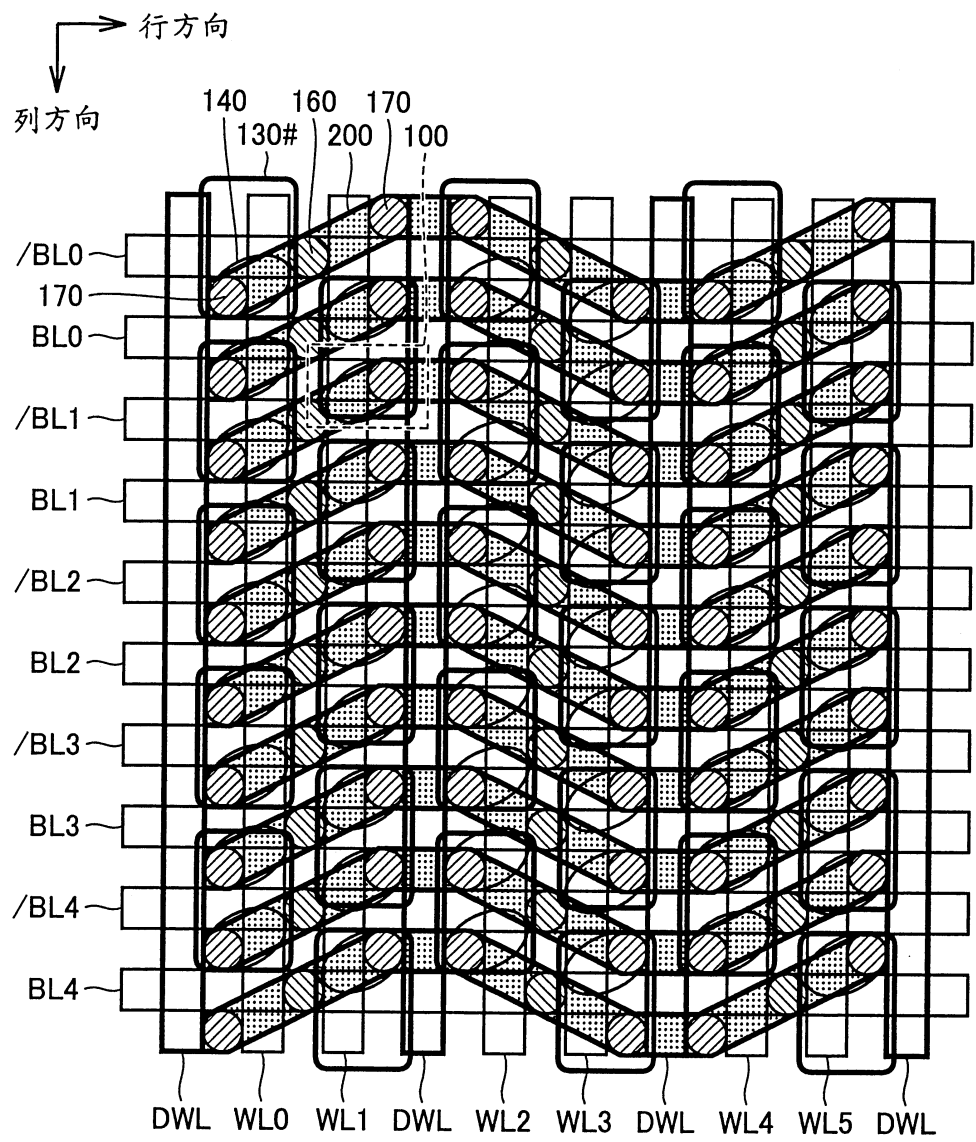


圖 13

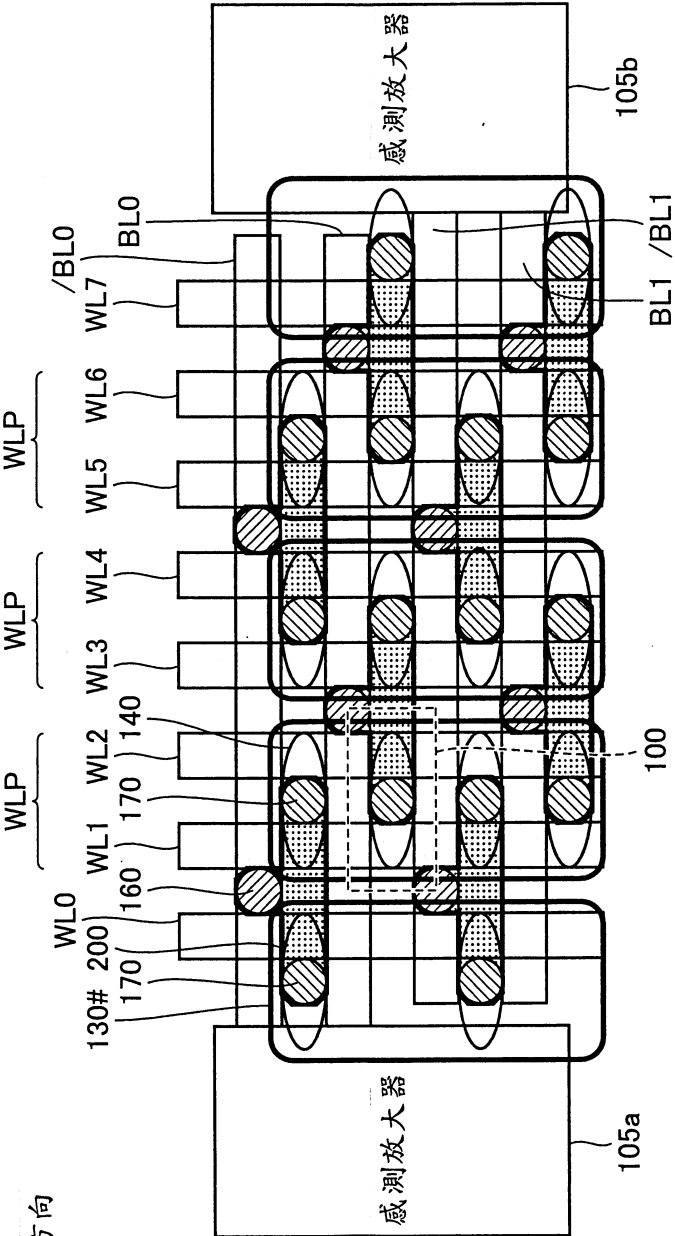
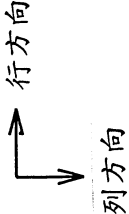


圖 14

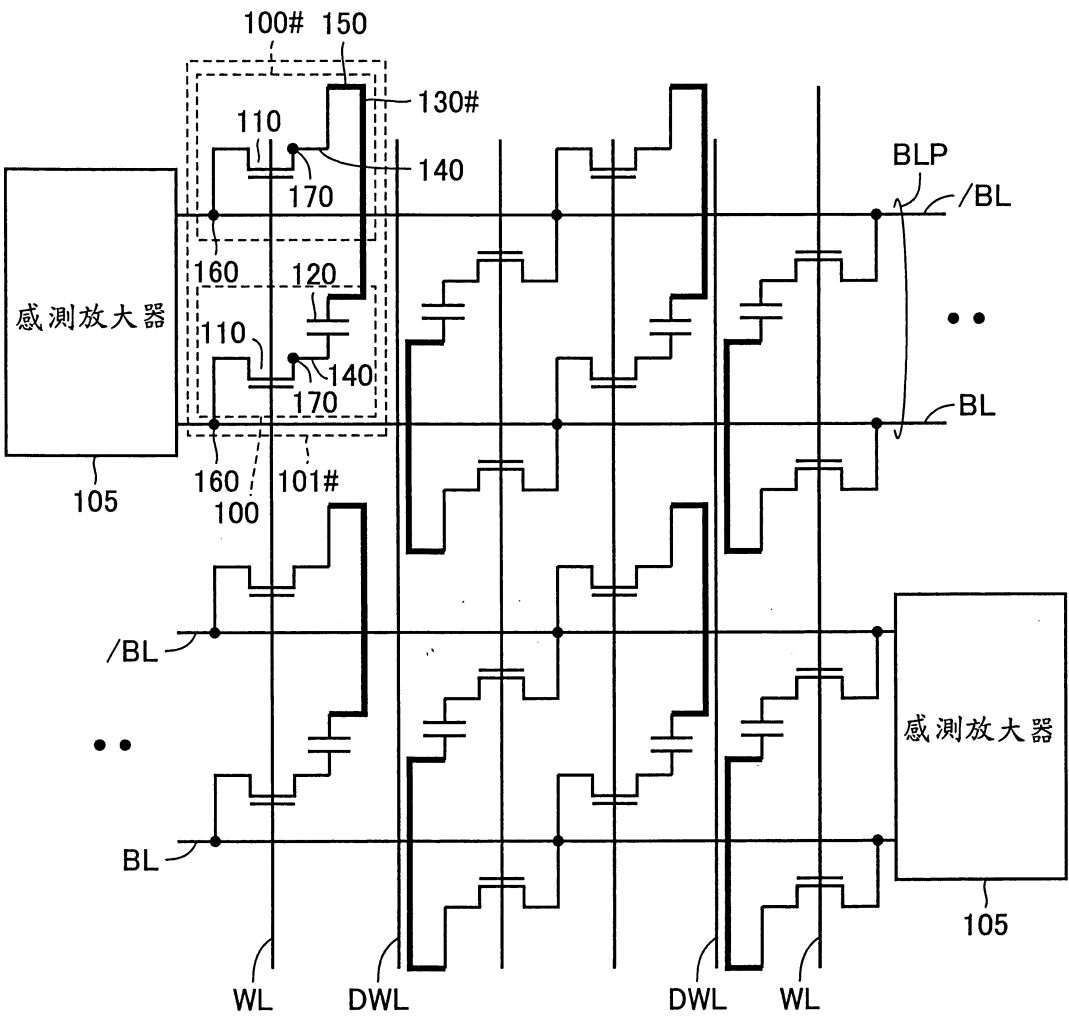


圖 15

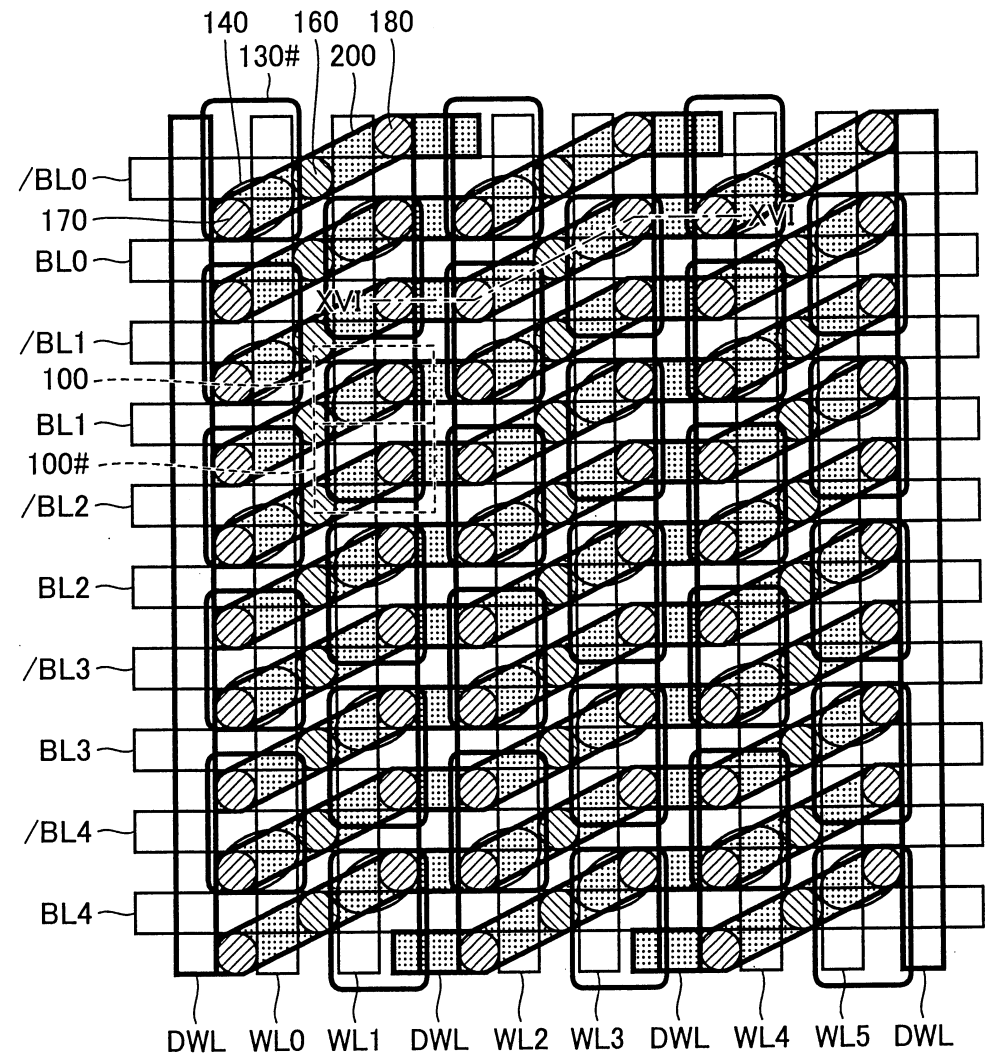


圖 16

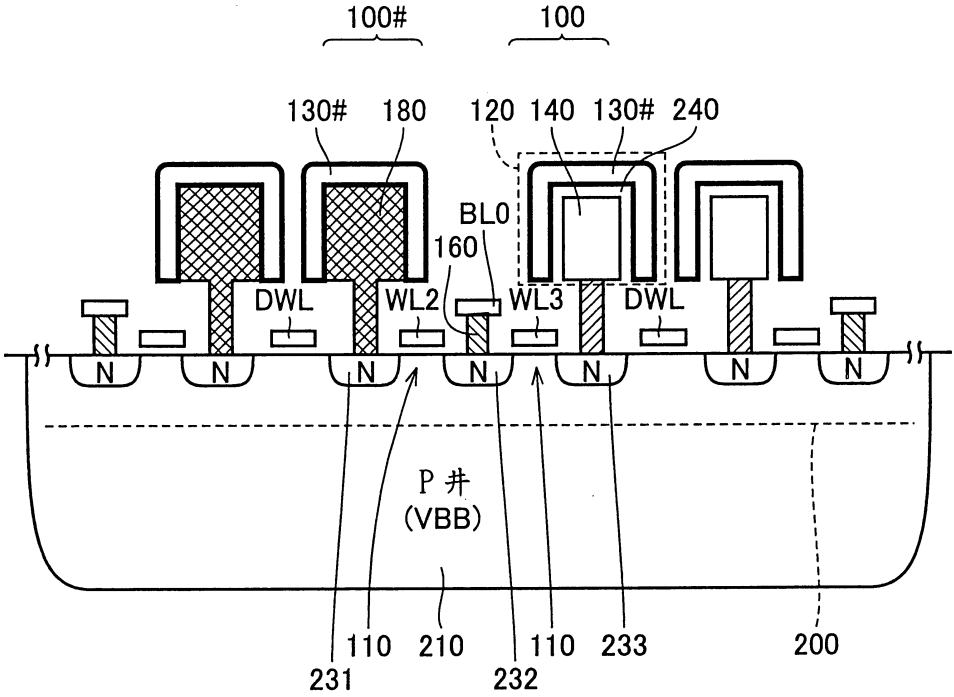


圖 17

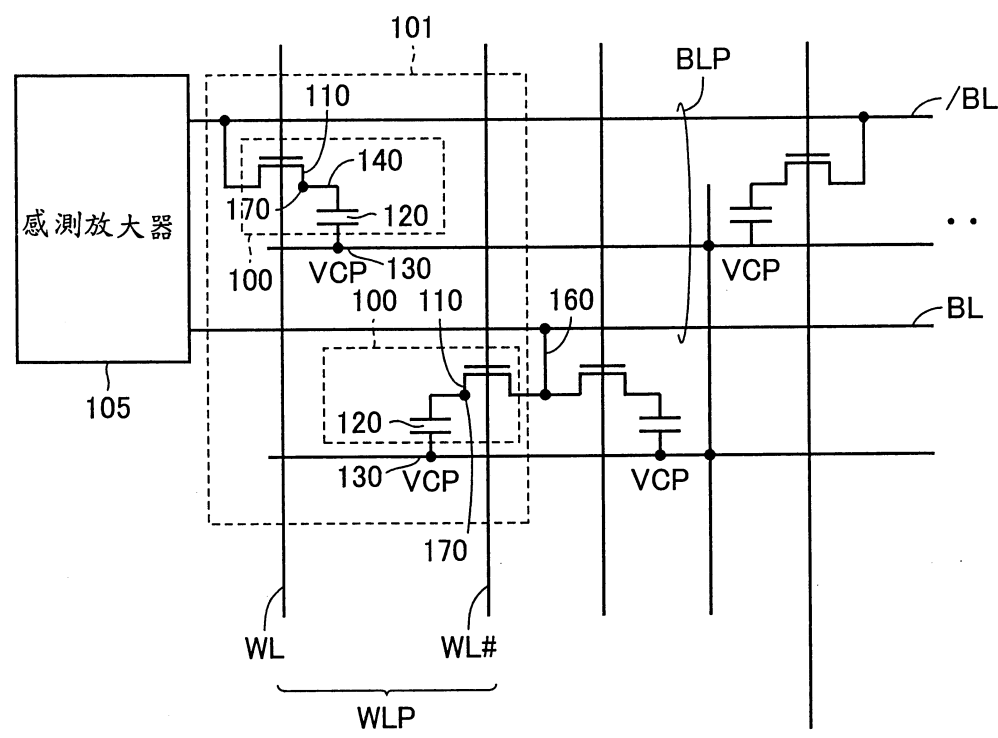


圖 18

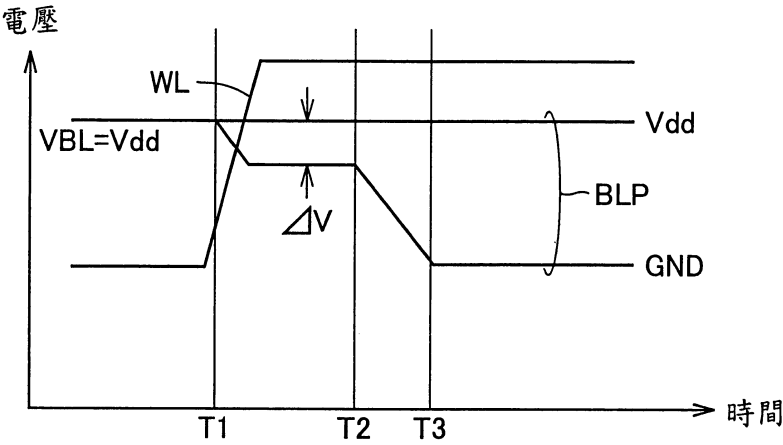


圖 19

