



(12)发明专利

(10)授权公告号 CN 104205227 B

(45)授权公告日 2018.03.06

(21)申请号 201380018336.4

(22)申请日 2013.04.01

(65)同一申请的已公布的文献号
申请公布号 CN 104205227 A

(43)申请公布日 2014.12.10

(30)优先权数据
13/435,718 2012.03.30 US

(85)PCT国际申请进入国家阶段日
2014.09.30

(86)PCT国际申请的申请数据
PCT/US2013/034785 2013.04.01

(87)PCT国际申请的公布数据
W02013/149235 EN 2013.10.03

(73)专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72)发明人 D·J·托普斯 M·P·克林顿

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.
G11C 11/22(2006.01)
G11C 29/42(2006.01)

(56)对比文件
JP 2004164815 A, 2004.06.10,
KR 20040040852 A, 2004.05.13,
WO 2008029439 A1, 2008.03.13,
CN 1211040 A, 1999.03.17,
US 2010246238 A1, 2010.09.30,

审查员 廖凌慧

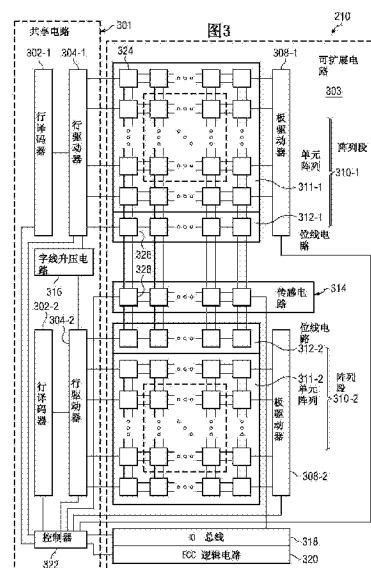
权利要求书4页 说明书6页 附图12页

(54)发明名称

铁电随机存取存储器(FRAM)布局设备和方
法

(57)摘要

本发明涉及具有阵列段(310-1, 310-2)的铁电随机存取存储器(FRAM), 每个阵列段具有以行和列布置的FRAM单元(324)阵列, 其中每行和板线与耦合到位线单元(326)的位线关联且每列与字线关联。传感电路具有耦合到第一段(310-1)位线和耦合到第二段(310-2)位线的感应放大器(328)。位置与阵列段邻近的板驱动器(308-1、308-2)耦合到板线。与板驱动器位置邻近的行接口电路(304-1、304-2)耦合到字线。字线升压电路(316)耦合到行接口电路。输入/输出(I/O)总线(318)耦合到每个感应放大器且纠错码(ECC)逻辑电路(320)耦合到I/O总线。控制器(322)耦合到I/O总线、ECC逻辑电路、传感电路和行接口电路。



1. 一种具有铁电存储器单元的设备,其包括:

第一阵列段,其具有:

第一阵列的铁电存储器单元,所述第一阵列的铁电存储器单元布置在第一组行和第一组列内,其中来自所述第一组行的每行与来自第一组位线的至少一条位线和来自第一组板线的至少一条板线关联,并且其中来自所述第一组列的每列与来自第一组字线的至少一条字线关联;以及

第一组位线单元,其中每条位线耦合到来自所述第一组位线的至少一条位线;

第二阵列段,其具有:

第二阵列的铁电存储器单元,所述第二阵列的铁电存储器单元布置在第二组行和第二组列内,其中来自所述第二组行的每行与来自第二组位线的至少一条位线和来自第二组板线的至少一条板线关联,并且其中来自所述第二组列的每列与来自第二组字线的至少一条字线关联;以及

第二组位线单元,其中每条位线耦合到来自所述第二组位线的至少一条位线;

传感电路,其位于所述第一阵列段和所述第二阵列段之间,其中所述传感电路包括多个感应放大器,并且其中每个感应放大器耦合到来自所述第一组位线的至少一条位线并且其耦合到来自所述第二组位线的至少一条位线;

第一板驱动器,其耦合到来自所述第一组板线的每条板线并且其位于基本上与所述第一阵列段邻近的位置;

第二板驱动器,其耦合到来自所述第二组板线的每条板线并且其位于基本上与所述第二阵列段邻近的位置;

第一行接口电路,其耦合到来自所述第一组字线的每条字线并且其位于基本上与至少一个所述第一板驱动器和所述第一阵列段邻近的位置;

第二行接口电路,其耦合到来自所述第二组字线的每条字线并且其位于基本上与至少一个所述第二板驱动器和所述第二阵列段邻近的位置;

字线升压电路,其耦合到所述第一行接口电路和所述第二行接口电路并且其在所述第一行接口电路和所述第二行接口电路之间;

输入/输出总线,即IO总线,其耦合到每个感应放大器并且其位于与所述第一阵列段和所述第二阵列段中的至少一个基本邻近的位置;

纠错码逻辑电路,即ECC逻辑电路,其耦合到所述IO总线并且与所述IO总线基本邻近;以及

控制器,其耦合到所述IO总线、所述ECC逻辑电路、所述传感电路、所述第一行接口电路和所述第二行接口电路,其中所述控制器与所述第一行接口电路和所述第二行接口电路、所述IO总线和所述ECC逻辑电路中的至少一个基本邻近。

2. 根据权利要求1所述的设备,其中每个位线单元进一步包括预充电电路。

3. 根据权利要求2所述的设备,其中每个位线单元耦合到一对位线,并且其中每个位线单元进一步包括:

所述预充电电路,其耦合到它的位线对;以及

多路复用器,其耦合到所述预充电电路和其感应放大器,其中所述多路复用器由所述控制器控制。

4. 根据权利要求3所述的设备, 其中来自所述第一组位线和所述第二组位线的每条位线进一步包括真位线和补位线, 并且其中每个铁电存储器单元进一步包括:

第一MOS晶体管, 其在其漏极处耦合到其真位线并在其栅极处耦合到其字线;
第一铁电电容器, 其耦合在所述第一MOS晶体管的源极和其板线之间;
第二MOS晶体管, 其在其漏极处耦合到其补位线并在其栅极处耦合到其字线; 以及
第二铁电电容器, 其耦合在所述第二MOS晶体管的源极和其板线之间。

5. 根据权利要求4所述的设备, 其中所述ECC逻辑电路进一步包括:

多个校正子发生器, 其经耦合以接收来自所述传感电路的未纠正的读数;
多个纠错器电路; 以及

多个纠错器奇偶校验电路, 其中所述多个纠错器电路和所述多个纠错器奇偶校验电路耦合到所述多个校正子发生器, 以生成纠正的读数。

6. 根据权利要求5所述的设备, 其中所述第一行接口电路与所述第一阵列段邻近, 并且其中所述第二行接口电路与所述第二阵列段邻近。

7. 一种用于生成具有权利要求1所述的铁电存储器单元的设备的布局的系统, 其中所述铁电存储器包括铁电随机存取存储器即FRAM, 所述系统包括:

用于接收FRAM规范的装置;
用于从非临时性存储介质取回FRAM布置图和设计规则的装置; 以及
用于基于所述FRAM规范和设计规则组合所述FRAM的布局的装置。

8. 根据权利要求7所述的系统, 其中所述FRAM规范进一步包括字大小、位长度、字节大小和阵列段布局。

9. 根据权利要求8所述的系统, 其中所述设计规则进一步包括:

用于将行接口电路沿所述布局的一个边缘放置的计算机编码; 以及
用于将控制器放置在所述布局的一个角落的计算机编码, 其中所述控制器基本上与所述行接口电路邻近。

10. 根据权利要求9所述的系统, 其中所述布置图进一步包括共享电路和可扩展电路。

11. 一种具有布局的FRAM, 其包括:

共享电路, 其具有:

沿所述布局的边缘定位的行接口电路; 以及

控制器, 其耦合到所述行接口电路, 并且其基本上与所述行接口电路邻近, 并且其位于所述布局的角落; 以及

多个可扩展电路, 其布置在阵列中, 其中所述阵列与所述行接口电路邻近, 其中每个可扩展电路包括:

第一组位线;

第二组位线;

第一组字线, 其中来自所述第一组字线的每条字线耦合到所述行接口电路;

第二组字线, 其中来自所述第二组字线的每条字线耦合到所述行接口电路;

第一组板线;

第二组板线;

第一组FRAM单元, 其布置在第一组行和第一组列内, 其中来自所述第一组FRAM单元的

每个FRAM单元耦合到来自所述第一组位线的至少一条位线、来自所述第一组字线的至少一条字线和来自所述第一组板线的至少一条板线；

第二组FRAM单元，其布置在第二组行和第二组列内，其中来自所述第二组FRAM单元的每个FRAM单元耦合到来自所述第二组位线的至少一条位线、来自所述第二组字线的至少一条字线和来自所述第二组板线的至少一条板线；

第一组位线单元，其中每条位线耦合到来自所述第一组位线的至少一条位线；

第二组位线单元，其中每条位线耦合到来自所述第二组位线的至少一条位线；

多个感应放大器，其中每个感应放大器耦合到来自所述第一组位线的至少一条位线且其耦合到来自所述第二组位线的至少一条位线，并且其中每个感应放大器位于所述第一组FRAM单元和所述第二组FRAM单元之间；

第一板驱动器，其耦合到来自所述第一组板线的每条板线并且其位于基本上与所述第一组FRAM单元邻近的位置；

第二板驱动器，其耦合到来自所述第二组板线的每条板线并且其位于基本上与所述第二组FRAM单元邻近的位置；

IO总线，其耦合到每个感应放大器并且其位于基本上与所述第一组FRAM单元和所述第二组FRAM单元中的至少一个邻近的位置；以及

ECC逻辑电路，其耦合到所述IO总线且基本上与所述IO总线邻近。

12. 根据权利要求11所述的FRAM，其中所述第一组位线进一步包括第一组真位线和第一组补位线，并且其中所述第二组位线进一步包括第二组真位线和第二组补位线。

13. 根据权利要求12所述的FRAM，其中来自所述第一和第二组FRAM单元的每个FRAM单元进一步包括：

第一MOS晶体管，其在其漏极处耦合到其真位线并在其栅极处耦合到其字线；

第一铁电电容器，其耦合在所述第一MOS晶体管的源极和其板线之间；

第二MOS晶体管，其在其漏极处耦合到其补位线并在其栅极处耦合到其字线；以及

第二铁电电容器，其耦合在所述第二MOS晶体管的源极和其板线之间。

14. 根据权利要求13所述的FRAM，其中来自所述第一组位线单元和所述第二组位线单元的每个位线单元进一步包括：

预充电电路，其耦合到来自其关联FRAM单元组中的两个邻近行的真位线和补位线；以及

多路复用器，其耦合到所述预充电电路和其感应放大器，其中所述多路复用器由所述控制器控制。

15. 根据权利要求14所述的FRAM，其中所述行接口电路进一步包括：

第一行驱动器，其耦合到所述阵列的行中的每个第一组FRAM单元；

第一行译码器，其耦合到所述第一行驱动器；

第二行驱动器，其耦合到所述阵列的所述行中的每个第二组FRAM单元；以及

第二行译码器，其耦合到所述第二行驱动器；以及

字线升压电路，其耦合到所述第一行驱动器和所述第二行驱动器，并且其位于所述第一行驱动器和所述第二行驱动器之间。

16. 根据权利要求15所述的FRAM，其中所述ECC逻辑电路进一步包括：

多个校正子发生器,其经耦合以接收来自其传感电路的未纠正的读数;

多个纠错器电路;以及

多个纠错器奇偶校验电路,其中所述多个纠错器电路和所述多个纠错器奇偶校验电路耦合到所述多个校正子发生器,以生成纠正的读数。

17. 根据权利要求16所述的FRAM,其中所述第一行驱动器和所述第二行驱动器中的每个进一步包括行移位电路。

18. 根据权利要求17所述的FRAM,其中所述FRAM的位长度是64位。

19. 根据权利要求18所述的FRAM,其中所述阵列是可扩展电路的 1×2 阵列、可扩展电路的 1×4 阵列、可扩展电路的 2×2 阵列、可扩展电路的 1×8 阵列、可扩展电路的 2×4 阵列、可扩展电路的 4×2 阵列、可扩展电路的 2×8 阵列、可扩展电路的 4×4 阵列和可扩展电路的 4×8 阵列中的一个,其中所述可扩展电路的上述阵列具有各自的1024、2048、2048、4096、4096、4096、8192、8192和16384的字大小和具有各自的8kb、16kb、16kb、32kb、32kb、32kb、64kb、64kb和128kb的大小。

20. 一种包括用于生成权利要求1所述的铁电存储器单元的布局的计算机程序的非临时性存储介质,其中所述铁电存储器包括铁电随机存取存储器即FRAM,所述计算机程序通过处理器可执行,所述计算机程序包括:

用于接收FRAM规范的计算机编码;

用于从所述非临时性存储介质取回FRAM布置图和设计规则的计算机编码;以及

用于基于所述FRAM规范和设计规则组合所述FRAM的布局的计算机编码。

21. 根据权利要求20所述的非临时性存储介质,其中所述FRAM规范进一步包括字大小、位长度、字节大小和阵列段布局。

22. 根据权利要求21所述的非临时性存储介质,其中所述设计规则进一步包括:

用于将行接口电路沿所述布局的一个边缘放置的计算机编码;以及

用于将控制器放置在所述布局的一个角落的计算机编码,其中所述控制器基本上与所述行接口电路邻近。

23. 根据权利要求22所述的非临时性存储介质,其中所述布置图进一步包括共享电路和可扩展电路。

铁电随机存取存储器 (FRAM) 布局设备和方法

技术领域

[0001] 本发明一般涉及铁电随机存取存储器 (FRAM), 并更具体地涉及用于 FRAM 布局的设备和方法。

背景技术

[0002] 存储器编译器通常用于设计静态随机存取存储器 (SRAM) 和动态随机存取存储器 (DRAM)。利用这些存储器编译器, 用户能够为存储器 (即, DRAM 或 SRAM 阵列) 和可以自动生成用于这种存储器的布局的计算机系统或个人计算机 (PC) 输入设计准则, 这显著地减少设计包括 SRAM 或 DRAM 的集成电路 (IC) 的开销。另一方面, 由于设计上的复杂性, 没有使用编译器对其进行设计的 FRAM 通常不能友好地在编译器中使用; 结果, FRAM 传统上一直是定制设计的焦点, 这是耗时且劳动密集的。因此, 需要 FRAM 编译器。

[0003] 美国专利号 7,461,371; 美国专利授权前公开号 2005/0088887 以及美国专利授权前公开号 2010/0226162 中描述了传统系统和/或电路的一些示例。

发明内容

[0004] 本发明的一个方面提供设备。

[0005] 在所描述的实施例中, 该设备包括第一阵列段, 其具有: 布置在第一组行和第一组列内的第一阵列铁电存储器单元, 其中来自第一组行的每行与来自第一组位线的至少一条位线和来自第一组板线的至少一条板线关联, 并且其中来自第一组列的每列与来自第一组字线的至少一条字线关联; 以及第一组位线单元, 其中每条位线耦合到来自第一组位线的至少一条位线; 第二阵列段, 其具有: 布置在第二组行和第二组列内的第二阵列铁电存储器单元, 其中来自第二组行的每行与来自第二组位线的至少一条位线和来自第二组板线的至少一条板线关联, 并且其中来自第二组列的每列与来自第二组字线的至少一条字线关联; 以及第二组位线单元, 其中每条位线耦合到来自第二组位线的至少一条位线; 传感电路, 其位于第一阵列段和第二阵列段之间, 其中第二电路包括多个感应放大器, 并且其中每个感应放大器耦合到来自第一组位线的至少一条位线且耦合到来自第二组位线的至少一条位线; 第一板驱动器, 其耦合到来自第一组板线的每条板线且其位于基本上与第一阵列段邻近的位置; 第二板驱动器, 其耦合到来自第二组板线的每条板线且其位于基本上与第二阵列段邻近的位置; 第一行接口电路, 其耦合到来自第一组字线的每条字线且其位于基本上与第一板线驱动器中的至少一个和第一阵列段邻近的位置; 第二行接口电路, 其耦合到来自第二组字线的每条字线且其位于基本上与第二板线驱动器中的至少一个和第二阵列段邻近的位置; 字线升压电路, 其耦合到第一和第二行接口电路且其在第一和第二行接口电路之间; 输入/输出 (IO) 总线, 其耦合到每个感应放大器且其位于基本上与第一和第二阵列段中的至少一个邻近的位置; 纠错码 (ECC) 逻辑电路, 其耦合到 IO 总线并基本上与其邻近; 以及控制器, 其耦合到 IO 总线、ECC 逻辑电路、传感电路、第一行接口电路和第二行接口电路, 其中控制器基本上与第一和第二行接口电路、IO 总线以及 ECC 逻辑电路中的至少一个邻

近。

[0006] 在特定实施例中,每个位线单元可包括预充电电路。每个位线单元可耦合到一对位线,其中每个位线单元进一步包括:耦合到其位线对的预充电电路,和耦合到预充电电路和其感应放大器的多路复用器,其中多路复用器由控制器控制。进一步地,来自第一和第二组位线的每条位线可包括真位线和补位线,并且每个铁电存储器单元可包括:第一MOS晶体管,其在其漏极处耦合到其真位线和在其栅极处耦合到其字线;第一铁电电容器,其耦合在第一MOS晶体管的源极和其板线之间;第二MOS晶体管,其在其漏极处耦合到其补位线和其栅极处耦合到其字线;以及第二铁电电容器,其耦合在第二MOS晶体管的源极和其板线之间。

[0007] 在特定实施例中,ECC逻辑电路可进一步包括:多个校正子发生器,其经耦合接收来自传感电路的未纠正的读数;多个纠错器电路;以及多个纠错器奇偶校验电路,其中多个纠错器电路和多个纠错器奇偶校验电路耦合到多个校正子发生器,以生成纠正的读数。

[0008] 在特定实施例中,第一行接口电路可与第一阵列段邻近,并且第二行接口电路可与第二阵列段邻近。

[0009] 本发明的另一个方面提供用于生成铁电随机存取存储器 (FRAM) 的布局的计算机程序,其收录在非临时性存储介质上并通过处理器可执行。

[0010] 在所描述的实施例中,计算机程序包括用于接收FRAM规范的计算机编码、用于从非临时性存储介质取回FRAM布置图和设计规则的计算机编码,以及用于基于FRAM规范和设计规则组合FRAM的布局的计算机编码。

[0011] 在特定实施例中,FRAM规范可进一步包括字大小、位长度、字节大小和阵列段布局。设计规则可进一步包括:用于将行接口电路沿布局的一个边缘放置的计算机编码;以及用于将控制器放置在布局的一个角落的计算机编码,其中控制器基本上与行接口电路邻近。布置图可进一步包括共享电路和可扩展电路。

[0012] 在另一个方面中提供具有布局的FRAM。

[0013] 在所描述的实施例中,FRAM包括共享电路,其具有沿布局的边缘定位的行接口电路;以及控制器,其耦合到行接口电路且其基本上与行接口电路邻近,并且其位于布局的角落;以及多个可扩展电路,其布置在阵列中,其中该阵列与行接口电路邻近,其中每个可扩展电路包括:第一组位线;第二组位线;第一组字线,其中来自第一组字线的每条字线耦合到行接口电路;第二组字线,其中来自第二组字线的每条字线耦合到行接口电路;第一组板线;第二组板线;第一组FRAM单元,其布置在第一组行和第一组列内,其中来自第一组FRAM单元的每个FRAM单元耦合到来自第一组位线的至少一条位线、来自第一组字线的至少一条字线和来自第一组板线的至少一条板线;第二组FRAM单元,其布置在第二组行和第二组列内,其中来自第二组FRAM单元的每个FRAM单元耦合到来自第二组位线的至少一条位线、来自第二组字线的至少一条字线和来自第二组板线的至少一条板线;第一组位线单元,其中每条位线耦合到来自第一组位线的至少一条位线;第二组位线单元,其中每条位线耦合到来自第二组位线的至少一条位线;多个感应放大器,其中每个感应放大器耦合到来自第一组位线的至少一条位线且其耦合到来自第二组位线的至少一条位线,并且其中每个感应放大器位于第一和第二组FRAM单元之间;第一板驱动器,其耦合到来自第一组板线的每条板线且其位于基本上与第一组FRAM单元邻近的位置;第二板驱动器,其耦合到来自第二组板

线的每条板线且其位于基本上与第二组FRAM单元邻近的位置;IO总线,其耦合到每个感应放大器且其位于基本上与第一和第二组FRAM单元中的至少一个邻近的位置;以及ECC逻辑电路,其耦合到IO总线且基本上与IO总线邻近。

[0014] 在特定实施例中,第一组位线可进一步包括第一组真位线和第一组补位线,并且其中第二组位线进一步包括第二组真位线和第二组补位线。来自第一和第二组FRAM单元的每个FRAM单元可进一步包括:第一NMOS晶体管,其在其漏极处耦合到其真位线和在其栅极处耦合到其字线;第一铁电电容器,其耦合在第一MOS晶体管的源极和其板线之间;第二NMOS晶体管,其在其漏极处耦合到其补位线和在其栅极处耦合到其字线;以及第二铁电电容器,其耦合在第二MOS晶体管的源极和其板线之间。来自第一和第二组位线单元的每个位线单元可进一步包括:预充电电路,其耦合到来自其关联FRAM单元组中的两个邻近行的真位线和补位线;以及多路复用器,其耦合到预充电电路和其感应放大器,其中多路复用器由控制器控制。行接口电路可进一步包括:第一行驱动器,其耦合到阵列的行中的每个第一组FRAM单元;第一行译码器,其耦合到第一行驱动器;第二行驱动器,其耦合到阵列的行中的每个第二组FRAM单元;以及第二行译码器,其耦合到第二行驱动器;以及字线升压电路,其耦合到第一和第二行驱动器且其位于第一和第二行驱动器之间。

[0015] 在特定实施例中,ECC逻辑电路可进一步包括:多个校正子发生器,其经耦合接收来自其传感电路的未纠正的读数;多个纠错器电路;以及多个纠错器奇偶校验电路,其中多个纠错器电路和多个纠错器奇偶校验电路耦合到多个校正子发生器,以便生成纠正的读数。第一和第二行驱动器中的每个可进一步包括行移位电路。FRAM的位长度可以是64位。阵列是可扩展电路的 1×2 阵列、可扩展电路的 1×4 阵列、可扩展电路的 2×2 阵列、可扩展电路的 1×8 阵列、可扩展电路的 2×4 阵列、可扩展电路的 4×2 阵列、可扩展电路的 2×8 阵列、可扩展电路的 4×4 阵列和可扩展电路的 4×8 阵列中的一个,其中可扩展电路的上述阵列具有各自的1024、2048、2048、4096、4096、4096、8192、8192和16384的字大小和具有各自的8kb、16kb、16kb、32kb、32kb、32kb、64kb、64kb、128kb大小。

附图说明

[0016] 图1是计算机系统的示例的示意图。

[0017] 图2是根据本发明的FRAM编译器的示例的示意图,其可在图1的计算机系统上使用。

[0018] 图3是FRAM布置图的示例的示意图。

[0019] 图4是图3的FRAM单元的示例的示意图。

[0020] 图5是图3的位线单元的示例的示意图。

[0021] 图6是图3的感应放大器的示例的示意图。

[0022] 图7是用于图3的阵列段的行移位的示例的示意图。

[0023] 图8是在图3的行驱动器中所采用的行移位电路的示例的示意图。

[0024] 图9是用于图3的阵列段的列移位的示例的示意图。

[0025] 图10是图3的纠错码(ECC)逻辑电路的示例的示意图。

[0026] 图11-图14是通过使用图3的布置图的图2的编译器生成的FRAM存储器电路的示例的示意图。

具体实施方式

[0027] 图1中示出计算机网络100。网络100通常包括个人计算机(PC)或终端102-1到102-N,包交换网络104和大规模计算计算机106。这些计算机102-1到102-N和106中的每个包括一个或多个处理器和存储介质(例如随机存取存储器和硬盘驱动器),其中处理器可执行存储在存储介质中的计算机程序编码或软件指令。电路编译器(其通常为计算机编码或软件指令)通常采取许多形式并且其可在PC 102-1到102-N中的一个或多个上或者经由网络104运行或执行。

[0028] 图2示出FRAM编译器204的概括示图。编译器204通常经由计算机网络100上的计算机102-1到102-N和106中的一个或多个运行,以便生成FRAM存储器电路的布局。通常,用户能够定义FRAM规范(例如字大小、位长度、总大小和布局纵横比)。机器206能够取回从存储介质208(例如硬盘驱动器)取回的FRAM布置图210,并且,基于FRAM规范202和设计规则212,机器206能够形成FRAM存储器(通常用于在集成电路或IC中使用)作为结果218。

[0029] 布置图210(可在图3中看出其示例)可阐明FRAM存储器的通用布置。如图3的示例所示,布置图210具有两个部件:共享电路301和可扩展电路303。共享电路301通常由在可扩展电路303之间可被共享(并且其可部分通过设计规则212描述)的电路构成,同时可扩展电路303以实现所需的大小、纵横比等等。在图3所示的示例(其示出最小尺寸FRAM存储器电路的示例)中,共享电路301沿一个边缘定位,其中控制器322在一个角落并且行接口电路(即,上阵列段310-1和下阵列段310-2和字线升压电路316的行接口电路)基本上与控制器322邻近。行译码器302-1和302-2以及行驱动器304-1和304-2中的每个(用于这些行接口电路)可用于驱动水平扩展的任何数目的阵列段(即,310-1和310-2)的行。例如,可扩展电路303可通常由共享传感电路314(例如,其包括感应放大器328)(并且基本与传感电路314邻近)和共享输入/输出(I/O)总线318和ECC逻辑电路320的阵列段310-1和310-2对(其通常为单元阵列311-1和311-2以及位线电路312-1和312-2)构成。单元阵列311-1和311-2(例如,其可以是32位宽的)还通常包括布置在行列的阵列内的FRAM单元324,并且位线电路312-1和312-2通常包括位线单元326。还存在与单元阵列311-1和311-2中的每个关联的板驱动器308-1和308-2。

[0030] 图4中示出FRAM单元324的示例。如所示出的,FRAM单元324通常由分别耦合到真位线BL和补位线 $\overline{BL}$ 的晶体管Q1和Q2(如所示出,其为NMOS晶体管)构成。晶体管Q1和Q2也共享通常耦合到其板线驱动器(即,308-1或308-2)的板线PL,并且共享通常耦合到其行驱动器(即,304-1或304-2)的字线WL。这些晶体管Q1和Q2可然后用于控制或帮助读取铁电电容器C1和C2的状态,或者帮助到铁电电容器C1和C2的状态写入。

[0031] 通过位线电路(即,312-1和312-2),可期望位线单元326被多组真位线BL和补位线 $\overline{BL}$ 共享,尽管为每组真位线BL和补位线 $\overline{BL}$ 采用一个位线单元326是可能。如图5的示例所示,一对真位线和补位线 $BL1/\overline{BL1}$ 和 $BL2/\overline{BL2}$ 共享位线单元324。对于该示例,位线单元324通常包括预充电电路402(其通常包括晶体管Q3到Q8)、恢复电路404(其通常包括晶体管Q9到Q20)和多路复用器或MUX 406(其通常包括晶体管Q21到Q24)。预充电电路402通常由使用预充电信号PRE的控制器322控制,并且其耦合到轨VDD以便能够对位线BL1、BL2、 $\overline{BL1}$ 和/

$\overline{BL2}$ 预充电。恢复电路404(其可通常提供一些测试功能性)通常由控制器322利用控制信号CNTL控制并且耦合到轨VSS。多路复用器406由控制器322利用选择信号SELECT控制,其中多路复用器406可从输出位线BL0和 $\overline{BL0}$ 上的真位线BL1和补位线 $\overline{BL1}$ 或真位线BL2和补位线 $\overline{BL2}$ 输出状态。

[0032] 通常,感应放大器328从位线电路312-1和312-2对中的每个耦合到位线单元324,如图6的示例所示。感应放大器328通常由晶体管Q25到Q28组成,并且感应放大器328通常基于通过控制器322提供的感应使能信号SE(和其补信号或逆信号 $\overline{SE}$)被启用或禁用。感应放大器328还能够基于读取/写入信号RW(其也通常由控制器322提供)的状态来执行读取和写入操作的部分,并且位线BL0和 $\overline{BL0}$ 能够基于信号PRC(其也通常由控制器提供)的状态耦合在一起。

[0033] 为了增加可制造性和可靠性,可添加若干其他特征(例如,其可在图3和图7-图9中看出)到单元阵列(即,311-1和311-2)。通常,伪FRAM单元(即,324)的条带可包括在单元阵列(即,311-1或311-2)的外围上,以减少穿过阵列(即,311-1或311-2)的过程梯度的影响。此外,可存在可致使位线(即,真位线或补位线)或字线不能用的错误或故障,因此将冗余的位线和冗余的字线引入阵列(即,311-1和311-2)。当检测到故障位线或字线时,阵列(即,311-1和311-2)可被移位(如图7和图9所示)。对于字线移位,行译码器(即,304-1和304-2)可配备有行移位电路400(可在图8中看出其示例的一部分)。在该示例中,NAND栅极502和反相器504通常通过生成信号SHIFT和SHIFTZ工作为移位控制电路(其中信号REDZ为指示移位的有源低信号)。信号SHIFT和SHIFTZ互补或是彼此的逆,并且用于激活驱动器506和508或者对其取消激活。例如,当信号REDZ低或为“0”时,对驱动器508取消激活,同时激活驱动器506。此外,信号SHIFTZ和REDZ可用于控制晶体管Q34和Q35(其被示为PMOS晶体管),以能够将驱动器的输出(即,故障字线)耦合到轨VDD。还可提供类似电路用于列移位。

[0034] 能够生成功能的、可扩展电路303中的另一个因素是ECC逻辑电路320的配置(图10中可看出其示例)。如所示出,ECC逻辑电路320通常由校正子发生器602-1到602-8、纠错器电路604-1到604-3,和纠错器奇偶校验电路606-1到606-3组成。例如,利用64位字,可添加8个奇偶校验位,并且可提供64位、未纠正的读数到校正子发生器602-1到602-8。利用该示例,纠错器电路604-1可为64位字的第一位或最低有效位执行纠错,并且纠错器电路604-2和604-3为后面的62位和最高有效位分别执行纠错。此外,对于该示例,纠错器奇偶校验电路606-1到606-3为8个奇偶校验位的第一位或最低有效位、后面的6位和8个奇偶校验位的最高有效位执行纠错。因此,对于该示例,ECC逻辑电路320可产生64位纠正的读数。替代地,对于32位字,可添加7个奇偶校验位,并且可提供32位、未纠正的读数到校正子发生器602-1到602-8(其中不使用的输入耦合到轨VSS)。利用该示例,纠错器电路604-1可为32位字的第一位或最低有效位执行纠错,并且纠错器电路604-2和604-3为后面的30位和最高有效位分别执行纠错。此外,对于该示例,纠错器奇偶校验电路606-1到606-3为7个奇偶校验位的第一位或最低有效位、后面的5位和7个奇偶校验位的最高有效位执行纠错。因此,对于该示例,ECC逻辑电路320可产生32位纠正的读数。

[0035] 图11-图14示出FRAM存储器电路700-A到700-D的示例。FRAM存储器电路700-A到700-D可通过使用布置图210(例如,在IC中使用的)的编译器204生成。对于这些示例中的每个,最小可扩展电路303(即,1×1纵横比)包括两个阵列段(为了简单示出,其被标记为

310)。类似地,为了简单示出,行译码器、行驱动器、板驱动器和传感电路被分别标记为302、304、308和314。如所示出,FRAM存储器电路700-A到700-D分别具有 1×2 、 1×4 、 4×1 和 4×4 的纵横比,其导致不同的存储器大小,并且设计规则212可包括对控制器322的适配(其可包括定时、计时和IO电路),以便适应FRAM存储器电路(即,700-D)的这些不同大小(即,例如,达到1Mb),该电路可由FRAM规范明确说明。FRAM规范的示例还可在下面的表1中查找。

[0036] 表1

[0037]

纵横比	字大小	位长度	大小
1×2	1024	64位	8kb
1×4	2048	64位	16kb
2×2	2048	64位	16kb
1×8	4096	64位	32kb
2×4	4096	64位	32kb
4×2	4096	64位	32kb
2×8	8192	64位	64kb
4×4	8192	64位	64kb
4×8	16384	64位	128kb

[0038] 本领域技术人员应当理解的是,可在要求保护的发明的范围内对所描述的实施例做出修改,并且许多其他实施例也是可能的。

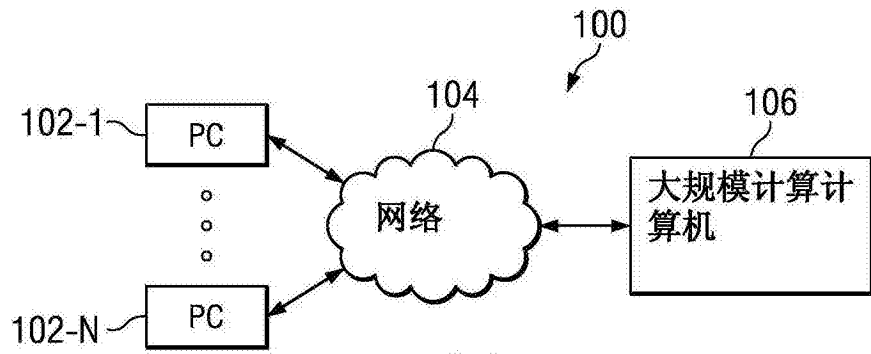


图1

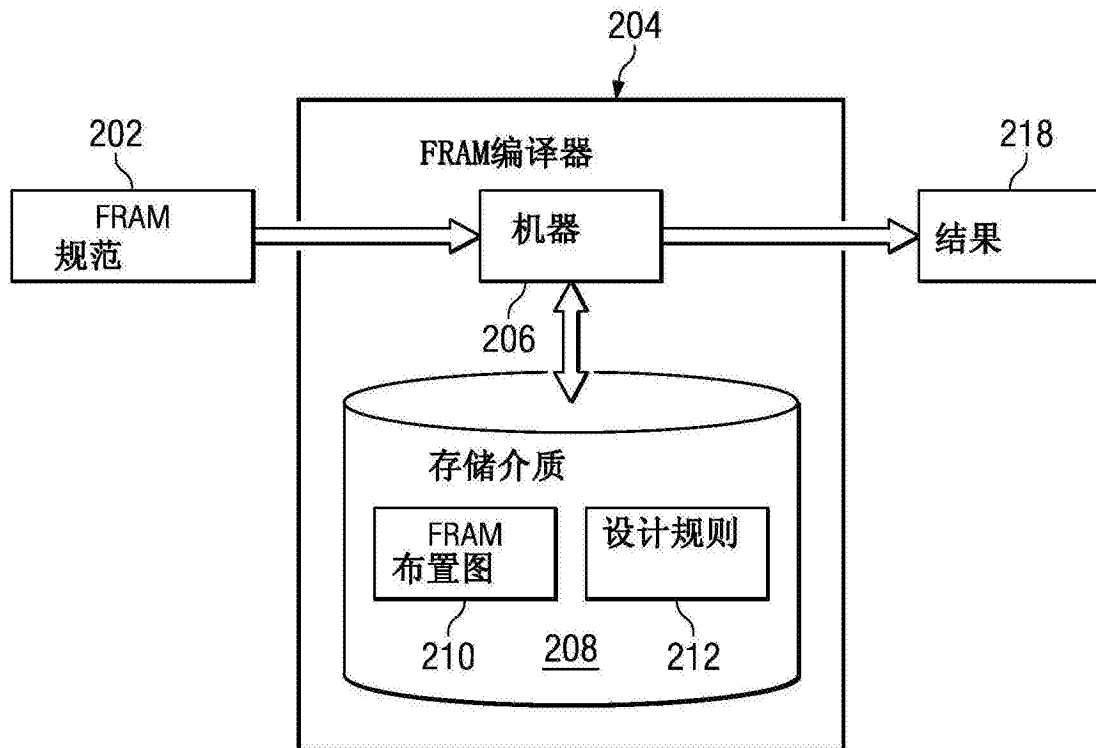


图2

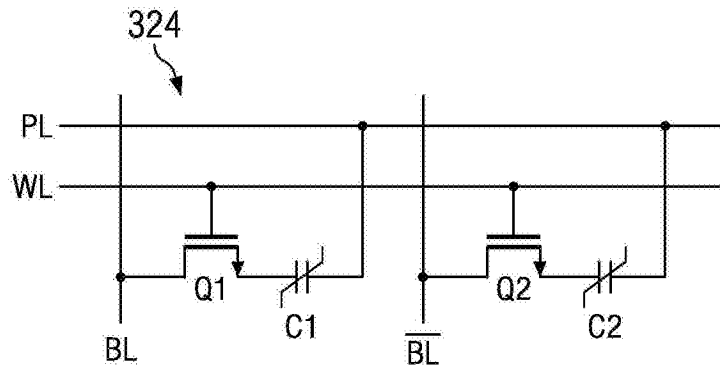


图4

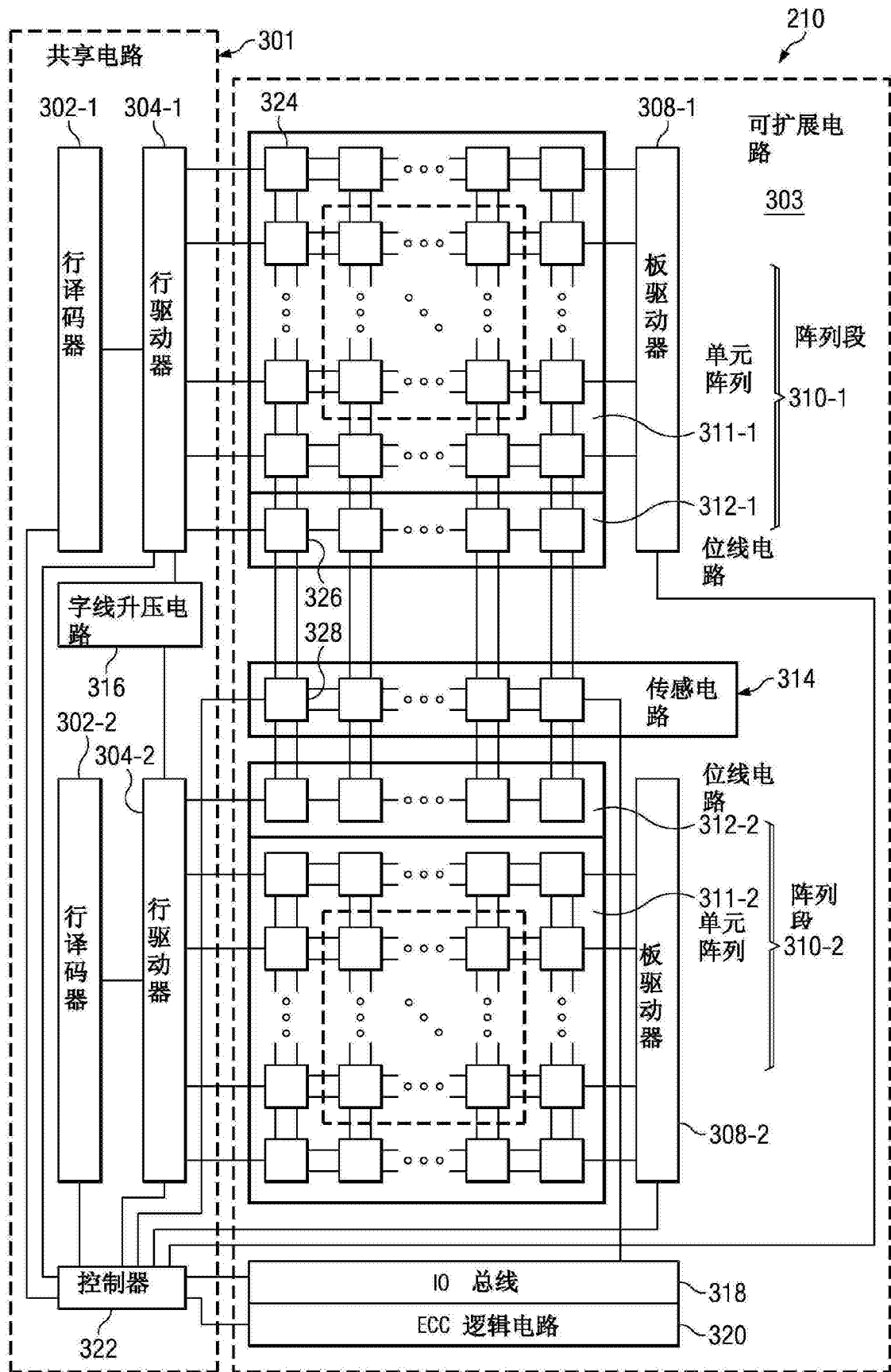


图3

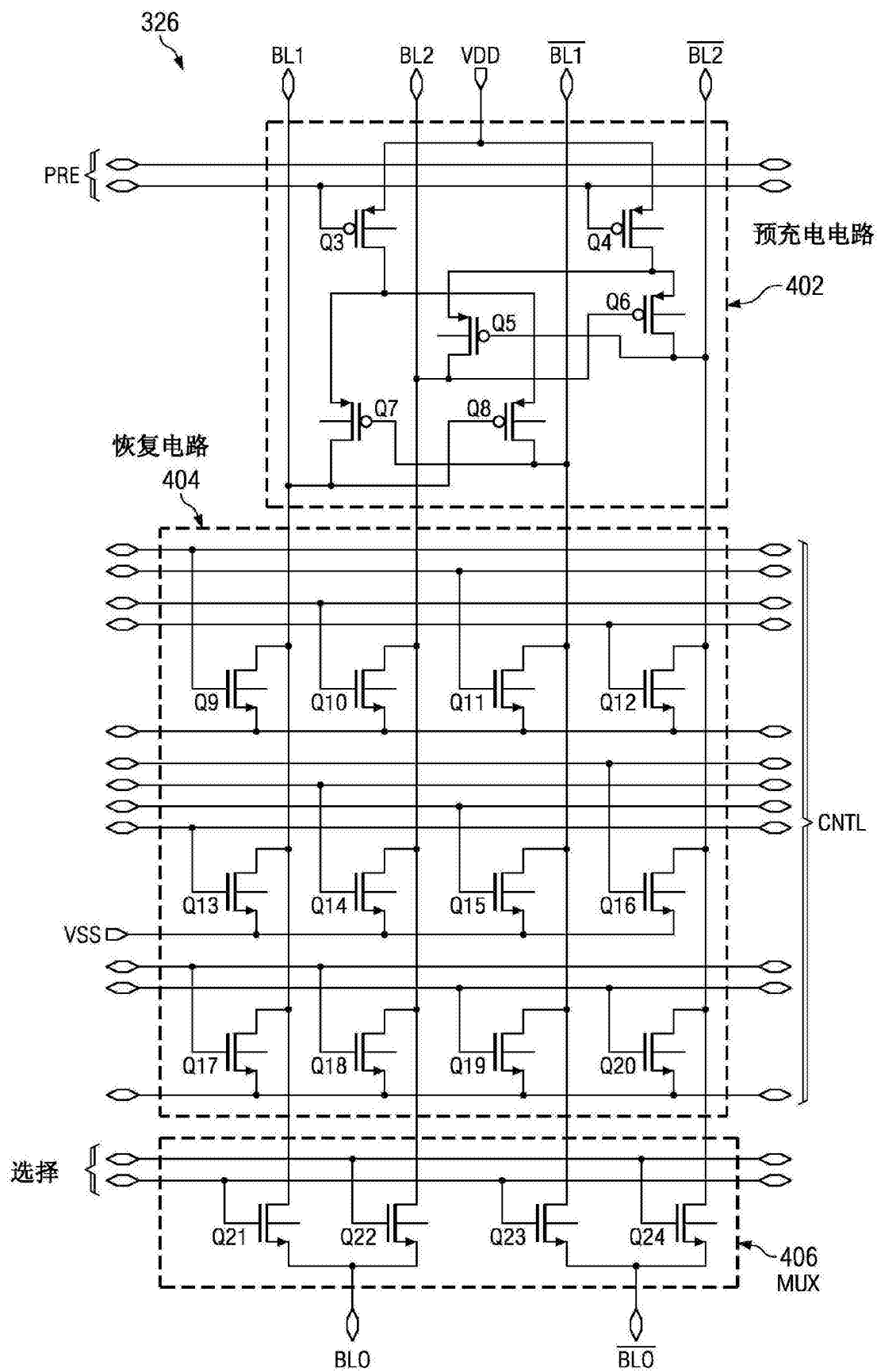


图5

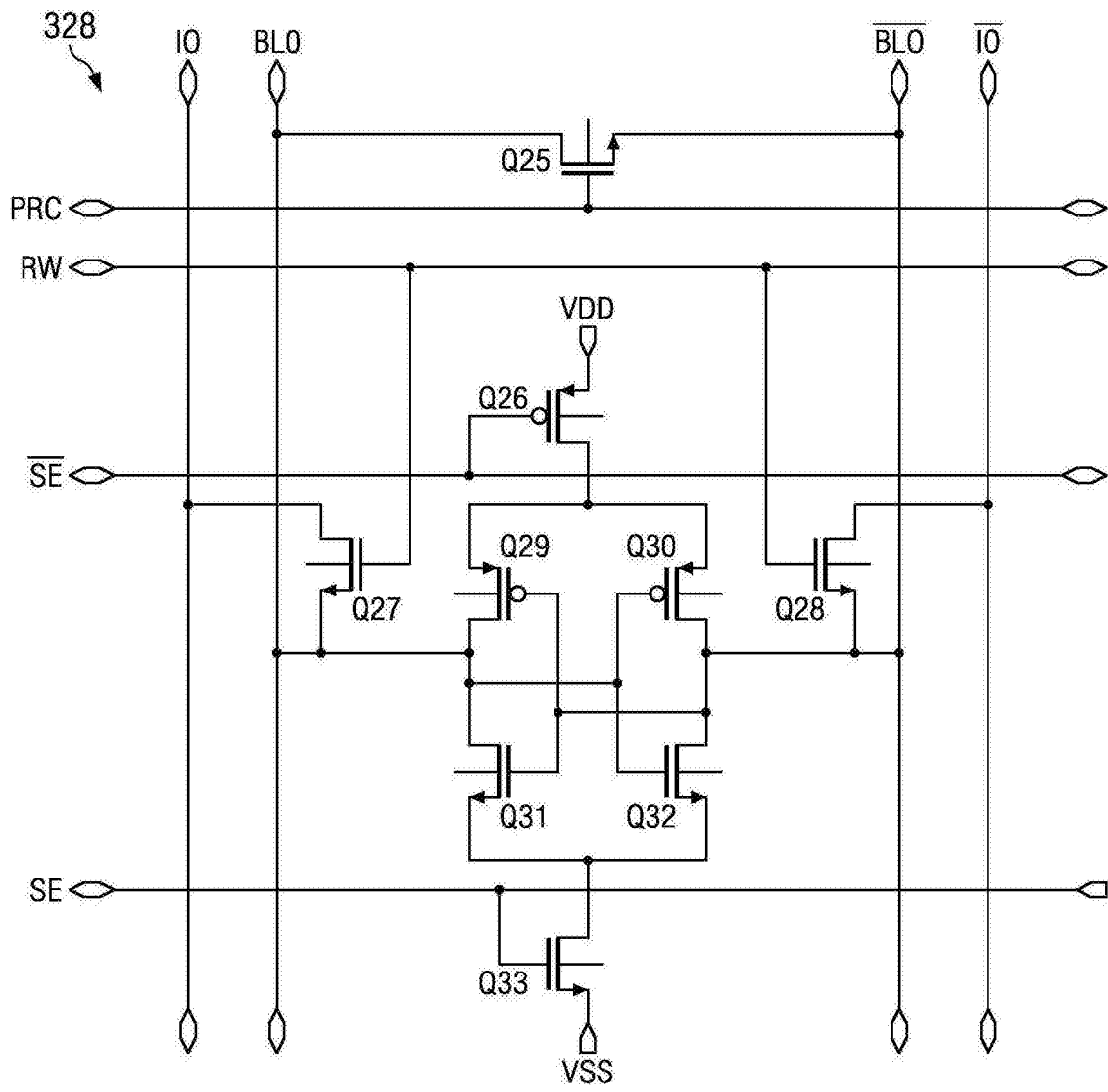


图6

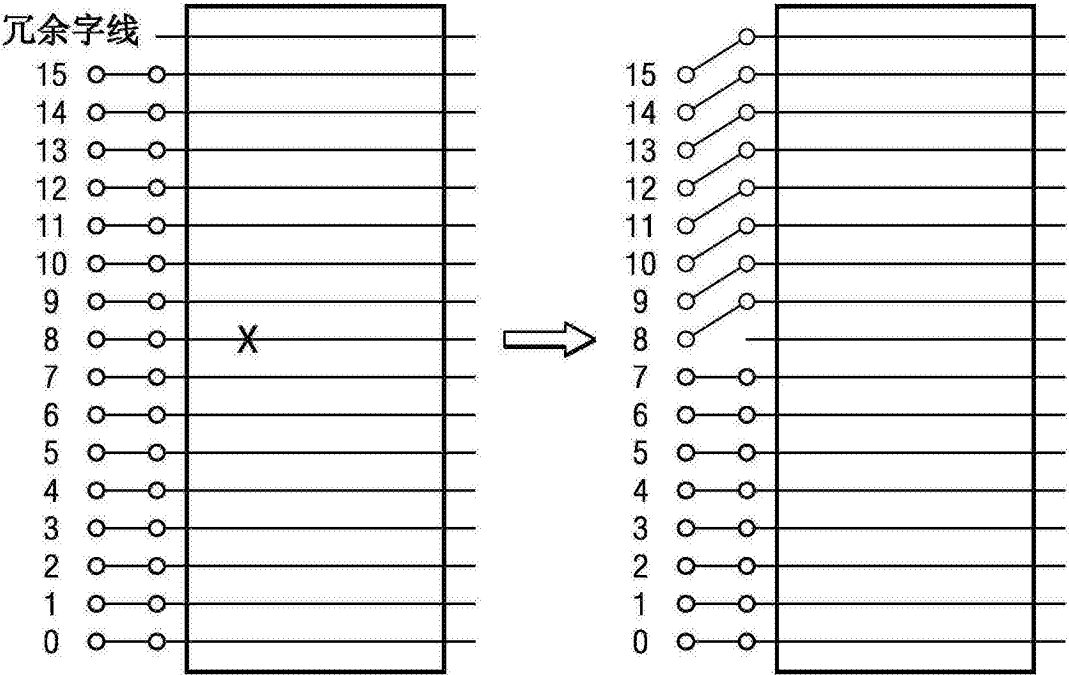


图7

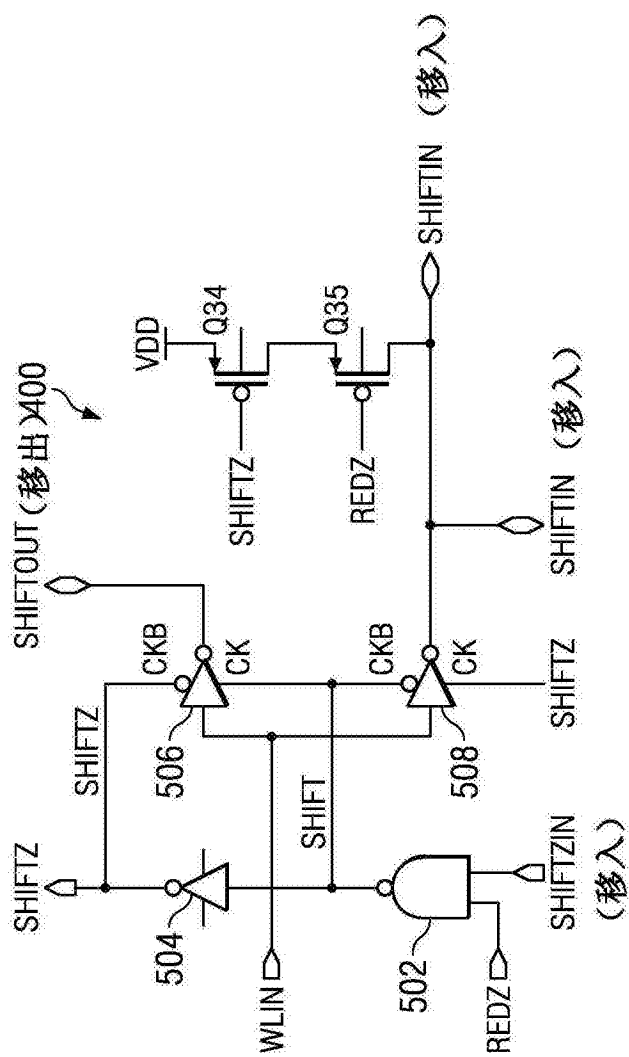


图8

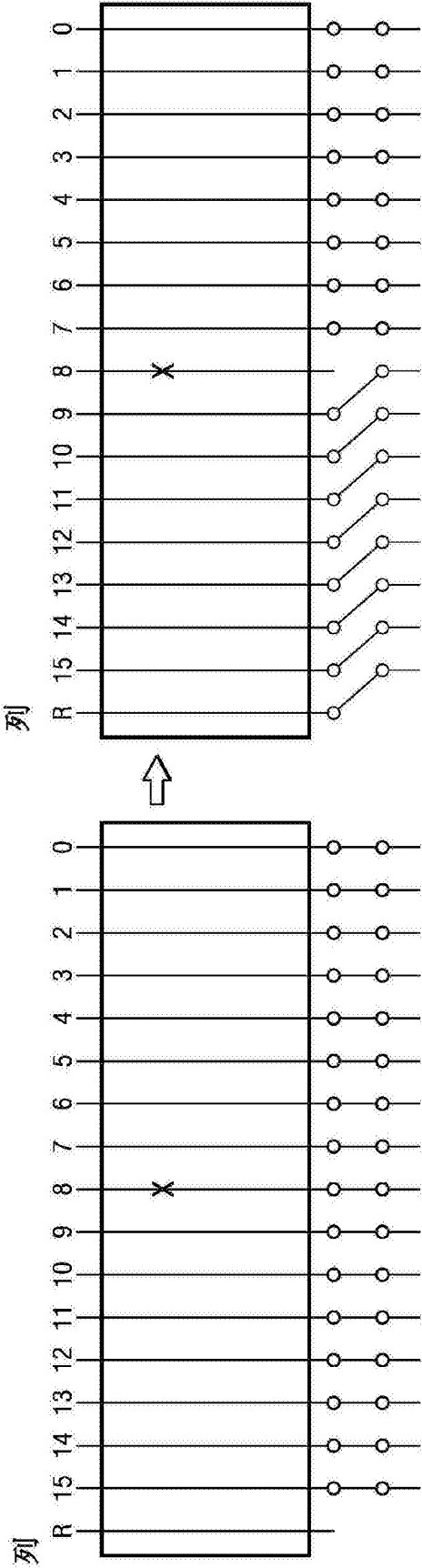


图9

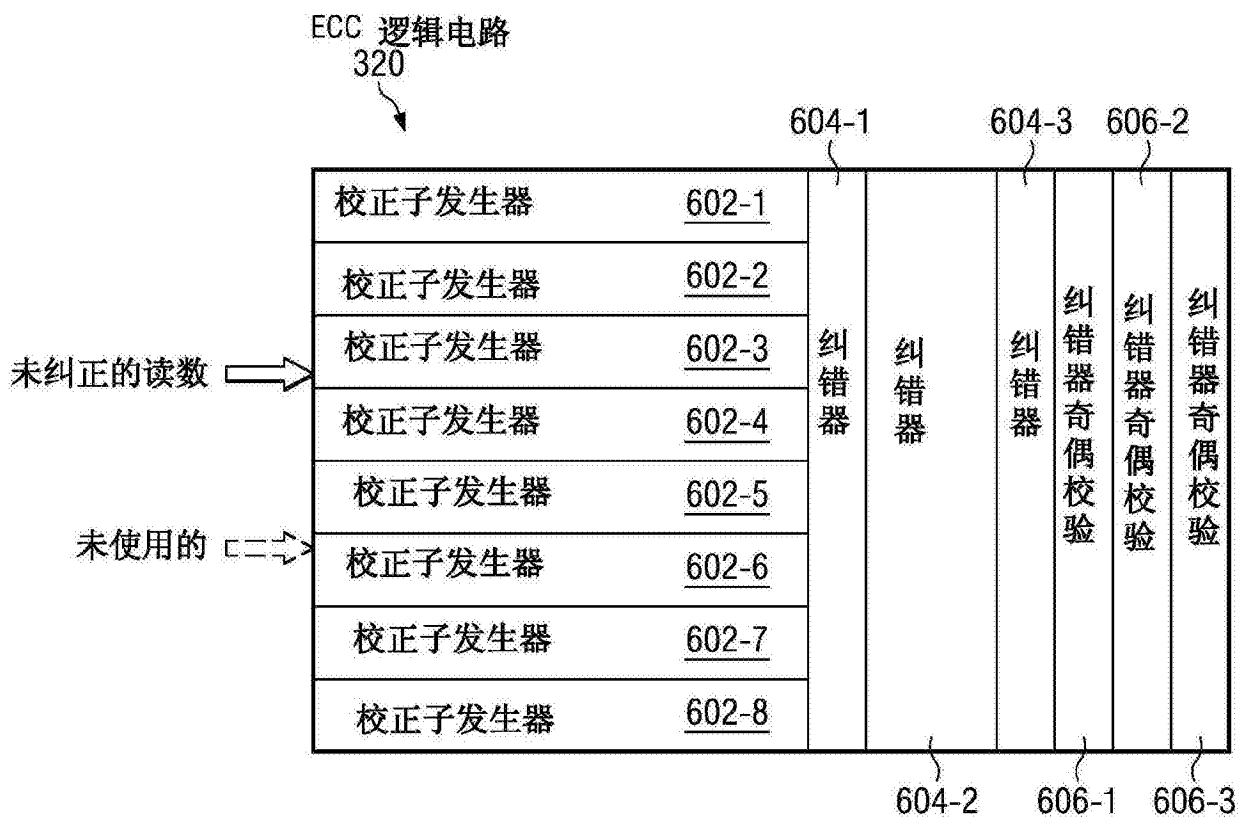


图10

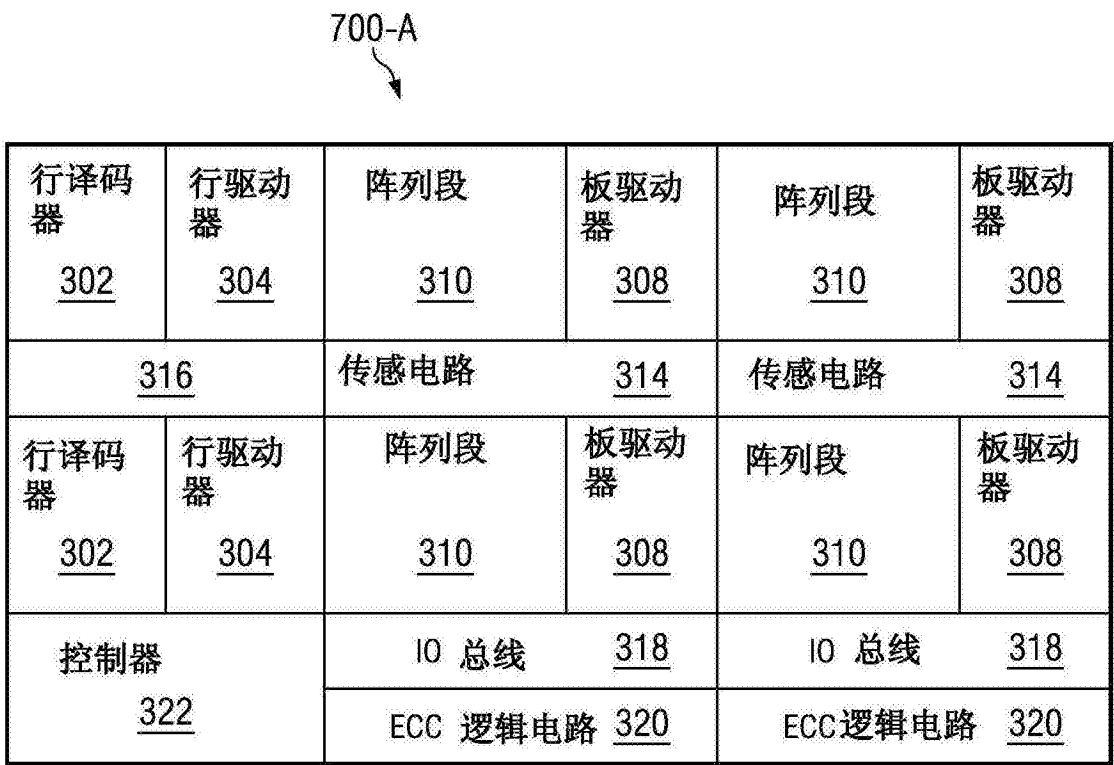


图11

700-B

行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
316		传感电路		314		传感电路		314	
行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
控制器 322		IO 总线		318		IO 总线		318	
		ECC 逻辑电路		320		ECC 逻辑电路		320	

图12

700-C
↓

行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
316		传感电路 314		传感电路 314	
行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
316		传感电路 314		传感电路 314	
行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
控制器 322		IO 总线 318		IO 总线 318	
		ECC 逻辑电路 320		ECC 逻辑电路 320	

图13

行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
316		传感电路		314		传感电路		314	
行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
316		传感电路		314		传感电路		314	
行译码器 302	行驱动器 304	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308	阵列段 310	板驱动器 308
322		IO 总线		318		IO 总线		318	
322		ECC 逻辑电路		320		ECC 逻辑电路		320	

700-D

图14