

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
25. August 2005 (25.08.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/078800 A2

(51) Internationale Patentklassifikation⁷: H01L 27/08

(21) Internationales Aktenzeichen: PCT/EP2005/050398

(22) Internationales Anmeldedatum:
31. Januar 2005 (31.01.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102004006484.9 10. Februar 2004 (10.02.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): ESMARK, Kai

[DE/DE]; Ettaler Str. 27, 82061 Neuried (DE). GOSSNER, Harald [DE/DE]; Zeppelinstr. 10B, 85521 Riemerling (DE). RUSS, Christian [DE/DE]; Schillerstr. 2A, 86420 Diedorf (DE). SCHNEIDER, Jens [DE/DE]; Saarbrücker Str. 11, 81379 München (DE).

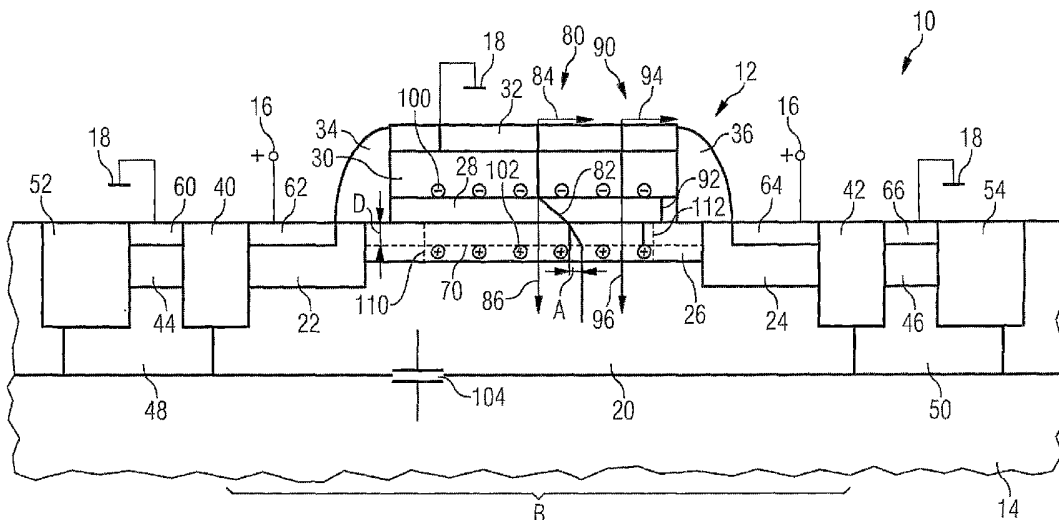
(74) Anwälte: KARL, Frank usw.; Patentanwälte Kindermann, Postfach 1330, 85627 Grasbrunn (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,

[Fortsetzung auf der nächsten Seite]

(54) Title: INTEGRATED CIRCUIT ARRANGEMENT WITH ESD-RESISTANT CAPACITOR AND CORRESPONDING METHOD OF PRODUCTION

(54) Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNGEN MIT ESD-FESTEM KONDENSATOR UND HERSTELLUNGSVERFAHREN



(57) Abstract: The invention relates to a circuit arrangement (10) that comprises a capacitor (12) inside an n-trough (20). A specific polarization of the capacitor (12) makes sure that a depletion zone is formed in the trough (20) and the capacitor (12) has a high ESD resistance. An optionally present auxiliary doped layer (26) ensures a high area capacitance of the capacitor despite high ESD resistance.

(57) Zusammenfassung: Integrierte Schaltungsanordnungen mit ESD-festem Kondensator und Herstellungsverfahren Erläutert wird unter anderem eine Schaltungsanordnung (10), die in einer n-Wanne (20) einen Kondensator (12) enthält. Eine bestimmte Polung des Kondensators (12) gewährleistet, dass eine Verarmungszone in der Wanne (20) entsteht und der Kondensator (12) eine hohe ESD-Festigkeit hat. Eine ggf. vorhandene Hilfsdotierschicht (26) gewährleistet trotz hoher ESD-Festigkeit eine hohe Flächenkapazität des Kondensators.

WO 2005/078800 A2



TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Integrierte Schaltungsanordnungen mit ESD-festem Kondensator und Herstellungsverfahren

5

Die Erfindung betrifft u.a. eine integrierte Schaltungsanordnung mit einer Bezugs-Betriebspotenzialleitung, die im Betrieb der Schaltungsanordnung ein Grundpotenzial führt, z.B. ein Massepotenzial, und mit einer positiven Betriebspotenzialleitung, die im Betrieb der Schaltungsanordnung ein im Vergleich zu dem Grundpotenzial positiveres Potenzial führt, z.B. ein Pluspotenzial. Außerdem enthält die integrierte Schaltungsanordnung einen zwischen den Betriebspotenzialleitungen geschalteten Kondensator. Solche Kondensatoren werden insbesondere für Schaltungen mit einer analogen Signalverarbeitung eingesetzt. Diese Kondensatoren werden auch als Entkopplungskondensatoren, Blockkondensatoren oder Stützkondensatoren bezeichnet. Die Kondensatoren entkoppeln und stabilisieren die Versorgungsspannung der integrierten Schaltungsanordnung.

20

Der Kondensator lässt sich als sogenannter NCAP (N well CAPacitor) bzw. PCAP (P well CAPacitor) ausführen und enthält dann die folgenden Bereiche:

- 25 - einen Grunddotierbereich, der gemäß einem Grunddotiertyp dotiert ist,
- mindestens einen vorzugsweise an den Grunddotierbereich angrenzenden dotierten Anschlussbereich, der gemäß dem Grunddotiertyp dotiert ist und dessen maximale Dotierstoffkonzentration höher als die maximale Dotierstoffkonzentration im Grunddotierbereich ist,
30 - einen mit Abstand zum Grunddotierbereich angeordneten Elektrodenbereich, der in Anlehnung an den Aufbau eines MOS-Transistors (Metal Oxide Semiconductor) auch als Gatebereich
35 bezeichnet wird, und
- ein zwischen dem Elektrodenbereich und dem Grunddotierbereich angeordnetes Dielektrikum.

Um den Kondensator gegen EOS Phänomene (Electrical Over-
stress) und insbesondere gegen ESD-Phänomene (ElectroStatic
Discharge) zu schützen enthält die integrierte Schaltungsan-
5 ordnung mindestens ein dem Kondensator parallel geschaltetes
Schutzelement, das beim Überschreiten einer bestimmten Span-
nung, die oberhalb der Betriebsspannung oder unterhalb des
Massepotentials bei einer Rückwärts-ESD-Polarität liegt, gut
leitfähig wird, z.B. eine Schutzdiode, einen MOS-Transistor,
10 einen Bipolartransistor, einen Thyristor, eine Zenerdiode,
einen Diodenstack usw. oder Kombinationen hiervon. ESD-Fälle
treten besonders dann auf, wenn die Schaltungsanordnung noch
nicht im betriebsbereiten Zustand ist, d.h. während der Fer-
tigung der Schaltungsanordnung, während des Einbaus in ein
15 Chipgehäuse oder während der Montage auf eine Leiterplatte.
Bspw. hat ein ESD-Spannungsimpuls eine Spannung größer 100
Volt und eine Dauer von etwa 100 Nanosekunden.

Es ist Aufgabe der Erfindung integrierte Schaltungsanordnun-
20 gen mit jeweils mindestens einem Kondensator anzugeben, der
trotz guter elektrischer Eigenschaften auch nach Belastung
mit elektrostatischen Entladungen funktionsfähig bleibt, bei
denen bisher eingesetzte Kondensatoren beschädigt werden.
Insbesondere soll eine im ESD-Fall robuste Schaltungsanord-
25 nung bzw. deren Geometrie angegeben werden. Außerdem sollen
Herstellungsverfahren für integrierte Schaltungsanordnungen
angegeben werden.

Die auf die integrierte Schaltungsanordnung bezogene Aufgabe
30 wird durch eine integrierte Schaltungsanordnung gemäß Patent-
anspruch 1 gelöst. Weiterbildungen sind in den Unteransprü-
chen angegeben.

Die Erfindung geht von der Überlegung aus, dass NCAP- bzw.
35 PCAP-Kondensatoren eine große flächenbezogene Kapazität ha-
ben, so dass auch bei kleiner Chipfläche vergleichsweise
große Kapazitätswerte erreichbar sind, bspw. im Vergleich zu

p-n-Sperrschichtkapazitäten. Außerdem sind die RC-Zeitkonstanten des Kondensators von Bedeutung. Bei vielen Anwendungen muss insbesondere der parasitäre Serienwiderstand des Kondensators klein sein.

5

Die Erfindung geht weiterhin von der Überlegung aus, dass bei einem NCAP bzw. einem PCAP das Dielektrikum möglichst dünn sein muss, um eine hohe flächenbezogene Kapazität zu erzielen. Bspw. beträgt die Dicke des Dielektrikums weniger als
10 zwei Nanometer, insbesondere bei Technologien mit minimalen lithografischen Abmessungen kleiner als 100 Nanometer und Betriebsspannungen kleiner als zwei Volt. Außerdem bauen sich trotz der Beschaltung mit der ESD-Schutzschaltung im ESD-Fall Spannungen von einigen Volt, z.B. von 5 oder 6 Volt, über dem
15 Dielektrikum auf. Ein so dünnes Dielektrikum jedoch kann dann bereits durch kurzzeitig auftretende Spannungen von vier Volt geschädigt werden, was zum Ausfall der gesamten integrierten Schaltungsanordnung führen kann.

20 Deshalb gilt für die erfindungsgemäße Schaltungsanordnung, dass:

- entweder bei einem Grunddotierbereich vom n-Grunddotiertyp der Anschlussbereich elektrisch leitfähig mit der positiven Betriebspotenzialleitung und der Elektrodenbereich mit der
25 Bezugs-Betriebspotenzialleitung elektrisch leitfähig verbunden ist oder dass bei einem p-Grunddotiertyp der Anschlussbereich elektrisch leitfähig mit der Bezugs-Betriebspotenzialleitung und der Elektrodenbereich mit der positiven Betriebspotenzialleitung elektrisch leitfähig ver-
30 bunden ist.

Bei einer Weiterbildung ist zwischen dem Grunddotierbereich und dem Dielektrikum ein gemäß einer Hilfsdotierung mit dem Grunddotiertyp dotierter Hilfsdotierbereich angeordnet, des-
35 sen maximale Dotierstoffkonzentration gleich der maximalen Dotierstoffkonzentration im Grunddotierbereich oder größer als diese Dotierstoffkonzentration ist.

Durch diese Maßnahmen wird einerseits erreicht, dass im ESD-Fall, insbesondere bei einer ESD-Spannung mit einer Polarität, für welche die hinzugeschaltete Schutzschaltung weniger schützt, in dem Grunddotierbereich und auch in der optionalen Hilfsdotierschicht eine sogenannte Verarmung von Ladungsträgern eintritt, d.h. eine sogenannte Verarmungsschicht bzw. depletion Layer gebildet wird, die eine dielektrische Wirkung hat und damit zu einer größeren wirksamen Dielektrikumsdicke führt. Gegebenenfalls ist die ESD-Spannung am Kondensator so hoch, dass nicht nur eine Verarmung in der Hilfsdotierschicht auftritt, sondern dass auch Bedingungen für die Bildung eines Inversionskanals gegeben sind. Jedoch gelangen auf Grund des Dotiertyps des Anschlussbereiches in den Inversionskanal keine Ladungsträger, die die wirksame dielektrische Dicke wieder herabsetzen würden.

Andererseits wird aber in der Normalbetriebsart der Schaltungsanordnung durch den Hilfsdotierbereich und die angegebene Polung erreicht, dass sich die Kapazität durch die für den ESD-Fall erläuterten Zusammenhänge nicht zu stark verringert. Insbesondere ist bspw. die Dicke der Verarmungsschicht auf Grund der Hilfsdotierschicht kleiner als ohne eine solche Hilfsdotierschicht.

Da der Kondensator zwischen den Betriebspotenzialleitungen geschaltet ist, fällt über ihm im ESD-Fall eine große Spannung ab, weil ein Spannungsteilereffekt wie bei einer Reihenschaltung von Transistoren oder Kondensatoren nicht auftritt. Eine solche Reihenschaltung tritt insbesondere in funktionalen Blöcken auf wo z.B. PMOS und NMOS in Serienschaltung als Inverter verwendet werden. Insbesondere ist der Kondensator in der Kernlogik der Schaltungsanordnung, oder in einem sogenannten analogem Makroblock enthalten.

Die erfindungsgemäße Schaltungsanordnung ist im ESD-Fall robust, weil die elektrische Feldstärke im Dielektrikum oder

in den am meisten gefährdeten Überlappungsregionen von Dielektrikum und Anschlussbereichen bzw. Erweiterungsbereichen reduziert wird.

5 Mit dem Hilfsdotierbereich lässt sich also die ESD-Festigkeit besser einstellen, ohne dass die Dicke des Dielektrikums, bspw. eines Oxides, verändert werden muss. Oft gibt es nur zwei wählbare Dielektrikumsdicken in einem Herstellungsprozess, so dass durch die Hilfsdotierung ein frei wählbarer und
10 feiner einstellbarer Optimierungsparameter zur Verfügung steht und eine Überdimensionierung vermieden wird. Die Hilfsdotierung wird bei einem Ausführungsbeispiel nicht ganz frei gewählt, sondern stimmt mit einer im Prozess ohnehin zur Verfügung stehenden Implantationen überein, von denen aber
15 verschiedene ausgewählt werden können.

Der Hilfsdotierbereich liegt bei einer Ausgestaltung an der Oberfläche eines Substrates und kann damit leicht eingebracht werden. Das Substrat ist bei einer anderen Ausgestaltung ein
20 monokristallines Substrat, insbesondere ein Siliziumsubstrat. Solche Substrate sind hochrein. Auf Grund der Reinheit und des einkristallinen Materials können die Substrate ein vergleichsweise große Feldstärke tragen, was auch im ESD-Fall von großer Bedeutung ist, um einen Durchbruch zu verhindern.
25 Außerdem lässt sich die Dotierstoffkonzentration im Hilfsdotierbereich sowie das Dotierprofil auf Grund der Oberflächelage, der Reinheit bzw. des einkristallinen Materials reproduzierbar einstellen, insbesondere in einem einfachen Herstellungsprozess. Die Dotierstoffkonzentration und das
30 Dotierstoffprofil des Grunddotierbereiches bzw. Hilfsdotierbereiches sind für die Dicke der Verarmungsschicht bestimmend.

Zur Dotierung des Hilfsdotierbereiches wird eine Implantation genutzt oder es werden mehrere Implantationen genutzt, bspw.
35 Implantationen, die in dem Herstellungsprozess der Schaltungsanordnung zum Einstellen verschiedener Schwellspannungen von Feldeffekttransistoren bisher jeweils in voneinander

verschiedenen Bereichen der Schaltungsanordnung eingesetzt worden sind. Die Dotierung des Hilfsdotierbereiches wird vorzugsweise einer Wannendotierung bzw. Grunddotierung überlagert. Die Nutzung von mehreren oder einer ausgewählten
5 Implantation zum Einstellen der Schwellspannung eines Transistors auch zum Herstellen des Hilfsdotierbereiches ermöglicht eine Optimierung ohne Zusatzschritte, insbesondere eine Optimierung der Dicke der sich bildenden Verarmungsschicht in der Normalbetriebsart der Schaltungsanordnung und damit auch
10 des Spannungsabfalls über der Verarmungsschicht. Je kleiner die Dotierstoffkonzentration in dem Hilfsdotierbereich, desto dicker ist die Verarmungsschicht und desto größer wird die ESD-Robustheit. Dagegen führt eine höhere Dotierstoffkonzentration in dem Hilfsdotierbereich zu einer dünneren Verarmungsschicht, die jedoch im Normalbetrieb die flächenbezogene
15 Kapazität kaum beeinträchtigt. Aber auch die dünne Verarmungsschicht ermöglicht noch eine ausreichende ESD-Robustheit.

20 Auf Grund der Polung des Kondensators gibt es bei der Verwendung einer N-Wanne (im Falle eines P-vordotierten Substrates) oder einer P-Wanne (für N-Substrat) für den Grunddotierbereich zusätzlich zu der Kapazität des Kondensators noch eine zusätzliche p-n-Sperrschichtkapazität zum Substrat. Die
25 Sperrschichtkapazität ist der Kapazität des Kondensators parallel geschaltet, so dass sich die flächenbezogene Kapazität erhöht.

Durch geeignete Silizidblockierung bei der Silizidbildung auf
30 dem Anschlussbereich und auf dem Elektrodenbereich bzw. dem Gatebereich lässt sich die Durchbruchfestigkeit des Kondensators weiter erhöhen.

Die erläuterten technischen Wirkungen der erfindungsgemäßen
35 Schaltungsanordnung sind unabhängig vom Material, das für den Elektrodenbereich verwendet wird, und von einer Dotierung des Elektrodenbereiches. Damit können diese Wirkungen sowohl bei

polykristallinen Elektrodenbereichen als auch bei Elektrodenbereichen aus Metall erzielt werden, insbesondere in zukünftigen Technologien.

- 5 Die auf die integrierte Schaltungsanordnung bezogene Aufgabe wird gemäß einem zweiten Aspekt außerdem durch eine integrierte Schaltungsanordnung gemäß Patentanspruch 7 gelöst. Weiterbildungen sind in den Unteransprüchen angegeben.
- 10 Die Erfindung geht sowohl beim ersten Aspekt aber insbesondere auch bei dem zweiten Aspekt von der experimentell gewonnenen Erkenntnis aus, dass der gefährdetste Teil des Dielektrikums während einer ESD-Entladung die Region ist, in der der Elektrodenbereich bzw. der Gatebereich den dotierten Anschlussbereich bzw. einen Erweiterungsbereich überlappt.
- 15

In einem typischen Prozess stehen nur zwei oder höchstens drei verschiedene Gateoxiddicken zur Verfügung. Bei der erfindungsgemäßen Schaltungsanordnung wird dies ausgenutzt, um in

20 einem Kondensator ein duales Dielektrikum auszubilden, das einen dünnen zentralen Bereich und einen dazu im Vergleich dickeren Randbereich enthält. Durch die Wahl der Breite des dickeren Randbereiches des Dielektrikums lässt sich eine Optimierung derart durchführen, dass einerseits die Kapazität

25 im Vergleich zu der Verwendung eines ausschließlich dünnen Dielektrikums nicht übermäßig erniedrigt wird und dass andererseits die ESD-Festigkeit ausreichend ist, ohne dass eine Überdimensionierung auftritt, wie es bei einem ausschließlich dicken Dielektrikum der Fall wäre.

30 Weiterhin betrifft die Erfindung Herstellungsverfahren für integrierte Schaltungsanordnungen. Für die Herstellungsverfahren und deren Weiterbildungen gelten die oben genannten technischen Wirkungen ebenfalls.

35 Zur Ausbildung des dualen Dielektrikums gibt es verschiedene Möglichkeiten:

- das dünne Dielektrikum wird gleichzeitig mit einer dem Grunddotierbereich nahen Schicht des dicken Dielektrikums ausgebildet. Anschließend wird eine weitere Schicht des dicken Dielektrikums erzeugt, wobei das dünne Dielektrikum maskiert wird, bspw. durch eine Resistschicht.
- 5 - das dünne Dielektrikum wird komplett vor dem Ausbilden des dicken Dielektrikums ausgebildet. Anschließend wird das dünne Dielektrikum maskiert und das dicke Dielektrikum wird erzeugt.
- 10 - das dünne Dielektrikum wird nach dem Ausbilden einer dem Grunddotierbereich nahen Schicht des dicken Dielektrikums ausgebildet, wobei vorzugsweise gleichzeitig eine weitere Schicht des dicken Dielektrikums erzeugt wird.
- 15 Zur Bildung der Dielektrika sind insbesondere thermische Oxidationen geeignet. Bereiche an denen das Silizium zugänglich sein soll, werden bspw. später freigeätzt.

- Im Folgenden wird die Erfindung an Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:
- 20 Figur 1 eine integrierte Schaltungsanordnung 10 mit einem n-Wannenkondensator 12,
 - Figur 2 Masken, die bei der Herstellung eines weiteren n-Wannenkondensators eingesetzt werden, und
 - 25 Figur 3 einen n-Wannenkondensator mit dualem Gateoxid.

- Figur 1 zeigt eine integrierte Schaltungsanordnung 10, die einen ESD-festen n-Wannen-Kondensator 12 enthält. Die integrierte Schaltungsanordnung 10 enthält auf einem im Ausführungsbeispiel leicht p-dotiertem einkristallinem Siliziumsubstrat 14 außerdem:
- eine Plusleitung 16, die zu einem Plusanschlusspad führt,
 - eine Masseleitung 18, die zu einem Masseanschlusspad führt,
 - 35 - eine nicht dargestellte ESD-Schutzschaltung, und
 - eine Vielzahl von nicht dargestellten Transistoren, z. B. Speichertransistoren oder Transistoren einer Logikschaltung

oder einer Analogschaltung, insbesondere Feldeffekttransistoren.

Der Wannens-Kondensator 12 enthält:

- 5 - eine n-dotierte Wanne 20, die bspw. eine maximale Dotierstoffkonzentration von $1 \cdot 10^{17}$ bis $1 \cdot 10^{18}$ Dotierstoffatome je Kubikzentimeter hat, z.B. Phosphoratome oder Arsenatome. Die Wanne 20 hat bspw. eine Tiefe von 1500 Nanometern, eine Breite B und eine Länge von jeweils typisch bis zu 100 Mikrometern.
- 10 - stark n-dotierte Anschlussbereiche 22 und 24 bzw. Source/Drain-Bereiche die typischerweise jeweils entlang der Längsseiten der Wanne 20, wobei die maximale Dotierstoffkonzentration bspw. im Bereich von $1 \cdot 10^{20}$ bis $10 \cdot 10^{21}$ Dotierstoffatome je Kubikzentimeter liegt. Die Anschlussbereiche 22, 24 haben im Ausführungsbeispiel eine Tiefe von typisch 200nm.

- Mit zunehmendem Abstand vom Substrat 14 enthält der Kondensator 12 in der im Folgenden angegebenen Reihenfolge außerdem:
- 20 - einen n-dotierten optionalen Hilfsdotierbereich 26 zwischen den Anschlussbereichen 22 und 24. Im Ausführungsbeispiel grenzt der Hilfsdotierbereich 26 auf der einen Seite an den Anschlussbereich 22 und auf der anderen Seite an den Anschlussbereich 24 an und erstreckt sich zwischen den beiden Anschlussbereichen 22 und 24 ohne Unterbrechung. Alternativ grenzt der Hilfsdotierbereich an n-dotierte Erweiterungsbereiche an, die an den Anschlussbereichen 22, 24 ausgebildet sind. Die Erweiterungsbereiche werden auch als LDD-Bereiche (Lightly Doped Drain) bezeichnet weil ihre Dotierstoffkonzentration geringer als die der Anschlussbereiche 22, 24 ist, jedoch höher als die des Hilfsdotierbereiches. Der Hilfsdotierbereich 26 hat bspw. in einer Tiefe von 100 Nanometer und eine maximale Dotierstoffkonzentration im Bereich von $1 \cdot 10^{17}$ bis $1 \cdot 10^{18}$ Dotierstoffatome je Kubikzentimeter.
- 30 - ein Dielektrikum 28, das sich an der Oberfläche des Hilfsdotierbereiches 26 entlang erstreckt und das mit Abstand zu

den Anschlussbereichen 22, 24 angeordnet ist. Das Dielektrikum 28 wird auch als Gateoxid (GOX) bezeichnet und besteht bspw. aus Siliziumdioxid ($\epsilon_r=3,9$) oder einem Material mit einer relativen Dielektrizitätskonstante größer als 3,9, insbesondere aus einem sogenannten high-k Dielektrikum. Im Ausführungsbeispiel hat das Dielektrikum 28 eine Dicke von zwei Nanometern.

- einen Gatebereich 30, der (nach oben) an das Dielektrikum 28 angrenzt, und der aus dotiertem polykristallinem Silizium besteht, bspw. aus n- oder p-dotiertem Polysilizium mit einer maximalen Dotierstoffkonzentration größer als $5 \cdot 10^{19}$ Dotierstoffatome je Kubikzentimeter. Der Gatebereich 30 hat eine Dicke im Bereich von bspw. 100 Nanometer bis 400 Nanometer.
- ein Silizidbereich 32 der sich auf dem Gatebereich 28 erstreckt und bspw. eine Dicke von 40-60 Nanometern hat.

Im Ausführungsbeispiel erstrecken sich die Anschlussbereiche 22, 24 nicht unterhalb des Dielektrikums 28.

- Der aus dem Dielektrikum 28, dem Gatebereich 30 und dem Silizidbereich 32 gebildete Stapel wird seitlich durch zwei elektrisch isolierende Abstandselemente 34, 36 begrenzt, die jeweils eine Fußbreite von bspw. 40 Nanometern haben und die die Anschlussbereiche 22 und 24 teilweise überlappen. Die Abstandselemente 34, 36 werden auch als Spacer bezeichnet.

- Zwei Isoliergräben 40 und 42 sind seitlich der Wanne 20 angeordnet. Der Isoliergraben 40 trennt den Anschlussbereich 22 von einem Substratanschlussbereich 44 ab. Der Isoliergraben 42 trennt dagegen den Anschlussbereich 24 von einem Substratanschlussbereich 46 ab. Die Substratanschlussbereiche 44, 46 sind stark p-dotiert. Unterhalb des Substratanschlussbereiches 44 bzw. 46 liegt ein p-dotierter Zwischenbereich 48 bzw. 50, der sich bis zum Substrat 14 erstreckt. Die Substratanschlussbereiche 48 und 50 werden möglichst nah am Kondensator 12 angeordnet, d.h. unmittelbar an der n-Wanne 20.

Zwei weitere Isoliergräben 52 und 54 begrenzen den Substrat-
anschlussbereich 44 bzw. 46. Die Isoliergräben 40, 42, 52 und
54 haben eine Tiefe von bspw. 250 bis 500 Nanometern und
werden auch als STI-Gräben (Shallow Trench Isolation) be-
5 zeichnet. Die Isoliergräben 40, 42, 52 und 54 sind mit einem
elektrisch isolierenden Material gefüllt.

Ein Silizidbereich 60 erstreckt sich zwischen dem Isoliergra-
ben 52 und dem Isoliergraben 40 an der Oberfläche des Sub-
10 stratanschlussbereiches 48. Der Silizidbereich 60 ist mit der
Masseleitung 18 elektrisch leitfähig verbunden.

Ein weiterer Silizidbereich 62 erstreckt sich zwischen dem
Isoliergraben 40 und dem Abstandselement 34 an der Oberfläche
15 des Anschlussbereiches 22. Der Silizidbereich 62 ist mit der
Plusleitung 16 elektrisch leitfähig verbunden.

Ein nächster Silizidbereich 64 erstreckt sich zwischen dem
Abstandselement 36 und dem Isoliergraben 42 an der Oberfläche
20 des Anschlussbereiches 24. Der Silizidbereich 64 ist eben-
falls mit der Plusleitung 16 elektrisch leitfähig verbunden.

Ein Silizidbereich 66 erstreckt sich zwischen dem Isoliergra-
ben 42 und dem Isoliergraben 54 an der Oberfläche des Sub-
25 stratanschlussbereiches 46. Der Silizidbereich 66 ist mit der
Masseleitung 16 elektrisch leitfähig verbunden.

Zur Erläuterung des verbesserten ESD-Schutzes sei eine ESD-
Fall angenommen, bei dem ein Spannungsimpuls eine Polarität
30 hat, die mit der Polarität der Spannung übereinstimmt, die in
der Normalbetriebsart der Schaltungsanordnung 10 am Kondensa-
tor 12 anliegt. Im ESD-Fall - wie auch in der Normalbetriebs-
art - bildet sich eine Verarmungsschicht 70, die bspw. eine
Schichtdicke D von einigen Nanometern hat, bspw. eine
35 Schichtdicke von zwei Nanometern. Die Verarmungsschicht 70
hat auf Grund der fehlenden Ladungsträger eine dielektrische
Wirkung mit einer relativen Dielektrizitätskonstante von

12

zwölf (ϵ_r von Silizium) und führt zu einer kleineren elektrischen Feldstärke im Dielektrikum 28, da sie als kapazitiver Spannungsteiler wirkt, der in Reihe zum Gateoxid-Kondensator geschaltet ist.

5

In einem Koordinatensystem 80 ist der Potenzialverlauf 82 entgegen der Normalenrichtung der Oberfläche des Substrates 14 im Kondensator 12 dargestellt. Eine y-Achse 84 des Koordinatensystems 80 zeigt das Potenzial im Bereich von 0 Volt bis bspw. 5 Volt. Eine x-Achse 86 des Koordinatensystems 80 zeigt die Ortskoordinate im Kondensator 12 mit zunehmendem Abstand von dem Silizidbereich 32. Im Silizidbereich 32 und im Gatebereich 30 liegt Massepotenzial an, d.h. null Volt. Im Dielektrikum 28 steigt das Potenzial linear an. Das Potenzial erhöht sich in der Verarmungsschicht 70 weiter linear, bspw. bis auf vier Volt, jedoch mit einem flacheren Anstieg als im Dielektrikum 28. Auf Grund der Verarmungsschicht 70 ergibt sich also ein Potenzialanstieg A außerhalb des Dielektrikums 28 bzw. mit anderen Worten eine Spannungsverringering über dem Dielektrikum 28.

20

In einem Koordinatensystem 90 ist der Feldstärkeverlauf 92 entgegen der Normalenrichtung der Oberfläche des Substrates 14 im Kondensator 12 dargestellt. Eine y-Achse 94 des Koordinatensystems 90 zeigt die Feldstärke E im Bereich von 0 Volt/Nanometer bis bspw. 2,5 Volt/Nanometer. Eine x-Achse 96 des Koordinatensystems 90 zeigt die Ortskoordinate im Kondensator 12 mit zunehmendem Abstand von dem Silizidbereich 32. Im Silizidbereich 32 und im Gatebereich 30 beträgt die Feldstärke E null Volt/Nanometer. Im Dielektrikum hat die Feldstärke E einen Wert von bspw. zwei Volt/Nanometer. In der Verarmungsschicht ist der Wert der Feldstärke kleiner als im Dielektrikum 28, bspw. ein Volt/Nanometer. In der n-Wanne 20 beträgt die Feldstärke E wieder null Volt/Nanometer.

35

Negative Ladungen 100 und positive Ladungen 102 verdeutlichen die Wirkung des Dielektrikums 28 und der Verarmungsschicht 70

als Kondensatordielektrikum. Außerdem ist in Figur 1 ein p-n-Sperrschichtkondensator 104 dargestellt, der durch die Sperrschicht zwischen der n-Wanne und dem Substrat 14 gebildet wird und der parallel zum Kondensator 12 geschaltet ist, so dass verschiedene Kondensatorarten parallel geschaltet sind.

Bei einem anderen Ausführungsbeispiel wird an Stelle des Polysiliziums für den Gatebereich 30 eine Metallelektrode verwendet, bspw. aus Aluminium. Bei einem nächsten Ausführungsbeispiel sind die Anschlussbereiche 22, 24 weiter von den Abstandselementen 34 und 36 entfernt, siehe Figur 2, Anschlussbereiche 22b, 24b.

Bei einem nächsten Ausführungsbeispiel erstreckt sich der Hilfsdotierbereich 26 nur in einem mittleren Bereich unter dem Dielektrikum 28, siehe Seitenkanten 110 und 112. Der Abstand der Seitenkante 110 bzw. 112 des Hilfsdotierbereiches 26 zu dem nächstgelegenen Anschlussbereich 22 bzw. 24 im Fall von fehlenden Erweiterungsbereichen bzw. bis zum nächstgelegenen Erweiterungsbereich beträgt bspw. mindestens 100 Nanometer. In diesem Fall bildet sich die Verarmungsschicht 70 unter den Randbereichen des Dielektrikums 28 dicker aus, was die Robustheit gegen ESD erhöht.

Figur 2 zeigt fotolithografische Masken, die bei der Herstellung eines n-Wannen-Kondensators 12b einer Schaltungsanordnung 10b in einem Prozess mit minimalen fotolithografischen Abmessungen kleiner als ein Mikrometer eingesetzt werden. Bis auf die unten erläuterten Abweichungen werden bei der Herstellung des Kondensators 12 die gleichen Schritte wie bei der Herstellung des Kondensators 12b durchgeführt. Die Schaltungsanordnung 10b ist wie die Schaltungsanordnung 10 aufgebaut. Der n-Wannenkondensator 12b stimmt bis auf die im Folgenden erläuterten Unterschiede mit dem Kondensator 12 überein, so dass gleiche Teile mit gleichen Bezugszeichen bezeichnet sind, denen jedoch zur Unterscheidung der beiden

Kondensatoren 12 und 12b der Kleinbuchstabe b nachgestellt ist.

Der Kondensator 12b enthält insbesondere die folgenden Bestandteile, für die die oben getroffenen Aussagen bzgl. der entsprechenden Teile des Kondensators 12 gelten:

- ein Substrat 14b,
- eine Plusleitung 16b,
- eine Masseleitung 18b,
- 10 - eine Wanne 20b,
- Anschlussbereiche 22b, 24b,
- einen Hilfsdotierbereich 26b,
- ein Dielektrikum 28b,
- einen Gatebereich 30b,
- 15 - einen Silizidbereich 32b,
- Abstandselemente 34b, 36b,
- Isoliergräben 40b, 42b,
- Substratanschlussbereiche 44b, 46b,
- Zwischenbereiche 48b, 50b, und
- 20 - Silizidbereiche 60b bis 66b.

Der Kondensator 12b hat im Vergleich zum Kondensator 12 die folgenden Abweichungen:

- die Anschlussbereiche 22b und 24b sind mit Abstand zu den
- 25 Abstandselementen 34b bzw. 36b angeordnet, so dass keine Berührung und keine Überlappung in Normalenrichtung der Oberfläche des Substrats 14 gesehen auftritt,
- die Silizidbereiche 62b und 64b reichen nicht bis an die
- Abstandselemente 34b bzw. 36b heran und decken auch nur einen
- 30 Teilbereich der Anschlussbereiche 22b und 24b ab, und
- der Silizidbereich 32b deckt ebenfalls nur einen Teilbereich des Gatebereiches 30b ab.

Durch die zurückgesetzten Anschlussbereiche 22b und 24b bzw.

35 LDD-Bereiche sowie durch die zurückgesetzten Silizidbereiche 62b, 64b und 32b wird im ESD-Fall die im Dielektrikum 28b auftretende Feldstärke an den Kanten des Gatebereiches 30b

verringert, wodurch die Durchbruchsspannung des Kondensators 12b ansteigt. Diese Aussage gilt unter der Annahme, dass unter ESD Bedingung ein gewisser Strom (Tunnelstrom) über das Gateoxid bzw. das Dielektrikum 28 fließt und damit zusätzliche Spannungsabfälle zu den in Figur 1 gezeigten Potentialverhältnissen auftreten. Im übrigen beruht die erhöhte ESD-Festigkeit und die hohe Flächenkapazität des Kondensators 12b auf den Zusammenhängen, die oben an Hand der Figur 1 für den Kondensator 12 erläutert worden sind.

10

Bei der Herstellung des Kondensators 12 bzw. 12b wird zunächst mit Hilfe einer Maske 140 unter Verwendung eines Resists die Lage der aktiven Gebiete und damit auch die Lage der Isoliergräben 40b und 42b festgelegt. Die Isoliergräben 40b und 42b werden geätzt, gefüllt und planarisiert. Danach wird die n-Wanne 20b implantiert, wobei eine nicht dargestellte Resistschicht mit einer Maske 150 belichtet wird, deren Maskenstruktur 152 die Lage der Wanne 20 vorgibt.

15

Anschließend wird mit einer nicht dargestellten Maske die Lage des Hilfsdotierbereiches 26b mit einem Resist vorgegeben. Der Resist wird entwickelt. Nach dem Entwickeln wird der Hilfsdotierbereich 26b mit Hilfe einer Implantation dotiert. Die Maske für den Hilfsdotierbereich 26b enthält im Bereich der n-Wanne 20b eine Maskenstruktur, die bspw. an der gleichen Stelle liegt wie die Maskenstruktur 152 in der Maske 150. In anderen Bereichen haben die beiden Masken jedoch voneinander abweichende Maskenstrukturen. Bei dem an Hand der Figur 1 erläuterten Ausführungsbeispiel mit verkürztem Hilfsdotierbereich legt die Maske für den Hilfsdotierbereich 26 die Lage der Kanten 110 und 112 fest. Die Implantation für den Hilfsdotierbereich 26 bzw. 26b erfolgt gleichzeitig mit Implantationen zum Einstellen der Schwellspannung in Feldefekttransistoren der Schaltungsanordnung 10 bzw. 10b.

20

25

30

35

Anschließend wird das Dielektrikum 28b thermisch auf die Siliziumoberfläche aufgewachsen. Danach wird die polykristal-

line Schicht für den Gatebereich 30b abgeschieden und in-situ oder nachträglich dotiert, bspw. beim Durchführen einer oder mehrerer der im Folgenden genannten Implantationen:

- der Implantation für Erweiterungsbereiche,
- 5 - der Implantation für die Anschlussbereiche 22b, 24b, oder
- einer anderen Implantation.

Danach wird die Lage des Gatebereiches 30b mit Hilfe einer Maske 170 festgelegt. Die polykristalline Schicht wird dann
10 in einem Ätzprozess strukturiert, vorzugsweise gleichzeitig mit dem Dielektrikum 28b.

Die Implantation für Erweiterungsbereiche wird zu diesem Zeitpunkt für die Schaltungsanordnung 10 jedoch nicht für die
15 Schaltungsanordnung 10b durchgeführt. Vor der Durchführung dieser Implantationen werden bei der Herstellung der Schaltungsanordnung 12b die Abstandselemente 34b und 36b selbstausrichtend durch Schichtabscheidung und anisotropes Ätzen erzeugt.

20 Nach der Herstellung der Abstandselemente 34b und 36b wird eine Maske 175 verwendet, um die Lage der Anschlussbereich 22b und 24b festzulegen. Nach der Entwicklung eines Resists wird die Implantation für die Anschlussbereiche 22b und 24b
25 sowie Erweiterungsbereiche (hier deckungsgleich mit 22b und 24b) durchgeführt.

Nach der Herstellung der Anschlussbereiche 22b und 24b folgt die Herstellung der Silizidbereiche 18b und 60b bis 66b. Zum
30 Blockieren der Silizidbildung in bestimmten Bereichen werden mit Hilfe einer Maske 180 Blockierbereiche festgelegt, in denen bspw. eine zuvor aufgebrauchte Nitridschicht stehen bleiben soll. Danach wird eine dünne Metallschicht von bspw. mehreren 10 Nanometern auf die Waferoberfläche aufgesputtert.
35 Geeignete Metalle sind bspw. Titan, Kobalt oder Nickel. Bei einem Tempersschritt wird das Silizid in Bereichen gebildet, an denen das Metall Silizium berührt. Das Silizid verringert

den Anschlusswiderstand, so dass Signale hoher Frequenzen verarbeitet werden können. Anschließend werden das nicht in Silizid umgewandelte Metall und die Reste der Nitridschicht entfernt.

5

Die rückgesetzten Silizidbereiche verringern ebenfalls die Feldstärke im Dielektrikum in der Nähe der Kanten des Gatebereiches 30b. Experimentell konnten 0,5 Volt höhere transiente Durchbruchsspannungen durch das Silizidblockieren erreicht werden. Damit bilden sich Serienwiderstände aus, die im ESD-Fall Tunnelströmen entgegenwirken, die das Dielektrikum 28b schädigen.

Bei Herstellung des Kondensators 12 werden die Masken 175 und 15 180 nicht verwendet, da keine zurückgesetzten Anschlussbereiche erzeugt werden müssen und auch keine Silizidbildungsblockierung erforderlich ist. Die Implantation der Anschlussbereiche 22 und 24 sowie die Bildung der Silizidbereiche 32 und 60 bis 66 wird selbstausrichtend zu den Abstandselementen 34 20 und 36 durchgeführt.

Bei einem weiteren Ausführungsbeispiel wird die Silizidbildung nur an einem Teil des Gatebereiches oder nur an einem Teil der Anschlussbereiche blockiert. Bei einem weiteren 25 Ausführungsbeispiel wird an Stelle des polykristallinen Gatebereiches 30b ein Gatebereich aus Metall verwendet, wobei sich eine Silizidbildung auf diesem Bereich erübrigt.

Figur 3 zeigt eine Schaltungsanordnung 10c, die einen n- 30 Wannenkondensator 12c mit dualem Gateoxid enthält. Die Schaltungsanordnung 10c ist wie die Schaltungsanordnung 10 aufgebaut. Der n-Wannenkondensator 12c stimmt bis auf die im Folgenden erläuterten Unterschiede mit dem Kondensator 12 überein, so dass gleiche Teile mit gleichen Bezugszeichen bezeichnet sind, denen jedoch zur Unterscheidung der beiden 35 Kondensatoren 12 und 12c der Kleinbuchstabe c nachgestellt ist.

Der Kondensator 12c enthält insbesondere die folgenden Bestandteile, für die die oben getroffenen Aussagen bzgl. der entsprechenden Teile des Kondensators 12 gelten:

- 5 - ein Substrat 14c,
- eine Wanne 20c,
- Anschlussbereiche 22c, 24c,
- einen Gatebereich 30c,
- einen Silizidbereich 32c,
- 10 - Abstandselemente 34c, 36c,
- Isoliergräben 40c, 42c,
- Substratanschlussbereiche 44c, 46c,
- Zwischenbereiche 48c, 50c, und
- Silizidbereiche 60c bis 66c.

15

Der Kondensators 12c hat im Vergleich zum Kondensator 12 die folgenden Abweichungen:

- eine Betriebspotenzialleitung 200 führt zu den Silizidbereichen 62c und 64c,
- 20 - eine Betriebspotenzialleitung 202 führt zu den Silizidbereichen 32c wobei die Betriebspotenzialleitungen 200 und 202 voneinander verschiedene Potenziale führen. Die Silizidbereiche 60c und 66c liegen bei beiden Polungsarten auf Massepotential. So kommen beide Polungsarten zum Einsatz, d.h. insbesondere auch eine Polung, bei der das Potenzial der Betriebspotenzialleitung 202 größer als das Potenzial der Betriebspotenzialleitung 200 ist.
- im Kondensator 12c sind n-dotierte LDD-Bereiche 204 und 206 bzw. Erweiterungsbereiche dargestellt, die unterhalb der
- 30 Abstandselemente 34c und 36c liegen. Die Dotierstoffkonzentration der LDD-Bereiche 204, 206 liegt bspw. im Bereich von $5 \cdot 10^{18}$ bis $1 \cdot 10^{20}$ Dotierstoffatome je Kubikzentimeter und
- ein dem Hilfsdotierbereich 26b entsprechender Hilfsdotierbereich fehlt im Kondensator 12c. Bei einem alternativen
- 35 Ausführungsbeispiel ist jedoch ein solcher Hilfsdotierbereich vorhanden.

- an Stelle des Dielektrikums 28b mit gleichmäßiger Dicke ist im Kondensator eine Dielektrikum mit einem dünnen zentralen Dielektrikumsbereich 208 und einem dicken Rand-Dielektrikumsbereichen 210 vorhanden.

5

Die Dicke des zentralen Dielektrikumbereiches 208 stimmt mit der Dicke des dünnsten in der Schaltungsanordnung 10c vorhanden Dielektrikums überein. Bspw. beträgt die Dicke des zentralen Dielektrikumbereiches 208 2 Nanometer. Der dünne Dielektrikumsbereich 208 gewährleistet eine hohe flächenbezogene Kapazität des Kondensators 12c.

10

Die Dicke des Rand-Dielektrikumbereiches 210 stimmt mit der Dicke eines weiteren Dielektrikums in der Schaltungsanordnung 15 10c überein und beträgt bspw. 5 Nanometer. Der dicke Rand-Dielektrikumbereich 210 gewährleistet eine hohe ESD-Festigkeit des Kondensators 12c.

Bei anderen Ausführungsbeispielen werden die an Hand der 20 Figuren 1 und 3 oder die an Hand der Figuren 2 und 3 erläuterten Maßnahmen kombiniert, um die ESD-Festigkeit weiter zu erhöhen.

Bei anderen Ausführungsbeispielen werden an Stelle der an 25 Hand der Figuren 1 bis 3 erläuterten NCAP bei Wahl des jeweils anderen Dotiertyps in den Bereichen und bei umgekehrter Polung des Kondensators PCAPs hergestellt. Bei weiteren Ausführungsbeispielen werden bei sonst gleichen Dotierungen Anschlussbereiche des anderen Dotiertyps verwendet.

30

Bei weiteren Ausführungsbeispielen wird an Stelle einer dotierten Wanne ein dotierter Bereich auf einem Isolierbereich verwendet, wie es bei der SOI-Technik (Silicon On Insulator) der Fall ist.

35

Patentansprüche

1. Integrierte Schaltungsanordnung (10, 10b),
mit einer Bezugs-Betriebspotenzialleitung (18), die im Be-
5 trieb der Schaltungsanordnung (10) ein Grundpotenzial führt,
mit einer positiven Betriebspotenzialleitung (16), die im
Betrieb der Schaltungsanordnung (10) ein im Vergleich zu dem
Grundpotenzial positiveres Potenzial führt,
und mit einem zwischen den Betriebspotenzialleitungen (16,
10 18) geschalteten Kondensator (12), der die folgenden Bereiche
enthält:
einen gemäß einer Grunddotierung mit einem Grunddotiertyp
dotierten Grunddotierbereich (20), der einen Bereich mit
einer maximalen Dotierstoffkonzentration enthält,
15 mindestens einen gemäß einer Anschlussdotierung mit dem
Grunddotiertyp dotierten Anschlussbereich (22, 24), dessen
maximale Dotierstoffkonzentration höher als die maximale
Dotierstoffkonzentration im Grunddotierbereich (20) ist,
einen mit Abstand zum Grunddotierbereich (20) angeordneten
20 Elektrodenbereich (30),
und ein zwischen dem Elektrodenbereich (30) und dem Grunddo-
tierbereich (20) angeordnetes Dielektrikum (28),
wobei entweder bei einem n-Grunddotiertyp der Anschlussbe-
reich (22) elektrisch leitfähig mit der positiven Betriebspotenzial-
25 lenzleitung (16) und der Elektrodenbereich (30) mit der
Bezugs-Betriebspotenzialleitung (18) elektrisch leitfähig
verbunden ist,
oder wobei bei einem p-Grunddotiertyp der Anschlussbereich
(22) elektrisch leitfähig mit der Bezugs-
30 Betriebspotenzialleitung (18) und der Elektrodenbereich (30)
mit der positiven Betriebspotenzialleitung (16) elektrisch
leitfähig verbunden ist.
2. Schaltungsanordnung (10, 10b) nach Anspruch 1, dadurch
35 gekennzeichnet, dass der Elektrodenbereich (30) mit einer
maximalen Dotierstoffkonzentration größer als $1 \cdot 10^{18}$ Dotier-
stoffatome je Kubikzentimeter dotiert ist, insbesondere an

seiner dem Dielektrikum (28) zugewandten Seite, oder dass der Elektrodenbereich (30) an seiner dem Dielektrikum (28) zugewandten Seite einen metallischen Bereich enthält.

5 3. Schaltungsanordnung (10, 10b) nach Anspruch 1 oder 2,
dadurch gekennzeichnet, dass zwischen dem Grunddotierbereich
(20) und dem Dielektrikum (28) ein gemäß einer Hilfsdotierung
mit dem Grunddotiertyp dotierter Hilfsdotierbereich (26)
angeordnet ist, dessen maximale Dotierstoffkonzentration
10 gleich der maximalen Dotierstoffkonzentration im Grunddotier-
bereich (20) ist oder dessen maximale Dotierstoffkonzentration
größer als die maximale Dotierstoffkonzentration im Grund-
dotierbereich (20) ist,
wobei vorzugsweise die maximale Dotierstoffkonzentration des
15 Hilfsdotierbereiches (26) mindestens doppelt so hoch wie die
maximale Dotierstoffkonzentration im Grunddotierbereich (20)
ist, vorzugsweise mindestens fünf mal so hoch,
und wobei vorzugsweise die maximale Dotierstoffkonzentration
des Hilfsdotierbereiches (26) maximal halb so hoch ist, wie
20 die maximale Dotierstoffkonzentration im Anschlussbereich
(22, 24).

4. Schaltungsanordnung (10, 10b) nach einem der vorhergehen-
den Ansprüche, gekennzeichnet durch mindestens einen weiteren
25 Anschlussbereich (24), der vorzugsweise angrenzend an den
Grunddotierbereich (20) angeordnet ist,
wobei der Grunddotierbereich oder soweit auf Anspruch 3 rück-
bezogen der Hilfsdotierbereich (26) zwischen den Anschlussbe-
reichen (22, 24) angeordnet ist,
30 und/oder wobei eine metallische Leitung (16) die Anschlussbe-
reiche (22, 24) verbindet.

5. Schaltungsanordnung (10b) nach einem der vorhergehenden
Ansprüche, dadurch gekennzeichnet, dass der Anschlussbereich
35 (22b, 24b) weder zu dem Elektrodenbereich (30b) noch zu einem
an dem Elektrodenbereich (30b) angeordneten Abstandselement
(34b, 36b) selbstausrichtend angeordnet ist.

6. Schaltungsanordnung (10, 10b) nach Anspruch 3 oder 4, dadurch gekennzeichnet, dass der Hilfsdotierbereich (26) an den Anschlussbereich (22, 24) oder an einen am Anschlussbereich (22, 24) ausgebildeten Erweiterungsbereich angrenzt, oder dass der Hilfsdotierbereich (26, 110, 112) nur an einem zentralen Bereich des Dielektrikums (28) und nicht in einem Randbereich des Dielektrikums (26) ausgebildet ist, wobei vorzugsweise an dem Randbereich ein Teil des Grunddotierbereiches (20) angeordnet ist.

7. Integrierte Schaltungsanordnung (10c), insbesondere Schaltungsanordnung nach einem der vorhergehenden Ansprüche, mit zwei Betriebspotenzialleitungen (200, 202), die im Betrieb der Schaltungsanordnung (10c) voneinander verschiedene Potenziale führen, und mit einem zwischen den Betriebspotenzialleitungen (200, 202) geschalteten Kondensator (12c), der die folgenden Bereiche enthält:

einen Grunddotierbereich (20c), der gemäß einem Grunddotier-
typ dotiert ist,
mindestens einen dotierten Anschlussbereich (22c), dessen maximale Dotierstoffkonzentration höher als die maximale Dotierstoffkonzentration im Grunddotierbereich (20c) ist,
einem mit Abstand zum Grunddotierbereich angeordneten Elektrodenbereich (30c),
und mit einem zwischen dem Elektrodenbereich (30c) und dem Grunddotierbereich (20c) angeordneten Dielektrikum (208, 210),
wobei das Dielektrikum (208, 210) in einem dem Anschlussbereich (22) nahen Bereich (210) mindestens doppelt so dick ist, wie in einem mittleren Bereich (208) des Dielektrikums (208, 210).

8. Schaltungsanordnung (10c) nach Anspruch 7, gekennzeichnet durch mindestens ein Abstandselement (34c, 36c), das seitlich des Elektrodenbereiches (30c) angeordnet ist,

wobei der dickere Bereich (210) des Dielektrikums (208, 210) an das Abstandelement (34c, 36c) angrenzt.

5 9. Schaltungsanordnung (10c) nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass der Anschlussbereich (22c) gemäß dem Grunddotiertyp dotiert ist, oder dass der Anschlussbereich (22c) gemäß einem anderen Dotiertyp als der Grunddotiertyp dotiert ist.

10 10. Schaltungsanordnung (10c) nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, dass das dicke Dielektrikum (210) dünner als 100 Nanometer oder dünner als 20 Nanometer ist, und dass die Schaltungsanordnung (10c) vorzugsweise mindestens einen Feldeffekttransistor, dessen Dielektrikum die
15 Dicke des dünnen Dielektrikums (208) hat, und mindestens einen Feldeffekttransistor enthält, dessen Dielektrikum die Dicke des dicken Dielektrikums (210) hat.

20 11. Schaltungsanordnung (10, 10b, 10c) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass an den Anschlussbereichen (22a, 22b, 22c, 24, 24b, 24c) Silizidbereiche (62, 62b, 62c, 64, 64b, 64c) angeordnet sind, wobei vorzugsweise zwischen den Silizidbereichen (62, 62b, 62c, 64, 64b, 64c) ein Siliziumbereich (20, 20b, 20c) liegt, der nicht mit
25 einem Silizidbereich (62b, 64b) bedeckt ist.

12. Schaltungsanordnung (10, 10b, 10c) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass mindestens eines der folgenden Merkmale gilt:
30 die Betriebspotenzialleitungen (16, 18, 200, 202) führen zu Anschlüssen, über die beim Betrieb der Schaltungsanordnung (10, 10b, 10c) eine äußere Betriebsspannung angelegt wird, der Grunddotierbereich (20, 20b, 20c) ist als Wanne ausgebildet, die vorzugsweise in einem Substrat (14) angeordnet ist,
35 das gemäß einem anderen Dotiertyp dotiert ist als der Grunddotierbereich (20),

der Kondensator (12) ist als planares Bauelement ausgeführt, das in einer Ebene angeordnet ist, die parallel zu mindestens einer Metallisierungslage der integrierten Schaltungsanordnung (10, 10b, 10c) angeordnet ist.

5

13. Verfahren zum Herstellen einer Schaltungsanordnung (10, 10b) mit Kondensator (12, 12b), insbesondere einer Schaltungsanordnung (10, 10b) nach einem der Ansprüche 1 bis 7, mit den Schritten:

- 10 Ausbilden eines Grunddotierbereiches (20) eines Kondensators (12), der gemäß einem Grunddotiertyp dotiert wird,
Ausbilden eines Anschlussbereiches (22) des Kondensators (12),
Ausbilden eines Dielektrikums (28) des Kondensators (12),
15 Ausbilden eines vom Grunddotierbereich (22) beabstandeten Elektrodenbereiches (30) des Kondensators (12),
Ausbilden einer Bezugs-Betriebspotenzialleitung (18), die im Betrieb der Schaltungsanordnung (10) ein Grundpotenzial führt, und die bei einem n-Grunddotiertyp mit dem Elektrodenbereich (30) elektrisch leitfähig verbunden wird, oder die
20 bei einem p-Grunddotiertyp mit dem Anschlussbereich (22) elektrisch leitfähig verbunden wird,
Ausbilden einer positiven Betriebspotenzialleitung (16), die im Betrieb der Schaltungsanordnung (10) ein im Vergleich zu
25 dem Grundpotenzial positiveres Potenzial führt, und die bei einem n-Grunddotiertyp mit dem Anschlussbereich (22) elektrisch leitfähig verbunden wird, oder die bei einem p-Grunddotiertyp mit dem Elektrodenbereich (30) elektrisch leitfähig verbunden wird.

30

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass der Anschlussbereich (22) mit Hilfe eines eigenen Maskenschrittes hergestellt wird,
und/oder dass der folgende Schritt ausgeführt wird:

- 35 Ausbilden eines Hilfsdotierbereiches (26) des Kondensators (12), der gemäß dem Grunddotiertyp dotiert ist und bei dem das Maximum der Dotierstoffkonzentration gleich oder höher

ist als das Maximum der Dotierstoffkonzentration in dem Grunddotierbereich (20).

15. Verfahren zum Herstellen einer Schaltungsanordnung (10c)
5 mit Kondensator (12c), insbesondere einer Schaltungsanordnung (10c) nach einem der Ansprüche 7 bis 12, mit den Schritten:
Ausbilden eines Grunddotierbereiches (20c) eines Kondensators (12c), der gemäß einem Grunddotiertyp dotiert wird,
Ausbilden eines Anschlussbereiches (22c) des Kondensators
10 (12c),
Ausbilden eines dünnen Dielektrikums (208) des Kondensators (12c) in einem zentralen Bereich des Dielektrikums (208) des Kondensators (12c),
Ausbilden eines im Vergleich zu dem dünnen Dielektrikum (208)
15 des Kondensators (12c) mindestens doppelt so dicken Dielektrikums (210) in einem Randbereich des Dielektrikums des Kondensators (12c),
Ausbilden eines vom Grunddotierbereich (20c) beabstandeten Elektrodenbereiches (30c) des Kondensators (12c).
20
16. Verfahren nach Anspruch 15, gekennzeichnet durch die Schritte:
Ausbilden zweier Betriebspotenzialleitungen (200, 202), die im Betrieb der Schaltungsanordnung (10c) voneinander ver-
25 schiedene Potenziale führen, wobei die eine Betriebspotenzialleitung (200) mit dem Anschlussbereich (22) und die andere Betriebspotenzialleitungen (202) mit dem Elektrodenbereich (30c) elektrisch leitfähig verbunden wird.
- 30 17. Verfahren nach Anspruch 15 oder 16, dadurch gekennzeichnet, dass das Dielektrikum (208, 210) vor dem Ausbilden eines Abstandselementes (34c, 36c) an dem Elektrodenbereich (30c) des Kondensators (12c) hergestellt wird.
- 35 18. Verfahren nach einem der Ansprüche 15 bis 17, dadurch gekennzeichnet, dass das dünne Dielektrikum (208) gleichzeitig mit einer dem Grunddotierbereich (20c) nahen Schicht des

26

dicken Dielektrikums (210) oder vor dem Ausbilden des dicken Dielektrikum (210) ausgebildet wird,
oder dass das dünne Dielektrikum (208) nach dem Ausbilden einer dem Grunddotierbereich (20c) nahen Schicht des dicken
5 Dielektrikums (210) ausgebildet wird.

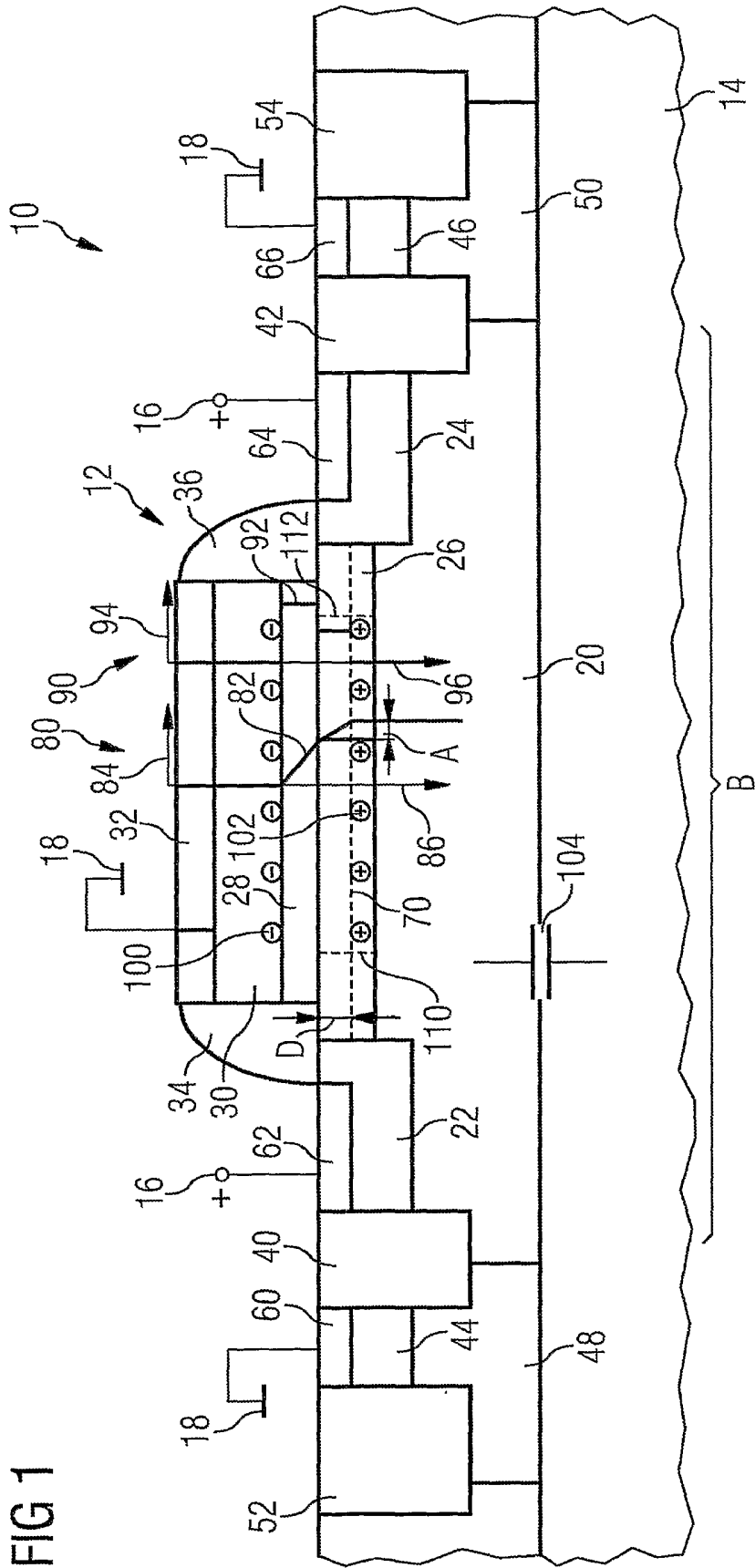


FIG 1

